

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

## 特開2002 - 221917

( P2002 - 221917A )

(43)公開日 平成14年8月9日 (2002.8.9)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マコード* ( 参考 )
G 0 9 F 9/30	390	G 0 9 F 9/30	390 C 3 K 0 0 7
	338		5 C 0 8 0
	365		5 C 0 9 4
H 0 5 B 33/12		H 0 5 B 33/12	B
33/14		33/14	A

審査請求 未請求 請求項の数 18 O L ( 全 14数 ) 最終頁に続く

(21)出願番号 特願2001 - 299647(P2001 - 299647)

(22)出願日 平成13年9月28日(2001.9.28)

(31)優先権主張番号 特願2000 - 355195(P2000 - 355195)

(32)優先日 平成12年11月22日(2000.11.22)

(33)優先権主張国 日本(JP)

(71)出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号

(72)発明者 浅野 慎  
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 山田 二郎  
東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100086298  
弁理士 船橋 國則

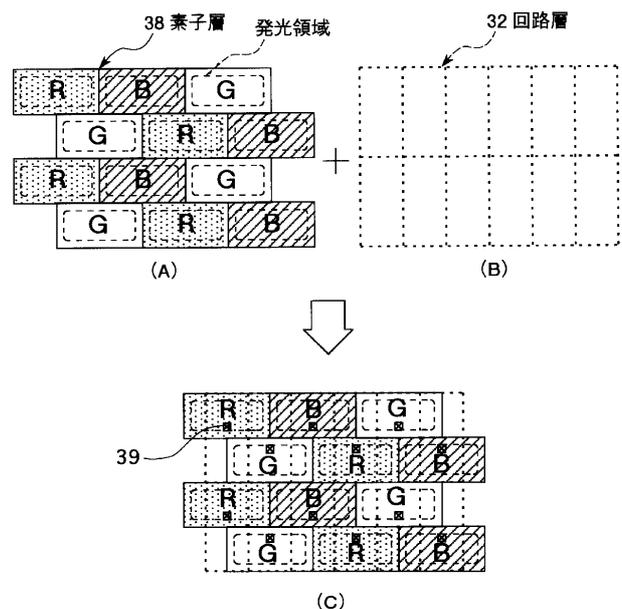
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型表示装置

(57)【要約】

【課題】 T F Tを含む画素回路にデルタ配列を用いた場合、配線を画素配列に沿って折り曲げて設計するなど複雑な配線形状となり、配線に折れ曲がりが多くなることに起因して欠陥が増えやすく、歩留まり低下の原因になる。

【解決手段】 画素ごとに異なる光を発光する3色分の有機 E L 素子が画素単位で配列されてなる素子層 3 8 と、有機 E L 素子を駆動する画素回路が画素単位で配列されてなる回路層 3 2 とを基板上に積層してなるアクティブマトリクス型有機 E L 表示装置において、素子層 3 8 での R G B の各光を発光するサブピクセル ( 有機 E L 素子 ) の画素配列をデルタ配列 ( A ) とする一方、回路層 3 2 での画素回路の画素配列をストライプ配列 ( B ) とし、両画素配列の各画素を 1 : 1 の対応関係を持って対向配置する。



## 【特許請求の範囲】

【請求項1】 発光部が画素単位で配列されてなる素子層と、前記発光部の発光素子を駆動する画素回路が画素単位で配列されてなる回路層とが基板上に積層されてなるアクティブマトリクス型表示装置であって、前記画素回路が行方向、列方向のいずれも直線上に存在するストライプ状の画素配列を持ち、前記発光部が前記画素回路の画素配列の行方向に2倍、列方向に1/2倍の画素ピッチを有し、隣接する2行の画素配列の位相差が1/2であるデルタ状の画素配列を持つことを特徴とするアクティブマトリクス型表示装置。

【請求項2】 前記発光素子は異なる3色の光を発光する3個を単位として1絵素を構成しており、同一発光色の画素が互いに隣接しない関係を有し、かつ1絵素内の異なる3色の3画素の中心位置が互いに隣接しながら三角形を形成するデルタ状の関係に配置され、さらに列方向に隣接する画素が、画素2行内で互いに上下が反転した三角形である正デルタ状、逆デルタ状に交互に配置されていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項3】 前記発光部と前記画素回路とを接続する接続部が、前記画素回路に対して行方向で隣り合う2画素を単位とし、これら2画素間で異なる位置に配置されていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項4】 前記接続部は、前記発光部の決められた形状の発光領域に対してその発光領域外に配置されていることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項5】 前記接続部は、前記発光部の決められた形状の発光領域に対してその発光領域外に配置されていることを特徴とする請求項3記載のアクティブマトリクス型表示装置。

【請求項6】 前記画素回路は、前記2画素間で回路素子のレイアウトが同じであることを特徴とする請求項3記載のアクティブマトリクス型表示装置。

【請求項7】 前記画素回路は、前記2画素の回路素子のレイアウトが列間の境界線に関して対称であることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項8】 前記画素回路は、前記2画素の回路素子のレイアウトが列間の境界線に関して対称であることを特徴とする請求項6記載のアクティブマトリクス型表示装置。

【請求項9】 前記画素回路は、前記2画素ごとに画素の境界に列方向に沿って配線された電源線を有し、この電源線を2画素間で共用することを特徴とする請求項7記載のアクティブマトリクス型表示装置。

【請求項10】 前記画素回路は、隣り合う2行を単位\*

とし、これら2行の画素間で回路素子のレイアウトが行間の境界線に関して対称であることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項11】 前記画素回路は、隣り合う2行を単位とし、これら2行の画素間で回路素子のレイアウトが行間の境界線に関して対称であることを特徴とする請求項6記載のアクティブマトリクス型表示装置。

【請求項12】 前記画素回路は、前記2行ごとに画素の境界に行方向に沿って配線された走査線を有し、この走査線を2行の画素間で共用することを特徴とする請求項10記載のアクティブマトリクス型表示装置。

【請求項13】 前記画素回路は、配線パターン中に存在する回路素子の接続部の近傍に配線方向に沿って形成されたスリットを有することを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項14】 前記発光素子は、第1,第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子であることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項15】 前記画素回路は、薄膜トランジスタ回路であることを特徴とする請求項1記載のアクティブマトリクス型表示装置。

【請求項16】 発光部の発光素子を駆動する画素回路が画素単位でマトリクス状に配列されてなるアクティブマトリクス型表示装置であって、前記画素回路は、配線パターン中に存在する回路素子の接続部の近傍に配線方向に沿って形成されたスリットを有することを特徴とするアクティブマトリクス型表示装置。

【請求項17】 前記発光素子は、第1,第2の電極およびこれら電極間に発光層を含む有機層を有する有機エレクトロルミネッセンス素子であることを特徴とする請求項16記載のアクティブマトリクス型表示装置。

【請求項18】 前記画素回路は、薄膜トランジスタ回路であることを特徴とする請求項16記載のアクティブマトリクス型表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各画素毎に能動素子を有して当該能動素子によって画素単位で表示の制御が行われるアクティブマトリクス型表示装置に関し、特に各画素の発光素子(電気光学素子)として有機材料のエレクトロルミネッセンス素子(以下、有機EL(electroluminescence)素子と記す)を用いたアクティブマトリクス型有機エレクトロルミネッセンス表示装置に関する。

【0002】

【従来の技術】近年、フラットパネルディスプレイとして、画素毎に配される発光素子に有機EL素子を用いた有機EL表示装置が注目されている。有機EL素子は、

有機材料を陽極・陰極の2つの電極で挟み込む構造を持ち、電極間に電圧が印加されることにより、陰極から電子が、陽極から正孔が有機層に注入され、電子・正孔が再結合することによって発光するものであり、10V以下の駆動電圧で、数100～数10000cd/m<sup>2</sup>の輝度を得ることができる。したがって、この有機EL素子を画素の発光素子として用いた有機EL表示装置は、次世代のフラットパネルディスプレイとして有望視されている。

【0003】有機EL表示装置の駆動方式としては、単純(パッシブ)マトリクス方式とアクティブマトリクス方式とが挙げられる。ディスプレイの大型化・高精細化を実現するには、単純マトリクス方式の場合は、各画素の発光期間が走査線(即ち、垂直方向の画素数)の増加によって減少するため、瞬間的に各画素の有機EL素子が高輝度で発光することが要求される。

【0004】一方、アクティブマトリクス方式の場合は、各画素が1フレームの期間に亘って発光を持続するため、ディスプレイの大型化・高精細化が容易である。このアクティブマトリクス型有機EL表示装置において、有機EL素子を駆動する能動素子として、一般的に、薄膜トランジスタ(Thin Film Transistor; TFT)が用いられている。

【0005】このTFTを含む画素駆動回路(以下、単に画素回路と称す)と有機EL素子とは、画素ごとに1:1の対応関係をもってそれぞれ別の層として形成される。具体的には、基板上にTFTを含む画素回路を作製して回路層を形成する。この回路層の上に平坦化膜を成膜し、画素回路と有機EL素子とを電気的に接続するためのコンタクト部を作製する。その上にさらに、発光層を含む有機層が2つの電極間に挟持されてなる有機EL素子を作製して素子層を形成する。

【0006】ところで、有機EL表示装置に良く用いられる低分子系の有機EL素子は、通常、有機層が真空蒸着法によって成膜される。この低分子系有機EL素子を画素に持つ有機EL表示装置をマルチカラー化、フルカラー化する場合、各画素の有機EL素子をメタルマスク等を用いて選択的に蒸着するため、精度の良い蒸着技術が必要である。蒸着精度は、画素ピッチと解像度、発光素子の開口率、蒸着のずれによる欠陥に影響を及ぼすため、高輝度・高精細・高信頼性の有機EL表示装置を作製する上で極めて重要である。

【0007】

【発明が解決しようとする課題】1つの絵素が3つの異なる発光色を持つ画素からなるフルカラーディスプレイにおいて、例えばR(赤), G(緑), B(青)の各色を発光する画素の最も簡単な画素配列は、図18に示すように、発光部が画素単位でストライプ状の形状に配置されるストライプ配列である。このストライプ配列は、全ての走査線と信号線とが直交することになるため、配

線などのレイアウトがシンプルであるという特長を持っている。しかし、有機EL素子の蒸着を考えた場合、ストライプ配列では、1画素の縦横比が1:1/3となり、1画素の形状が細長くなるため、高い蒸着精度が要求される。

【0008】なお、本明細書においては、1つの発光画素を1画素(サブピクセル)と定義し、隣接するRGBの3画素を単位として1絵素(ピクセル)と定義するものとする。また、画素がマトリクス状(行列状)に配列されてなる画素部において、各行ごとの画素の配列方向、即ち行を選択するための走査線に沿った方向を行方向、各列ごとの画素の配列方向、即ち走査線と直交する方向を列方向と定義するものとする。

【0009】他の画素配列として、図19に示すように、発光部が画素単位で三角形(デルタ)の形状に配列されたデルタ配列が挙げられる。このデルタ配列は、見かけ上のディスプレイの解像度が高く見えるという利点を持っており、画像表示用のディスプレイにしばしば利用される。しかも、デルタ配列では、1画素の縦横比が1/2:2/3となり、1画素の形状が正方形に近く、ストライプ配列に比べて蒸着精度のマージンが大きい。

【0010】このように、発光部を画素単位でデルタ配列した場合、従来は、TFTを含む画素回路についても、同様にデルタ配列を採っていた。しかしながら、画素回路にデルタ配列を用いた場合、上下で隣り合う画素の配置される位置が、画素ピッチの2分の1となるため、走査線、信号線の配線を画素配列に沿って折り曲げて設計するなど複雑な配線形状となり、配線に折れ曲がりが多くなることに起因して欠陥が増えやすく、歩留まり低下の原因になるなどの問題点があった。また、配線レイアウトによっては配線が画素を横切るような場合が発生し、このような場合には開口率の低下の原因となることも考えられる。

【0011】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、発光部を画素単位でデルタ配列した場合の特長を活かしつつ画素回路の信頼性を向上し、高輝度・高精細・高信頼性のアクティブマトリクス型表示装置を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明では、発光部が画素単位で配列されてなる素子層と、発光部の発光素子を駆動する画素回路が画素単位で配列されてなる回路層とを基板上に積層してなるアクティブマトリクス型表示装置において、画素回路が行方向、列方向のいずれも直線上に存在するストライプ状の画素配列(以下、ストライプ配列と称す)を持ち、発光素子が画素回路の画素配列の行方向に2倍、列方向に1/2倍の画素ピッチを有し、隣接する2行の画素配列の位相差が1/2であるデルタ状の画素配列(以下、デルタ配列と称す)を持つ構成を採っている。

【0013】上記構成のアクティブマトリクス型表示装置において、デルタ配列は、見かけ上のディスプレイの解像度が高く見るとともに、精度の良い発光素子の蒸着が可能となり、発光素子の信頼性を向上できるなどの利点を持っている。したがって、発光部の画素配列をデルタ配列とすることにより、ディスプレイの高精細化・高輝度化に寄与できる。一方、画素回路の画素配列をストライプ配列とすることにより、配線を折り曲げる箇所が少なくなり、配線形状を簡素化できるため、画素回路の信頼性を高めることができる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の一実施形態に係るアクティブマトリクス型表示装置、例えばアクティブマトリクス型有機EL表示装置の構成例を示す回路図である。

【0015】図1において、画素回路（以下、単に画素と記す場合もある）11がマトリクス状に多数配置されて表示領域を構成している。ここでは、図面の簡略化のために、 $i$ 行 $\sim i+2$ 行、 $i$ 列 $\sim i+2$ 列の3行3列分の画素配列を例に採って示している。この表示領域には、画素回路11の各々に対して、走査信号 $2X(i) \sim X(i+2)$ が順に与えられることによって各画素を行単位で選択する走査線 $12i \sim 12i+2$ と、各画素に画像データ、例えば輝度データ $Y(i) \sim Y(i+2)$ を供給するデータ線（信号線） $13i \sim 13i+2$ とが配線されている。

【0016】以下の説明では、画素回路11として、 $i$ 行 $i$ 列の画素 $(i, i)$ を例に採って説明する。ただし、他の画素の画素回路についても、全く同じ回路構成となっている。また、表示素子として有機EL素子ELiiを用いるとともに、画素トランジスタとしてTFT（薄膜トランジスタ）を用いている。なお、画素回路11としては、この回路例に限定されるものではない。

【0017】この画素回路11は、画素を選択するための選択トランジスタTRiiaと、データ電圧を保持するための保持容量Ciiと、有機EL素子ELiiを駆動するための駆動トランジスタTRiibとを有する構成となっている。そして、輝度データがデータ線13iから電圧の形で与えられ、有機EL素子ELiiにはデータ電圧に応じた電流が流れるようになっている。

【0018】具体的な接続関係としては、有機EL素子ELiiは、そのアノードが共通電源線（電源電圧Vo）14に接続されている。駆動トランジスタTRiibは、有機EL素子ELiiのカソードと共通グランド線15との間に接続されている。保持容量Ciiは、駆動トランジスタTRiibのゲートと共通グランド線15との間に接続されている。選択トランジスタTRiiaは、データ線13iと駆動トランジスタTRiibのゲートとの間に接続され、そのゲートが走査線12iに接続されている。

【0019】ここで、有機EL素子の構造の一例について説明する。図2に、有機EL素子の断面構造を示す。同図から明らかのように、有機EL素子は、透明ガラスなどからなる基板21上に、透明導電膜からなる第1の電極（例えば、陽極）22を形成し、その上にさらに正孔輸送層23、発光層24、電子輸送層25および電子注入層26を順次堆積させて有機層27を形成した後、この有機層27の上に低仕事関数の金属からなる第2の電極（例えば、陰極）28を形成した構成となっている。

【0020】この有機EL素子において、第1の電極22と第2の電極28との間に直流電圧Eを印加することにより、正孔は第1の電極（陽極）22から正孔輸送層23を経て、電子は第2の電極（陰極）28は電子輸送層25を経て、それぞれ発光層24内に注入される。そして、注入された正負のキャリアによって発光層24内の蛍光分子が励起状態となり、この励起分子の緩和過程で発光が得られるようになっている。

【0021】上記構成の本実施形態に係るアクティブマトリクス型有機EL表示装置の断面構造を図3に示す。なお、図3には、ある1つの画素（サブピクセル）を構成する有機EL素子とその画素回路を示している。

【0022】図3において、ガラス基板31上に先ず、先述した選択トランジスタTRiiaおよび駆動トランジスタTRiibを含む画素回路（TFT回路）が作製されて回路層32を形成するとともに、配線33がパターン化されて形成され、その上に平坦化膜34が成膜される。平坦化膜34の上にはさらに、先述したように、2つの電極35、36に有機層37が挟持されてなる有機EL素子が作製されて素子層38を形成している。

【0023】図2に示した有機EL素子の断面構造との関係において、下部電極35が第1の電極（例えば、陽極）22に対応し、上部電極36が第2の電極（例えば、陰極）に対応し、有機層37が発光層24を含む有機層27に対応している。そして、回路層32の画素回路と素子層38の有機EL素子とは、平坦化膜34に形成されるコンタクト部（接続部）39によって電氣的に接続される。

【0024】ここで、有機EL素子の画素配列と画素回路の画素配列との組み合わせについて、図4の平面パターン図を用いて説明する。

【0025】本実施形態に係るアクティブマトリクス型有機EL表示装置では、素子層38でのRGBの各光を発光するサブピクセル（有機EL素子）の画素配列を、図4(A)に示すデルタ配列とする一方、回路層32での画素回路の画素配列を、図4(B)に示すストライプ配列とし、両画素配列の各画素を、図4(C)に示すように、1:1の対応関係を持って対向配置した構成を持っている。なお、図4(A)、(C)において、点線の領域内が各画素の発光領域となっている。

【0026】このように、サブピクセル(有機EL素子)の画素配列をデルタ配列とし、このデルタ配列のピクセルを互い違いに配置した場合、ディスプレイとしては、デルタ配列の画像が得られる。デルタ配列は、先述したように、見かけ上のディスプレイの解像度が高く見えるという利点を持っており、特に画像表示用のディスプレイに最適である。

【0027】ところで、特に低分子系有機EL素子は、通常、有機層が蒸着によって成膜される。この有機EL素子を画素に持つ有機EL表示装置をマルチカラー化、フルカラー化する場合、これら有機EL素子を、メタルマスクなどを用いて選択的に蒸着するため、精度の良い蒸着技術が必要である。蒸着のずれは、有機層37が蒸着されず下部電極36と上部電極37とが短絡したり、隣接画素に蒸着されることで、混色や非発光の原因になる、などの問題が生じる。

【0028】また、蒸着精度が十分でない場合、所望の画素ピッチを持つ有機EL素子を作製できないため、有機ELディスプレイの高精細化が不可能となる。さらに、通常、電極や絶縁膜等の加工精度に比べて、有機層の蒸着精度の方が悪い場合、たとえ、ある解像度のディスプレイの作成が可能としても、画素の精度は有機層によって律束される。すなわち、有機層の蒸着精度の低下は、発光層の開口率の低下の原因となる。

【0029】これに対して、本実施形態に係る有機EL表示装置では、サブピクセル(有機EL素子)の画素配列としてデルタ配列を採っており、隣接するRGBの3サブピクセルを単位とする1絵素(ピクセル)が占める面積を一定とした場合、図5から明らかなように、デルタ配列(B)の1サブピクセルの画素形状は、ストライプ配列(A)の1サブピクセルの画素形状に比べて正方形に近い。

【0030】したがって、有機EL素子の有機層を蒸着で成膜する場合、同一色のサブピクセル間の特に列方向における距離を大きくとれるため、デルタ配列(B)の方がストライプ配列(A)に比べて、蒸着用メタルマスクの精度に余裕ができる。逆に、同一の精度をもつ蒸着を行う場合には、デルタ配列(B)の方がストライプ配列(A)に比べて開口率を大きくすることが可能となる。

【0031】また、メタルマスクの開口の形状が、ストライプ配列(A)の場合には、図6(A)に示すように、長方形形状の画素に対応して細長い長方形(スリット状)となるのに対して、デルタ配列(B)の場合には、図6(B)に示すように、画素の形状に対応してより正方形に近い形状となる。

【0032】ここで、蒸着ソースから飛んでくる粒子の斜め成分に着目すると、開口形状が細長い長方形のマスク(A)の場合は、マスクによるけられが大きいため、蒸着の斜め成分に対して弱い。マスクによるけられが大

きいと、画素内膜厚分布が悪化するため、有機EL素子の信頼性低下の要因となる。これに対して、開口形状がほぼ正方形のマスク(B)の場合は、マスクによるけられが小さいため、蒸着の斜め成分に対して強く、画素内膜厚分布を均一にできる。

【0033】近年のディスプレイの高精細化に伴い、蒸着マスクが大型になり、剛性を保つために蒸着マスクの肉厚も厚くなる傾向にある。蒸着マスクの肉厚が厚くなることで、マスクによるけられがさらに大きくなる。したがって、画素内膜厚分布を均一にする観点からしても、サブピクセルの画素配列としては、ストライプ配列よりもデルタ配列の方が有利である。

【0034】上述したことから明らかなように、サブピクセルの画素配列としてデルタ配列(B)を用いることにより、ストライプ配列(A)を用いる場合に比べて、精度の良い有機EL素子の蒸着が可能となり、有機EL素子の信頼性の向上および微細化が図れるため、高信頼性かつ高精細・高輝度な有機ELディスプレイを実現できる。

【0035】一方、画素回路の画素配列についてはストライプ配列を採用することにより、デルタ配列の場合のように、配線を画素配列に沿って折り曲げて設計する必要がなく、配線を折り曲げる箇所が少なく済むため、配線形状を簡素化できる。その結果、画素回路の信頼性を高めることができる。また、発光素子の発光領域については、必ずしも四辺形または四角形である必要はなく、例えば図7に示すような六角形であっても良い。

【0036】なお、上記実施形態におけるデルタ配列とは、図8に示すように、太線で囲ったデルタ配列の1ピクセル(1RGB)、即ち同一発光色のサブピクセルが互いに隣接しない関係を有し、かつ異なる3色の3サブピクセルの中心位置が互いに隣接しながら三角形を形成するピクセルが、互い違いに配置されたピクセル配列のことを言っている。このデルタ配列に対して、画素回路の画素配列をストライプ配列とする場合、データ信号から適切な画像を得るためには、走査線やデータ線をデルタ配列の画素配列にしたがって複雑に配線したり、駆動システムでデータ信号をデルタ配列用のデータ信号に変換したりするなどが必要となる。

【0037】ところで、デルタ配列の問題点として、行方向に隣接するピクセル間の列方向の位相差が1/2ピクセル分存在することが挙げられ、デルタ配列では、縦方向の直線の正確な画像表示が難しい。したがって、キャラクタ(文字)表示を必要とするPC(パーソナルコンピュータ)モニタ用ディスプレイでは、ストライプ配列が用いられるのが一般的である。

【0038】図9に、デルタ配列の変形例を示す。この変形例に係るデルタ配列は、太線で囲ったデルタ配列の1ピクセル(1RGB)が、ストライプ状に配置されたデルタ配列となっている。すなわち、画素2行内で互い

に上下が反転した三角形である正デルタ状、逆デルタ状が交互に配置されたピクセル配列となっている。このデルタ配列の場合には、ディスプレイとしては、ストライプ配列と同様に、行方向に隣接するピクセルが互いに同じ位置に配置されることになる。

【0039】したがって、有機EL素子の配列はデルタ配列であることから、先述したように、同一色間のメタルマスクの距離を大きくとれるため、精度の良い蒸着が可能となり、有機EL素子の信頼性の向上および微細化が図れる。しかも、デルタ配列の1ピクセル(1RG 10 B)がストライプ状に配置されているため、有機EL素子がストライプ配列の場合と同様に駆動できる。したがって、デルタ配列の場合に比べて、正確なキャラクタ表示が可能となる。

【0040】これにより、デルタ配列の有機EL素子を駆動する場合のように、走査線やデータ線を複雑に配線したり、駆動システムでデータ信号をデルタ配列用のデータ信号に変換したりする必要がないため、簡単な配線および駆動システムで、高信頼性、高精細で、かつデルタ配列と比較してキャラクタ表示に適した有機ELディ 20 スプレイの作製が可能となる。

【0041】ところで、先述した実施形態に係るアクティブマトリクス型有機EL表示装置のように、画素回路の画素配列をストライプ配列とし、発光部の画素配列をデルタ配列とした構成を採る場合、図10に示すように、行間に直線状にコンタクト部39を形成し、このコンタクト部39を介して回路層32の画素回路と、素子層38の対応する有機EL素子とを電気的に接続する構成が一般的に採られると考えられる。

【0042】図10において、実線で示す領域が発光部 30 (画素)を示し、点線で示す領域が発光領域を示している。しかしながら、コンタクト部39を行間に直線状に配置するには、行間にコンタクト部39を形成するために幅Wの領域を確保しなければならない。これにより、列方向(垂直方向)の画素ピッチを小さく設定できなくなる。逆に、ある一定の画素ピッチを確保するためには、発光領域の面積(以下、発光面積と称す)を小さくせざるを得ない。

【0043】このコンタクト部39の形成に伴う上記の問題点を解消するために、本発明では、次のような構成 40 を採る。以下、回路層32の画素回路と素子層38の有機EL素子とを電気的に接続するコンタクト部39を形成する際の構成について、いくつか例を挙げて説明する。

【0044】[第1構成例]第1構成例では、画素回路に対してコンタクト部39を、行方向で隣り合う2画素を単位とし、これら2画素間で異なる位置に、例えば図 11に示すように、行間の境界線を挟んで上下にジグザグになるように配置する構成を採っている。これは、図 4(C)に示す構成そのものである。図4(C)からも 50

明らかなように、コンタクト部39は、走査線方向(行方向)で隣り合う2画素間、即ちR画素とG画素間、G画素とB画素間、B画素とR画素間で位置が異なり、行間の境界線を挟んで上下にジグザグの配置となっている。

【0045】このように、画素回路の画素配列をストライプ配列とし、発光部の画素配列をデルタ配列とした構成のアクティブマトリクス型有機EL表示装置において、画素回路に対してコンタクト部39を行方向で隣り合う2画素を単位とし、これら2画素間で異なる位置に配置することにより、行間にコンタクト部39を配置するための領域を確保する必要がなくなるため、その分だけ発光面積をより大きくとることができるとともに、垂直方向の画素ピッチをより小さく設定できる。

【0046】[第1構成例の変形例]なお、発光部および発光領域の形状については、図11に示すような矩形に限られるものではなく任意である。一例として、図12に示すように、発光部および発光領域の形状を五角形とし、隣り合う2行間で各発光部の突出部分を噛み合わせるように配置する構成が考えられる。この場合、コンタクト部39については、図12に示すように、発光領域の突出部分に配置するようにする。この場合にも、コンタクト部39は画素回路に対して2画素を単位とし、これら2画素間で異なる位置に配置されることになる。

【0047】このように、発光部および発光領域の形状を五角形とし、その突出部分にコンタクト部39を配置することにより、五角形の発光領域のうち、実際に発光に寄与する領域(以下、実発光領域と称す)を突出部分を除くほぼ矩形領域とすることができるため、発光面積をより大きくとることができる。すなわち、コンタクト部39の形成部分には段差が生じ、発光に寄与しない領域となるため、発光部および発光領域の形状を図11に示すような矩形とした場合には、その矩形領域がそのまま実発光領域となるのではなく、コンタクト部39の形成部分だけ実発光領域が狭くなる。

【0048】これに対して、本変形例の場合のように、発光部および発光領域の形状を五角形とし、その突出部分にコンタクト部39を配置する、換言すれば、発光部の決められた発光領域(本例の場合、図11に示す矩形領域)に対してその発光領域外に配置することにより、突出部分だけが発光に寄与しない領域となるだけであり、図11に示す矩形領域と同等の大きさの領域を実発光領域とすることができるため、発光面積をより大きくとることができるのである。

【0049】上記構成例およびその変形例においては、コンタクト部39の位置についてのみ特定するものであり、画素回路を構成するTFT等の回路素子のレイアウトについては特に問わない。ただし、回路素子のレイアウトが画素間で異なると、一般的に、画素回路の特性も画素間でばらつく可能性がある。

【0050】[第2構成例]そこで、第2構成例では、図13(A)に示すように、コンタクト部39を行方向で隣り合う2画素(F, F)を単位とし、これら2画素(F, F)間で異なる位置に、即ち上下にジグザグになるように配置する一方、画素回路を構成するTFT等の回路素子のレイアウトを画素間で同一(一定)にする構成を採っている。なお、図13(A)では、回路層32の画素形状および発光部とのコンタクト部39のみを示している。また、F, Fは、コンタクト部39の位置のみが異なり、回路素子のレイアウトは同じである

【0051】このように、コンタクト部39のみを行方向で隣り合う2画素を単位とし、これら2画素で異なる位置に配置する一方、画素回路を構成するTFT等の回路素子のレイアウトを画素間で同一にすることにより、コンタクト部39の位置の設定によって発光面積をより広くとり、発光領域の最適化を図ることができるとともに、回路素子のレイアウトによる画素ごとの画素回路の特性変動を最小限に抑え、一様な特性を持つ画素回路部を実現することができる。

【0052】[第2構成例の変形例]この変形例では、図13(B)に示すように、画素回路を構成するTFT等の回路素子のレイアウトを画素間で同一(一定)にするとともに、画素回路に対してコンタクト部39を中心からずれた位置に配置し、この画素回路を行方向に隣り合う2画素間で反転させた構成を採っている。これにより、回路素子のレイアウトが画素間で同一であるのに対し、コンタクト部39のみが行方向で隣り合う2画素を単位とし、これら2画素間で上下にジグザグに配置されることになる。

【0053】この変形例の場合にも、コンタクト部39の位置の設定によって発光面積をより広くとり、発光領域の最適化を図ることができるとともに、回路素子のレイアウトによる画素ごとの画素回路の特性変動を最小限に抑え、一様な特性を持つ画素回路部を実現することができる。特に、画素回路として、走査線が1本だけの回路構成のものを使用する場合には、当該走査線を画素回路の真ん中に行方向に沿って配線することができる。

【0054】[第3構成例]第3構成例では、画素回路を構成するTFT等の回路素子のレイアウトを画素間で同一(一定)にするとともに、画素回路に対してコンタクト部39の位置も画素間で同一にし、図14(A)に示すように、各画素回路を行方向に隣り合う2画素間で列方向にずらした構成を採っている。これにより、コンタクト部39のみが行方向で隣り合う2画素を単位とし、これら2画素間で上下にジグザグに配置されることになる。

【0055】この構成例の場合にも、コンタクト部39の位置の設定によって発光面積をより広くとり、発光領域の最適化を図ることができるとともに、回路素子のレ

イアウトによる画素ごとの画素回路の特性変動を最小限に抑え、一様な特性を持つ画素回路部を実現することができる。なお、図14(B)に示すように、画素回路を行方向に隣り合う2画素間で反転させかつ列方向にずらした構成を採った場合にも、同様の作用効果を得ることができる。

【0056】[第4構成例]図15は、第4構成例に係るレイアウトを示すパターン図であり、画素回路が図16に示す電流書き込み型画素回路からなる場合のレイアウトの実例を示している。

【0057】先ず、電流書き込み型画素回路の回路構成について説明する。ここでは、図面の簡略化のために、i列において互いに隣り合うi行目およびi+1行目の2画素(i, i), (i, i+1)の画素回路P1, P2のみを示している。

【0058】図16において、画素(i, i)の画素回路P1は、カソードが第1電源(本例では、グランド)に接続された有機EL素子41-1と、ドレインが有機EL素子41-1のアノードに接続され、ソースが第2電源(本例では、正電源Vdd)に接続されたTFT42-1と、このTFT42-1のゲートと正電源Vddとの間に接続されたキャパシタ43-1と、ドレインがTFT42-1のゲートに、ゲートが走査線48B-1にそれぞれ接続されたTFT44-1とを有している。

【0059】同様に、画素(i, i+1)の画素回路P2は、カソードがグランドに接続された有機EL素子41-2と、ドレインが有機EL素子41-2のアノードに接続され、ソースが正電源Vddに接続されたTFT42-2と、このTFT42-2のゲートと正電源Vddとの間に接続されたキャパシタ43-2と、ドレインがTFT42-2のゲートに、ゲートが走査線48B-2にそれぞれ接続されたTFT44-2とを有している。

【0060】そして、これら2画素分の画素回路P1, P2に対して、ドレインとゲートが電氣的に短絡されたいわゆるダイオード接続のTFT45と、このTFT45とデータ線47との間に接続されたTFT46とが共通に設けられている。すなわち、TFT45は、ドレイン・ゲートが画素回路P1のTFT44-1のソースおよび画素回路P2のTFT44-2のソースにそれぞれ接続され、ソースが正電源Vddに接続されている。また、TFT46は、ドレインがTFT45のドレイン・ゲートに、ソースがデータ線47に、ゲートが走査線48Aにそれぞれ接続されている。

【0061】この回路例では、TFT42-1, 42-2およびTFT45としてPチャネルMOSトランジスタを、TFT44-1, 44-2およびTFT46としてNチャネルMOSトランジスタを用いている。ただし、これらの導電型に限られるものではない。

【0062】上記構成の画素回路P1, P2において、

TFT46は、データ線47から与えられる電流IwをTFT45に選択的に供給する第1の走査スイッチとしての機能を持つ。TFT45は、データ線47からTFT46を通して与えられる電流Iwを電圧に変換する変換部としての機能を持つとともに、TFT42-1, 42-2と共にカレントミラー回路を形成している。ここで、TFT45を画素回路P1, P2間で共用できるのは、TFT45が電流Iwの書き込みの瞬間だけ利用される素子だからである。

【0063】TFT44-1, 44-2は、TFT45で変換された電圧をキャパシタ43-1, 43-2に選択的に供給する第2の走査スイッチとしての機能を持つ。キャパシタ43-1, 43-2は、TFT45で電流から変換され、TFT44-1, 44-2を通して与えられる電圧を保持する保持部としての機能を持つ。TFT42-1, 42-2は、キャパシタ43-1, 43-2に保持された電圧を電流に変換し、有機EL素子41-1, 41-2に流すことによってこれら有機EL素子41-1, 41-2を発光駆動する駆動部としての機能を持つ。

【0064】ここで、上記構成の電流書き込み型画素回路における輝度データの書き込み動作について説明する。

【0065】まず、画素(i, i)に対する輝度データの書き込みを考えると、走査線48A, 48B-1が共に選択された状態で、データ線47に輝度データに応じた電流Iwが与えられる。この電流Iwは、導通状態にあるTFT46を通してTFT45に供給される。TFT45に電流Iwが流れることにより、TFT45のゲートには電流Iwに応じた電圧が発生する。この電圧は、導通状態にあるTFT44-1を通してキャパシタ43-1に保持される。

【0066】そして、キャパシタ43-1に保持された電圧に応じた電流がTFT42-1を通して有機EL素子41-1に流れる。これにより、有機EL素子41-1が発光を開始する。走査線48A, 48B-1が非選択状態になると、画素(i, i)への輝度データの書き込み動作が完了する。この一連の動作において、走査線48B-2が非選択状態にあるので、画素(i, i+1)の有機EL素子41-2はキャパシタ43-2に保持された電圧に応じた輝度で発光しており、画素(i, i)への書き込み動作は有機EL素子41-2の発光状態に何らの影響も与えない。

【0067】次いで、画素(i, i+1)に対する輝度データの書き込み動作について考えると、走査線48A, 48B-2が共に選択された状態で、データ線47に輝度データに応じた電流Iwが与えられる。この電流IwがTFT46を通してTFT45に流れることで、TFT45のゲートには電流Iwに応じた電圧が発生する。この電圧は、導通状態にあるTFT44-2を通し

てキャパシタ43-2に保持される。

【0068】そして、キャパシタ43-2に保持された電圧に応じた電流がTFT42-2を通して有機EL素子41-2に流れ、よって有機EL素子41-2が発光を開始する。この一連の動作において、走査線48B-1が非選択状態にあるので、画素(i, i)の有機EL素子41-1はキャパシタ43-1に保持された電圧に応じた輝度で発光しており、画素(i, i+1)への書き込み動作は有機EL素子41-1の発光状態に何らの影響も与えない。

【0069】続いて、上記構成の電流書き込み型画素回路を用いた場合のレイアウトの実例について、図15のパターン図を用いて説明する。

【0070】本レイアウトの例では、行方向(走査線方向)で隣り合う2画素(i, i), (i, i+1)の画素回路を組とし、これら2画素の画素回路を構成する回路素子、特にTFTおよびその配線パターンについては、列間の境界線に関して対称となるレイアウトとしている。ただし、素子層の有機EL素子と画素回路とを電氣的に接続するコンタクト部39については、先述した第1~第3構成例の場合と同様に、この組をなす2画素を単位とし、これら2画素間で上下にジグザグになるように、画素回路に対して異なる位置に配置するようにしている。

【0071】図15のレイアウトパターン図において、各回路素子を図16の画素回路の回路図における画素(i, i)の画素回路P1の各回路素子と対応させると、T1がTFT45に、T2がTFT42-1に、T3がTFT46に、T4がTFT44-1に、Cs(ハッチング領域)がキャパシタ43-1にそれぞれ対応している。

【0072】そして、図15から明らかなように、行方向(図の左右方向)で隣り合う2画素(i, i), (i+1, i)の画素回路間において、2画素単位でジグザグになるように配置されたコンタクト部39を除いて、回路素子のレイアウトが列間の境界線Lyに関して対称となるように構成されている。また、列方向(図の上下方向)で隣り合う2画素(i, i), (i, i+1)、即ち隣り合う2行の画素回路間において、コンタクト部39を除いて、回路素子のレイアウトが行間の境界線Lxに関して対称となるように構成されている。

【0073】これら各画素のレイアウトパターンにおいて、行方向で隣り合う2画素を単位とし、これら2画素間、即ち図15の例では、画素(i, i)と画素(i+1, i)間、画素(i, i+1)と画素(i+1, i+1)間には、境界線Lyに沿って電源(Vdd)線51が配線されている。そして、この電源線51を行方向で隣り合う2画素間で共用するようにしている。この構成を採ることで、2列分の電源線を1本の電源線として配線できるため、図15から明らかなように、電源線51

の配線幅を太く設定できることになる。

【0074】また、列方向で隣り合う2画素を単位とし、これら2画素間、即ち図15の例では、画素(i, i)と画素(i, i+1)間、画素(i+1, i)と画素(i+1, i+1)間、画素(i+2, i)と画素(i+2, i+1)間には、境界線Lxに沿ってX1(i, i+1)の走査線52が配線されている。そして、この走査線52を列方向で隣り合う2画素間で共用することで、図16の画素回路におけるTF T 46、即ち図15のトランジスタT3の2画素間での共用化を図

【0075】さらに、面積の大きい配線パターン、例えば電源線51の配線パターン中に存在するトランジスタT1(図16のTF T 45)のソースのコンタクト部Aや、トランジスタT2(図16のTF T 42-1)のソースのコンタクト部Bなどの近傍には、配線方向に沿って延びるスリット53, 54が形成されている。図17に、例えばコンタクト部Aの近傍にスリット53を有するトランジスタT1の構造を示す。ここで、スリット53(54)の作用について説明する。

【0076】トランジスタT1の横に大きい領域(面積)の配線パターン、本例では電源線51の配線パターンが存在すると、製造の段階で熱を与えたときに配線材料(例えば、アルミニウム)がトランジスタ側に拡散し、トランジスタを破壊する懸念がある。これに対して、トランジスタT1のコンタクト部Aの近傍にスリット53を形成することで、トランジスタ側に拡散する配線材料の供給源を減らすことができる。その結果、配線材料のトランジスタ側への拡散を抑えることができるため、製造段階でのトランジスタの破壊を未然に防止でき

【0077】上述したように、上記の各構成例によれば、コンタクト部39を2画素を単位とし、これら2画素間で上下にジグザグになるように、画素回路に対して異なる位置に配置するようにしたことにより、発光面積、即ち開口率を大きくとれるため、アクティブマトリクス型有機EL表示装置の高輝度化を図ることができる。しかも、画素回路間の特性を一様にできるため、アクティブマトリクス型有機EL表示装置の高品位化も図ることができる。

【0078】なお、上記実施形態では、画素回路の発光素子として、有機EL素子を用いたアクティブマトリクス型有機EL表示装置に適用した場合を例に採って説明したが、本発明はこれに限られるものではなく、回路層上に発光層を含む素子層を積層してなるアクティブマトリクス型表示装置全般に適用し得るものである。

【0079】

【発明の効果】以上説明したように、本発明によれば、アクティブマトリクス型表示装置において、発光部が画素単位で配列されてなる素子層と、発光部の発光素子を駆動する画素回路が画素単位で配列されてなる回路層とを基板上に積層するに当たり、画素回路の画素配列をストライプ配列とする一方、発光素子の画素配列をデルタ配列としたことにより、発光素子のデルタ配列の特長を活かしつつ画素回路の信頼性を向上し、高信頼性でかつ高精細・高輝度な表示装置を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るアクティブマトリクス型有機EL装置の構成例を示す回路図である。

【図2】有機EL素子の構造の一例を示す断面図である。

【図3】本実施形態に係るアクティブマトリクス型有機EL表示装置の断面構造を示す断面図である。

【図4】有機EL素子の画素配列と画素回路の画素配列との組み合わせを示す平面パターン図である。

【図5】有機EL素子のストライプ配列(A)、デルタ配列(B)による画素間距離の違いを示す図である。

【図6】メタルマスクの開口形状を示す図である。

【図7】発光素子の発光領域の他の形状を示す図である。

【図8】有機EL素子のデルタ配列の一例を示す図である。

【図9】有機EL素子のデルタ配列の変形例を示す図である。

【図10】コンタクト部の形成に伴う問題点を説明する図である。

【図11】コンタクト部形成の第1構成例を示す図である。

【図12】第1構成例の変形例を示す図である。

【図13】コンタクト部形成の第2構成例を示す図である。

【図14】コンタクト部形成の第3構成例を示す図である。

【図15】コンタクト部形成の第4構成例を示すレイアウトパターン図である。

【図16】電流書き込み型画素回路の構成の一例を示す回路図である。

【図17】コンタクト部近傍にスリットを持つトランジスタの構造を示す斜視図である。

【図18】ストライプ配列の構成図である。

【図19】デルタ配列の構成図である。

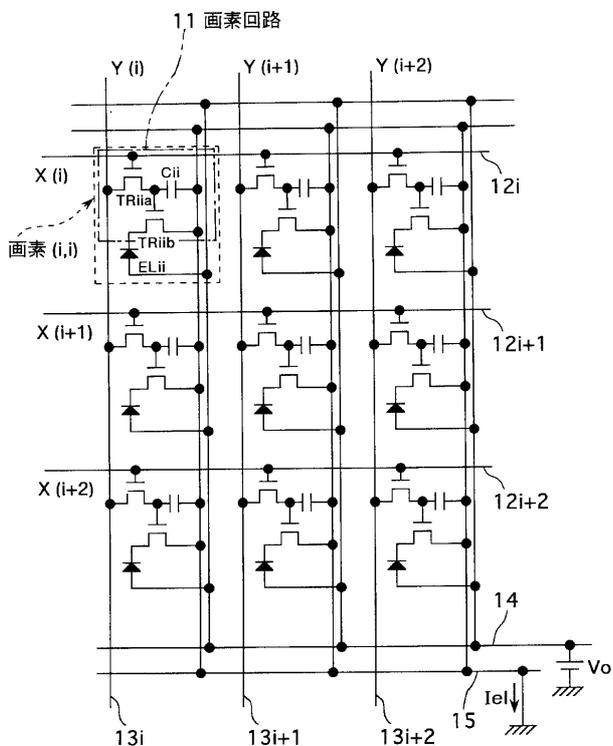
【符号の説明】

11...画素回路、12i ~ 12i+2, 52...走査線、13i ~ 13i+2...データ線、14, 51...共通電源線、15...共通グランド線、22...第1の電極、24...発光層、27, 37...有機層、31...ガラス基板、32...回路層、34...平坦化膜、35...下部電極、36...上部電

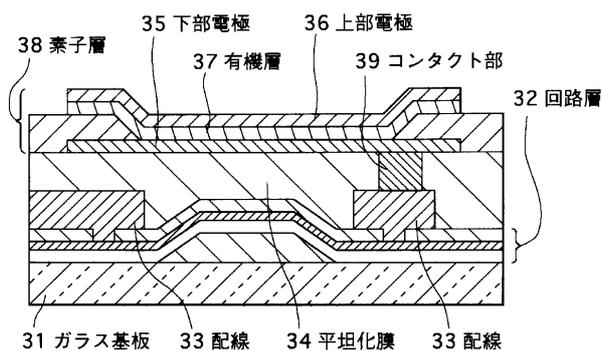
極、38...素子層、39...コンタクト部(接続部)、53, 54...スリット、Cii...保持容量、ELii...有機E\*

\*L素子、P1, P2...画素回路、TRiia...選択トランジスタ、TRiib...駆動トランジスタ

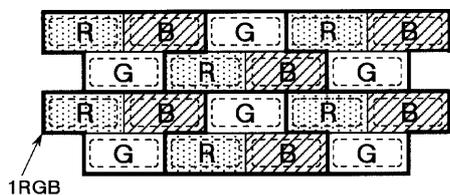
【図1】



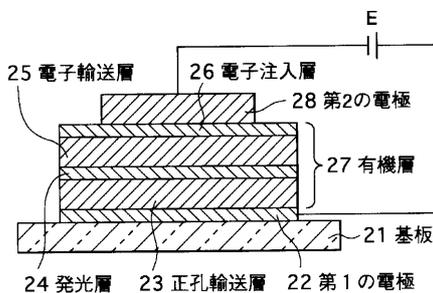
【図3】



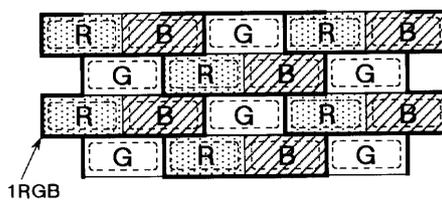
【図9】



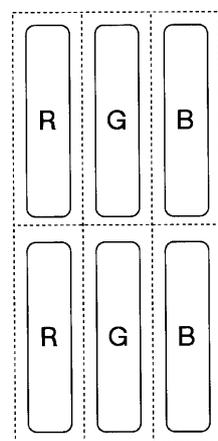
【図2】



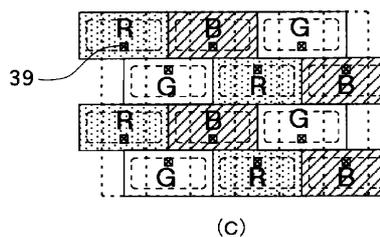
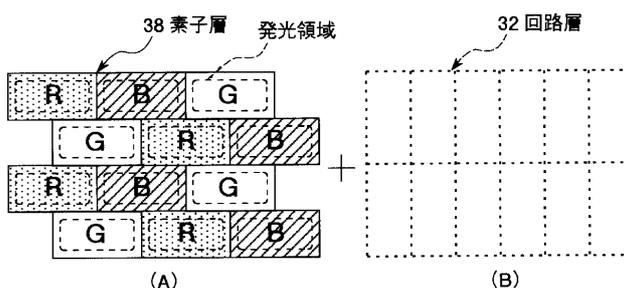
【図8】



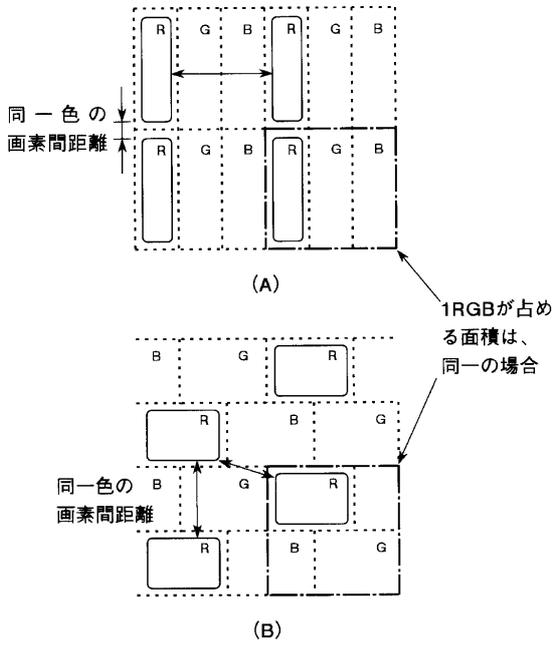
【図18】



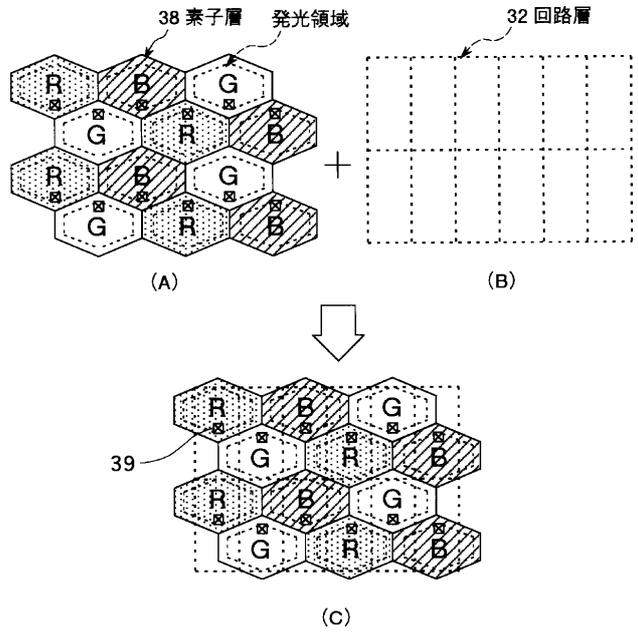
【図4】



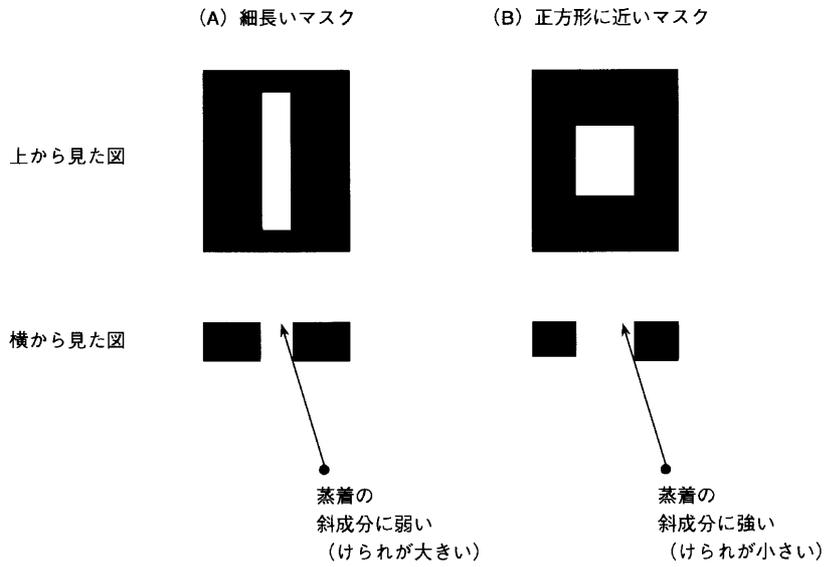
【図5】



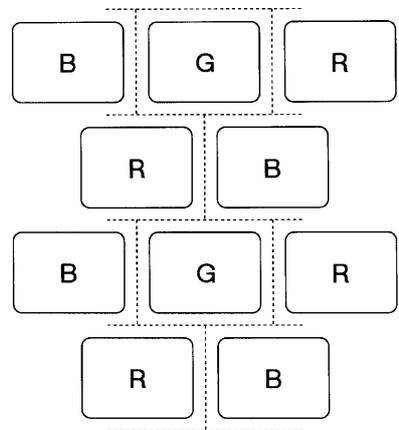
【図7】



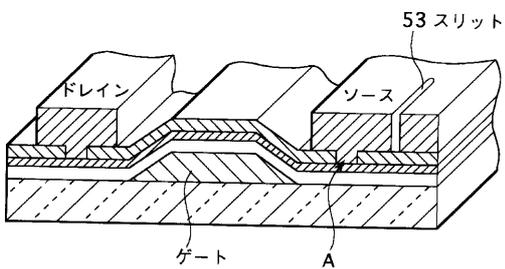
【図6】



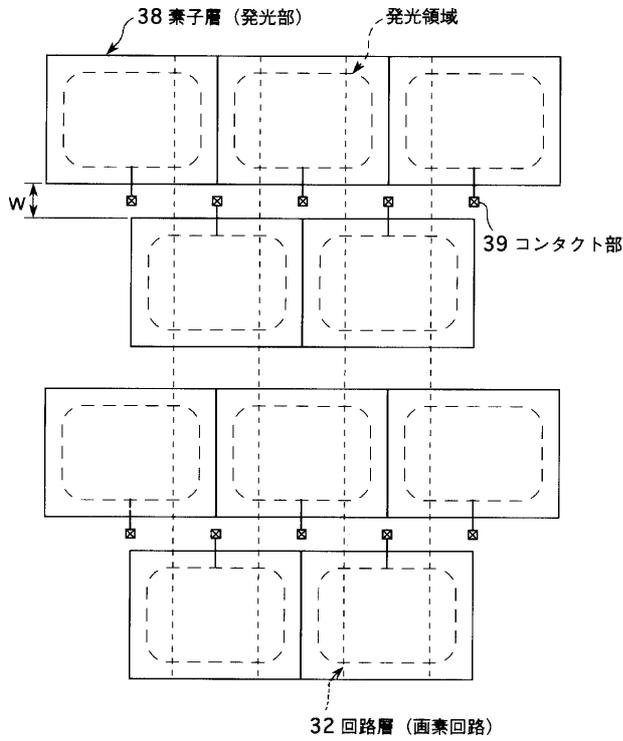
【図19】



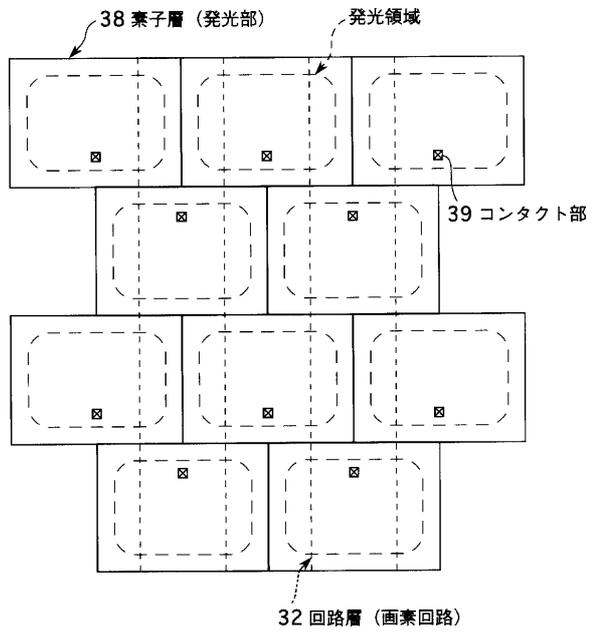
【図17】



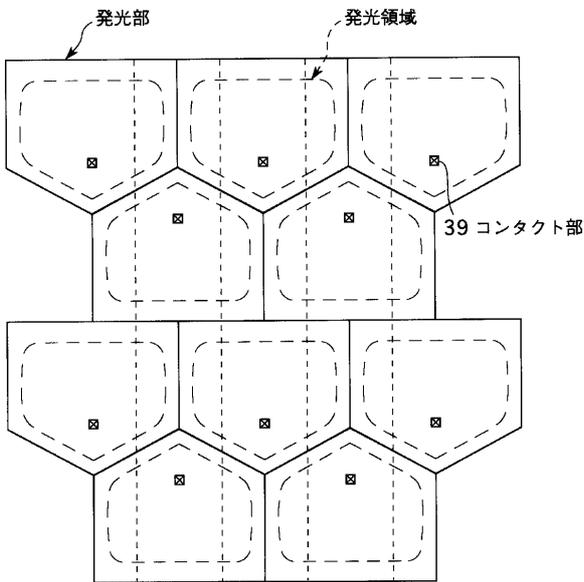
【図10】



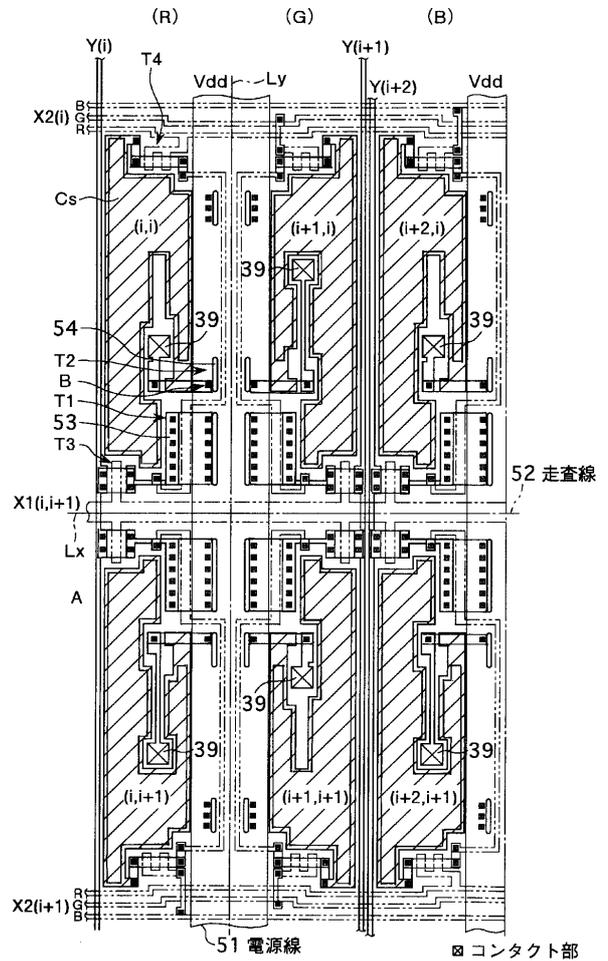
【図11】



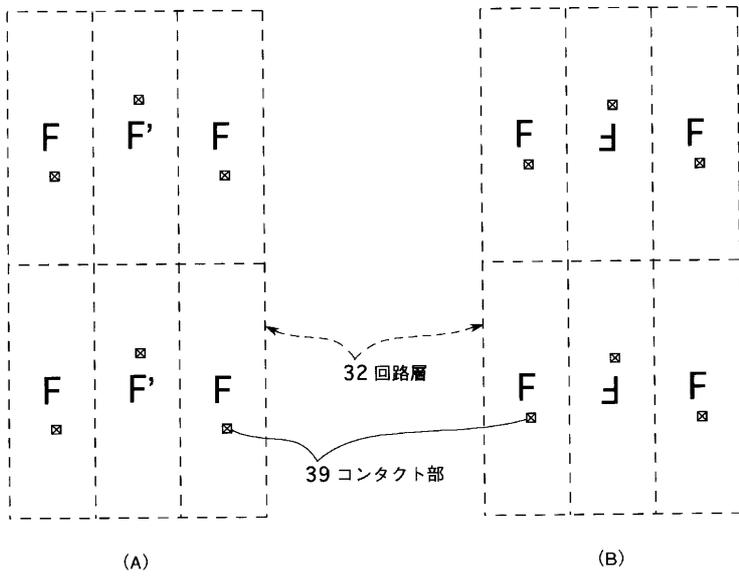
【図12】



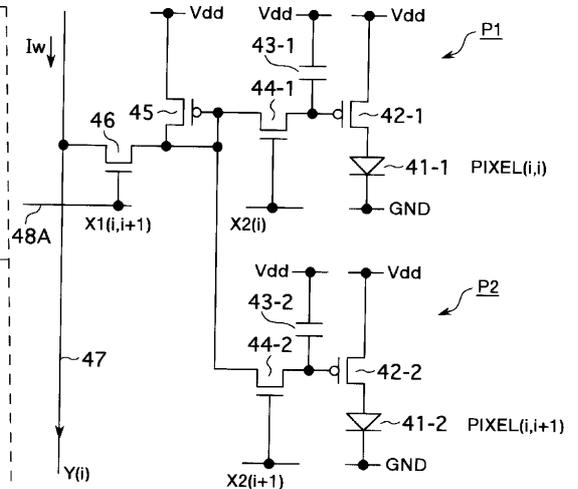
【図15】



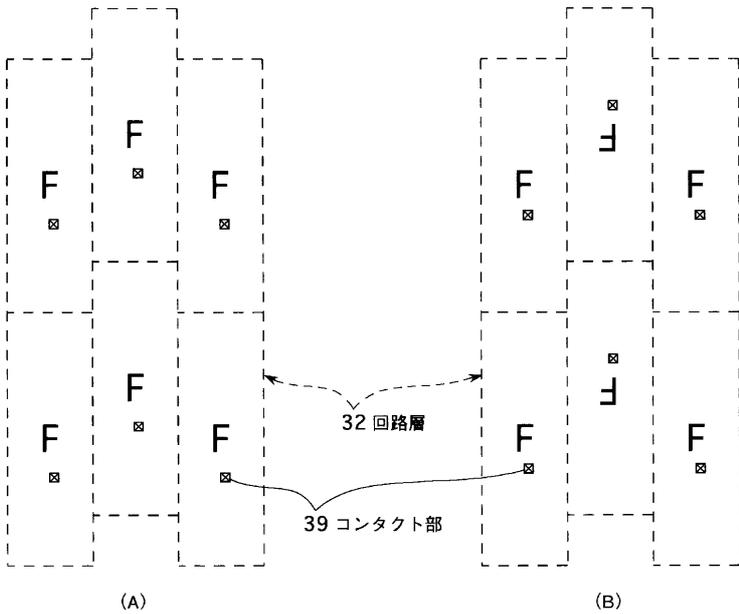
【図13】



【図16】



【図14】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
// G 0 9 G 3/30

識別記号

F I  
G 0 9 G 3/30

テラコード<sup>\*</sup>(参考)  
Z

(72)発明者 森 敬郎  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 関谷 光信  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

Fターム(参考) 3K007 AB02 AB04 AB17 AB18 BA06  
DA01 DB03 EB00 GA04  
5C080 AA06 BB05 CC03 DD28 FF11  
JJ03 JJ06  
5C094 AA05 AA08 AA10 AA21 AA31  
AA42 AA43 AA48 AA53 BA03  
BA12 BA27 CA19 CA20 CA24  
DA09 DA13 DB01 DB04 EA04  
EA07 EB02 FA01 FB01 FB12  
FB14 FB15 FB20 GA10 JA01

专利名称(译)	有源矩阵显示		
公开(公告)号	<a href="#">JP2002221917A</a>	公开(公告)日	2002-08-09
申请号	JP2001299647	申请日	2001-09-28
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	浅野慎 山田二郎 森敬郎 関谷光信		
发明人	浅野 慎 山田 二郎 森 敬郎 関谷 光信		
IPC分类号	H05B33/12 G02F1/133 G09F9/30 G09G3/20 G09G3/30 G09G3/32 H01L27/32 H01L51/50 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0452 G09G2300/0804 G09G2300/0814 G09G2300/0842 H01L27/3211 H01L27/3248 H01L27/326		
FI分类号	G09F9/30.390.C G09F9/30.338 G09F9/30.365.Z H05B33/12.B H05B33/14.A G09G3/30.Z G09F9/30.365 G09F9/302.C G09G3/20.624.B G09G3/20.642.K G09G3/3241 G09G3/3266 G09G3/3283 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB02 3K007/AB04 3K007/AB17 3K007/AB18 3K007/BA06 3K007/DA01 3K007/DB03 3K007/EB00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD28 5C080/FF11 5C080/JJ03 5C080/JJ06 5C094/AA05 5C094/AA08 5C094/AA10 5C094/AA21 5C094/AA31 5C094/AA42 5C094/AA43 5C094/AA48 5C094/AA53 5C094/BA03 5C094/BA12 5C094/BA27 5C094/CA19 5C094/CA20 5C094/CA24 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5C094/FA01 5C094/FB01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB20 5C094/GA10 5C094/JA01 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC21 3K107/CC35 3K107/CC36 3K107/CC45 3K107/EE03 3K107/EE07 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB12 5C380/AB34 5C380/AB41 5C380/AB46 5C380/AC08 5C380/BA14 5C380/BA29 5C380/BB05 5C380/BB22 5C380/CA12 5C380/CA13 5C380/CB01 5C380/CB37 5C380/CC02 5C380/CC14 5C380/CC26 5C380/CC33 5C380/CC58 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD014 5C380/DA02 5C380/DA06 5C380/DA31		
代理人(译)	船桥 国则		
优先权	2000355195 2000-11-22 JP		
其他公开文献	JP3620490B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

解决的问题：在包括TFT的像素电路中使用三角形阵列，以形成复杂的布线形状，例如通过沿像素阵列弯曲来设计布线，并增加布线中的弯曲数，从而容易增加缺陷。这会导致产量下降。解决方案：元件层38中，每个像素发射三种颜色的有机EL元件，每个像素发射不同的光；电路层中，用于驱动有机EL元件的像素电路以像素为单位在其中在基板上堆叠有32和32的有源矩阵有机EL显示装置中，在元件层38中发射RGB光的子像素（有机EL元件）的像素阵列是德尔塔阵列（A）。电路层32中的像素电路的像素阵列是条状阵列（B），并且两个像素阵列的像素彼此相对地以1：1对应布置。

