

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4923505号
(P4923505)

(45) 発行日 平成24年4月25日 (2012. 4. 25)

(24) 登録日 平成24年2月17日 (2012. 2. 17)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 (2006. 01)

G 0 9 G 3 / 2 0 6 1 1 H

H 0 1 L 5 1 / 5 0 (2006. 01)

G 0 9 G 3 / 2 0 6 2 4 B

G 0 9 G 3 / 2 0 6 4 1 D

G 0 9 G 3 / 2 0 6 2 1 M

請求項の数 14 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2005-294308 (P2005-294308)
 (22) 出願日 平成17年10月7日 (2005. 10. 7)
 (65) 公開番号 特開2007-102046 (P2007-102046A)
 (43) 公開日 平成19年4月19日 (2007. 4. 19)
 審査請求日 平成20年9月26日 (2008. 9. 26)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100118290
 弁理士 吉井 正明
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100120640
 弁理士 森 幸一
 (72) 発明者 山下 淳一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 内野 勝秀
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 画素回路及び表示装置

(57) 【特許請求の範囲】

【請求項 1】

制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、

少なくとも、サンプリングトランジスタと、サンプリングトランジスタのドレインまたはソースにゲートが接続されたドライブトランジスタと、ドライブトランジスタのゲートとソースとの間に接続された画素容量と、ドライブトランジスタのソースに接続された発光素子とを含み、

前記サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路であって、

該出力電流のキャリア移動度に対する依存性を打ち消すために、該画素容量にサンプリングされる該入力電圧を補正する補正手段、及び、

該発光素子とドライブトランジスタとの接続部に一端が接続され、他端が一定の電位に

10

20

接続される追加容量、
を備えており、

該補正手段は、サンプリングトランジスタ用の走査線とは異なる走査線から供給される制御信号に応じて動作するスイッチングトランジスタを含み、信号線から映像信号がドライブトランジスタのゲートに供給されている間にドライブトランジスタの出力電流を該発光素子の有する容量および追加容量ならびに該画素容量に流すことによって該入力電圧を補正する画素回路。

【請求項 2】

前記サンプリングトランジスタ、ドライブトランジスタ及び補正手段は、絶縁基板上に形成された薄膜トランジスタからなり、前記画素容量と追加容量は、該絶縁基板上に形成された薄膜容量素子からなる請求項 1 記載の画素回路。

【請求項 3】

前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、

前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめ該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を画素容量にサンプリングされる映像信号に加える請求項 1 記載の画素回路。

【請求項 4】

前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、

前記追加容量は、一方の端子が該発光素子のアノードに接続し、他方の端子が、所定の固定電位に接続されている請求項 1 記載の画素回路。

【請求項 5】

前記追加容量の他方の端子が接続する所定の固定電位は、該発光素子のカソード側になる接地電位、画素回路の正側電源電位又は負側電源電位から選択される請求項 4 記載の画素回路。

【請求項 6】

各画素回路は、赤色発光素子、緑色発光素子又は青色発光素子のいずれかを備えており、

各画素回路に形成された前記追加容量は、各色発光素子ごとに異なる容量値を有し、以って各画素回路に形成された各補正手段の動作に要する時間を均一化する請求項 1 記載の画素回路。

【請求項 7】

各画素回路に形成された追加容量の容量値に不足がある場合、隣接する画素回路に形成された追加容量を利用して該不足を補うようにした請求項 6 記載の画素回路。

【請求項 8】

画素アレイ部とスキャナ部と信号部とを含み、

前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、

前記信号部は、該信号線に映像信号を供給し、

前記スキャナ部は、該走査線に制御信号を供給して順次行ごとに画素を走査し、

各画素は、少なくとも、サンプリングトランジスタと、サンプリングトランジスタのドレインまたはソースにゲートが接続されたドライブトランジスタと、ドライブトランジスタのゲートとソースとの間に接続された画素容量と、ドライブトランジスタのソースに接続された発光素子とを含み、

前記サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該画素容量にサンプリングし、

前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、

前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該

10

20

30

40

50

出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、

前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する表示装置であって、

各画素は、該出力電流のキャリア移動度に対する依存性を打ち消すために、該画素容量にサンプリングされる該入力電圧を補正する補正手段、及び、

該発光素子とドライブトランジスタとの接続部に一端が接続され、他端が一定の電位に接続される追加容量、
を備えており、

該補正手段は、サンプリングトランジスタ用の走査線とは異なる走査線から供給される制御信号に応じて動作するスイッチングトランジスタを含み、信号線から映像信号がドライブトランジスタのゲートに供給されている間にドライブトランジスタの出力電流を該発光素子の有する容量および追加容量ならびに該画素容量に流すことによって該入力電圧を補正する表示装置。

10

【請求項 9】

前記サンプリングトランジスタ、ドライブトランジスタ及び補正手段は、絶縁基板上に形成された薄膜トランジスタからなり、前記画素容量と追加容量は、該絶縁基板上に形成された薄膜容量素子からなる請求項 8 記載の表示装置。

【請求項 10】

前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、

20

前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめ該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を画素容量にサンプリングされる映像信号に加える請求項 8 記載の表示装置。

【請求項 11】

前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、

前記追加容量は、一方の端子が該発光素子のアノードに接続し、他方の端子が、所定の固定電位に接続されている請求項 8 記載の表示装置。

【請求項 12】

30

前記追加容量の他方の端子が接続する所定の固定電位は、該発光素子のカソード側になる接地電位、該画素アレイ部の正側電源電位又は負側電源電位から選択される請求項 11 記載の表示装置。

【請求項 13】

各画素は、赤色発光素子、緑色発光素子又は青色発光素子のいずれかを備えており、
各画素に形成された前記追加容量は、各色発光素子ごとに異なる容量値を有し、以って各画素に形成された各補正手段の動作に要する時間を均一化する請求項 8 記載の表示装置。

【請求項 14】

各画素に形成された追加容量の容量値に不足がある場合、隣接する画素に形成された追加容量を利用して該不足を補うようにした請求項 13 記載の表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素毎に配した発光素子を電流駆動する画素回路に関する。又この画素回路がマトリクス状（行列状）に配列された表示装置であって、特に各画素回路内に設けた絶縁ゲート型電界効果トランジスタによって、有機 EL などの発光素子に通電する電流量を制御する、いわゆるアクティブマトリクス型の表示装置に関する。

【背景技術】

【0002】

50

画像表示装置、例えば液晶ディスプレイなどでは、多数の液晶画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に入射光の透過強度又は反射強度を制御することによって画像を表示する。これは、有機ＥＬ素子を画素に用いた有機ＥＬディスプレイなどにおいても同様であるが、液晶画素と異なり有機ＥＬ素子は自発光素子である。その為、有機ＥＬディスプレイは液晶ディスプレイに比べて画像の視認性が高く、バックライトが不要であり、応答速度が高いなどの利点を有する。又、各発光素子の輝度レベル（階調）はそれに流れる電流値によって制御可能であり、いわゆる電流制御型であるという点で液晶ディスプレイなどの電圧制御型とは大きく異なる。

【０００３】

有機ＥＬディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とがある。前者は構造が単純であるものの、大型且つ高精細のディスプレイの実現が難しいなどの問題がある為、現在はアクティブマトリクス方式の開発が盛んに行なわれている。この方式は、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子（一般には薄膜トランジスタ、ＴＦＴ）によって制御するものであり、以下の特許文献に記載がある。

【特許文献１】特開２００３－２５５８５６

【特許文献２】特開２００３－２７１０９５

【特許文献３】特開２００４－１３３２４０

【特許文献４】特開２００４－０２９７９１

【特許文献５】特開２００４－０９３６８２

【特許文献６】特開平 １０－２１４０４２

【発明の開示】

【発明が解決しようとする課題】

【０００４】

従来の画素回路は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと画素容量とドライブトランジスタと発光素子とを含む。サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号をサンプリングする。画素容量は、サンプリングされた映像信号に応じた入力電圧を保持する。ドライブトランジスタは、画素容量に保持された入力電圧に応じて所定の発光期間に出力電流を供給する。尚一般に、出力電流はドライブトランジスタのチャネル領域のキャリア移動度及び閾電圧に対して依存性を有する。発光素子は、ドライブトランジスタから供給された出力電流により映像信号に応じた輝度で発光する。

【０００５】

ドライブトランジスタは、画素容量に保持された入力電圧をゲートに受けてソース／ドレイン間に出力電流を流し、発光素子に通電する。一般に発光素子の発光輝度は通電量に比例している。更にドライブトランジスタの出力電流供給量はゲート電圧すなわち画素容量に書き込まれた入力電圧によって制御される。従来の画素回路は、ドライブトランジスタのゲートに印加される入力電圧を入力映像信号に応じて変化させることで、発光素子に供給する電流量を制御している。

【０００６】

ここでドライブトランジスタの動作特性は以下の式１で表わされる。

$$I_{ds} = (1/2) \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \cdots \text{式 1}$$

このトランジスタ特性式１において、 I_{ds} はソース／ドレイン間に流れるドレイン電流を表わしており、画素回路では発光素子に供給される出力電流である。 V_{gs} はソースを基準としてゲートに印加されるゲート電圧を表わしており、画素回路では上述した入力電圧である。 V_{th} はトランジスタの閾電圧である。又 μ はトランジスタのチャネルを構成する半導体薄膜の移動度を表わしている。その他 W はチャネル幅を表わし、 L はチャネル長を表わし、 C_{ox} はゲート容量を表わしている。このトランジスタ特性式１から明らかな様に、薄膜トランジスタは飽和領域で動作する時、ゲート電圧 V_{gs} が閾電圧 V_{th}

を超えて大きくなると、オン状態となってドレイン電流 I_{ds} が流れる。原理的に見ると上記のトランジスタ特性式 1 が示す様に、ゲート電圧 V_{gs} が一定であれば常に同じ量のドレイン電流 I_{ds} が発光素子に供給される。従って、画面を構成する各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の一様性（ユニフォーミティ）が得られるはずである。

【 0 0 0 7 】

しかしながら実際には、ポリシリコンなどの半導体薄膜で構成された薄膜トランジスタ（TFT）は、個々のデバイス特性にばらつきがある。特に、閾電圧 V_{th} は一定ではなく、各画素毎にばらつきがある。前述のトランジスタ特性式 1 から明らかな様に、各ドライフトランジスタの閾電圧 V_{th} がばらつくと、ゲート電圧 V_{gs} が一定であっても、ドレイン電流 I_{ds} にばらつきが生じ、画素毎に輝度がばらついてしまう為、画面のユニフォーミティを損なう。従来からドライフトランジスタの閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路が開発されており、例えば前記の特許文献 3 に開示がある。

【 0 0 0 8 】

閾電圧のばらつきをキャンセルする機能を組み込んだ画素回路は、ある程度画面のユニフォーミティを改善することが可能である。しかしながら、ポリシリコン薄膜トランジスタの特性は、閾電圧ばかりでなく移動度 μ も素子毎にばらつきがある。前述のトランジスタ特性式 1 から明らかな様に、移動度 μ がばらつくと、ゲート電圧 V_{gs} が一定であってもドレイン電流 I_{ds} にばらつきが出てしまう。この結果発光輝度が画素毎に変化する為画面のユニフォーミティを損なうという課題がある。

【課題を解決するための手段】

【 0 0 0 9 】

上述した従来の技術の課題に鑑み、本発明は移動度の影響をキャンセルし、以ってドライフトランジスタが供給するドレイン電流（出力電流）のばらつきを補償可能な画素回路及び表示装置を提供することを目的とする。特に、移動度の影響をキャンセルするために必要な補正動作のマージンを確保し、以って画素回路及び表示装置の動作を安定化することを目的とする。かかる目的を達成するために以下の手段を講じた。即ち本発明は、制御信号を供給する行状の走査線と映像信号を供給する列状の信号線とが交差する部分に配され、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライフトランジスタと、これに接続する発光素子とを含み、前記サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に応じて該ドライフトランジスタのゲートに入力電圧を印加し、前記ドライフトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライフトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライフトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する画素回路において、該出力電流のキャリア移動度に対する依存性を打ち消すために、該画素容量にサンプリングされる該入力電圧を補正する補正手段を備えており、前記補正手段は走査線から供給される制御信号に応じて動作し、該ドライフトランジスタから出力電流を取り出し、これを該発光素子の有する容量及び該画素容量に流し込む様にして該入力電圧を補正し、該発光素子の容量に足される追加容量を備えており、該ドライフトランジスタから取り出された出力電流の一部を該追加容量にも流し、以って該補正手段の動作に時間的な余裕を与えることを特徴とする。

【 0 0 1 0 】

好ましくは、前記サンプリングトランジスタ、ドライフトランジスタ及び補正手段は、絶縁基板上に形成された薄膜トランジスタからなり、前記画素容量と追加容量は、該絶縁基板上に形成された薄膜容量素子からなる。又前記ドライフトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめ該ドライフトランジスタの閾電圧を検出し、且つ該検出された閾電圧を該入力電圧に足し込む様にしている

。又前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、前記追加容量は、一方の端子が該発光素子のアノードに接続し、他方の端子が、所定の固定電位に接続されている。前記追加容量の他方の端子が接続する所定の固定電位は、該発光素子のカソード側になる接地電位、画素回路の正側電源電位又は負側電源電位から選択できる。又各画素回路は、赤色発光素子、緑色発光素子又は青色発光素子のいずれかを備えており、各画素回路に形成された前記追加容量は、各色発光素子ごとに異なる容量値を有し、以って各画素回路に形成された各補正手段の動作に要する時間を均一化する。又各画素回路に形成された追加容量の容量値に不足がある場合、隣接する画素回路に形成された追加容量を利用して該不足を補うようにしている。一態様では前記補正手段は、該映像信号が該画素容量にサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し、これを該画素容量に負帰還して該入力電圧を補正する。

10

【0011】

また本発明は、画素アレイ部とスキャナ部と信号部とを含み、前記画素アレイ部は、行状に配された走査線と列状に配された信号線と両者が交差する部分に配された行列状の画素とからなり、前記信号部は、該信号線に映像信号を供給し、前記スキャナ部は、該走査線に制御信号を供給して順次行ごとに画素を走査し、各画素は、少なくともサンプリングトランジスタと、これに接続する画素容量と、これに接続するドライブトランジスタと、これに接続する発光素子とを含み、前記サンプリングトランジスタは、走査線から供給される制御信号に応じ導通して信号線から供給された映像信号を該画素容量にサンプリングし、前記画素容量は、該サンプリングされた映像信号に応じて該ドライブトランジスタのゲートに入力電圧を印加し、前記ドライブトランジスタは、該入力電圧に応じた出力電流を該発光素子に供給し、該出力電流は該ドライブトランジスタのチャネル領域のキャリア移動度に対して依存性を有し、前記発光素子は、該ドライブトランジスタから供給された出力電流により該映像信号に応じた輝度で発光する表示装置において、各画素は、該出力電流のキャリア移動度に対する依存性を打ち消すために、該画素容量にサンプリングされる該入力電圧を補正する補正手段を備えており、前記補正手段は走査線から供給される制御信号に応じて動作し、該ドライブトランジスタから出力電流を取り出し、これを該発光素子の有する容量及び該画素容量に流し込む様にして該入力電圧を補正し、該発光素子の容量に足される追加容量を備えており、該ドライブトランジスタから取り出された出力電流の一部を該追加容量にも流し、以って該補正手段の動作に時間的な余裕を与えることを特徴とする。

20

30

【0012】

好ましくは、前記サンプリングトランジスタ、ドライブトランジスタ及び補正手段は、絶縁基板上に形成された薄膜トランジスタからなり、前記画素容量と追加容量は、該絶縁基板上に形成された薄膜容量素子からなる。又前記ドライブトランジスタは、その出力電流がチャネル領域のキャリア移動度に加え閾電圧に対しても依存性を有し、前記補正手段は、該出力電流の閾電圧に対する依存性を打ち消すために、あらかじめ該ドライブトランジスタの閾電圧を検出し、且つ該検出された閾電圧を該入力電圧に足し込む様にしている。また前記発光素子はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側が該ドライブトランジスタのソースに接続する一方カソード側が接地されており、前記追加容量は、一方の端子が該発光素子のアノードに接続し、他方の端子が、所定の固定電位に接続されている。前記追加容量の他方の端子が接続する所定の固定電位は、該発光素子のカソード側になる接地電位、該画素アレイ部の正側電源電位又は負側電源電位から選択できる。又各画素は、赤色発光素子、緑色発光素子又は青色発光素子のいずれかを備えており、各画素に形成された前記追加容量は、各色発光素子ごとに異なる容量値を有し、以って各画素に形成された各補正手段の動作に要する時間を均一化する。又各画素に形成された追加容量の容量値に不足がある場合、隣接する画素に形成された追加容量を利用して該不足を補うようにしている。一態様では前記補正手段は、該映像信号が該画素容量にサンプリングされている状態で該ドライブトランジスタから出力電流を取り出し

40

50

、これを該画素容量に負帰還して該入力電圧を補正する。

【発明の効果】

【0013】

本発明によれば、画素回路並びにこれを集積形成した表示装置は、例えば電圧駆動方式で閾電圧及び移動度のばらつきを補正可能な補正手段を備えている。補正手段を含んだ画素回路は複数の薄膜トランジスタ（ＴＦＴ）などで構成されており、ガラスなどの絶縁基板上に集積形成されている。本発明ではこの絶縁基板に薄膜容量素子で追加の容量を形成している。この追加容量は発光素子の容量成分と並列に接続している。かかる構成により、移動度補正に利用するトータルの容量を大きくとることが出来る。この結果移動度のばらつき補正に要する動作時間を長く設定することが可能である。即ち移動度補正期間の設定マージンを上げることが可能となり、これにより各画素回路の補正動作の安定化を達成できる。

10

カラー表示装置の場合、各画素回路は赤色発光素子、緑色発光素子または青色発光素子のいずれかを備えている。一般に、発光素子は色毎に発光面積や発光材料が異なり、これに応じて容量成分が色毎に異なっている。この場合、追加容量を各発光素子毎に変えることで、移動度補正期間を各色画素で同一に設定することが可能である。全ての画素で移動度補正動作に要する時間を共通に出来るので、画素アレイの動作制御が容易になる。

赤色（Ｒ）画素、緑色（Ｇ）画素及び青色（Ｂ）画素間でホワイトバランスをとる場合や、ＲＧＢ画素間で発光素子の特性が大きく異なる場合、ＲＧＢ画素間で必要とされる追加容量の大きさに顕著な差が生じる場合がある。このときには、ＲＢＧ画素間で追加容量の割付に工夫をすることも可能である。具体的には、ある色の画素回路に形成された追加容量の容量値に不足がある場合、隣接する別の色の画素回路に形成された追加容量を利用してその不足を補うことが出来る。これにより、ＲＧＢ画素回路を含んだ表示装置の移動度補正期間を各色画素で共通に設定することが出来る。

20

【発明を実施するための最良の形態】

【0014】

以下図面を参照して本発明の実施の形態を詳細に説明する。図１は、本発明にかかる表示装置の基本構成を示す模式的なブロック図である。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ１と周辺の回路部とで構成されている。周辺の回路部は水平セクタ３、ライトスキャナ４、ドライブスキャナ５、補正用スキャナ７などを含んでいる。画素アレイ１は行状の走査線ＷＳと列状の信号線ＳＬと両者の交差する部分にマトリクス状に配列した画素Ｒ、Ｇ、Ｂとで構成されている。カラー表示を可能とする為、ＲＧＢの三原色画素を用意しているが、本発明はこれに限られるものではない。各画素Ｒ、Ｇ、Ｂは夫々画素回路２で構成されている。信号線ＳＬは水平セクタ３によって駆動される。水平セクタ３は信号部を構成し、信号線ＳＬに映像信号を供給する。走査線ＷＳはライトスキャナ４によって走査される。尚、走査線ＷＳと平行に別の走査線ＤＳ及びＡＺも配線されている。走査線ＤＳはドライブスキャナ５によって走査される。走査線ＡＺは補正用スキャナ７によって走査される。ライトスキャナ４、ドライブスキャナ５及び補正用スキャナ７はスキャナ部を構成しており、１水平期間毎画素の行を順次走査する。各画素回路２は走査線ＷＳによって選択された時信号線ＳＬから映像信号をサンプリングする。更に走査線ＤＳによって選択された時、サンプリングされた映像信号に応じて画素回路２内に含まれている発光素子を駆動する。加えて画素回路２は走査線ＡＺによって走査された時、あらかじめ決められた補正動作を行なう。

30

40

【0015】

上述した画素アレイ１は通常ガラスなどの絶縁基板上に形成されており、フラットパネルとなっている。各画素回路２はアモルファスシリコン薄膜トランジスタ（ＴＦＴ）又は低温ポリシリコンＴＦＴで形成されている。アモルファスシリコンＴＦＴの場合、スキャナ部はパネルとは別のＴＡＢなどで構成され、フレキシブルケーブルにてフラットパネルに接続される。低温ポリシリコンＴＦＴの場合、信号部及びスキャナ部も同じ低温ポリシ

50

リコンＴＦＴで形成できるので、フラットパネル上に画素アレイ部と信号部とスキャナ部を一体的に形成できる。

【００１６】

図２は、本発明にかかる表示装置の第１実施形態を示す回路図である。図示する様に、アクティブマトリクス表示装置は主要部となる画素アレイ１と周辺の回路部とで構成されている。周辺の回路部は水平セクタ３、ライトスキャナ４、ドライブスキャナ５、第一補正用スキャナ７１、第二補正用スキャナ７２などを含んでいる。画素アレイ１は行状の走査線ＷＳと列状の信号線ＳＬと両者の交差する部分にマトリクス状に配列した画素回路２とで構成されている。図では理解を容易にする為、１個の画素回路２のみを拡大表示してある。信号線ＳＬは水平セクタ３によって駆動される。水平セクタ３は信号部を構成し、信号線ＳＬに映像信号を供給する。走査線ＷＳはライトスキャナ４によって走査される。なお、走査線ＷＳと平行に別の走査線ＤＳ、ＡＺ１及びＡＺ２も配線されている。走査線ＤＳはドライブスキャナ５によって走査される。走査線ＡＺ１は第一補正用スキャナ７１によって走査される。走査線ＡＺ２は第二補正用スキャナ７２によって走査される。ライトスキャナ４、ドライブスキャナ５、第一補正用スキャナ７１及び第二補正用スキャナ７２はスキャナ部を構成しており、１水平期間ごと画素の行を順次走査する。各画素回路２は走査線ＷＳによって選択されたとき信号線ＳＬから映像信号をサンプリングする。さらに走査線ＤＳによって選択されたとき、サンプリングされた映像信号に応じて画素回路２内に含まれている発光素子ＥＬを駆動する。加えて画素回路２は走査線ＡＺ１、ＡＺ２によって走査された時、予め決められた補正動作を行う。

【００１７】

画素回路２は、５個の薄膜トランジスタＴｒ１～Ｔｒ４及びＴｒｄと２個の容量素子Ｃｓ、Ｃｓｕｂと１個の発光素子ＥＬとで構成されている。一方の容量素子Ｃｓは画素容量である。他方の容量素子Ｃｓｕｂは本発明に従って特に設けられた追加容量である。なお、図２では理解を容易にするため発光素子ＥＬの容量成分を容量素子Ｃｏｌｅｄとして表してある。トランジスタＴｒ１～Ｔｒ３とＴｒｄはＮチャネル型のポリシリコンＴＦＴである。トランジスタＴｒ４のみＰチャネル型のポリシリコンＴＦＴである。前述したように容量素子Ｃｓは本画素回路２の画素容量を構成している。発光素子ＥＬは例えばアノード及びカソードを備えたダイオード型の有機ＥＬ素子である。但し本発明はこれに限られるものではなく、発光素子は一般的に電流駆動で発光する全てのデバイスを含む。

【００１８】

画素回路２の中心となるドライブトランジスタＴｒｄはそのゲートＧが画素容量Ｃｓの一端に接続され、そのソースＳが同じく画素容量Ｃｓの他端に接続されている。またドライブトランジスタＴｒｄのゲートＧはスイッチングトランジスタＴｒ２を介して基準電位Ｖｓｓ１に接続されている。ドライブトランジスタＴｒｄのドレインはスイッチングトランジスタＴｒ４を介して電源電位Ｖｃｃに接続されている。このスイッチングトランジスタＴｒ２のゲートは走査線ＡＺ１に接続されている。スイッチングトランジスタＴｒ４のゲートは走査線ＤＳに接続している。発光素子ＥＬのアノードはドライブトランジスタＴｒｄのソースＳに接続し、カソードは接地されている。この接地電位はＶｃａｔｈで表される場合がある。また、ドライブトランジスタＴｒｄのソースＳと所定の基準電位Ｖｓｓ２との間にスイッチングトランジスタＴｒ３が介在している。このトランジスタＴｒ３のゲートは走査線ＡＺ２に接続している。一方サンプリングトランジスタＴｒ１は信号線ＳＬとドライブトランジスタＴｒｄのゲートＧとの間に接続されている。サンプリングトランジスタＴｒ１のゲートは走査線ＷＳに接続している。追加容量Ｃｓｕｂは一方の端子が発光素子ＥＬのアノードに接続する一方、他方の端子が接地されている。したがって本実施形態では、追加容量Ｃｓｕｂが発光素子の容量成分Ｃｏｌｅｄと並列に接続されている。

【００１９】

かかる構成において、サンプリングトランジスタＴｒ１は、走査線ＷＳから供給される制御信号ＷＳに応じ導通して信号線ＳＬから供給された映像信号Ｖｓｉｇを画素容量Ｃｓ

にサンプリングする。画素容量 C_s は、サンプリングされた映像信号 V_{sig} に応じてドライブトランジスタ T_{rd} のゲート G に入力電圧 V_{gs} を印加する。ドライブトランジスタ T_{rd} は、入力電圧 V_{gs} に応じた出力電流 I_{ds} を発光素子 E_L に供給する。なおこの出力電流（ドレイン電流） I_{ds} はドライブトランジスタ T_{rd} のチャネル領域のキャリア移動度 μ に対して依存性を有する。発光素子 E_L は、ドライブトランジスタ T_{rd} から供給された出力電流 I_{ds} により映像信号 V_{sig} に応じた輝度で発光する。

【0020】

本発明の特徴事項として、画素回路2はスイッチングトランジスタ $T_{r2} \sim T_{r4}$ で構成される補正手段を備えており、出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消すために、画素容量 C_s にサンプリングされる入力電圧 V_{gs} を補正する。具体的にはこの補正手段（ $T_{r2} \sim T_{r4}$ ）は、走査線 AZ_1, AZ_2 などから供給される制御信号 AZ_1, AZ_2 などに応じて動作し、ドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出し、これを発光素子 E_L の有する容量 C_{oled} 及び画素容量 C_s に流し込むようにして入力電圧 V_{gs} を補正する。その際本画素回路2は発光素子 E_L の容量 C_{oled} に足される追加容量 C_{sub} を備えており、ドライブトランジスタ T_{rd} から取り出された出力電流 I_{ds} の一部を追加容量 C_{sub} にも流し、以って補正手段（ $T_{r2} \sim T_{r4}$ ）の動作に時間的な余裕を与えている。補正手段（ $T_{r2} \sim T_{r4}$ ）は、映像信号 V_{sig} が画素容量 C_s にサンプリングされている状態でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出し、これを画素容量 C_s に負帰還して入力電圧 V_{gs} を補正している。

【0021】

本実施形態の場合、ドライブトランジスタ T_{rd} は、その出力電流 I_{ds} がチャネル領域のキャリア移動度 μ に加え閾電圧 V_{th} に対しても依存性を有する。補正手段（ $T_{r2} \sim T_{r4}$ ）は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消すために、予めドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出し、且つ検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込むようにしている。

【0022】

図3は、各画素回路2を構成する薄膜トランジスタ TFT 、画素容量 C_s 及び追加容量 C_{sub} のレイアウトを示す模式的な平面図である。（A）は追加容量 C_{sub} を形成しない場合を表しており、（B）は本発明にしたがって追加容量 C_{sub} を形成した場合を表している。サンプリングトランジスタ T_{r1} 、ドライブトランジスタ T_{rd} 及び補正手段（ $T_{r2} \sim T_{r4}$ ）は、絶縁基板上に形成された薄膜トランジスタ $TFTs$ からなり、画素容量 C_s と追加容量 C_{sub} は同じく絶縁基板上に形成された薄膜容量素子からなる。図示の例では、追加容量 C_{sub} の一方の端子はアノードコンタクトを介して画素容量 C_s に接続する一方、他方の端子は所定の固定電位に接続されている。この固定電位は、発光素子 E_L のカソード側になる接地電位 V_{cath} 、画素回路2の正側電源電位 V_{cc} または負側電源電位 V_{ss} などから選択される。図2に示した実施形態では追加容量 C_{sub} の他方の端子は接地電位に接続されている。なお図3に示した画素回路2は積層構造となっており、下層に $TFTs, C_s, C_{sub}$ などが形成されている。上層に発光素子 E_L が接続されている。理解を容易にするため、図3では上層の発光素子 E_L が除かれている。実際には、発光素子 E_L はアノードコンタクトを介して画素回路2側に接続することになる。

【0023】

図4は、図2に示した表示装置から画素回路2の部分を取り出した模式図である。理解を容易にするためサンプリングトランジスタ T_{r1} によってサンプリングされる映像信号 V_{sig} や、ドライブトランジスタ T_{rd} の入力電圧 V_{gs} 及び出力電流 I_{ds} 、さらには発光素子 E_L が有する容量成分 C_{oled} や追加容量 C_{sub} などを書き加えてある。以下図4に基づいて、本画素回路2の基本的な動作を説明する。

【0024】

図5は、図4に示した画素回路のタイミングチャートである。図5を参照して、図4に

示した画素回路の動作をより具体的且つ詳細に説明する。図5は、時間軸Tに沿って各走査線WS, AZ1, AZ2及びDSに印加される制御信号の波形を表してある。表記を簡略化する為、制御信号も対応する走査線の符号と同じ符号で表してある。トランジスタTr1, Tr2, Tr3はNチャンネル型なので、走査線WS, AZ1, AZ2がそれぞれハイレベルの時オンし、ローレベルの時オフする。一方トランジスタTr4はPチャンネル型なので、走査線DSがハイレベルの時オフし、ローレベルの時オンする。なおこのタイミングチャートは、各制御信号WS, AZ1, AZ2, DSの波形と共に、ドライブトランジスタTrdのゲートGの電位変化及びソースSの電位変化も表してある。

【0025】

図5のタイミングチャートではタイミングT1~T8までを1フィールド(1f)としてある。1フィールドの間に画素アレイの各行が一回順次走査される。タイミングチャートは、1行分の画素に印加される各制御信号WS, AZ1, AZ2, DSの波形を表してある。

10

【0026】

当該フィールドが始まる前のタイミングT0で、全ての制御線号WS, AZ1, AZ2, DSがローレベルにある。したがってNチャンネル型のトランジスタTr1, Tr2, Tr3はオフ状態にある一方、Pチャンネル型のトランジスタTr4のみオン状態である。したがってドライブトランジスタTrdはオン状態のトランジスタTr4を介して電源Vccに接続しているので、所定の入力電圧Vgsに応じて出力電流Idsを発光素子ELに供給している。したがってタイミングT0で発光素子ELは発光している。この時ドライ

20

【0027】

当該フィールドが始まるタイミングT1で、制御信号DSがローレベルからハイレベルに切り替わる。これによりトランジスタTr4がオフし、ドライブトランジスタTrdは電源Vccから切り離されるので、発光が停止し非発光期間に入る。したがってタイミングT1に入ると、全てのトランジスタTr1~Tr4がオフ状態になる。

【0028】

続いてタイミングT2に進むと、制御信号AZ1及びAZ2がハイレベルになるので、スイッチングトランジスタTr2及びTr3がオンする。この結果、ドライブトランジスタTrdのゲートGが基準電位Vss1に接続し、ソースSが基準電位Vss2に接続される。ここで $V_{ss1} - V_{ss2} > V_{th}$ を満たしており、 $V_{ss1} - V_{ss2} = V_{gs} > V_{th}$ とする事で、その後タイミングT3で行われるVth補正の準備を行う。換言すると期間T2-T3は、ドライブトランジスタTrdのリセット期間に相当する。また、発光素子ELの閾電圧をVthELとすると、 $V_{thEL} > V_{ss2}$ に設定されている。これにより、発光素子ELにはマイナスバイアスが印加され、いわゆる逆バイアス状態となる。この逆バイアス状態は、後で行うVth補正動作及び移動度補正動作を正常に行うために必要である。

30

【0029】

タイミングT3では制御信号AZ2をローレベルにし且つ直後制御信号DSもローレベルにしている。これによりトランジスタTr3がオフする一方トランジスタTr4がオンする。この結果ドレイン電流Idsが画素容量Csに流れ込み、Vth補正動作を開始する。この時ドライブトランジスタTrdのゲートGはVss1に保持されており、ドライブトランジスタTrdがカットオフするまで電流Idsが流れる。カットオフするとドライブトランジスタTrdのソース電位(S)は $V_{ss1} - V_{th}$ となる。ドレイン電流がカットオフした後のタイミングT4で制御信号DSを再びハイレベルに戻し、スイッチングトランジスタTr4をオフする。さらに制御信号AZ1もローレベルに戻し、スイッチングトランジスタTr2もオフする。この結果、画素容量CsにVthが保持固定される。この様にタイミングT3-T4はドライブトランジスタTrdの閾電圧Vthを検出する期間である。ここでは、この検出期間T3-T4をVth補正期間と呼んでいる。

40

50

【 0 0 3 0 】

この様に V_{th} 補正を行った後タイミング T_5 で制御信号 W_S をハイレベルに切り替え、サンプリングトランジスタ T_{r1} をオンして映像信号 V_{sig} を画素容量 C_s に書き込む。発光素子 E_L の等価容量 C_{oled} に比べて画素容量 C_s は十分に小さい。この結果、映像信号 V_{sig} のほとんど大部分が画素容量 C_s に書き込まれる。正確には、 V_{ss1} に対する V_{sig} の差分 $V_{sig} - V_{ss1}$ が画素容量 C_s に書き込まれる。したがってドライブトランジスタ T_{rd} のゲート G とソース S 間の電圧 V_{gs} は、先に検出保持された V_{th} と今回サンプリングされた $V_{sig} - V_{ss1}$ を加えたレベル ($V_{sig} - V_{ss1} + V_{th}$) となる。以降説明簡易化の為 $V_{ss1} = 0V$ とすると、ゲート/ソース間電圧 V_{gs} は図5のタイミングチャートに示すように $V_{sig} + V_{th}$ となる。かかる映像信号 V_{sig} のサンプリングは制御信号 W_S がローレベルに戻るタイミング T_7 まで行われる。すなわちタイミング $T_5 - T_7$ がサンプリング期間に相当する。

10

【 0 0 3 1 】

サンプリング期間の終了するタイミング T_7 より前のタイミング T_6 で制御信号 D_S がローレベルとなりスイッチングトランジスタ T_{r4} がオンする。これによりドライブトランジスタ T_{rd} が電源 V_{cc} に接続されるので、画素回路は非発光期間から発光期間に進む。この様にサンプリングトランジスタ T_{r1} がまだオン状態で且つスイッチングトランジスタ T_{r4} がオン状態に入った期間 $T_6 - T_7$ で、ドライブトランジスタ T_{rd} の移動度補正を行う。即ち本実施形態では、サンプリング期間の後部分と発光期間の先頭部分とが重なる期間 $T_6 - T_7$ で移動度補正を行っている。なお、この移動度補正を行う発光期間の先頭では、発光素子 E_L は実際には逆バイアス状態にあるので発光する事はない。この移動度補正期間 $T_6 - T_7$ では、ドライブトランジスタ T_{rd} のゲート G が映像信号 V_{sig} のレベルに固定された状態で、ドライブトランジスタ T_{rd} にドレイン電流 I_{ds} が流れる。ここで $V_{ss1} - V_{th} < V_{th} E_L$ と設定しておく事で、発光素子 E_L は逆バイアス状態におかれる為、ダイオード特性ではなく単純な容量特性を示すようになる。よってドライブトランジスタ T_{rd} に流れる電流 I_{ds} は画素容量 C_s と発光素子 E_L の等価容量 C_{oled} と追加容量 C_{sub} の三者を結合した容量 $C = C_s + C_{oled} + C_{sub}$ に書き込まれていく。これによりドライブトランジスタ T_{rd} のソース電位 (S) は上昇していく。図5のタイミングチャートではこの上昇分を ΔV で表してある。この上昇分 ΔV は結局画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} から差し引かれる事になるので、負帰還をかけた事になる。この様にドライブトランジスタ T_{rd} の出力電流 I_{ds} を同じくドライブトランジスタ T_{rd} の入力電圧 V_{gs} に負帰還する事で、移動度 μ を補正する事が可能である。なお負帰還量 ΔV は移動度補正期間 $T_6 - T_7$ の時間幅 t を調整する事で最適化可能である。

20

30

【 0 0 3 2 】

タイミング T_7 では制御信号 W_S がローレベルとなりサンプリングトランジスタ T_{r1} がオフする。この結果ドライブトランジスタ T_{rd} のゲート G は信号線 S_L から切り離される。映像信号 V_{sig} の印加が解除されるので、ドライブトランジスタ T_{rd} のゲート電位 (G) は上昇可能となり、ソース電位 (S) と共に上昇していく。その間画素容量 C_s に保持されたゲート/ソース間電圧 V_{gs} は ($V_{sig} - \Delta V + V_{th}$) の値を維持する。ソース電位 (S) の上昇に伴い、発光素子 E_L の逆バイアス状態は解消されるので、出力電流 I_{ds} の流入により発光素子 E_L は実際に発光を開始する。この時のドレイン電流 I_{ds} 対ゲート電圧 V_{gs} の関係は、先のトランジスタ特性式1の V_{gs} に $V_{sig} - \Delta V + V_{th}$ を代入する事で、以下の式2のように与えられる。

40

$$I_{ds} = k \mu (V_{gs} - V_{th})^2 = k \mu (V_{sig} - \Delta V)^2 \cdots \text{式2}$$

上記式2において、 $k = (1/2)(W/L)C_{ox}$ である。この特性式2から V_{th} の項がキャンセルされており、発光素子 E_L に供給される出力電流 I_{ds} はドライブトランジスタ T_{rd} の閾電圧 V_{th} に依存しない事が分かる。基本的にドレイン電流 I_{ds} は映像信号の信号電圧 V_{sig} によって決まる。換言すると、発光素子 E_L は映像信号 V_{sig} に応じた輝度で発光する事になる。その際 V_{sig} は帰還量 ΔV で補正されている。

50

この補正量 ΔV は丁度特性式 2 の係数部に位置する移動度 μ の効果を打ち消すように働く。したがって、ドレイン電流 I_{ds} は実質的に映像信号 V_{sig} のみに依存する事になる。

【0033】

最後にタイミング T_8 に至ると制御信号 DS がハイレベルとなってスイッチングトランジスタ Tr_4 がオフし、発光が終了すると共に当該フィールドが終わる。この後次のフィールドに移って再び V_{th} 補正動作、移動度補正動作及び発光動作が繰り返される事になる。

【0034】

図 6 は、移動度補正期間 $T_6 - T_7$ における画素回路 2 の状態を示す回路図である。図示するように、移動度補正期間 $T_6 - T_7$ では、サンプリングトランジスタ Tr_1 及びスイッチングトランジスタ Tr_4 がオンしている一方、残りのスイッチングトランジスタ Tr_2 及び Tr_3 がオフしている。この状態でドライブトランジスタ Tr_4 のソース電位 (S) は $V_{ss1} - V_{th}$ である。このソース電位 S は発光素子 EL のアノード電位でもある。前述したように $V_{ss1} - V_{th} < V_{thEL}$ と設定しておく事で、発光素子 EL は逆バイアス状態におかれ、ダイオード特性ではなく単純な容量特性を示す事になる。よってドライブトランジスタ Tr_d に流れる電流 I_{ds} は画素容量 C_s と発光素子 EL の等価容量 C_{ole} と追加容量 C_{sub} との合成容量 $C = C_s + C_{ole} + C_{sub}$ に流れ込む事になる。換言すると、ドレイン電流 I_{ds} の一部が画素容量 C_s に負帰還され、移動度の補正が行われる。

【0035】

図 7 は上述したトランジスタ特性式 2 をグラフ化したものであり、縦軸に I_{ds} を取り横軸に V_{sig} を取ってある。このグラフの下方に特性式 2 も合わせて示してある。図 7 のグラフは、画素 1 と画素 2 を比較した状態で特性カーブを描いてある。画素 1 のドライブトランジスタの移動度 μ は相対的に大きい。逆に画素 2 に含まれるドライブトランジスタの移動度 μ は相対的に小さい。この様にドライブトランジスタをポリシリコン薄膜トランジスタなどで構成した場合、画素間で移動度 μ がばらつく事は避けられない。例えば両画素 1, 2 に同レベルの映像信号 V_{sig} を書き込んだ場合、何ら移動度の補正を行わないと、移動度 μ の大きい画素 1 に流れる出力電流 $I_{ds1'}$ は、移動度 μ の小さい画素 2 に流れる出力電流 $I_{ds2'}$ に比べて大きな差が生じてしまう。この様に移動度 μ のばらつきに起因して出力電流 I_{ds} の間に大きな差が生じるので、画面のユニフォーミティを損なう事になる。

【0036】

そこで本発明では出力電流を入力電圧側に負帰還させる事で移動度のばらつきをキャンセルしている。トランジスタ特性式から明らかなように、移動度が大きいとドレイン電流 I_{ds} が大きくなる。したがって負帰還量 ΔV は移動度が大きいほど大きくなる。図 7 のグラフに示すように、移動度 μ の大きな画素 1 の負帰還量 ΔV_1 は移動度の小さな画素 2 の負帰還量 ΔV_2 に比べて大きい。したがって、移動度 μ が大きいほど負帰還が大きくなる事となって、ばらつきを抑制する事が可能である。図示するように、移動度 μ の大きな画素 1 で ΔV_1 の補正をかけると、出力電流は $I_{ds1'}$ から I_{ds1} まで大きく下降する。一方移動度 μ の小さな画素 2 の補正量 ΔV_2 は小さいので、出力電流 $I_{ds2'}$ は I_{ds2} までそれ程大きく下降しない。結果的に、 I_{ds1} と I_{ds2} は略等しくなり、移動度のばらつきがキャンセルされる。この移動度のばらつきのキャンセルは黒レベルから白レベルまで V_{sig} の全範囲で行われるので、画面のユニフォーミティは極めて高くなる。以上をまとめると、移動度の異なる画素 1 と 2 があった場合、移動度の大きい画素 1 の補正量 ΔV_1 は移動度の小さい画素 2 の補正量 ΔV_2 に対して小さくなる。つまり移動度が大きいほど ΔV が大きく I_{ds} の減少値は大きくなる。これにより移動度の異なる画素電流値は均一化され、移動度のばらつきを補正する事ができる。

【0037】

以下図 8 を参照して、上述した移動度補正の数値解析を行う。図 8 に示すように、トラ

ンジスタTr1及びTr4がオンした状態で、ドライブトランジスタTrdのソース電位を変数Vに取って解析を行う。ドライブトランジスタTrdのソース電位(S)をVとすると、ドライブトランジスタTrdを流れるドレイン電流Idsは以下の式3に示す通りである。

【数1】

$$I_{ds} = k\mu(V_{gs} - V_{th})^2 = k\mu(V_{sig} - V - V_{th})^2 \quad \text{式3}$$

【0038】

10

またドレイン電流Idsと容量C(=Cs+Col+d+Cs+ub)の関係により、以下の式4に示す様に $I_{ds} = dQ/dt = CdV/dt$ が成り立つ。

【数2】

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k\mu(V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k\mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

20

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t}$$

【0039】

式4に式3を代入して両辺積分する。ここで、ソース電圧V初期状態は-Vthであり、移動度ばらつき補正時間(T6-T7)をtとする。この微分方程式を解くと、移動度補正時間tに対する画素電流が以下の数式5のように与えられる。

30

【数3】

$$I_{ds} = k\mu \left(\frac{V_{sig}}{1 + V_{sig} \frac{k\mu}{C} t} \right)^2 \quad \text{式5}$$

【0040】

図9は、式5をグラフ化した図であり、縦軸に出力電流Idsを取り、横軸に映像信号Vsigを取ってある。パラメータとして移動度補正期間t=0us、2.5us及び5usの場合を設定している。さらに、移動度μもパラメータとして比較的大きい場合1.2μと比較的小さい場合0.8μをパラメータにとってある。加えて、CはCs+Col+dのみでCs+ubは0としている。t=0usとして実質的に移動度補正をかけない場合に比べ、t=2.5usでは移動度ばらつきに対する補正が十分にかかっていることがわかる。移動度補正なしではIdsに40%のばらつきがあったものが、移動度補正をかけると10%以下に抑えられる。但しt=5usとして補正期間を長くすると逆に移動度μの違いによる出力電流Idsのばらつきが大きくなってしまう。この様に、適切な移動度補正を掛けるために、tは最適な値に設定する必要がある。図9に示したグラフの場合、最適値はt=2.5usの近辺である。しかしながら、トランジスタのゲートに印加される制御信号(ゲートパルス)の遅延などを考えると、t=2.5usは必ずしも妥当ではなく、トランジスタの動作特性から考えると、tはより長いほうが良い。ここで前述の

40

50

式5を見ると、 t は t/C として式中含まれていることが分かる。したがって、式5の右辺に影響を与えることなく t を大きくする為には、 t/C の値を一定に保ちつつ、 C の値を大きくすれば良いことになる。このため、本発明では容量 C を構成する画素容量 C_s と発光素子容量 C_{oled} に加え追加容量 C_{sub} を画素回路中に導入している。この C_{sub} を加えることでトータル容量 C の値が大きくなり、その分 t も延長でき、画素回路に含まれる補正手段の時間的な動作マージンを広げることが可能になる。

【0041】

以上説明したように、移動度補正期間においては、図5のタイミングチャートに示したとおり、ゲート電位を固定して状態でドライブトランジスタ T_{rd} に出力電流 I_{ds} を流し、画素容量 C_s や発光素子容量 C_{oled} に電荷を書き込む。その出力電流 I_{ds} の値は式5に示した通りであり、 V_{th} の項を含まずしたがって V_{th} の影響を受けることなく移動度の補正を行える。即ち、式5の右辺の分母に移動度 μ を含む項を有しており、移動度 μ が大きい場合は出力電流 I_{ds} が小さくなり、逆に移動度 μ が小さい場合は出力電流 I_{ds} が大きくなることで、移動度ばらつきの補正が行われる。

【0042】

式5の移動度補正項では t/C を含んでいる。 t は前述したように移動度補正時間であり、 C は画素容量 C_s や発光素子容量 C_{oled} などの合成容量からなる。ここで移動度補正時間 t と出力電流をばらつきの関係は図9のグラフに示した通りである。前述したように、移動度補正時間 t は短すぎても、長すぎても補正効果が不十分になることがわかっている。図9のグラフでは例えば $t = 2.5 \mu s$ が略最適レベルである。一方でゲートパルスの遅延などを考えると $t = 2.5 \mu s$ は短すぎる場合が多く、移動度補正時間 t を正確にコントロールすることは事実上困難である。

【0043】

そこで本発明では、前述の移動度補正調整を容易にするため、移動度補正に用いられる容量 C を増加させている。容量 C を増加させるためには、発光素子容量 C_{oled} または画素容量 C_s を大きくするか、あるいは追加容量 C_{sub} を設けることが考えられる。ここで発光素子容量 C_{oled} は、画素サイズと画素開口率に加えて発光素子を構成する有機EL材料などの基本特性により決定され、単純に増加させることは容易ではない。また画素容量 C_s を増加させてしまうと、信号電圧書き込み時にアノード電位の上昇が大きくなる。具体的には、アノード電位の上昇分は $C_s / (C_s + C_{oled}) \times \Delta V$ にて決定される。したがって $C_{oled} / (C_s + C_{oled})$ で表される入力信号電圧ゲインが低下してしまう。この入力電圧ゲインの低下を補うためには映像信号の振幅レベルを大きくしなければならず、その分ドライバ側に負担がかかる。そこで本発明では、容量 C を増加させる為に、TFTが集積形成されている絶縁基板上に追加容量 C_{sub} を形成し、これを C_{oled} と並列に接続する。これにより、入力ゲイン $(C_{oled} + C_{sub}) / (C_s + C_{oled} + C_{sub})$ を上げながら、トータル容量 C の値を大きくすることができ、最適な移動度補正時間 t を長く設定することができるようになり、移動度補正時間設定のマージンを上げることができる。なお第1実施形態の画素回路ではドライブトランジスタ T_{rd} をNチャンネル型とし、これ以外のスイッチングトランジスタはNチャンネル型とPチャンネル型を混在して用いているが、各トランジスタの特性はNチャンネルでもPチャンネルでもかまわない。

【0044】

図10は、図2に示した第1実施形態の変形例を示す回路図である。第1実施形態の場合、追加容量 C_{sub} の一方の端子は発光素子ELのアノードに接続し、他方の端子は発光素子ELのカソード側と同じ接地電位 V_{cat} に接続されている。これに対し本変形例は追加容量 C_{sub} の他方の端子が電源電位 V_{cc} に接続されている。この様に本発明は追加容量 C_{sub} の他方の端子が固定電位に接続されていれば良い。この固定電位は、発光素子ELのカソード側になる接地電位 V_{cat} 、画素回路2の正側電源電位 V_{cc} または負側電源電位から適宜選択することが出来る。場合によっては、追加容量 C_{sub} を画素容量 C_s と並列に作成しても、トータル容量 C を増加することが出来る。しかしな

がらこの場合は前述したように画素容量 C_s と追加容量 C_{sub} を並列に接続することで入力信号のゲインが低下してしまう。したがって画素容量 C_s と並列に追加容量 C_{sub} を接続しない方が望ましい。

【0045】

図11は、本発明にかかる表示装置の第2実施形態を示すブロック図である。理解を容易にするため図2に示した第1実施形態と対応する部分には対応する参照番号を用いてある。本表示装置は、画素アレイ1とこれを囲む周辺の回路とで構成されている。周辺回路は、水平セレクト3とライトスキャナ4とドライブスキャナ5と第一補正用スキャナ71と第二補正用スキャナ72とを含む。画素アレイ1はマトリクス状に配列した画素回路2で構成されている。図では理解を容易にする為1個の画素回路2のみを示してある。画素回路2は6個のトランジスタ T_{r1} , T_{rd} , $T_{r3} \sim T_{r6}$ と、3個の容量素子 C_{s1} , C_{s2} , C_{sub} と1個の発光素子 E_L とで構成されている。トランジスタは全てNチャンネル型である。本画素回路2の主要部となるドライブトランジスタ T_{rd} は、そのゲートGが各容量素子 C_{s1} , C_{s2} の一端に接続されている。一方の容量素子 C_{s1} は本画素回路2の出力側と入力側を結ぶ結合容量である。他方の容量素子 C_{s2} は結合容量 C_{s1} を介して映像信号が書き込まれる画素容量である。ドライブトランジスタ T_{rd} のソースSは画素容量 C_{s2} の他端に接続すると共に、発光素子 E_L に接続している。発光素子 E_L はダイオード型のデバイスであり、そのアノードがドライブトランジスタ T_{rd} のソースSに接続する一方、カソードKが接地電位 V_{cath} に接続されている。容量素子 C_{sub} は本発明に従って追加した追加容量であり、ドライブトランジスタ T_{rd} のソースSと接地電位 V_{cath} との間に接続されている。またドライブトランジスタ T_{rd} のソースSと所定の基準電位 V_{ss2} との間にスイッチングトランジスタ T_{r3} が介在している。このトランジスタ T_{r3} のゲートは走査線AZ2に接続している。ドライブトランジスタ T_{rd} のドレインはスイッチングトランジスタ T_{r4} を介して電源 V_{cc} に接続されている。スイッチングトランジスタ T_{r4} のゲートは走査線DSに接続している。加えてドライブトランジスタ T_{rd} のゲートGとドレインとの間にスイッチングトランジスタ T_{r5} が介在している。このトランジスタ T_{r5} のゲートは走査線AZ1に接続している。一方入力側のサンプリングトランジスタ T_{r1} は信号線SLと結合容量 C_{s1} の他端との間に接続されている。サンプリングトランジスタ T_{r1} のゲートは走査線WSに接続されている。結合容量 C_{s1} の他端と所定の基準電位 V_{ss1} との間にトランジスタ T_{r6} が介在している。このトランジスタ T_{r6} のゲートは走査線AZ1に接続している。

【0046】

図12は、図11に示した画素回路の動作説明に供するタイミングチャートである。時間軸Tに沿って制御信号WS, DS, AZ1, AZ2の波形を表すと共に、ドライブトランジスタ T_{rd} のゲート電位(G)及びソース電位(S)の変化も表してある。当該フィールドが開始するタイミングT1では、制御信号WS, AZ1, AZ2がローレベルで、制御信号DSのみがハイレベルである。したがって、タイミングT1ではスイッチングトランジスタ T_{r4} のみがオン状態にあり、残りのトランジスタ T_{r1} , T_{r3} , T_{r5} , T_{r6} はオフ状態にある。この時ドライブトランジスタ T_{rd} はオン状態にあるスイッチングトランジスタ T_{r4} を介して電源 V_{cc} に接続されているので、所定のドレイン電流 I_{ds} が発光素子 E_L に流れる為、発光状態となっている。

【0047】

タイミングT2になると制御信号AZ1とAZ2とがハイレベルとなり、スイッチングトランジスタ T_{r5} , T_{r6} がオンする。ドライブトランジスタ T_{rd} のゲートGはトランジスタ T_{r5} を通して電源 V_{cc} 側に接続するので、ゲート電位(G)は急激に上昇する。

【0048】

この後タイミングT3で制御信号DSがローレベルとなり、トランジスタ T_{r4} がオフする。ドライブトランジスタ T_{rd} に対する電源供給が遮断されるので、ドレイン電流 I_{ds} は減衰していく。これによりソース電位(S)及びゲート電位(G)は共に下降する

が、丁度両者の電位差が V_{th} となったところで電流が流れなくなる。この時の V_{th} が画素容量 C_{s2} に保持される。画素容量 C_{s2} に保持された V_{th} はドライブトランジスタ Trd の閾電圧のキャンセルに用いられる。また、スイッチングトランジスタ $Tr3$ はオンしており、ドライブトランジスタ $Tr2$ のソース S はトランジスタ $Tr3$ を介して基準電位 V_{ss2} に接続される。この V_{ss2} は発光素子 EL の閾電圧よりも低く設定されており、発光素子 EL は逆バイアス状態におかれる。

【0049】

この後タイミング $T4$ になったとき制御信号 $AZ1$ がローレベルとなり、トランジスタ $Tr5$ 、 $Tr6$ がオフして、 C_{s2} に書き込まれた V_{th} が固定される。タイミング $T2$ から $T4$ まで V_{th} 補正期間($T2 - T4$)と呼ぶ。なお V_{th} 補正期間では $Tr6$ がオンしている為、結合容量 C_{s1} の他端は所定の基準電位 V_{ss1} に保持される。

10

【0050】

タイミング $T5$ になると制御信号 WS 及び $AZ2$ がハイレベルになり、サンプリングトランジスタ $Tr1$ がオンする。この結果、ドライブトランジスタ Trd のゲート G は結合容量 C_{s1} 及びオンしたサンプリングトランジスタ $Tr1$ を介して信号線 SL に接続される。この結果映像信号が結合容量 C_{s1} を介してドライブトランジスタ Trd のゲート G にカップリングされ、その電位が上昇する。図13のタイミングチャートでは映像信号のカップリング分と V_{th} を合わせた電圧を V_{in} で表してある。画素容量 C_{s2} にこの V_{in} が保持された事になる。この後タイミング $T7$ で制御信号 WS がローレベルに戻り、画素容量 C_{s2} に書き込まれた電位が保持固定される。この様にして映像信号が結合容量 C_{s1} を介して画素容量 C_{s2} に書き込まれる期間をサンプリング期間 $T5 - T7$ と呼ぶ。このサンプリング期間 $T5 - T7$ は通常1水平期間($1H$)に相当する。

20

【0051】

本実施形態では、サンプリング期間が終了するタイミング $T7$ の前のタイミング $T6$ で、制御信号 DS がハイレベルになる一方制御信号 $AZ2$ がローレベルになる。この結果ドライブトランジスタ Trd のソース S が V_{ss2} から切り離される一方ドレイン側からソース S 側に向かって電流が流れる。一方サンプリングトランジスタ $Tr1$ は引き続きオン状態なのでドライブトランジスタ Trd のゲート電位(G)は映像信号側に保持されている。このような状態でドライブトランジスタ Trd に出力電流が流れるので、画素容量 C_{s2} 及び逆バイアス状態にある発光素子 EL の等価容量を充電する事になる。これによりドライブトランジスタ Trd のソース電位(S)は ΔV だけ上昇し、その分だけ C_{s2} に保持されていた電圧 V_{in} が減少する。換言すると、期間 $T6 - T7$ の間でソース S 側の出力電流がゲート G 側の入力電圧に負帰還される。この負帰還量が ΔV で表される。この負帰還動作により、ドライブトランジスタ Trd の移動度補正が行われる。

30

【0052】

この後タイミング $T7$ で制御信号 WS がローレベルとなり、映像信号の印加が解除されると、いわゆるブートストラップ動作が行われゲート電位(G)及びソース電位(S)は両者の差($V_{in} - \Delta V$)を維持したまま上昇する。ソース電位(S)の上昇に伴い発光素子 EL の逆バイアス状態は解消されるので、出力電流 I_{ds} が発光素子 EL に流れ込み、映像信号に応じた輝度で発光が行われる。この後タイミング $T8$ で当該フィールド $1f$ が終わると次のフィールドに進む。次のフィールドでも、 V_{th} 補正、信号書き込み、移動度補正の各動作を行う。

40

【0053】

図13は、図12に示した移動度補正期間 $T6 - T7$ における画素回路2の状態を表している。この画素回路2もスイッチングトランジスタ $Tr3$ 、 $Tr4$ 、 $Tr5$ などで構成される補正手段を備えている。この補正手段は出力電流 I_{ds} のキャリア移動度 μ に対する依存性を打ち消す為、予め発光期間 $T6 - T8$ の前または先頭で画素容量 C_{s2} に保持された入力電圧 V_{in} (V_{gs})を補正する。この補正手段は走査線 WS 及び DS から供給される制御信号 WS 、 DS に応じてサンプリング期間 $T5 - T7$ の一部で動作し、映像信号 V_{sig} がサンプリングされている状態でドライブトランジスタ Trd から出力電流

50

I_{ds} を取り出し、これを画素容量 C_{s2} に負帰還して入力電圧 V_{gs} を補正する。加えてこの補正手段(T_{r3} , T_{r4} , T_{r5})は、出力電流 I_{ds} の閾電圧 V_{th} に対する依存性を打ち消す為に、予めサンプリング期間 $T_5 - T_7$ に先立つ期間 $T_2 - T_4$ でドライブトランジスタ T_{rd} の閾電圧 V_{th} を検出し、且つ検出された閾電圧 V_{th} を入力電圧 V_{gs} に足し込む様にしている。

【0054】

本実施形態においても、ドライブトランジスタ T_{rd} はNチャネル型トランジスタでドレインが電源 V_{cc} 側に接続する一方ソース S が発光素子 E_L 側に接続している。この構成において本補正手段は、サンプリング期間 $T_5 - T_7$ の後部分に重なる発光期間 $T_6 - T_8$ の先頭部分($T_6 - T_7$)でドライブトランジスタ T_{rd} から出力電流 I_{ds} を取り出して、画素容量 C_{s2} 側に負帰還する。その際本補正手段は、発光期間の先頭部分($T_6 - T_7$)でドライブトランジスタ T_{rd} のソース S 側から取り出した出力電流 I_{ds} が、発光素子 E_L の有する等価容量 C_{oled} と追加容量 C_{sub} に流れ込むようにしている。発光素子 E_L はアノード及びカソードを備えたダイオード型の発光素子からなり、アノード側がドライブトランジスタ T_{rd} のソース S に接続する一方カソード側が V_{cat} に接地されている。本補正手段は前述したように予め発光素子 E_L のアノード/カソード間を逆バイアス状態にセットしておき、ドライブトランジスタ T_{rd} のソース S 側から取り出した出力電流 I_{ds} が発光素子 E_L に流れ込む時、ダイオード型の発光素子 E_L を容量性素子 C_{oled} として機能させている。その際発光素子容量 C_{oled} に追加容量 C_{sub} を接続してある。これにより出力電流 I_{ds} を流す時間を延長化でき、結果として移動度補正手段の時間的な動作マージンを拡大できる。

【0055】

図14は、本発明にかかる表示装置の第3実施形態を示す模式的な平面図である。図14は1セット分の赤色画素、緑色画素及び青色画素の模式的な平面図である。RGB各色の画素回路2は、各々赤色発光素子、緑色発光素子及び青色発光素子を備えている。各画素回路2に形成された追加容量 C_{sub} は、各色発光素子毎に異なる容量値を有し、以ってRGB各画素回路に形成された各補正手段の動作に要する時間を均一化している。

【0056】

一般的にRGB各色の発光素子を作るため、例えば有機EL材料を用いた発光素子では有機ELをRGB毎に塗り分けるプロセスが用いられる。RGB毎に有機EL材料や膜厚が異なるので、RGB毎の発光素子容量 C_{oled} は同じではない。また白色の有機EL発光素子を用いてこれをRGB各色のフィルタで着色する場合も、RGB各画素で開口率が異なる場合、発光素子容量 C_{oled} はやはりRGBによって異なる値を持つ。これにより何ら対策を施さない場合、移動度補正時に利用する容量 C もRGBにて異なる値になってしまう。したがって前述した式5によって決まる最適な移動度補正時間 t もRGB各画素によって差異が生じてしまう。よって何ら対策を施さないと、RGB全ての画素において移動度補正時間を最適に調整することは困難である。

【0057】

そこで本実施形態ではRGB画素間で最適移動度補正時間を共通にする為に、追加容量 C_{sub} の値をRGB毎に異なる値に設計している。発光素子容量 C_{oled} は、画素サイズと画素開口率や発光材料の基本特性により決定される為、RGB各画素で C_{oled} を同一に調整することは事実上困難である。そのため何ら対策を施さないと、移動度補正に用いる容量 C もRGB毎に異なり、結果的に最適な移動度補正時間もRGB画素で異なる値になってしまう。そこで本発明では、RGB画素に追加する C_{sub} 容量値を異なる値としている。

【0058】

移動度補正に必要なドレイン電流が、異なる画素間で同一且つ移動度補正時間に依存しないようにする為には、異なる2つの画素で以下の式6の条件を満たす必要がある。

【数 4】

$$\left\{ \begin{array}{l} \sqrt{\frac{k'}{k}} = \frac{C'}{C} \\ \frac{V_{sig}}{V_{sig}'} = \frac{C'}{C} \end{array} \right. \quad \text{式6}$$

10

【0059】

式6で一方の画素のパラメータと他方の画素のパラメータを区別するため、記号'を付けてある。一方の画素に流れる出力電流 I_{ds} と映像信号 V_{sig} の関係は以下の式7によって表される。この式7は前述した式5とまったく同一である。

【数 5】

$$I_{ds} = k\mu \left(\frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C}t} \right)^2 \quad \text{式7}$$

20

一方ドライブトランジスタのサイズ k' 、入力映像信号のレベル V_{sig}' 及び容量 C' の異なる画素に流れるドレイン電流 I_{ds}' は以下の式8によって表される。

【数 6】

$$I_{ds}' = k'\mu \left(\frac{1}{\frac{1}{V_{sig}'} + \frac{k'\mu}{C'}t} \right)^2 \quad \text{式8}$$

30

ここで $I_{ds} = I_{ds}'$ となる為には、以下の式9が成立すればよい。

【数 7】

$$k\mu \left(\frac{1}{\frac{1}{V_{sig}} + \frac{k\mu}{C}t} \right)^2 = k'\mu \left(\frac{1}{\frac{1}{V_{sig}'} + \frac{k'\mu}{C'}t} \right)^2 \quad \text{式9}$$

40

式9の両辺を解いて整理すると、以下の式10が得られる。

【数 8】

$$\mu \left(\frac{\sqrt{k'}}{C'} - \frac{\sqrt{k}}{C} \right) t = \frac{1}{\sqrt{k} V_{sig}} - \frac{1}{\sqrt{k'} V_{sig}'} \quad \text{式10}$$

ここで式 10 で表された条件が補正時間 t に依存しない為には、以下の関係を満たす必要がある。

10

【数 9】

$$\frac{\sqrt{k'}}{C'} = \frac{\sqrt{k}}{C} \quad \text{かつ} \quad \frac{1}{\sqrt{k} V_{sig}} = \frac{1}{\sqrt{k'} V_{sig}'}$$

これらをまとめると、上述した式 6 が得られる。つまり C と C' は異なる V_{sig} や k に対して式 6 の条件を満たせば、補正時間 t を共通にすることが可能である。

20

【0060】

上述した式 6 において入力映像信号 V_{sig} のダイナミックレンジとドライブトランジスタ T_{rd} のサイズファクタ k がどちらも RGB 画素で同一とすると、RGB 画素間で補正時間 t を共通にする為には RGB 画素各々に形成される容量 C を同一にする必要がある。ここで $C = C_{ss} + C_{oled} + C_{sub}$ である。 C_{oled} は RGB で値が異なる。また C_{ss} 値はブートストラップゲインがあるので RGB 画素毎に大きく変更することは出来ない。基本的には共通に設定する必要がある。そこで本実施形態では RGB で値が異なる C_{sub} を作成し、 C_{oled} と並列に接続している。このとき移動度補正に用いる容量値 C は、 $C = C_{ss} + C_{oled} + C_{sub}$ である。容量 C を RGB で同一にする為、追加容量 C_{sub} の値を RGB 画素で調節する。この様にすることで式 6 が成立し、したがって移動度補正時間 t を RGB 画素間で共通に出来る。またドライブトランジスタ T_{rd} のサイズファクタ k や入力映像信号 V_{sig} のダイナミックレンジが画素毎に異なる場合も、式 6 を満たすように追加容量 C_{sub} を RGB 毎に調整することで、移動度補正に最適な時間 t を RGB 画素で同一に設定することが出来る。

30

【0061】

RGB 画素間でホワイトバランスの調整が必要な場合、前述した式 6 は以下の式 11 のように変形できる。

【数 10】

$$\begin{cases} \sqrt{\frac{k'}{k}} \alpha = \frac{C'}{C} \\ \frac{V_{sig}}{V_{sig}'} \alpha = \frac{C'}{C} \end{cases} \quad \text{式11}$$

40

ホワイトバランス調整が必要な場合 RGB 画素毎に出力電流が α 倍異なると仮定する。よって $I_{ds}' = \alpha I_{ds}$ となる為には、以下の式 12 が成立する必要がある。

50

【数 1 1】

$$\alpha k \mu \left(\frac{1}{\frac{1}{V_{sig}} + \frac{k \mu}{C} t} \right)^2 = k' \mu \left(\frac{1}{\frac{1}{V_{sig}'} + \frac{k' \mu}{C'} t} \right)^2 \quad \text{式12}$$

式 1 2 の両辺を解いて、この条件が補正時間 t に依存しない為には以下の式 1 3 を満たす必要がある。

【数 1 2】

$$\frac{\sqrt{k' \alpha}}{C'} = \frac{\sqrt{k}}{C} \quad \text{かつ、} \quad \frac{1}{\sqrt{k' \alpha} V_{sig}} = \frac{1}{\sqrt{k} V_{sig}'} \quad \text{式13}$$

式 1 3 をまとめると上記の式 1 1 が得られる。つまり式 1 1 の C 及び C' は、異なる V_{sig} や k に対して式 1 1 の条件を満たすことによって、移動度補正時間 t を全ての画素にわたって共通にすることが可能である。

【0 0 6 2】

図 1 5 は、本発明にかかる表示装置の第 4 実施形態を示す模式的な平面図である。基本的には図 1 4 で示した第 3 実施形態と類似しており、対応する部分には対応する参照番号を付して理解を容易にしている。本実施形態では、RGB 各画素回路に形成された追加容量 C_{sub} の容量値に不足がある場合、隣接する画素回路に形成された追加容量 C_{sub} を利用して不足を補うようにしている。図示の例では、赤色 (R) 画素に形成すべき追加容量 C_{sub} の容量値が不足するため、隣の緑色 (G) 画素に形成された追加容量 C_{sub} の一部を R 画素側の追加容量 C_{sub} に利用している。したがって G 画素は R 画素用の C_{sub} 容量と自身の G 画素用 C_{sub} 容量の両者を含んでいることになる。これに対し青色 (B) 画素は自身の画素領域に形成された C_{sub} 容量のみで足りている。

【0 0 6 3】

例えばホワイトバランスを取るため RGB 画素間で出力電流のレベル設定が異なる場合、移動度補正時間 t を共通にする為には前述した式 1 1 の条件を満たす必要がある。つまり C と C' の差異がホワイトバランス調整のため大きくなりこの分 C_{sub} の値をさらに大きく取る必要が生じる。前述したように C_{sub} は絶縁基板に作成した薄膜容量素子からなる。各画素には薄膜トランジスタ TFT や別の容量素子 C_s 、配線などがあり、追加要領 C_{sub} の占有面積は限定されてしまう。このため C_{sub} の必要値が 1 画素の取り得る最大容量値よりも大きな場合は、何ら対策を施さないと最適な移動度補正時間 t を同一にすることが不可能になってしまう。そこで本実施形態では C_{sub} が不十分な画素 (ここでは R 画素) は、その隣接画素 (図示の例では G 画素) から C_{sub} の割り当てを貰い、必要な値に設定している。この様に隣接画素から C_{sub} を割り振ることでホワイトバランスが異なる画素や RGB で有機 EL 材料の特性が大きく異なる画素においても、最適な移動度補正時間 t を RGB 間で均一にすることが出来、高いユニフォミティを得ることが可能である。

【0 0 6 4】

図 1 6 は、図 1 5 に示した R 画素の回路構成を示すブロック図である。図示するように赤色 (R) の画素回路 2 は、自身の追加容量 C_{sub} に加え、隣接する画素に形成された追加容量 C_{sub}' も利用することで、トータル容量 $C = C_s + C_{oled} + C_{sub} + C_{sub}'$ を確保している。

【0 0 6 5】

10

20

30

40

50

図 17 は、図 16 に示した実施形態の変形例を示す回路図である。理解を容易にするため図 16 に示した回路と対応する部分には対応する参照番号を付してある。異なる点は、図 16 に示した先の例では C_{sub} 及び C_{sub}' の他方の端子が発光素子 EL のカソード側と同じ接地電位に接続されているのに対し、本変形例では C_{sub} 及び C_{sub}' の他方の端子が電源電位 V_{cc} に接続されていることである。

【図面の簡単な説明】

【0066】

【図 1】本発明にかかる表示装置の基本構成を示すブロック図である。

【図 2】本発明にかかる表示装置の第 1 実施形態を示す回路図である。

【図 3】第 1 実施形態に含まれる画素の模式的な平面図である。

10

【図 4】図 2 に示した表示装置に含まれる画素回路を取り出した模式図である。

【図 5】図 4 に示した画素回路の動作説明に供するタイミングチャートである。

【図 6】図 4 に示した画素回路の動作説明に供する模式図である。

【図 7】同じく動作説明に供するグラフである。

【図 8】同じく動作説明に供する模式図である。

【図 9】図 4 に示した画素回路に含まれるドライブトランジスタの動作特性を示すグラフである。

【図 10】図 2 に示した第 1 実施形態の変形例を示す回路図である。

【図 11】本発明にかかる表示装置の第 2 実施形態を示すブロック図である。

【図 12】図 11 に示した表示装置に含まれる画素回路の動作説明に供するタイミングチャートである。

20

【図 13】同じく動作説明に供する画素回路図である。

【図 14】本発明にかかる表示装置の第 3 実施形態を示す模式的な平面図である。

【図 15】本発明にかかる表示装置の第 4 実施形態を示す模式的な平面図である。

【図 16】図 15 に示した第 4 実施形態の回路構成を示すブロック図である。

【図 17】図 16 に示した実施例の変形例を示す回路図である。

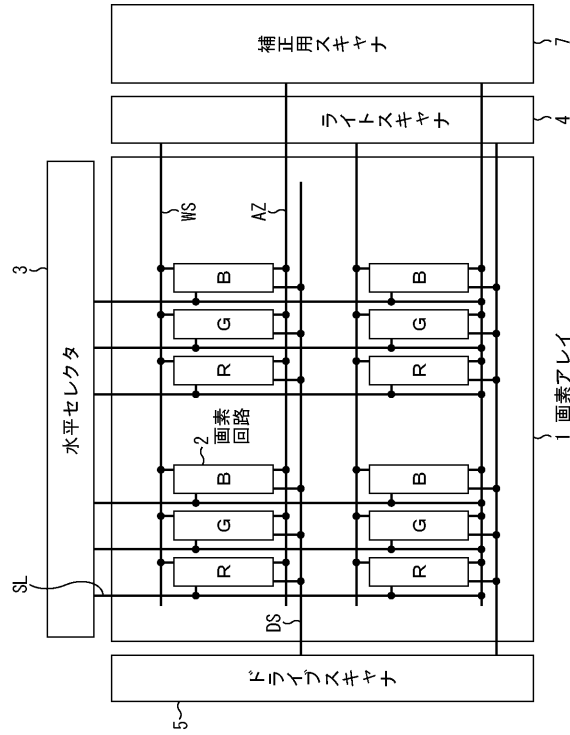
【符号の説明】

【0067】

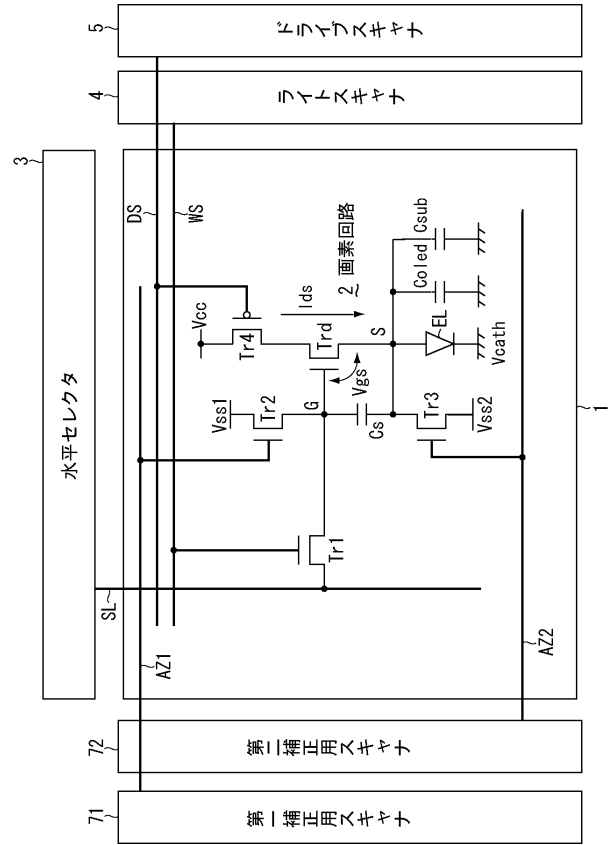
1・・・画素アレイ、2・・・画素回路、3・・・水平セレクタ、4・・・ライトスキャナ、5・・・ドライブスキャナ、7・・・補正用スキャナ、 $Tr1$ ・・・サンプリングトランジスタ、 Trd ・・・ドライブトランジスタ、 EL ・・・発光素子、 Cs ・・・画素容量、 C_{sub} ・・・追加容量、 Col_{ed} ・・・発光素子容量

30

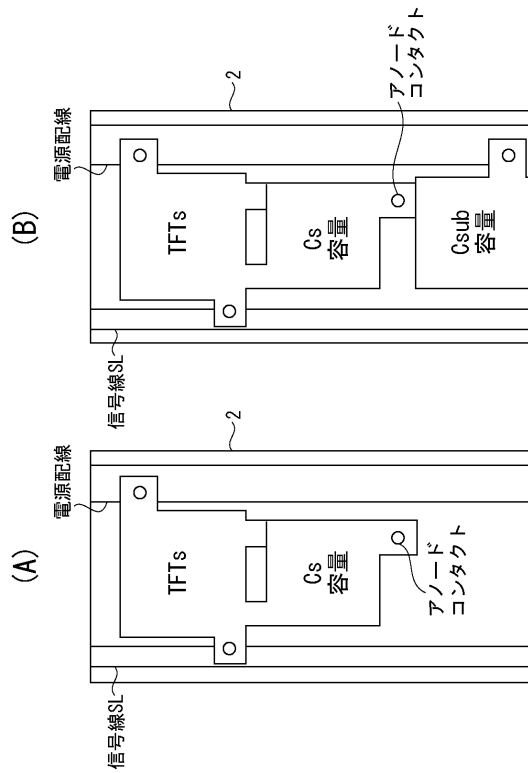
【図 1】



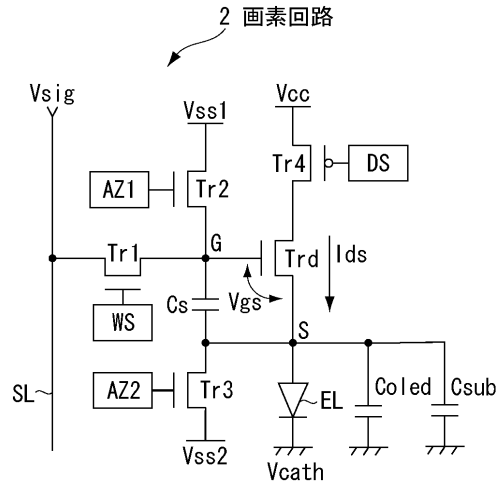
【図 2】



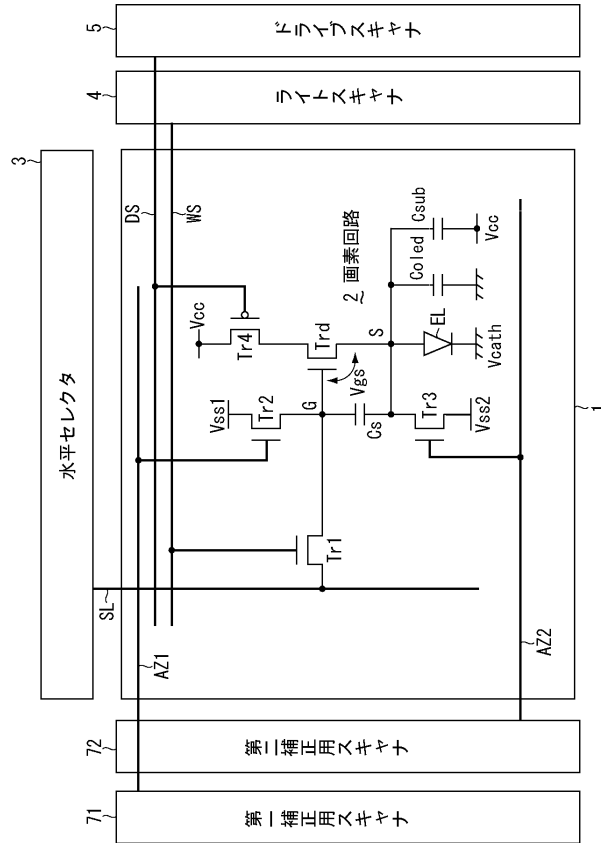
【図 3】



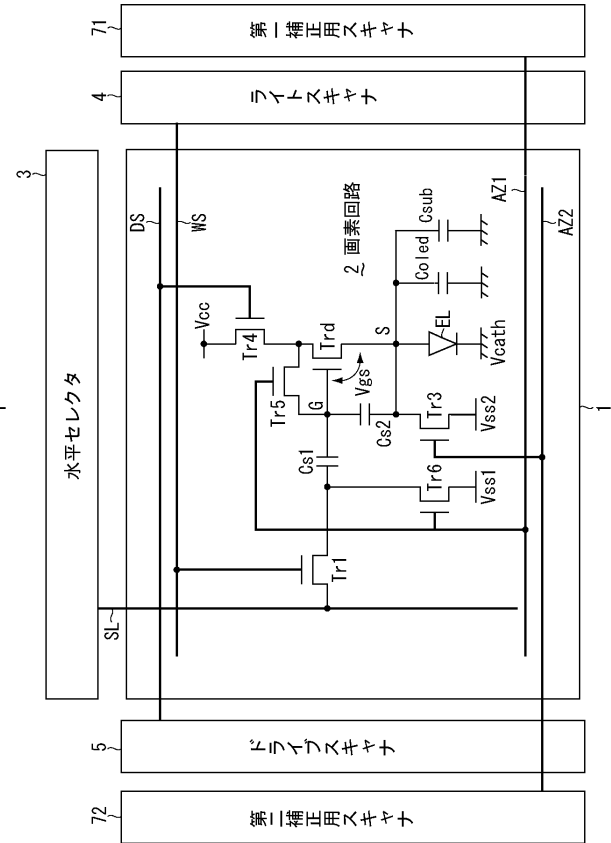
【図 4】



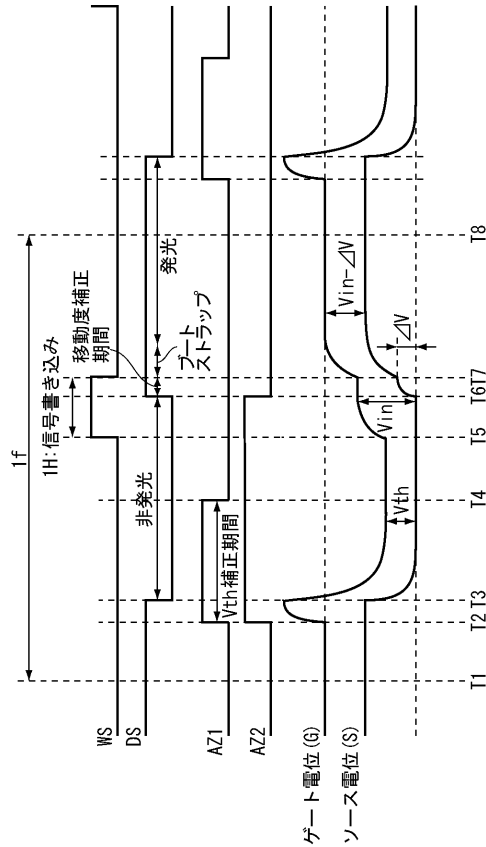
【図 10】



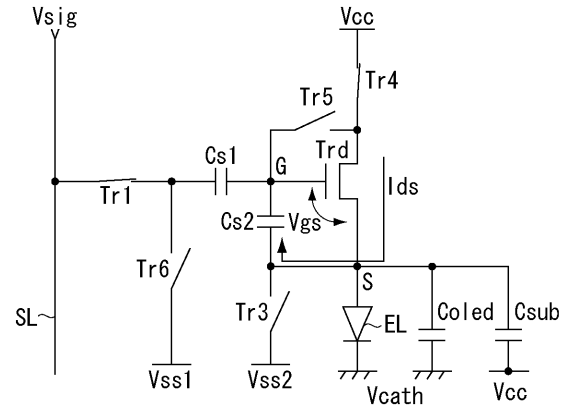
【図 11】



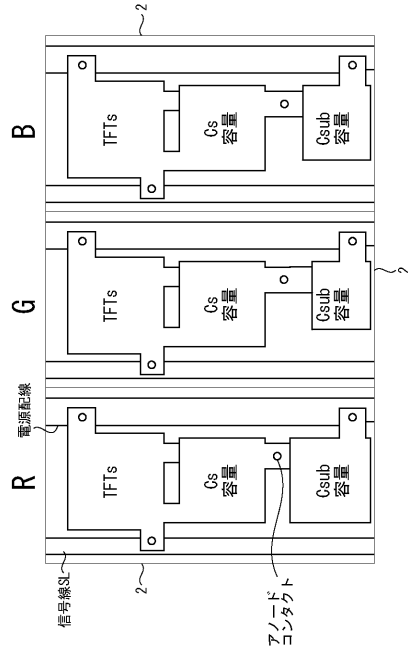
【図 12】



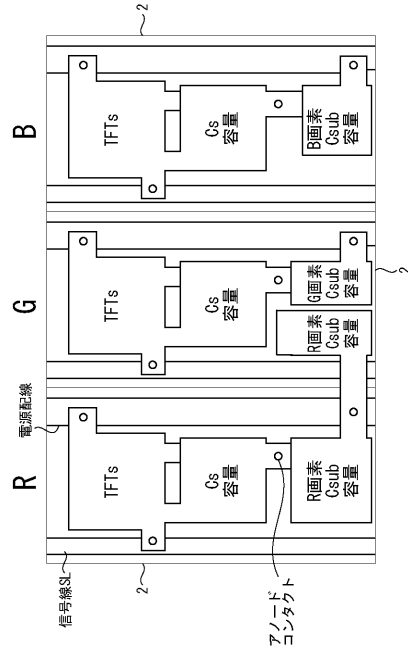
【図 13】



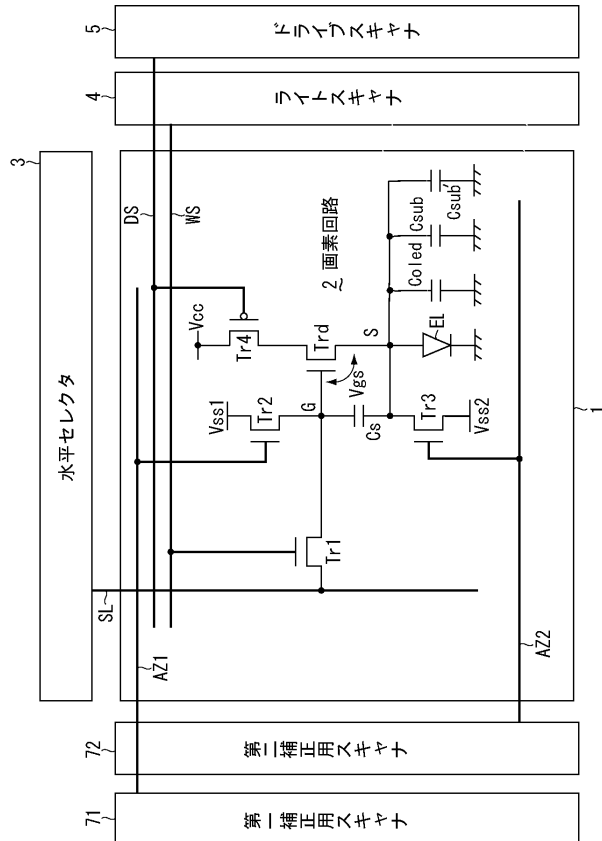
【図 14】



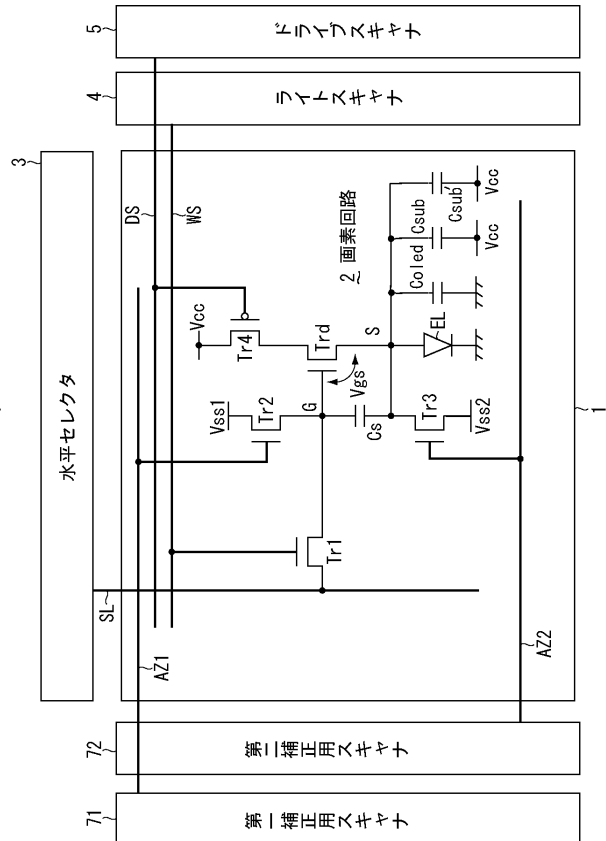
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 4 2 L
H 0 5 B 33/14 A

審査官 森口 忠紀

(56)参考文献 特開 2 0 0 6 - 2 1 5 2 1 3 (J P , A)
特開 2 0 0 3 - 2 5 5 8 9 7 (J P , A)
特開 2 0 0 3 - 2 5 5 8 9 5 (J P , A)
特開 2 0 0 3 - 2 2 8 2 9 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	像素电路和显示设备		
公开(公告)号	JP4923505B2	公开(公告)日	2012-04-25
申请号	JP2005294308	申请日	2005-10-07
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	山下淳一 内野勝秀		
发明人	山下 淳一 内野 勝秀		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G2310/0256 G09G2310/0262 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.621.M G09G3/20.680.G G09G3/20.642.L H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC31 3K107/CC33 3K107/EE04 3K107/HH00 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA02 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB24 5C380/AB34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB17 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC65 5C380/CD035 5C380/CD036 5C380/CD045 5C380/DA06 5C380/DA35 5C380/DA47 5C380/HA11 5C380/HA12		
代理人(译)	吉井正明 山本隆久 森浩一		
其他公开文献	JP2007102046A		
外部链接	Espacenet		

摘要(译)

要解决的问题：将校正操作的余量扩大到包括发光元件的像素电路中的驱动晶体管的迁移率。解决方案：像素电路2设置有晶体管Tr2和Tr3作为校正装置，用于校正采样到像素电容器Cs的输入电压Vgs，以消除驱动晶体管Trd的输出电流对载流子迁移率的依赖性。校正装置根据从扫描线AZ1，AZ2提供的控制信号进行操作，从驱动晶体管Trd提取输出电流，并将电流注入到发光元件E1和像素电容器Cs所具有的电容器中，以校正电流。输入电压Vgs。该装置具有附加电容器Csub，该电容器Csub将被添加到发光元件电容器Coled并且还将驱动晶体管Trd的输出电流的一部分传递到附加电容器Csub，从而为操作提供时间裕度。修正手段。Ž

またドレイン電流 I_{ds} と容量 $C (= C_s + C_o$ の式 4 に示す様に $I_{ds} = dQ / dt = C dV /$ 数 2]

$$I_{ds} = \frac{dQ}{dt} = C \frac{dV}{dt} \quad \text{より} \quad \int \frac{1}{C} dt = \int \frac{1}{I_{ds}} dV \quad \text{式4}$$

$$\Leftrightarrow \int_0^t \frac{1}{C} dt = \int_{-V_{th}}^V \frac{1}{k \mu (V_{sig} - V_{th} - V)^2} dV$$

$$\Leftrightarrow \frac{k \mu}{C} t = \left[\frac{1}{V_{sig} - V_{th} - V} \right]_{-V_{th}}^V = \frac{1}{V_{sig} - V_{th} - V} - \frac{1}{V_{sig}}$$

$$\Leftrightarrow V_{sig} - V_{th} - V = \frac{1}{\frac{1}{V_{sig}} + \frac{k \mu}{C} t} = \frac{V_{sig}}{1 + V_{sig} \frac{k \mu}{C} t}$$