

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4630789号
(P4630789)

(45) 発行日 平成23年2月9日(2011.2.9)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/30 J
HO1L 51/50 (2006.01)	G09G 3/20 611J
	G09G 3/20 612E
	G09G 3/20 641D
請求項の数 21 (全 17 頁) 最終頁に続く	

(21) 出願番号 特願2005-296475 (P2005-296475)
 (22) 出願日 平成17年10月11日(2005.10.11)
 (65) 公開番号 特開2006-113586 (P2006-113586A)
 (43) 公開日 平成18年4月27日(2006.4.27)
 審査請求日 平成17年10月12日(2005.10.12)
 (31) 優先権主張番号 10-2004-0080621
 (32) 優先日 平成16年10月8日(2004.10.8)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 308040351
 三星モバイルディスプレイ株式会社
 大韓民国京畿道龍仁市器興区農書洞山24
 (74) 代理人 110000981
 アイ・ピー・ディー国際特許業務法人
 (74) 代理人 100095957
 弁理士 亀谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (74) 代理人 100101557
 弁理士 萩原 康司
 (72) 発明者 鄭 鎮泰
 大韓民国ソウル市江北区水諭5洞401-38番地 4/4

最終頁に続く

(54) 【発明の名称】 発光表示装置、及び画素回路

(57) 【特許請求の範囲】

【請求項1】

発光素子と、

ゲート電極に印加された電圧に対応して、第1電源から前記発光素子へ電流を流入させる駆動トランジスタと、

第1走査信号に応じて、データ信号を伝達する第1スイッチング素子と、

前記第1走査信号に応じて、第2電源を前記駆動トランジスタのゲート電極に印加する第2スイッチング素子と、

前記第1スイッチング素子のドレイン電極と前記駆動トランジスタのソース電極に接続され、前記第1スイッチング素子及び前記第2スイッチング素子の動作に応じて、前記データ信号及び前記第2電源に対応する電圧を貯蔵するキャパシタと、

第2走査信号に応じて、前記キャパシタに貯蔵された電圧を前記駆動トランジスタの前記ゲート電極に印加する第3スイッチング素子と、

第3走査信号に応じて、前記第1電源を前記駆動トランジスタに伝達する第4スイッチング素子と、

を備えることを特徴とする、画素回路。

【請求項2】

前記発光素子に並列に連結される第5スイッチング素子をさらに備え、

前記第5スイッチング素子のソース電極およびドレイン電極は前記発光素子に接続され、前記第5スイッチング素子のゲート電極は前記第3走査信号を出力する第3走査線に接

10

20

続され、

前記第 4 スイッチング素子がオフ状態の場合に前記第 5 スイッチング素子はオン状態と
なって、前記発光素子への電流の流入を遮断することを特徴とする、請求項 1 に記載の画
素回路。

【請求項 3】

前記キャパシタに貯蔵される電圧は、前記データ信号の電圧から、前記第 2 電源と前記
駆動トランジスタのスレシヨルド電圧との差を減算した電圧であることを特徴とする、請
求項 1 または 2 に記載の画素回路。

【請求項 4】

前記第 1 ~ 3 走査信号は周期的な信号であり、各周期は第 1 期間及び第 2 期間を有し、
前記第 1 走査信号は、前記第 1 期間でオン信号、前記第 2 期間でオフ信号であり、
前記第 2 走査信号は、前記第 1 期間でオフ信号、前記第 2 期間でオン信号であり、
前記第 3 走査信号は、前記第 1 期間でオフ信号、前記第 2 期間でオン信号であること
を特徴とする、請求項 1 ~ 3 のいずれかに記載の画素回路。

10

【請求項 5】

前記第 1 電源と前記第 2 電源との差の絶対値は、少なくとも前記駆動トランジスタのス
レシヨルド電圧の絶対値と同一であることを特徴とする、請求項 1 ~ 4 のいずれかに記載
の画素回路。

【請求項 6】

前記第 3 走査信号により、前記第 4 スイッチング素子と前記第 5 スイッチング素子とは
、相違した動作状態を維持することを特徴とする、請求項 2 に記載の画素回路。

20

【請求項 7】

発光素子と、
ゲート電極に印加された電圧に対応して、第 1 電源から前記発光素子へ駆動電流を伝達
する駆動トランジスタと、

データ信号及び前記駆動トランジスタのゲート電極に印加される第 2 電源の電圧に対応
して、所定の電圧を貯蔵するキャパシタと、

前記データ信号を前記キャパシタに選択的に伝達する第 1 スイッチング部と、

前記キャパシタに貯蔵された電圧または前記第 2 電源の電圧のいずれかを前記駆動トラ
ンジスタのゲート電極に印加する第 2 スイッチング部と、

30

前記第 1 電源を前記駆動トランジスタに選択的に伝達する第 3 スイッチング部と、
を備え、

前記キャパシタは、前記第 1 スイッチング部のドレイン電極と前記駆動トランジスタの
ソース電極に接続されていることを特徴とする、画素回路。

【請求項 8】

前記キャパシタに貯蔵される電圧は、前記データ信号の電圧から、前記第 2 電源と前記
駆動トランジスタのスレシヨルド電圧との差を減算した電圧であることを特徴とする、請
求項 7 に記載の画素回路。

【請求項 9】

前記第 1 スイッチング部は第 1 走査信号を受信し、

40

前記第 2 スイッチング部は前記第 1 走査信号または第 2 走査信号を受信し、

前記第 3 スイッチング部は第 3 走査信号を受信し、

前記第 1 ~ 3 走査信号は周期的な信号であり、各周期は第 1 及び第 2 期間を有し、
前記第 1 走査信号は、前記第 1 期間でオン信号、前記第 2 期間でオフ信号であり、
前記第 2 走査信号は、前記第 1 期間でオフ信号、前記第 2 期間でオン信号であり、
前記第 3 走査信号は、前記第 1 期間でオフ信号、前記第 2 期間でオン信号であること
を特徴とする、請求項 7 または 8 のいずれかに記載の画素回路。

【請求項 10】

前記第 1 スイッチング部は第 1 走査信号を受信し、前記第 2 スイッチング部は第 1 走査
信号及び第 2 走査信号を選択的に受信し、前記第 3 スイッチング部は第 3 走査信号を受信

50

し、

前記第 2 スイッチング部は、前記第 1 走査信号に応じて前記第 2 電源の電圧を前記駆動トランジスタのゲート電極に印加し、前記第 2 走査信号に応じて前記キャパシタに貯蔵された電圧を前記駆動トランジスタのゲート電極に印加することを特徴とする、請求項 9 に記載の画素回路。

【請求項 1 1】

前記第 1 電源と前記第 2 電源との差の絶対値は、少なくとも前記駆動トランジスタのスレシールド電圧の絶対値と同一であることを特徴とする、請求項 7 ~ 1 0 のいずれかに記載の画素回路。

【請求項 1 2】

発光素子と、
第 1 端子が A ノードに連結され、第 2 端子が C ノードに連結されるキャパシタと、
ソース電極及びドレイン電極がデータ線及び前記 A ノードに連結され、ゲート電極が第 1 走査線に連結される第 1 スイッチング素子と、
ソース電極及びドレイン電極が第 2 電源及び B ノードに連結され、ゲート電極が前記第 1 走査線に連結される第 2 スイッチング素子と、
ソース電極及びドレイン電極が前記 A ノード及び前記 B ノードに連結され、ゲート電極が第 2 走査線に連結される第 3 スイッチング素子と、
ソース電極及びドレイン電極が前記 C ノード及び前記発光素子に連結され、ゲート電極が前記 B ノードに連結される駆動トランジスタと、
ソース電極及びドレイン電極が第 1 電源及び前記駆動トランジスタのソース電極に連結され、前記第 1 電源を前記駆動トランジスタに選択的に印加する第 4 スイッチング素子と、
を備えることを特徴とする、画素回路。

【請求項 1 3】

前記発光素子に連結され、前記第 4 スイッチング素子と反対の動作状態を維持する第 5 スイッチング素子をさらに備え、

前記第 5 スイッチング素子の両端子が前記発光素子の両端子にそれぞれ接続されていることを特徴とする、請求項 1 2 に記載の画素回路。

【請求項 1 4】

前記第 1 電源と前記第 2 電源との差の絶対値は、少なくとも前記駆動トランジスタのスレシールド電圧の絶対値と同一であることを特徴とする、請求項 1 2 ~ 1 3 のいずれかに記載の画素回路。

【請求項 1 5】

複数の走査線、複数のデータ線、および複数の画素回路を備え、
前記画素回路は、
発光素子と、
第 1 電源から前記発光素子に駆動電流を伝達する駆動トランジスタと、
第 1 走査信号に応じて、データ信号を伝達する第 1 スイッチング素子と、
前記第 1 走査信号に応じて、第 2 電源を前記駆動トランジスタのゲート電極に印加する第 2 スイッチング素子と、
前記第 1 スイッチング素子のドレイン電極と前記駆動トランジスタのソース電極に接続され、前記第 1 スイッチング素子及び前記第 2 スイッチング素子の動作に応じて、前記データ信号及び前記第 2 電源に対応する電圧を貯蔵するキャパシタと、
第 2 走査信号に応じて、前記キャパシタに貯蔵された電圧を前記駆動トランジスタのゲート電極に印加する第 3 スイッチング素子と、
第 3 走査信号に応じて、前記第 1 電源を伝達または遮断する第 4 スイッチング素子と、
を備えることを特徴とする、発光表示装置。

【請求項 1 6】

前記キャパシタに貯蔵される電圧は、前記データ信号の電圧から、前記第 2 電源及び前

10

20

30

40

50

記駆動トランジスタのスレシヨルド電圧の差を減算した電圧であることを特徴とする、請求項 15 に記載の発光表示装置。

【請求項 17】

前記第 1 電源と前記第 2 電源との差の絶対値は、少なくとも前記駆動トランジスタのスレシヨルド電圧の絶対値と同一であることを特徴とする、請求項 15 または 16 に記載の発光表示装置。

【請求項 18】

前記第 1 ~ 3 走査信号は周期的な信号であり、各周期は第 1 期間及び第 2 期間を有し、前記第 1 走査信号は、前記第 1 期間でオン信号、前記第 2 期間でオフ信号であり、前記第 2 走査信号は、前記第 1 期間でオフ信号、前記第 2 期間でオン信号であり、前記第 3 走査信号は、前記第 1 期間でオフ信号、前記第 2 期間でオン信号であることを特徴とする、請求項 15 ~ 17 のいずれかに記載の発光表示装置。

【請求項 19】

前記発光素子に並列に連結される第 5 スイッチング素子をさらに備え、前記第 5 スイッチング素子のソース電極およびドレイン電極は前記発光素子に接続され、前記第 5 スイッチング素子のゲート電極は前記第 3 走査信号を出力する第 3 走査線に接続され、前記第 4 スイッチング素子がオフ状態の場合に前記第 5 スイッチング素子はオン状態となつて、前記発光素子への電流の流入を遮断することを特徴とする、請求項 15 ~ 18 のいずれかに記載の発光表示装置。

【請求項 20】

前記第 3 走査信号により、前記第 4 スイッチング素子と前記第 5 スイッチング素子とが相違した動作状態を維持することを特徴とする、請求項 19 に記載の発光表示装置。

【請求項 21】

前記第 1 ~ 3 走査信号を伝達する走査駆動部と、前記データ信号を伝達するデータ駆動部と、をさらに備えることを特徴とする、請求項 15 ~ 20 のいずれかに記載の発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光表示装置に係り、画素に、有機発光素子 (Organic Light Emitting Device: OLED)、駆動トランジスタ (Thin Film Transistor)、キャパシタ、及びスイッチングトランジスタを備える発光表示装置、及び画素回路に関するものである。

【背景技術】

【0002】

近年、陰極線管に比べ重さおよび体積の小さい種々の平板表示装置が開発されており、特に発光効率、輝度および視野角に優れ応答速度の速い発光表示装置が注目を浴びている。発光素子は、光を発散する薄膜の発光層がカソード電極とアノード電極間に位置する構造を有し、発光層に電子および正孔を注入してこれらを再結合させることにより励起子が生成され、励起子が低エネルギーに落ちながら発光する特性を持っている。

【0003】

このような発光素子は、発光層が無機物または有機物から構成され、発光層の種類によって無機発光素子と有機発光素子に区分される。図 1 は従来技術による発光表示装置の画素を示す回路図である。図 1 に示すように、画素は、有機発光素子 OLED、駆動トランジスタ M102、キャパシタ Cst、およびスイッチングトランジスタ M101 を備える。

【0004】

そして、走査線 Sn、データ線 Dm、および電源線 Vdd が画素に連結される。そして

、走査線 S_n は行方向に形成され、データ線 D_m 及び電源線 V_{dd} は列方向に形成される。ここで、 n は 1 から N までの任意の整数、 m は 1 から M までの任意の整数である。

【0005】

スイッチングトランジスタ M_{101} は、ソース電極がデータ線 D_m に連結され、ドレイン電極が第 1 ノード X_A に連結され、ゲート電極が走査線 S_n に連結される。駆動トランジスタ M_{102} は、ソース電極が画素の電源線 V_{dd} に連結され、ドレイン電極が有機発光素子 $OLED$ に連結され、ゲート電極が第 1 ノード X_A に連結される。そして、ゲート電極に入力される信号に応じて、有機発光素子 $OLED$ に発光のための電流を供給する。駆動トランジスタ M_{102} の電流量は、スイッチングトランジスタ M_{101} を介して印加されるデータ信号により制御される。

10

【0006】

キャパシタ C_{st} は、第 1 電極が駆動トランジスタ M_{102} のソース電極に連結され、第 2 電極が第 1 ノード X_A に連結され、データ信号により印加された、ソース電極とゲート電極間の電圧を一定期間維持する。

【0007】

このような構成によると、スイッチングトランジスタ M_{101} のゲート電極に印加される走査信号に応じてスイッチングトランジスタ M_{101} がオン状態となると、キャパシタ C_{st} にデータ信号に相応する電圧が充電され、キャパシタ C_{st} に充電された電圧が駆動トランジスタ M_{102} のゲート電極に印加される。駆動トランジスタ M_{102} から有機発光素子 $OLED$ を通じて電源 V_{ss} に電流が流れるようにして、有機発光素子 $OLED$ が発光するようにする（特許文献 1, 2, 3 参照）。

20

【0008】

この際、駆動トランジスタ M_{102} により有機発光素子 $OLED$ に流れる電流はつぎの数式 1 のようである。

【0009】

【数 1】

$$I_{OLED} = \frac{\beta}{2} (V_{gs} - V_{th})^2 = \frac{\beta}{2} (V_{dd} - V_{data} - V_{th})^2$$

… (数式 1)

30

【0010】

ここで、 I_{OLED} は有機発光素子 $OLED$ に流れる電流、 V_{gs} は駆動トランジスタ M_{102} のソースとゲート間の電圧、 V_{th} は駆動トランジスタ M_{102} のスレシヨルド電圧、 V_{data} はデータ信号電圧、 β は駆動トランジスタ M_{102} の利得係数を示す。数式 1 に示すように、有機発光素子 $OLED$ に流れる電流 I_{OLED} は駆動トランジスタ M_{102} のスレシヨルド電圧の大きさによって異なる。

【0011】

【特許文献 1】大韓民国公開特許第 2004 - 0008922 号明細書

40

【特許文献 2】大韓民国公開特許第 2004 - 0009285 号明細書

【特許文献 3】大韓民国公開特許第 2004 - 0024398 号明細書

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかしながら、発光表示装置は、製造工程で駆動トランジスタ M_{102} のスレシヨルド電圧の偏差が発生し、このようなトランジスタ M_{102} のスレシヨルド電圧の偏差による、有機発光素子 $OLED$ に流れる電流量の不均一により輝度が変わる問題点がある。

【0013】

また、画素に連結され各画素に画素電源を供給する画素の電源線 V_{dd} は第 1 電源線 (

50

図示せず)に連結され、画素電源を受ける。この場合、電源線V d dにより、第1電源線(図示せず)から供給される第1電源が電圧低下し、第1電源線(図示せず)が長くなるほど連結される電源線V d dが多くなり、電圧低下の大きさがさらに大きくなる問題点がある。特に、最近に大画面を有する平板表示装置が脚光を浴びているので、平板表示装置の画面が次第に大きくなり、第1電源線(図示せず)で発生する電圧低下がさらに大きくなる。

【0014】

そこで、本発明はこのような問題点に鑑みてなされたもので、その目的とするところは、発光素子に流れる電流が、駆動トランジスタのスレシヨルド電圧の偏差及び画素電源の影響を受けず、発光素子に流れる電流量が一定となるようにして、発光表示装置の輝度ムラを防止することのできる発光表示装置、及び画素回路を提供することにある。

10

【課題を解決するための手段】

【0015】

上記課題を解決するために、本発明のある観点によれば、発光素子と、ゲート電極に印加された電圧に対応して、第1電源から発光素子へ電流を流入させる駆動トランジスタと、第1走査信号に応じて、データ信号を伝達する第1スイッチング素子と、第1走査信号に応じて、第2電源を駆動トランジスタのゲート電極に印加する第2スイッチング素子と、第1スイッチング素子及び第2スイッチング素子の動作に応じて、データ信号及び第2電源に対応する電圧を貯蔵するキャパシタと、第2走査信号に応じて、キャパシタに貯蔵された電圧を駆動トランジスタのゲート電極に印加する第3スイッチング素子と、第3走査信号に応じて、第1電源を駆動トランジスタに伝達する第4スイッチング素子と、を備えることを特徴とする、画素回路が提供される。

20

【0016】

上記画素回路を構成することにより、発光素子に流れる電流は、駆動トランジスタのスレシヨルド電圧及び第1電源にかかわらず、データ信号の電圧と第2電源にだけ対応して流れ、駆動トランジスタのスレシヨルド電圧の差を補償して、画素電源を供給する第1電源が電圧低下して画素電源が低くなっても、発光素子に流れる電流量の変化がないようにできるので、発光表示装置の輝度ムラを防止することができる。

【0017】

また、第3走査信号に応じて、発光素子への電流の流入を遮断する第5スイッチング素子をさらに備えることができる。発光素子が発光する場合は、第5スイッチング素子がオフ状態となって、発光素子にだけ電流が流れるようにし、発光素子が発光してはいけない場合(特に、スレシヨルド電圧を検出する期間)には、第5スイッチング素子がオン状態となって、発光素子に電流が流れずに第5スイッチング素子に流れるようにすることができる。

30

【0018】

ここで、駆動トランジスタのソース電極はゲート電極よりスレシヨルド電圧の分だけ高い電圧を維持しているので、上記画素回路のキャパシタに貯蔵される電圧は、データ信号の電圧から、第2電源と駆動トランジスタのスレシヨルド電圧との和を減算した電圧とすることができる。キャパシタに貯蔵された電圧が駆動トランジスタのゲート電極に印加され、キャパシタに貯蔵された電圧に対応する電流が駆動トランジスタを介して発光素子に流れる。

40

【0019】

第1～3走査信号は周期的な信号であり、各周期は第1期間及び第2期間を有し、第1走査信号は、第1期間でオン信号、第2期間でオフ信号であり、第2走査信号は、第1期間でオフ信号、第2期間でオン信号であり、第3走査信号は、第1期間でオフ信号、第2期間でオン信号であるとよい。これにより、第1期間では第1スイッチング素子と第2スイッチング素子とがオンし、第2期間では第3スイッチング素子と第4スイッチング素子とがオンする。

【0020】

50

上記画素回路を動作させるため、第2電源は、駆動トランジスタがオフ状態を維持できる電圧を有することができ、また、第1電源と第2電源との差の絶対値は、少なくとも駆動トランジスタのスレシヨルド電圧の絶対値と同一とすることができる。

【0021】

第3走査信号により、第4スイッチング素子と第5スイッチング素子とは、相違した動作状態を維持することができる。これにより、発光素子が発光する場合は、第5スイッチング素子がオフ状態となつて、発光素子にだけ電流が流れるようにし、発光素子が発光してはいけない場合には、第5スイッチング素子がオン状態となつて、発光素子に電流が流れないようにすることができる。

【0022】

上記課題を解決するために、本発明の別の観点によれば、発光素子と、ゲート電極に印加された電圧に対応して、第1電源から前記発光素子へ駆動電流を伝達する駆動トランジスタと、データ信号及び駆動トランジスタのゲート電極に印加される第2電源の電圧に対応して、所定の電圧を貯蔵するキャパシタと、データ信号をキャパシタに選択的に伝達する第1スイッチング部と、キャパシタに貯蔵された電圧または第2電源の電圧のいずれかを駆動トランジスタのゲート電極に印加する第2スイッチング部と、第1電源を駆動トランジスタに選択的に伝達する第3スイッチング部と、を備えることを特徴とする、画素回路が提供される。

【0023】

第1スイッチング部、第2スイッチング部、及び第3スイッチング部を構成することにより、発光素子に流れる電流は、駆動トランジスタのスレシヨルド電圧及び第1電源にかかわらず、データ信号の電圧と第2電源にだけ対応して流れるので、発光表示装置の輝度ムラを防止することができる。

【0024】

駆動トランジスタのソース電極はゲート電極よりスレシヨルド電圧の分だけ高い電圧を維持しているので、キャパシタに貯蔵される電圧は、データ信号の電圧から、第2電源と駆動トランジスタのスレシヨルド電圧との和を減算した電圧とすることができる。キャパシタに貯蔵された電圧が駆動トランジスタのゲート電極に印加され、キャパシタに貯蔵された電圧に対応する電流が駆動トランジスタを介して発光素子に流れる。

【0025】

第1～3スイッチング部は、第1～3走査信号を受信し、第1～3走査信号は周期的な信号であり、各周期は第1期間及び第2期間を有し、第1走査信号は、第1期間でオン信号、第2期間でオフ信号であり、第2走査信号は、第1期間でオフ信号、第2期間でオン信号であり、第3走査信号は、第1期間でオフ信号、第2期間でオン信号であるとよい。また、第1スイッチング部は第1走査信号を受信し、第2スイッチング部は第1走査信号及び第2走査信号を選択的に受信し、第3スイッチング部は第3走査信号を受信することができる。こうして、第1期間では第1スイッチング部と第2スイッチング部の一部素子とがオンし、第2スイッチング部の他の一部素子と第2期間では第3スイッチング部とがオンする。

【0026】

駆動トランジスタのソース電極はゲート電極よりスレシヨルド電圧の分だけ高い電圧を維持しており、第1電源と第2電源との差の絶対値は、少なくとも駆動トランジスタのスレシヨルド電圧の絶対値と同一であることができる。

【0027】

また、上記課題を解決するために、本発明のさらに別の観点によれば、発光素子と、第1端子がAノードに連結され、第2端子がCノードに連結されるキャパシタと、ソース電極及びドレイン電極がデータ線及びAノードに連結され、ゲート電極が第1走査線に連結される第1スイッチング素子と、ソース電極及びドレイン電極が第2電源及びBノードに連結され、ゲート電極が第1走査線に連結される第2スイッチング素子と、ソース電極及びドレイン電極がAノード及びBノードに連結され、ゲート電極が第2走査線に連結され

10

20

30

40

50

る第3スイッチング素子と、ソース電極及びドレイン電極がCノード及び発光素子に連結され、ゲート電極がBノードに連結される駆動トランジスタと、ソース電極及びドレイン電極が第1電源及び駆動トランジスタに連結され、第1電源を駆動トランジスタに選択的に印加する第4スイッチング素子と、を備えることを特徴とする、画素回路が提供される。

【0028】

上記素子の構成により、発光素子に流れる電流は、駆動トランジスタのスレショルド電圧及び第1電源にかかわらず、データ信号の電圧と第2電源にだけ対応して流れるので、発光表示装置の輝度ムラを防止することができる。

【0029】

発光素子に連結され、第4スイッチング素子と反対の動作状態を維持する第5スイッチング素子をさらに備える。これにより、発光素子が発光する場合は、第5スイッチング素子がオフ状態となって発光素子にだけ電流が流れ、発光素子が発光してはいけない場合には、第5スイッチング素子がオン状態となって発光素子に電流が流れないようにすることができる。

【0030】

第2電源は、駆動トランジスタがオフ状態を維持できる電圧を有するとよい。また、駆動トランジスタのソース電極はゲート電極よりスレショルド電圧の分だけ高い電圧を維持しており、第1電源と第2電源との差の絶対値は、少なくとも駆動トランジスタのスレショルド電圧の絶対値と同一であることができる。

【0031】

さらに、上記課題を解決するために、本発明の別の観点によれば、複数の走査線、複数のデータ線、および複数の画素回路を備え、画素回路は、発光素子と、第1電源から発光素子に駆動電流を伝達する駆動トランジスタと、第1走査信号に応じて、データ信号を伝達する第1スイッチング素子と、第1走査信号に応じて、第2電源を駆動トランジスタのゲート電極に印加する第2スイッチング素子と、第1スイッチング素子及び第2スイッチング素子の動作に応じて、データ信号及び第2電源に対応する電圧を貯蔵するキャパシタと、第2走査信号に応じて、第1電圧を駆動トランジスタのゲート電極に印加する第3スイッチング素子と、第3走査信号に応じて、第1電源を伝達または遮断する第4スイッチング素子と、を備えることを特徴とする、発光表示装置が提供される。

【0032】

上記のように画素回路を構成することにより、発光素子に流れる電流は、駆動トランジスタのスレショルド電圧及び第1電源にかかわらず、データ信号の電圧と第2電源にだけ対応して流れ、駆動トランジスタのスレショルド電圧の差を補償して、画素電源を供給する第1電源が電圧降下して画素電源が低くなっても、発光素子に流れる電流量の変化がないようにできるので、発光表示装置の輝度ムラを防止することができる。

【0033】

駆動トランジスタのソース電極はゲート電極よりスレショルド電圧の分だけ高い電圧を維持しているので、キャパシタに貯蔵される電圧は、データ信号の電圧から、第2電源と駆動トランジスタのスレショルド電圧との和を減算した電圧とすることができる。また、第1電源と第2電源との差の絶対値は、少なくとも駆動トランジスタのスレショルド電圧の絶対値と同一であることができる。

【0034】

第1～3走査信号は周期的な信号であり、各周期は第1期間及び第2期間を有し、第1走査信号は、第1期間でオン信号、第2期間でオフ信号であり、第2走査信号は、第1期間でオフ信号、第2期間でオン信号であり、第3走査信号は、第1期間でオフ信号、第2期間でオン信号であるとよい。これにより、第1期間では第1スイッチング素子と第2スイッチング素子とがオンし、第2期間では第3スイッチング素子と第4スイッチング素子とがオンする。

10

20

30

40

50

【 0 0 3 5 】

また、第2電源は、駆動トランジスタがオフ状態を維持できる電圧を有するとよい。

【 0 0 3 6 】

また、第3走査信号に応じて、発光素子に流れる電流を遮断する第5スイッチング素子をさらに備えるとよい。第3走査信号により、第4スイッチング素子と第5スイッチング素子とが相違した動作状態を維持することができ、これにより、発光素子が発光する場合は、第5スイッチング素子がオフ状態となつて、発光素子にだけ電流が流れるようにし、発光素子が発光してはいけない場合には、第5スイッチング素子がオン状態となつて、発光素子に電流が流れないようにすることができる。

【 0 0 3 7 】

第1～3走査信号を伝達する走査駆動部と、データ信号を伝達するデータ駆動部と、をさらに備えることができ、発光表示装置において、画素に走査信号やデータ信号を伝達することができる。

【 発明の効果 】

【 0 0 3 8 】

本発明による発光表示装置、及び画素回路は、画素回路において、発光素子に流れる電流をデータ信号の電圧と補償電源にだけ対応して流れるようにしたので、駆動トランジスタのスレシヨルド電圧と画素電源に無関係に駆動トランジスタに電流が流れるようになり、駆動トランジスタのスレシヨルド電圧の差を補償し、画素電源が電圧降下して画素電源が低くなつても発光素子に流れる電流量の変化がないようにできるので、発光表示装置の輝度ムラを防止することができる。

【 発明を実施するための最良の形態 】

【 0 0 3 9 】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【 0 0 4 0 】

図2は本実施の形態による発光表示装置の構成図である。図2に示すように、本実施の形態による発光表示装置は、画素部100、データ駆動部200、及び走査駆動部300を備えている。

【 0 0 4 1 】

画素部100は、 $N \times M$ 個の有機発光素子OLEDを有する画素110、行方向に配列されたN本の第1走査線 $S_{1.1}$ 、 $S_{1.2}$ 、 \dots 、 $S_{1.N-1}$ 、 $S_{1.N}$ 、N本の第2走査線 $S_{2.1}$ 、 $S_{2.2}$ 、 \dots 、 $S_{2.N-1}$ 、 $S_{2.N}$ 、N本の第3走査線 $S_{3.1}$ 、 $S_{3.2}$ 、 \dots 、 $S_{3.N-1}$ 、 $S_{3.N}$ 、列方向に配列されたM本のデータ線 D_1 、 D_2 、 \dots 、 D_{M-1} 、 D_M 、画素電源(第1電源)を供給するM本の画素電源線 V_{dd} 、および補償電源(第2電源)を供給するM本の補償電源線 V_{init} を備える。そして、それぞれの画素電源線 V_{dd} と補償電源線 V_{init} は第1電源線120と第2電源線130に連結され、外部から電源を受ける。

【 0 0 4 2 】

そして、第1走査線 $S_{1.1}$ 、 $S_{1.2}$ 、 \dots 、 $S_{1.N-1}$ 、 $S_{1.N}$ 、及び第2走査線 $S_{2.1}$ 、 $S_{2.2}$ 、 \dots 、 $S_{2.N-1}$ 、 $S_{2.N}$ を介して伝達される第1走査信号及び第2走査信号に応じて、データ線 D_1 、 D_2 、 \dots 、 D_{M-1} 、 D_M を介して伝達されるデータ信号が画素110に伝達され、データ信号に対応する駆動電流を生成し、第3走査線 $S_{3.1}$ 、 $S_{3.2}$ 、 \dots 、 $S_{3.N-1}$ 、 $S_{3.N}$ を介して伝達される第3走査信号に応じて駆動電流がOLEDに伝達されて画像を表現する。

【 0 0 4 3 】

データ駆動部200は、データ線 D_1 、 D_2 、 \dots 、 D_{M-1} 、 D_M に連結され、画素部100にデータ信号を伝達するようにする。

【 0 0 4 4 】

10

20

30

40

50

走査駆動部 300 は、画素部 100 の側面に構成されるもので、第 1 走査線 $S_{1.1}$, $S_{1.2}$, \dots , $S_{1.N-1}$, $S_{1.N}$, 第 2 走査線 $S_{2.1}$, $S_{2.2}$, \dots , $S_{2.N-1}$, $S_{2.N}$, 及び第 3 走査線 $S_{3.1}$, $S_{3.2}$, \dots , $S_{3.N-1}$, $S_{3.N}$ に連結され、第 1 走査信号、第 2 走査信号及び第 3 走査信号を画素部 100 に印加し、画素部 100 の行を順次選択し、選択された行にはデータ駆動部 200 からデータ信号が印加され、このデータ信号にตอบสนองして画素 110 が発光する。

【0045】

図 3 は本実施の形態による画素の回路を示す回路図である。図 3 に示すように、画素は、発光部 111、貯蔵部 112、駆動素子 113、第 1 スイッチング部 114、第 2 スイッチング部 115、及び第 3 スイッチング部 116 からブロック化することができる。

10

【0046】

駆動素子 113 は、ソース電極、ゲート電極、及びドレイン電極を有し、貯蔵部 112 に貯蔵された電圧により、発光部 111 に入力される電流量を決定して発光部 111 の明るさを制御する。第 1 スイッチング部 114 は、データ信号を受信して選択的に貯蔵部 112 に伝達するようにする。第 2 スイッチング部 115 は、貯蔵部 112 に貯蔵された電圧と補償電源線 V_{init} を介して印加される補償電源のいずれかの電圧を駆動素子 113 のゲート電極に選択的に伝達するようにする。

【0047】

貯蔵部 112 は、所定の電圧を貯蔵し、駆動素子 113 のゲート電極に、貯蔵された電圧を印加し、第 1 スイッチング部 114 を介して受けたデータ信号の電圧と駆動素子 113 のソース電極の電圧の差だけの電圧を貯蔵する。駆動素子 113 のソース電極の電圧は、補償電源電圧より駆動素子 113 のスレシヨルド電圧の絶対値だけ高い電圧を有する。

20

【0048】

第 3 スイッチング部 116 は、画素電源線を介して画素電源を選択的に画素に印加できるようにして、貯蔵部 112 に電圧が貯蔵される過程では、第 1 電源 V_{dd} が駆動素子 113 に印加されないようにし、貯蔵部 112 への貯蔵が完了すると、画素電源線 V_{dd} を駆動素子 113 に印加するようにする。

【0049】

各ブロックをさらに説明すると、画素 110 は、OLED およびその周辺回路、第 1 スイッチング素子 M_1 、第 2 スイッチング素子 M_2 、第 3 スイッチング素子 M_3 、駆動トランジスタ M_4 、第 4 スイッチング素子 M_5 、およびキャパシタ C_{st} を有している。第 1 ~ 第 3 スイッチング素子 M_1 、 M_2 、 M_3 、駆動トランジスタ M_4 、及び第 4 スイッチング素子 M_5 は、それぞれ、ゲート電極、ソース電極及びドレイン電極を備えており、キャパシタ C_{st} は第 1 電極と第 2 電極とからなる。

30

【0050】

第 1 スイッチング素子 M_1 は、ゲート電極が第 1 走査線 $S_{1.n}$ に連結され、ソース電極がデータ線 D_m に連結され、ドレイン電極が第 1 ノード A に連結される。したがって、第 1 走査線 $S_{1.n}$ を介して入力された第 1 走査信号に応じて、データ信号を第 1 ノード A に伝達する。

【0051】

第 2 スイッチング素子 M_2 は、ゲート電極が第 1 走査線 $S_{1.n}$ に連結され、ソース電極が補償電源線 V_{init} に連結され、ドレイン電極が第 2 ノード B に連結される。したがって、第 1 走査線 $S_{1.n}$ を介して入力された第 1 走査信号に応じて、補償電源線 V_{init} を介して入力される補償電源（第 2 電源）を第 2 ノード B に伝達する。そして、補償電源線 V_{init} を介して入力される補償電源はハイ信号を維持する。

40

【0052】

キャパシタ C_{st} は、第 1 ノード A と第 3 ノード C との間に連結され、第 1 ノード A に印加される電圧と第 3 ノード C に印加される電圧との差だけの電圧を充電し、1 フレームの時間の間に駆動トランジスタ M_4 のゲート電極に印加する。

【0053】

50

第3スイッチング素子M3は、ゲート電極が第2走査線S2・nに連結され、ソース電極が第1ノードAに連結され、ドレイン電極が第2ノードBに連結される。したがって、第2走査線S2・nを介して入力される第2走査信号に応じて、キャパシタCstに貯蔵されている電圧を駆動トランジスタM4のゲート電極に印加する。

【0054】

駆動トランジスタM4は、ゲート電極が第2ノードBに連結され、ソース電極が第3ノードCに連結され、ドレイン電極がOLEDのアノード電極に連結される。そして、駆動トランジスタM4は、ゲート電極に印加される電圧に対応する電流をソース電極からドレイン電極を介して流れるようにしてOLEDに電流を供給し、電流は電源Vssに流れる。

10

【0055】

第4スイッチング素子M5は、ゲート電極が第3走査線S3・nに連結され、ソース電極が画素電源線Vddに連結され、ドレイン電極が第3ノードCに連結される。したがって、第3走査線S3・nを介して入力される第3走査信号に応じて第4スイッチング素子M5がスイッチングを行い、画素電源が選択的に印加されて、OLEDに流れる電流を制御するようにする。

【0056】

ここで、nは1からNまでの任意の整数であり、mは1からMまでの任意の整数である。図4は本実施の形態による画素の変形例を示す回路図である。図4に示すように、図3の実施形態と異なる点は、OLEDに第5スイッチング素子M6が並列に連結されたこと

20

【0057】

第5スイッチング素子M6は、ゲート電極が第3走査線S3・nに連結され、ソース電極がOLEDのカソード電極に連結され、ドレイン電極が発光素子のアノード電極に連結される。そして、第4スイッチング素子M5とは極性が反対である。

【0058】

図4に示すように、第4スイッチング素子M5をP型トランジスタで構成すると、第5スイッチング素子M6はN型トランジスタで構成することにより、第4スイッチング素子M5がオン状態であるとき、第5スイッチング素子M6はオフ状態となり、第4スイッチング素子M5がオフ状態であるとき、第5スイッチング素子M6はオン状態となる。

30

【0059】

したがって、OLEDが発光する場合は、第5スイッチング素子M6がオフ状態となって、OLEDにだけ電流が流れるようにし、OLEDが発光してはいけない場合（特に、スレシヨルド電圧を検出する期間）には、第5スイッチング素子M6がオン状態となって、OLEDに電流が流れずに第5スイッチング素子M6に流れるようにして、OLEDが発光しないようにする。

【0060】

図5は、図3及び図4に示す画素の動作を示すタイミング図、図6は、図3及び図4に示す画素のスレシヨルド電圧の補償過程で形成される回路図、図7は、図3および図4に示す画素の駆動電流が流れる過程で形成される回路図である。

40

【0061】

図5～図7に基づいて説明すると、第1走査信号S1・nがロー信号となり、第2走査信号S2・n及び第3走査信号S3・nがハイ信号となる第1動作時間T1（第1期間）と、第1走査信号がハイ信号S1・nとなり、第2走査信号S2・n及び第3走査信号S3・nがロー信号となる第2動作時間T2（第2期間）とに区分され、画素が動作する。

【0062】

第1動作時間T1には、第1走査信号S1・n（ロー信号）に応じて、第1スイッチング素子M1および第2スイッチング素子M2がオン状態となり、第2走査信号S2・nと第3走査信号S3・n（ハイ信号）に応じて、第3スイッチング素子M3および第4スイッチング素子M5はオフ状態となる。

50

【 0 0 6 3 】

図 6 に基づいて回路の動作を説明すると、データ信号が第 1 スwitchング素子 M 1 を介して第 1 ノード A に印加され、補償電源が第 2 スwitchング素子 M 2 を介して駆動トランジスタ M 4 のゲート電極に印加される。

【 0 0 6 4 】

この際、第 2 走査信号 S 2 . n がオン状態からオフ状態となった後、第 1 走査信号 S 1 . n がオフ状態からオン状態となるので、第 3 スwitchング素子 M 2 がオフ状態となった後に第 1 スwitchング素子 M 1 および第 2 スwitchング素子 M 2 がオン状態となるため、データ信号がほかの電圧により歪まずに、キャパシタにデータ信号が正確に書き込まれ、駆動トランジスタ M 4 のゲート電極に印加される電圧が一定になる。

10

【 0 0 6 5 】

印加される補償電源はハイ信号であるので、駆動トランジスタ M 4 はオフ状態を維持し、駆動トランジスタ M 4 のソース電極はゲート電極よりスレシヨルド電圧の分だけ高い電圧を維持し、キャパシタ C s t により、駆動トランジスタ M 4 のソース、ゲート間には、下記数式 2 に示すような電圧が充電される。

【 0 0 6 6 】

【 数 2 】

$$V_{data} - (V_{init} - V_{th})$$

… (数式 2)

20

【 0 0 6 7 】

ここで、V d a t a はデータ信号の電圧、V i n i t は補償電源の電圧、V t h は駆動トランジスタ M 4 のスレシヨルド電圧を示す。また、画素電源の電圧は、少なくとも補償電源の電圧と駆動トランジスタのスレシヨルド電圧の絶対値の和と同じにしなければ駆動トランジスタ M 4 が正確な動作をすることができない。

【 0 0 6 8 】

そして、第 2 動作時間 T 2 においては、第 1 走査信号 S 1 . n がハイ信号を維持し、第 2 走査信号 S 2 . n 及び第 3 走査信号 S 3 . n がロー状態を維持する。第 2 動作時間は 1 フレームの時間を維持する。

30

【 0 0 6 9 】

この際、第 1 走査信号 S 1 . n により、第 1 スwitchング素子 M 1 および第 2 スwitchング素子 M 2 はオフ状態を維持し、第 2 走査信号 S 2 . n 及び第 3 走査信号 S 3 . n により、第 3 スwitchング素子 M 3 及び第 4 スwitchング素子 M 5 はオン状態を維持する。したがって、図 7 に示すように回路が連結される。

【 0 0 7 0 】

図 7 に基づいて回路の動作を説明すると、キャパシタ C s t に充電された電圧が駆動トランジスタ M 4 のゲート電極に印加され、キャパシタ C s t に充電された電圧に対応する電流が駆動トランジスタ M 4 を介して O L E D に流れる。この際、第 1 走査信号 S 1 . n がオン状態からオフ状態になった後に第 2 走査信号 S 2 . n がオフ状態からオン状態になり、第 3 スwitchング素子 M 3 は、キャパシタ C s t に充電された電圧のみを駆動トランジスタ M 4 のゲート電極に印加して、駆動トランジスタ M 4 のゲート電極に印加される電圧が一定になるようにする。

40

【 0 0 7 1 】

駆動トランジスタ M 4 を介して O L E D に流れる電流は、下記の数式 3 に示すような電流となる。

【 0 0 7 2 】

【数3】

$$I_{OLED} = \frac{\beta}{2}(V_{gs} - V_{th})^2 = \frac{\beta}{2}(V_{data} - V_{init})^2$$

… (数式3)

【0073】

I_{OLED} は OLED に流れる電流， V_{gs} は駆動トランジスタ M4 のソース電極とゲート電極との間の電圧， V_{data} はデータ信号の電圧， V_{init} は補償電源の電圧， V_{th} は駆動トランジスタ M4 のスレシヨルド電圧， β は駆動トランジスタ M4 の利得係数を示す。

10

【0074】

したがって，OLED に流れる電流は，数式 3 に示すように，駆動トランジスタ M4 のスレシヨルド電圧と画素電源にかかわらず，データ信号の電圧と補償電源にだけ対応して流れる。

【0075】

この際，画素電源は発光素子に電流が流れるようにするので，画素電源には電流の流れによる電圧降下が発生するが，補償電源はキャパシタ C_{st} に連結され，補償電源により画素に流れる電流がないため，補償電源には電圧降下が発生しない。

【0076】

したがって，図 3 及び図 4 に示す画素によると，駆動トランジスタ M4 のスレシヨルド電圧の偏差が補償され，画素電源の電圧降下が補償されるので，大面積発光表示装置を具現するのに好適である。

20

【0077】

図 8 は本実施の形態による画素が，N 型 MOS トランジスタから具現された例の回路図である。図 8 に示すように，画素 110 は，OLED およびその周辺回路，第 1 スイッチング素子 M11，第 2 スイッチング素子 M12，第 3 スイッチング素子 M13，駆動トランジスタ M14，第 4 スイッチング素子 M15，およびキャパシタ C_{st} を有する。

【0078】

第 1 ～ 第 3 スイッチング素子 M11，M12，M13，駆動トランジスタ M14 及び第 4 スイッチング素子 M15 は N 型 MOS トランジスタから具現され，ゲート電極，ソース電極及びドレイン電極を備えており，キャパシタ C_{st} は第 1 電極と第 2 電極とからなる。この際，OLED は駆動トランジスタ M14 に連結され，第 4 スイッチング素子 M15 は駆動トランジスタ M14 と電源 V_{ss} との間に位置する。

30

【0079】

図 9 は，図 8 に示す画素の動作を示すタイミング図である。図 9 に基づいて説明すると，第 1 走査信号 $S1.n$ がハイ信号となり，第 2 走査信号 $S2.n$ および第 3 走査信号 $S3.n$ がロー信号となる第 1 動作時間 $T11$ (第 1 期間) と，第 1 走査信号がロー信号 $S1.n$ となり，第 2 走査信号 $S2.n$ および第 3 走査信号 $S3.n$ がハイ信号となる第 2 動作時間 $T12$ (第 2 期間) に区分されて画素が動作する。

40

【0080】

第 1 動作時間 $T11$ においては，第 1 走査信号 $S1.n$ により第 1 スイッチング素子 M11 と第 2 スイッチング素子 M12 がオン状態となり，第 2 走査信号および第 3 走査信号により第 3 スイッチング素子 M13 および第 4 スイッチング素子 M15 がオフ状態となり，補償電源線 V_{init} を介して印加される補償電源が駆動トランジスタ M14 のゲート電極に印加され，キャパシタ C_{st} に数式 2 のような電圧を貯蔵する。この際，補償電源線 V_{init} を介して印加される補償電源はロー信号を維持する。

【0081】

そして，第 2 動作時間 $T12$ においては，第 1 走査信号 $S1.n$ がロー信号を維持し，第 2 走査信号 $S2.n$ および第 3 走査信号 $S3.n$ がハイ状態を維持する。第 2 動作時間

50

T 1 2 は 1 フレーム時間を維持する。この際、第 1 走査信号 S 1 . n により第 1 スイッチング素子 M 1 1 と第 2 スイッチング素子 M 1 2 はオフ状態を維持し、第 2 走査信号 S 2 . n 及び第 3 走査信号 S 3 . n により第 3 スイッチング素子 M 1 3 と第 4 スイッチング素子 M 1 5 はオン状態を維持する。

【 0 0 8 2 】

この際、キャパシタ C s t に貯蔵された電圧が印加され、O L E D に数式 3 に示すような駆動電流が流れる。前記構成において、O L E D への電流の流れを制御する第 4 スイッチング素子 M 1 5 の場合には、画素を具現するほかのトランジスタが P 型 M O S の場合は N 型 M O S で具現することもでき、N 型 M O S の場合は P 型 M O S で具現することもできる。

10

【 0 0 8 3 】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【産業上の利用可能性】

【 0 0 8 4 】

本発明は、発光表示装置、及びその画素回路に適用可能であり、画素に、有機発光素子、駆動素子、キャパシタ、及びスイッチング素子を備える発光表示装置、及び画素回路に適用可能である。

20

【図面の簡単な説明】

【 0 0 8 5 】

【図 1】従来技術による発光表示装置の画素回路を示す回路図である。

【図 2】本実施の形態による発光表示装置の構成を示す説明図である。

【図 3】本実施の形態による発光表示装置の画素回路を示す回路図である。

【図 4】本実施の形態による発光表示装置の画素回路の変形例を示す回路図である。

【図 5】図 3 及び図 4 の画素の動作タイミングを示す説明図である。

【図 6】図 3 および図 4 の画素のスレシヨルド電圧の補償過程で形成される回路図である。

。

【図 7】図 3 および図 4 の画素の駆動電流が流れる過程で形成される回路図である。

30

【図 8】本実施の形態による発光表示装置の画素回路を N 型 M O S トランジスタを用いて具現される場合の回路図である。

【図 9】図 8 の画素の動作タイミングを示す説明図である。

【符号の説明】

【 0 0 8 6 】

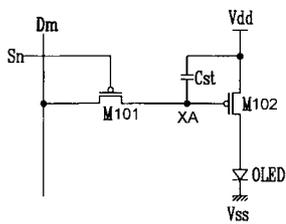
1 0 0	画素部
1 1 0	画素
1 1 1	発光部
1 1 2	貯蔵部
1 1 3	駆動素子
1 1 4	第 1 スイッチング部
1 1 5	第 2 スイッチング部
1 1 6	第 3 スイッチング部
1 2 0	第 1 電源線
1 3 0	第 2 電源線
2 0 0	データ駆動部
3 0 0	走査駆動部
A	第 1 ノード
B	第 2 ノード
C	第 3 ノード

40

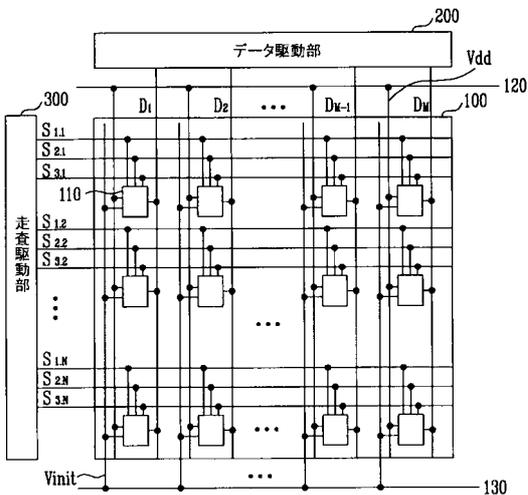
50

D m データ線
 S n 走査線
 V d d 画素電源線
 V i n i t 補償電源線
 O L E D 有機発光素子

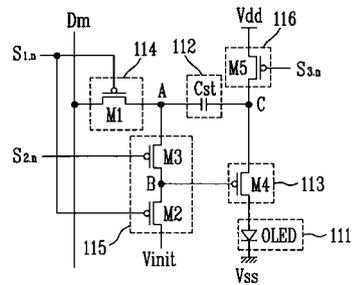
【 図 1 】



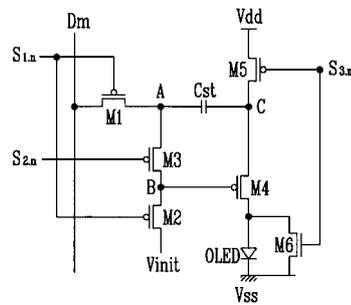
【 図 2 】



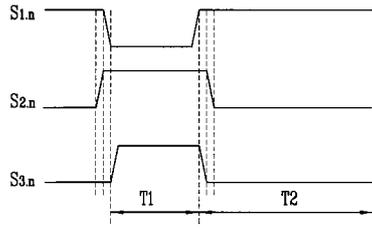
【 図 3 】



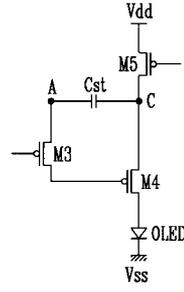
【 図 4 】



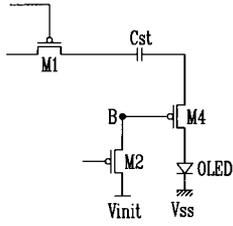
【 図 5 】



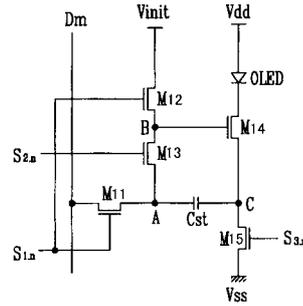
【 図 7 】



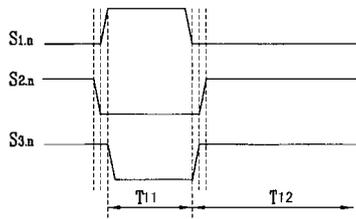
【 図 6 】



【 図 8 】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 H
G 0 9 G 3/20 6 4 2 A
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/20 6 2 1 A
H 0 5 B 33/14 A

審査官 奈良田 新一

(56)参考文献 特開2004-133240(JP,A)
特開2003-173165(JP,A)
特開2006-072303(JP,A)
特開2003-186438(JP,A)
特開2005-258407(JP,A)
特開2006-018277(JP,A)
特開2005-157244(JP,A)
特開2005-157308(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 2 0 , 3 / 3 0 - 3 / 3 2

专利名称(译)	发光显示装置和像素电路		
公开(公告)号	JP4630789B2	公开(公告)日	2011-02-09
申请号	JP2005296475	申请日	2005-10-11
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
当前申请(专利权)人(译)	三星移动显示的股票会社		
[标]发明人	鄭鎮泰		
发明人	鄭 鎮泰		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2320/043		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.611.J G09G3/20.612.E G09G3/20.641.D G09G3/20.611.H G09G3/20.642.A G09G3/20.624.B G09G3/20.622.D G09G3/20.621.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC33 3K107/CC42 3K107/EE03 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CB17 5C380/CC02 5C380/CC06 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC64 5C380/CD012 5C380/CD015 5C380/CD016 5C380/DA02 5C380/DA06 5C380/DA47		
优先权	1020040080621 2004-10-08 KR		
其他公开文献	JP2006113586A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种发光显示装置和像素电路，能够通过使流向发光元件的电流恒定来防止发光显示装置的亮度不均匀。
 解决方案：像素电路包括：发光元件OLED；驱动晶体管M4，用于接收和提供与从第一电源到发光元件施加到其栅电极的电压相对应的电流；第一开关元件M1，用于响应第一扫描信号传输数据信号；第二开关元件M2，用于响应第一扫描信号向驱动晶体管提供第二电源；根据第一和第二开关元件M1和M2的操作，存储对应于数据信号和第二电源的电压的电容器；第三开关元件M3，用于响应于第二扫描信号将存储在电容器中的电压施加到驱动晶体管M4；第四开关元件M5，用于响应第三扫描信号将第一电源传输到驱动晶体管。

【 图 2 】

