

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2019-197723

(P2019-197723A)

(43) 公開日 令和1年11月14日 (2019. 11. 14)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/02 (2006.01)	H05B 33/02	3K107
H01L 27/32 (2006.01)	H01L 27/32	5C094
H01L 51/50 (2006.01)	H05B 33/14 A	
H05B 33/04 (2006.01)	H05B 33/04	
H05B 33/22 (2006.01)	H05B 33/22 Z	
審査請求 未請求 請求項の数 10 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2019-64005 (P2019-64005)
 (22) 出願日 平成31年3月28日 (2019. 3. 28)
 (31) 優先権主張番号 10-2018-0053725
 (32) 優先日 平成30年5月10日 (2018. 5. 10)
 (33) 優先権主張国・地域又は機関
 韓国 (KR)

(71) 出願人 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 , Ltd.
 大韓民国京畿道龍仁市器興区三星路 1
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 鄭 胤 謨
 大韓民国 京畿道 龍仁市 水枝区 シン
 ス路 655番 102棟 901号
 (72) 発明者 李 卓 泳
 大韓民国 京畿道 安養市 東安区 帆溪
 洞 モクリョン ウーソン アパート 3
 08棟 1101号

最終頁に続く

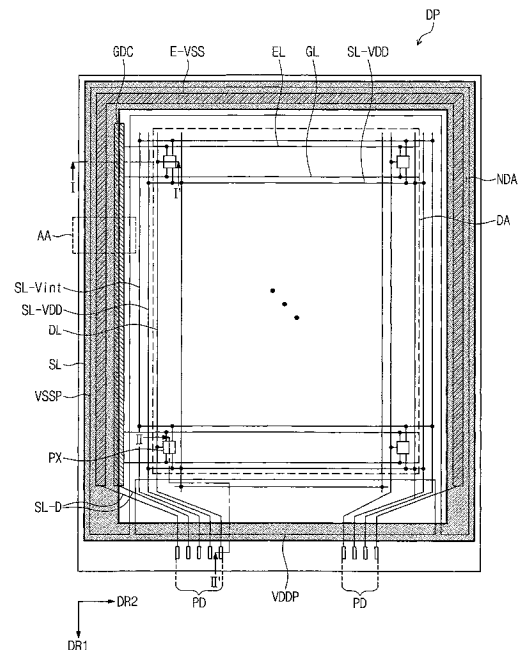
(54) 【発明の名称】 有機発光表示装置

(57) 【要約】

【課題】表示パネルの非表示領域を減少させることができ、シーリング部材の硬化過程でシーリング部材と重畳した回路素子の不良を防止できる有機発光表示装置を提供する。

【解決手段】本発明による有機発光表示装置は、表示領域と、前記表示領域に隣接した非表示領域とが定義されたベース層と、前記ベース層上に配置され、共通電圧を受信する電源供給ラインと、前記電源供給ライン上に重畳して配置され、前記電源供給ラインと接続される補助電源供給パターンとを含む回路素子層と、前記回路素子層上に配置される第1電極と、前記第1電極上に配置される発光層と、前記発光層上に配置され、前記補助電源供給パターンに電気的に接続される第2電極とを含む表示素子層と、前記表示素子層上に配置される封止層と、前記回路素子層と前記封止層との間に配置され、平面上で前記非表示領域内に前記補助電源供給パターンと重畳して配置されるシーリング部材とを有する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

表示領域と、前記表示領域に隣接した非表示領域とが定義されたベース層と、

前記ベース層上に配置され、共通電圧を受信する電源供給ラインと、前記電源供給ライン上に重畳して配置され、前記電源供給ラインと接続される補助電源供給パターンと、を含む回路素子層と、

前記回路素子層上に配置される第 1 電極と、前記第 1 電極上に配置される発光層と、前記発光層上に配置され、前記補助電源供給パターンに電氣的に接続される第 2 電極と、を含む表示素子層と、

前記表示素子層上に配置される封止層と、

10

前記回路素子層と前記封止層との間に配置され、平面上で前記非表示領域内に前記補助電源供給パターンと重畳して配置されるシーリング部材と、を有することを特徴とする有機発光表示装置。

【請求項 2】

前記補助電源供給パターンは、前記シーリング部材と接触することを特徴とする請求項 1 に記載の有機発光表示装置。

【請求項 3】

前記表示素子層は、前記非表示領域内に配置され、前記第 1 電極と同じ層上に配置され、前記補助電源供給パターンに接続される補助パターンをさらに含むことを特徴とする請求項 1 に記載の有機発光表示装置。

20

【請求項 4】

前記回路素子層は、前記電源供給ラインと前記補助電源供給パターンとの間に配置され、前記電源供給ラインと前記補助電源パターンとが接続されるコンタクトホールが提供される第 1 中間絶縁層と、

前記補助電源供給パターンと前記補助パターンとの間に配置され、前記補助電源供給パターンと前記補助パターンとが接続されるコンタクトホールが提供される第 2 中間絶縁層と、をさらに含み、

前記表示素子層は、前記補助パターンと前記第 2 電極との間に配置され、前記補助パターンと前記第 2 電極とが接続されるコンタクトホールと、

前記発光層が配置される開口部が提供される画素定義膜と、をさらに含むことを特徴とする請求項 3 に記載の有機発光表示装置。

30

【請求項 5】

前記回路素子層は、走査信号を受信する制御電極と、データ信号を受信する入力電極と、出力電極と、を含むスイッチングトランジスタと、

前記スイッチングトランジスタの前記出力電極に接続される入力電極を有する駆動トランジスタと、

発光信号を受信する制御電極を含み、電圧ラインと前記駆動トランジスタとの間に接続されるか、あるいは、前記駆動トランジスタと前記第 1 電極との間に接続される発光制御トランジスタと、をさらに含むことを特徴とする請求項 1 に記載の有機発光表示装置。

【請求項 6】

40

前記回路素子層は、前記発光制御トランジスタに前記発光信号を提供する発光ライン駆動回路と、

前記スイッチングトランジスタに前記走査信号を提供するゲート駆動回路と、をさらに含み、

平面上で、前記発光ライン駆動回路は、前記ゲート駆動回路に比べて前記表示領域からさらに遠くに配置されることを特徴とする請求項 5 に記載の有機発光表示装置。

【請求項 7】

前記補助電源供給パターンは、前記発光ライン駆動回路と重畳することを特徴とする請求項 6 に記載の有機発光表示装置。

【請求項 8】

50

前記補助電源供給パターンは、前記電源供給ラインより融点が大きな物質を含むことを特徴とする請求項 1 に記載の有機発光表示装置。

【請求項 9】

前記回路素子層は、前記共通電圧よりも大きい電源電圧を受信する電圧ラインと、前記電圧ラインの上部に配置され、前記電圧ラインと接続された補助電圧パターンと、をさらに含むことを特徴とする請求項 1 に記載の有機発光表示装置。

【請求項 10】

前記補助電圧パターンは、前記補助電源供給パターンと同じ層上に配置され、前記シーリング部材と重畳することを特徴とする請求項 9 に記載の有機発光表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、有機発光表示装置に関し、特に、表示パネルの非表示領域を減少させることができるシーリング部材を有する有機発光表示装置に関する。

【背景技術】

【0002】

有機発光表示装置は、視野角が広くコントラストが優れているだけでなく、応答速度が速いという長所を持っており、近年、多様なディスプレイ装置に採用されている。

有機発光表示装置は、光を発する有機発光ダイオードを含むが、有機発光ダイオードは、水分及び酸素に脆弱である。

20

このため、有機発光表示装置の外郭にシーリング部材が配置されて、有機発光ダイオードを密封する。

【0003】

しかしながら、シーリング部材は、下部基板と上部基板との間に硬化性物質を配置した後、硬化して形成するが、硬化過程においてシーリング部材周辺の回路素子に不良が発生する可能性があるという問題があった。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】米国特許第 8 3 5 0 4 6 6 号明細書

30

【特許文献 2】米国特許第 9 3 6 2 5 3 1 号明細書

【特許文献 3】韓国登録特許第 1 0 - 1 2 6 6 0 2 3 号公報

【特許文献 4】韓国公開特許第 1 0 - 2 0 1 5 - 0 1 1 4 0 1 0 号公報

【特許文献 5】韓国公開特許第 1 0 - 2 0 1 5 - 0 0 4 3 1 3 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は上記従来の有機発光表示装置における問題点に鑑みてなされたものであって、本発明の目的は、表示パネルの非表示領域を減少させることができ、シーリング部材の硬化過程でシーリング部材と重畳した回路素子の不良を防止できる有機発光表示装置を提供することにある。

40

【課題を解決するための手段】

【0006】

上記目的を達成するためになされた本発明による有機発光表示装置は、表示領域と、前記表示領域に隣接した非表示領域とが定義されたベース層と、前記ベース層上に配置され、共通電圧を受信する電源供給ラインと、前記電源供給ライン上に重畳して配置され、前記電源供給ラインと接続される補助電源供給パターンと、を含む回路素子層と、前記回路素子層上に配置される第 1 電極と、前記第 1 電極上に配置される発光層と、前記発光層上に配置され、前記補助電源供給パターンに電気的に接続される第 2 電極と、を含む表示素子層と、前記表示素子層上に配置される封止層と、前記回路素子層と前記封止層との間に

50

配置され、平面上で前記非表示領域内に前記補助電源供給パターンと重畳して配置されるシーリング部材と、を有することを特徴とする。

【0007】

前記補助電源供給パターンは、前記シーリング部材と接触することが好ましい。

前記表示素子層は、前記非表示領域内に配置され、前記第1電極と同じ層上に配置され、前記補助電源供給パターンに接続される補助パターンをさらに含むことが好ましい。

前記回路素子層は、前記電源供給ラインと前記補助電源供給パターンとの間に配置され、前記電源供給ラインと前記補助電源パターンとが接続されるコンタクトホールが提供される第1中間絶縁層と、前記補助電源供給パターンと前記補助パターンとの間に配置され、前記補助電源供給パターンと前記補助パターンとが接続されるコンタクトホールが提供される第2中間絶縁層と、をさらに含み、前記表示素子層は、前記補助パターンと前記第2電極との間に配置され、前記補助パターンと前記第2電極とが接続されるコンタクトホールと、前記発光層が配置される開口部が提供される画素定義膜と、をさらに含むことが好ましい。

10

前記回路素子層は、走査信号を受信する制御電極と、データ信号を受信する入力電極と、出力電極と、を含むスイッチングトランジスタと、前記スイッチングトランジスタの前記出力電極に接続される入力電極を有する駆動トランジスタと、発光信号を受信する制御電極を含み、電圧ラインと前記駆動トランジスタとの間に接続されるか、あるいは、前記駆動トランジスタと前記第1電極との間に接続される発光制御トランジスタと、をさらに含むことが好ましい。

20

【0008】

前記回路素子層は、前記発光制御トランジスタに前記発光信号を提供する発光ライン駆動回路と、前記スイッチングトランジスタに前記走査信号を提供するゲート駆動回路と、をさらに含み、平面上で、前記発光ライン駆動回路は、前記ゲート駆動回路に比べて前記表示領域からさらに遠くに配置されることが好ましい。

前記補助電源供給パターンは、前記発光ライン駆動回路と重畳することが好ましい。

前記補助電源供給パターンは、前記電源供給ラインより融点の大きな物質を含むことが好ましい。

前記回路素子層は、前記共通電圧よりも大きい電源電圧を受信する電圧ラインと、前記電圧ラインの上部に配置され、前記電圧ラインと接続された補助電圧パターンと、をさらに含むことが好ましい。

30

前記補助電圧パターンは、前記補助電源供給パターンと同じ層上に配置され、前記シーリング部材と重畳することが好ましい。

【0009】

前記補助電圧パターンは、前記シーリング部材と接触することが好ましい。

前記回路素子層は、前記非表示領域に配置されたパッド部をさらに含むことが好ましい。

平面上で前記補助電圧パターンは、前記パッド部と前記表示領域との間に配置されることが好ましい。

前記回路素子層は、データライン及びデマルチプレクサをさらに含むことが好ましい。

40

前記デマルチプレクサは、前記パッド部と前記データラインとの間に接続されることが好ましい。

平面上で前記補助電圧パターンは、前記デマルチプレクサをカバーすることが好ましい。

前記回路素子層は、前記非表示領域に配置された静電気防止パターンをさらに含むことが好ましい。

平面上で前記補助電圧パターンは、前記静電気防止パターンをカバーすることが好ましい。

前記回路素子層は、前記補助電源供給ターンの下部に配置された絶縁層をさらに含むことが好ましい。

50

前記補助電源供給パターンにホールが提供され、前記ホールを通じて前記シーリング部材は、前記絶縁層又は前記ベース層に接触されることが好ましい。

【0010】

また、上記目的を達成するためになされた本発明による有機発光表示装置は、ベース層、電源供給ライン、電圧供給ライン、補助電源供給パターン、補助電圧パターン、有機発光素子、封止層、及びシーリング部材を含むことを特徴とする。

【0011】

前記電源供給ラインは、前記ベース層上に配置され、共通電圧を受信することが好ましい。

前記電圧供給ラインは、前記ベース層上に配置され、前記共通電圧よりも大きい電源電圧を受信することが好ましい。

前記補助電源パターンは、前記電源供給ライン上に重畳して配置され、前記電源供給ラインと接続されることが好ましい。

前記補助電圧パターンは、前記電圧供給ライン上に重畳して配置され、前記電圧供給ラインと接続されることが好ましい。

前記有機発光素子は、前記補助電源供給パターン及び前記補助電圧パターンの上部に配置されることが好ましい。

前記封止層は、前記有機発光素子上に配置されることが好ましい。

前記シーリング部材は前記ベース層と前記封止層との間に配置されて前記有機発光素子を密封し、前記補助電源供給パターン及び前記補助電圧パターンと重畳することが好ましい。

前記補助電源供給パターンは前記補助電圧パターンと同じ層上に配置されることが好ましい。

前記補助電源供給パターン及び前記補助電圧パターンのそれぞれは、前記電源供給ライン及び前記電圧供給ラインのそれぞれよりも、さらに大きい融点を有する物質を含むことが好ましい。

前記補助電源供給パターン及び前記補助電圧パターンのそれぞれは、前記シーリング部材と接触することが好ましい。

【0012】

また、上記目的を達成するためになされた本発明による有機発光表示装置は、ベース層、トランジスタ、有機発光素子、電源供給ライン、補助電源供給パターン、封止層、及びシーリング部材を含むことを特徴とする。

【0013】

前記トランジスタは、前記ベース層上に配置され、制御電極、入力電極、及び出力電極を含むことが好ましい。

前記有機発光素子は、前記トランジスタの上部に配置され、前記トランジスタと接続されることが好ましい。

前記電源供給ラインは、前記ベース層上に配置され、一定の電圧を受信し、前記トランジスタの前記制御電極、前記入力電極、及び前記出力電極のいずれか1つと同じ層上に配置されることが好ましい。

前記補助電源供給パターンは、前記電源供給ライン及び前記トランジスタの上部に配置され、前記有機発光素子の下部に配置され、前記電源供給ラインと接続されることが好ましい。

前記封止層は、前記有機発光素子上に配置されることが好ましい。

前記シーリング部材は、前記ベース層と前記封止層との間に配置されて前記有機発光素子を密封し、前記補助電源供給パターン及び前記補助電圧パターンと重畳することが好ましい。

【発明の効果】

【0014】

本発明に係る有機発光表示装置によれば、シーリング部材が画素駆動回路の一部であり

10

20

30

40

50

、発光ライン駆動回路と重畳するので、表示パネルの非表示領域を減少させることができる。

また、シーリング部材の硬化過程で、補助電源供給パターンが電源供給ラインより融点の大きな物質を含むことにより、シーリング部材と重畳した回路素子の不良を防止することができる。

【図面の簡単な説明】

【0015】

【図1】本発明の一実施形態による表示装置の概略的な分解斜視図である。

【図2】図1の表示モジュールの概略断面図である。

【図3】本発明の一実施形態による表示パネルの平面図である。

10

【図4】図3の一つの画素(PX)の等価回路図である。

【図5】図3のI-I'線に沿って切断した断面図である。

【図6】図3のAA領域を拡大して示す図である。

【図7】図3のII-II'線に沿って切断した断面図である。

【図8】本発明の他の実施形態による表示装置で、表示パネルの一部を切断して示す断面図である。

【図9】本発明の他の実施形態による表示装置の表示パネルの一部の回路を示す回路図である。

【図10】図9の実施形態による表示パネルの一部を切断して示す断面図である。

【発明を実施するための形態】

20

【0016】

次に、本発明に係る有機発光表示装置を実施するための形態の具体例を図面を参照しながら説明する。

【0017】

本明細書で、ある構成要素(又は領域、層、部分など)が、他の構成要素に対し「上にある」、「接続される」、又は「結合される」と言及されている場合には、それは他の構成要素上に直接接続/結合されることができたり、又はそれらの間に第3構成要素が配置されることもできたりするのを意味する。

同一の図面符号は同一の構成要素を指し示す。

なお、図面において、構成要素の厚さ、比率、及び寸法は、技術的な内容の効果的な説明のために誇張されたものである。

30

「及び/又は」は、関連された構成の定義できる、1つ以上の組み合わせをすべて含む。

【0018】

第1、第2などの用語は、多様な構成要素を説明するために使用することができるが、構成要素は、用語によって限定されてはならない。

用語は、1つの構成要素を他の構成要素から区別するためにのみ使用される。

例えば、本発明の権利範囲を逸脱せずに、第1構成要素は、第2構成要素として命名することができ、同様に第2構成要素も第1構成要素として命名することができる。

単数の表現は、文脈上明らかに別の意味を表さない限り、複数の表現を含む。

40

なお、「下に」、「下側に」、「上に」、「上側に」などの用語は、図面に示された構成の関連関係を説明するために使用される。

用語は、相対的な概念であり、図面に表示された方向を基準に説明される。

「含む」又は「有する」などの用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部品又はこれらを組み合わせたものが存在することを指定しようとするのであって、一つ又はそれ以上の他の特徴や数字、段階、動作、構成要素、部分品又はこれらを組み合わせたものの存在又は付加可能性を予め排除しないものと理解されるべきである。

【0019】

図1は、本発明の一実施形態による表示装置1000の概略的な分解斜視図であり、図

50

2 は、図 1 の表示モジュール (DM) の概略的な断面図である。

本発明の実施形態による表示装置 1000 は、テレビ、モニター、などのような大型の電子機器をはじめ、携帯電話、タブレット、カーナビゲーション、ゲーム機、スマートウォッチなどの中小型電子機器などに適用することができる。

図 1 を参照すると、表示装置 1000 は、表示モジュール (DM)、ウィンドウ (Window) 部材 (WM)、及びハウジング部材 (HM) を含む。

【0020】

表示モジュール (DM) のイメージ (IM) が表示される表示面 (IS) は、第 1 方向軸 (DR1) 及び第 2 方向軸 (DR2) が定義する面と平行である。

表示面 (IS) の法線方向、すなわち表示モジュール (DM) の厚さ方向は、第 3 方向軸 (DR3) が指示する。

各部材の前面 (又は上面) と背面 (又は下面) は、第 3 方向軸 (DR3) によって区分される。

しかし、第 1 ~ 第 3 方向軸 (DR1、DR2、DR3) が指示する方向は、相対的な概念として、他の方向に変換することができる。

以下、第 1 ~ 第 3 方向は、第 1 ~ 第 3 方向軸 (DR1、DR2、DR3) がそれぞれ指示する方向へ同一の図面符号を参照する。

【0021】

表示モジュール (DM) は、フラットなりジッド (rigid) 表示モジュールであり得る。

しかし、これに制限されず、本発明による表示モジュール (DM) は、フレキシブル表示モジュールも有り得る。

図 1 に示すように、表示モジュール (DM) は、イメージ (IM) が表示される表示領域 (DM-DA) 及び表示領域 (DM-DA) に隣接した非表示領域 (DM-NDA) を含む。

非表示領域 (DM-NDA) は、イメージが表示されない領域である。

図 1 では、イメージ (IM) の一例としての花瓶を表示している。

一例として、表示領域 (DM-DA) は、長方形状であり得る。

非表示領域 (DM-NDA) は、表示領域 (DM-DA) を取り囲み得る。

ただし、これに制限されず、表示領域 (DM-DA) の形状と非表示領域 (DM-NDA) の形状は、相対的にデザインされ得る。

【0022】

ウィンドウ部材 (WM) は、表示モジュール (DM) 上に配置される。

ウィンドウ部材 (WM) は、表示モジュール (DM) を保護する。

ウィンドウ部材 (WM) は、ハウジング部材 (HM) と結合されて内部空間を形成し得る。

ウィンドウ部材 (WM) とハウジング部材 (HM) は、表示装置 1000 の外観を定義し得る。

ウィンドウ部材 (WM) は、平面上で透過領域 (TA) とベゼル領域 (BA) に区分することができる。

透過領域 (TA) は、入射される光をほとんど透過させる領域であり得る。

透過領域 (TA) は、光学的に透明性を有する。

透過領域 (TA) は、約 90% 以上の光透過率を有することができる。

透過領域 (TA) は、表示モジュール (DM) の表示領域 (DM-DA) に対応し得る。

【0023】

ベゼル領域 (BA) は、入射される光をほとんど遮光させる領域であり得る。

ベゼル領域 (BA) は、ウィンドウ部材 (WM) の下部に配置される構成が外部から視認されないようにする。

また、ベゼル領域 (BA) は、ウィンドウ部材 (WM) の外部から入射する光の反射を

10

20

30

40

50

低減させることができる。

ベゼル領域 (B A) は、表示モジュール (D M) の非表示領域 (D M - N D A) に対応し得る。

ベゼル領域 (B A) は、透過領域 (T A) に隣接し得る。

透過領域 (T A) の平面上での形状は、ベゼル領域 (B A) によって定義することができる。

【 0 0 2 4 】

ハウジング部材 (H M) は、所定の内部空間を提供する。

表示モジュール (D M) は、内部空間に収容される。

ハウジング部材 (H M) の内部空間には、表示モジュール (D M) に加えて、多様な電子部品、例えば、電源供給部、ストレージデバイス、音響入出力モジュール、カメラなどを実装することができる。

【 0 0 2 5 】

図 2 は、本発明の一実施形態による表示モジュール (D M) の概略断面図である。

図 2 は、第 1 方向軸 (D R 1) と第 3 方向軸 (D R 3) が定義する断面を示す。

図 2 に示すように、表示モジュール (D M) は、表示パネル (D P) 及びタッチ検出ユニット (T S 、又はタッチ検出層) を含む。

別途、図に示さなかったが、本発明の一実施形態による表示モジュール (D M) は、表示パネル (D P) の下面に配置された保護部材をさらに含むことができる。

【 0 0 2 6 】

表示パネル (D P) は、発光型表示パネルであり得、特に制限されない。

例えば、表示パネル (D P) は、有機発光表示パネル又は量子ドット発光表示パネルであり得る。

有機発光表示パネルは、発光層が、有機発光物質を含む。

量子ドット発光表示パネルの発光層は、量子ドット又は量子ロッドを含む。

以下、表示パネル (D P) は、有機発光表示パネルとして説明する。

【 0 0 2 7 】

表示パネル (D P) は、ベース層 (S U B)、ベース層 (S U B) 上に配置された回路素子層 (D P - C L)、表示素子層 (D P - O L E D)、及び封止層 (E N P) を含む。

別途、図に示していなかったが、表示パネル (D P) は、屈折率調節層などのような機能性層をさらに含むことができる。

ベース層 (S U B) は、少なくとも一つのプラスチックフィルムを含むことができる。

ベース層 (S U B) は、フレキシブルな基板にプラスチック基板、ガラス基板、メタル基板、又は有 / 無機複合材料基板などを含むことができる。

図 1 を参照して説明した表示領域 (D M - D A) と非表示領域 (D M - N D A) は、ベース層 (S U B) に同一に定義され得る。

【 0 0 2 8 】

回路素子層 (D P - C L) は、少なくとも一つの間絶縁層と回路素子を含む。

中間絶縁層は、少なくとも一つの間無機膜と少なくとも一つの間有機膜を含む。

回路素子は、信号ライン、画素の駆動回路などを含む。

これに対する詳細な説明は、後述する。

【 0 0 2 9 】

表示素子層 (D P - O L E D) は、少なくとも有機発光ダイオードを含む。

表示素子層 (D P - O L E D) は、画素定義膜のような有機膜をさらに含むことができる。

封止層 (E N P) は、表示素子層 (D P - O L E D) 上に配置され、表示素子層 (D P - O L E D) を密封する。

【 0 0 3 0 】

表示パネル (D P) は、回路素子層 (D P - C L) と封止層 (E N P) との間に配置されたシーリング部材 (S L) をさらに含むことができる。

シーリング部材 (S L) は、回路素子層 (D P - C L) と封止層 (E N P) との間に配置されて回路素子層 (D P - C L) と封止層 (E N P) を接合する。

シーリング部材 (S L) は、回路素子層 (D P - C L) 及び封止層 (E N P) とともに表示素子層 (D P - O L E D) を外部の水分、空気等から遮断する役割をすることができる。

【 0 0 3 1 】

タッチ検出ユニット (T S) は、外部入力の座標情報を取得する。

タッチ検出ユニット (T S) は、封止層 (E N P) 上に配置され得る。

タッチ検出ユニット (T S) は、接着層を介して封止層 (E N P) に付着され得、封止層 (E N P) 上に薄膜工程を通じて形成することができる。

タッチ検出ユニット (T S) は、例えば、静電容量方式で外部入力を検出することができる。

本発明で、タッチ検出ユニット (T S) の動作は、特別に制限されず、本発明の一実施形態において、タッチ検出ユニット (T S) は、電磁気誘導方式又は圧力検出方式で外部入力を検出することもできる。

【 0 0 3 2 】

図 3 は、本発明の一実施形態による表示パネル (D P) の平面図である。

図 3 に示すように、表示パネル (D P) は、平面上で表示領域 (D A) と非表示領域 (N D A) を含む。

本実施形態で、非表示領域 (N D A) は、表示領域 (D A) のフレームに沿って定義される。

【 0 0 3 3 】

表示パネル (D P) の表示領域 (D A) 及び非表示領域 (N D A) は、図 1 に示す表示モジュール (D M) の表示領域 (D M - D A) 及び非表示領域 (D M - N D A) にそれぞれ対応する。

表示パネル (D P) の表示領域 (D A) 及び非表示領域 (N D A) は、表示モジュール (D M) の表示領域 (D M - D A) 及び非表示領域 (D M - N D A) と必ず同一である必要はなく、表示パネル (D P) の構造 / デザインに応じて変更することができる。

【 0 0 3 4 】

表示パネル (D P) は、複数の画素 (P X) を含む。

複数の画素 (P X) は、表示領域 (D A) 内に配置される。

画素の (P X) のそれぞれは、有機発光ダイオードと、それに接続された画素駆動回路を含む。

表示パネル (D P) は、複数の信号ラインとパッド部 (P D) とを含む。

複数の信号ラインは、走査ライン (G L)、データライン (D L)、発光ライン (E L)、制御信号ライン (S L - D)、初期化ライン (S L - V i n t)、電圧ライン (S L - V D D)、及び電源供給ライン (E - V S S) を含み得る。

複数の信号ラインとパッド部 (P D) は、図 2 に示した回路素子層 (D P - C L) に含まれ得る。

走査ライン (G L)、データライン (D L)、発光ライン (E L)、制御信号ライン (S L - D)、初期化ライン (S L - V i n t)、電圧ライン (S L - V D D) 及び電源供給ライン (E - V S S) の中の一部は、同一の層に配置され、一部は他の層に配置される。

【 0 0 3 5 】

走査ライン (G L) は、複数の画素 (P X) の中の対応する画素 (P X) にそれぞれ接続され、データライン (D L) は、複数の画素 (P X) の中の対応する画素 (P X) にそれぞれ接続される。

発光ライン (E L) のそれぞれは、走査ライン (G L) の中の対応する走査ラインに並んで配置される。

制御信号ライン (S L - D) は、画素駆動回路 (G D C) に制御信号を提供する。

初期化ライン (SL - Vint) は、複数個の画素 (PX) に初期化電圧を提供する。

電圧ライン (SL - VDD) は、複数個の画素 (PX) に接続され、複数個の画素 (PX) に電源電圧 (例えば、第1電圧) を提供する。

電圧ライン (SL - VDD) は、第1方向 (DR1) に延長する複数のライン及び第2方向 (DR2) に延長する複数のラインを含む。

電源供給ライン (E - VSS) は、非表示領域 (NDA) には、表示領域 (DA) の3つの側面を取り囲んで配置される。

電源供給ライン (E - VSS) は、複数個の画素 (PX) に共通電圧 (例えば、第2電圧) を提供する。

共通電圧は、電源電圧よりも低いレベルの電圧であり得る。

10

【0036】

表示パネル (DP) は、画素駆動回路 (GDC) をさらに含み得る。

画素駆動回路 (GDC) は、非表示領域 (NDA) の一側に配置されて走査ライン (GL) 及び発光ライン (EL) に接続される。

画素駆動回路 (GDC) は、ゲート駆動回路 (図示せず) と、発光ライン駆動回路 (図示せず) とを含む。

ゲート駆動回路 (図示せず) は、走査ライン (GL) に信号を提供し、発光ライン駆動回路 (図示せず) は、発光ライン (EL) に信号を提供する。

【0037】

画素駆動回路 (GDC) は、図2に示した回路素子層 (DP - CL) に含まれ得る。

20

画素駆動回路 (GDC) は、画素 (PX) の駆動回路と同じ工程、例えば、LTPS (Low Temperature Polycrystalline Silicon) 工程又はLTPO (Low Temperature Polycrystalline Oxide) 工程を通じて形成された複数個の薄膜トランジスタを含み得る。

パッド部 (PD) は、複数のパッドを含む。

パッド部 (PD) の一部は、データライン (DL)、制御信号ライン (SL - D)、初期化ライン (SL - Vint)、及び電圧ライン (SL - VDD) の末端に接続される。

パッド部 (PD) の他の一部は、タッチ検出ユニット (TS) のタッチ信号ラインと接続される。

【0038】

30

図に示してはいなかったが、表示パネル (DP) は、表示領域 (DA) とパッド部 (PD) の間に配置されたバンク (図示せず) をさらに含むことができる。

また、表示パネル (DP) は、表示領域 (DA) のフレームを取り囲むダム部 (図示せず) をさらに含むことができる。

バンクとダム部は、表示パネル (DP) の形成時、特定の層をプリンティングして形成するとき、特定の層がバンク又はダム部の外部に溢れることを防止することができる。

【0039】

平面上でシーリング部材 (SL) は、表示パネル (DP) の非表示領域 (NDA) に配置され、表示領域 (DA) を取り囲むように配置され得る。

シーリング部材 (SL) は、電源供給ライン (E - VSS) と重畳して配置され得る。

40

シーリング部材 (SL) は、画素駆動回路 (GDC) の一部と重畳され得る。

表示パネル (DP) は、補助電源供給パターン (VSSP) 及び補助電圧パターン (VDDP) をさらに含み得る。

【0040】

平面上で補助電源供給パターン (VSSP) は、電源供給ライン (E - VSS) と電気的に接続され、シーリング部材 (SL) と重畳し得る。

平面上で補助電圧パターン (VDDP) は、電圧ライン (SL - VDD) と電気的に接続され、シーリング部材 (SL) と重畳し得る。

平面上で補助電圧パターン (VDDP) は、パッド部 (PD) と表示領域 (DA) との間に配置され得る。

50

【 0 0 4 1 】

図 4 は、図 3 の一つの画素 (P X) の等価回路図である。

本発明の一実施形態による一つの画素 (P X) は、複数のトランジスタ (T 1 ~ T 7) 、ストレージキャパシタ (C s t) 、及び有機発光素子 (o r g a n i c l i g h t e m i t t i n g d i o d e : O L E D) を含む。

複数の (薄膜) トランジスタ (T 1 ~ T 7) は、駆動トランジスタ (T 1) 、スイッチングトランジスタ (T 2) 、補償トランジスタ (T 3) 、初期化トランジスタ (T 4) 、第 1 発光制御トランジスタ (T 5) 、第 2 発光制御トランジスタ (T 6) 、及びバイパストランジスタ (T 7) を含む。

【 0 0 4 2 】

画素 (P X) は、スイッチングトランジスタ (T 2) 及び補償トランジスタ (T 3) に n 番目の走査信号 (S n) を伝達する第 1 走査ライン 1 4 、初期化トランジスタ (T 4) に (n - 1) 番目の走査信号 (S n - 1) を伝達する第 2 走査ライン 2 4 、バイパストランジスタ (T 7) に (n + 1) 番目の走査信号 (S n + 1) を伝達する第 3 走査ライン 3 4 、第 1 発光制御トランジスタ (T 5) 及び第 2 発光制御トランジスタ (T 6) に発光制御信号 (E n) を伝達する発光ライン 1 5 、データ信号 (D m) を伝達するデータライン 1 6 、電源電圧 (E L V D D) を伝達する電圧ライン 2 6 、及び駆動トランジスタ (T 1) を初期化する初期化電圧 (V i n t) を伝達する初期化ライン 2 2 を含む。

【 0 0 4 3 】

駆動トランジスタ (T 1) のゲート電極 (G 1) は、ストレージキャパシタ (C s t) の第 1 電極 (C 1) と接続される。

駆動トランジスタ (T 1) のソース電極 (S 1) は、第 1 発光制御トランジスタ (T 5) を経由して電圧ライン 2 6 と接続される。

駆動トランジスタ (T 1) のドレイン電極 (D 1) は、第 2 発光制御トランジスタ (T 6) を経由して有機発光素子 (O L E D) のアノードと電氣的に接続されている。

駆動トランジスタ (T 1) は、スイッチングトランジスタ (T 2) のスイッチング動作に応じて、データ信号 (D m) を受け取り、有機発光素子 (O L E D) に駆動電流 (I d) を供給する。

【 0 0 4 4 】

スイッチングトランジスタ (T 2) のゲート電極 (G 2) は、第 1 走査ライン 1 4 と接続される。

スイッチングトランジスタ (T 2) のソース電極 (S 2) は、データライン 1 6 と接続される。

スイッチングトランジスタ (T 2) のドレイン電極 (D 2) は、駆動トランジスタ (T 1) のソース電極 (S 1) と接続され、第 1 発光制御トランジスタ (T 5) を経由して電圧ライン 2 6 と接続される。

スイッチングトランジスタ (T 2) は、第 1 走査ライン 1 4 を介して伝達された n 番目の走査信号 (S n) に基づいてターンオンされ、データライン 1 6 に伝達されたデータ信号 (D m) を駆動トランジスタ (T 1) のソース電極 (S 1) に伝達するスイッチング動作を行う。

【 0 0 4 5 】

補償トランジスタ (T 3) のゲート電極 (G 3) は、第 1 走査ライン 1 4 に接続されている。

補償トランジスタ (T 3) のソース電極 (S 3) は、駆動トランジスタ (T 1) のドレイン電極 (D 1) と接続され、第 2 発光制御トランジスタ (T 6) を経由して有機発光素子 (O L E D) のアノードと接続される。

補償トランジスタ (T 3) のドレイン電極 (D 3) は、ストレージキャパシタ (C s t) の第 1 電極 (C 1) 、初期化トランジスタ (T 4) のソース電極 (S 4) 及び駆動トランジスタ (T 1) のゲート電極 (G 1) と接続されている。

補償トランジスタ (T 3) は、第 1 走査ライン 1 4 を介して伝達された n 番目の走査信

10

20

30

40

50

号 (S n) に基づいてターンオンされて、駆動トランジスタ (T 1) のゲート電極 (G 1) とドレイン電極 (D 1) とを接続し合って駆動トランジスタ (T 1) をダイオード接続 (d i o d e c o n n e c t i o n) させる。

【 0 0 4 6 】

初期化トランジスタ (T 4) のゲート電極 (G 4) は、第 2 走査ライン 2 4 と接続される。

初期化トランジスタ (T 4) のドレイン電極 (D 4) は、初期化ライン 2 2 に接続される。

初期化トランジスタ (T 4) のソース電極 (S 4) は、ストレージキャパシタ (C s t) の第 1 電極 (C 1) 、補償トランジスタ (T 3) のドレイン電極 (D 3) 及び駆動トランジスタ (T 1) のゲート電極 (G 1) に接続される。

10

初期化トランジスタ (T 4) は、第 2 走査ライン 2 4 を介して伝達された (n - 1) 番目走査信号 (S n - 1) に基づいてターンオンされて、初期化電圧 (V i n t) を駆動トランジスタ (T 1) のゲート電極 (G 1) に伝達して駆動トランジスタ (T 1) のゲート電極 (G 1) の電圧を初期化させる。

【 0 0 4 7 】

第 1 発光制御トランジスタ (T 5) のゲート電極 (G 5) は、発光ライン 1 5 と接続される。

第 1 発光制御トランジスタ (T 5) は、電圧ライン 2 6 と駆動トランジスタ (T 1) との間に接続され得る。

20

第 1 発光制御トランジスタ (T 5) のソース電極 (S 5) は、電圧ライン 2 6 と接続される。

第 1 発光制御トランジスタ (T 5) のドレイン電極 (D 5) は、駆動トランジスタ (T 1) のソース電極 (S 1) 及びスイッチングトランジスタ (T 2) のドレイン電極 (D 2) と接続される。

第 1 発光制御トランジスタ (T 5) のゲート電極 (G 5) に発光制御信号 (E n) が印加されることによって、第 1 発光制御トランジスタ (T 5) はターンオンされて、有機発光素子 (O L E D) に駆動電流 (I d) が流れる。

第 1 発光制御トランジスタ (T 5) は、有機発光ダイオード (O L E D) に駆動電流 (I d) が流れるタイミングを決定する。

30

【 0 0 4 8 】

第 2 発光制御トランジスタ (T 6) のゲート電極 (G 6) は、発光ライン 1 5 と接続される。

第 2 発光制御トランジスタ (T 6) は、駆動トランジスタ (T 1) と有機発光ダイオード (O L E D) との間に接続され得る。

第 2 発光制御トランジスタ (T 6) のソース電極 (S 6) は、駆動トランジスタ (T 1) のドレイン電極 (D 1) 及び補償トランジスタ (T 3) のソース電極 (S 3) と接続される。

第 2 発光制御トランジスタ (T 6) のドレイン電極 (D 6) は、有機発光素子 (O L E D) のアノードと電氣的に接続される。

40

第 1 発光制御トランジスタ (T 5) 及び第 2 発光制御トランジスタ (T 6) は、発光ライン 1 5 を介して伝達された発光制御信号 (E n) に基づいてターンオンされる。

第 2 発光制御トランジスタ (T 6) のゲート電極 (G 6) に発光制御信号 (E n) が印加されることによって、第 2 発光制御トランジスタ (T 6) はターンオンされて、有機発光素子 (O L E D) に駆動電流 (I d) が流れる。

第 2 発光制御トランジスタ (T 6) は、有機発光ダイオード (O L E D) に駆動電流 (I d) が流れるタイミングを決定する。

【 0 0 4 9 】

バイパストランジスタ (T 7) のゲート電極 (G 7) は、第 3 走査ライン 3 4 に接続される。

50

バイパストラジスタ (T7) のソース電極 (S7) は、有機発光素子 (OLED) のアノードに接続される。

バイパストラジスタ (T7) のドレイン電極 (D7) は、初期化ライン 22 に接続される。

バイパストラジスタ (T7) は、第 3 走査ライン 34 を介して伝達された (n+1) 番目の走査信号 (S_{n+1}) に基づいてターンオンされて、有機発光素子 (OLED) のアノードを初期化させる。

【0050】

ストレージキャパシタ (C_{st}) の第 2 電極 (C2) は、電圧ライン 26 に接続される。

10

ストレージキャパシタ (C_{st}) の第 1 電極 (C1) は、駆動トランジスタ (T1) のゲート電極 (G1)、補償トランジスタ (T3) のドレイン電極 (D3)、及び初期化トランジスタ (T4) のソース電極 (S4) に接続される。

有機発光素子 (OLED) のカソードは、基準電圧 (ELVSS) を受信する。

有機発光素子 (OLED) は、駆動トランジスタ (T1) から駆動電流 (I_d) を受け取って発光する。

【0051】

本発明の実施形態による画素 (PX) で、スイッチングトランジスタ (T2)、補償トランジスタ (T3)、初期化トランジスタ (T4)、及びバイパストラジスタ (T7) のそれぞれのゲート電極 (G2、G3、G4、G5) は、図 3 を参照して説明した画素駆動回路 (GDC) のゲート駆動回路 (図示せず) から信号を受信し得る。

20

本発明の実施形態による画素 (PX) で、第 1 発光制御トランジスタ (T5) 及び第 2 発光制御トランジスタ (T6) は、図 3 を参照して説明した画素駆動回路 (GDC) の発光ライン駆動回路 (図示せず) から信号を受信し得る。

本発明の他の実施形態において、画素 (PX) を構成するトランジスタ (T1 ~ T7) の個数と接続関係は多様に変更することができる。

【0052】

図 5 は、図 3 の I - I' 線に沿って切断した断面図であり、図 6 は、図 3 の AA 領域を拡大して示す図である。

図 2 及び図 5 を参照すると、ベース層 (SUB) はガラス、金属、又はプラスチックなどの多様な材料で形成されたものであり得る。

30

【0053】

プラスチックは、ポリイミド (polyimide: PI)、ポリエチレンナフタレート (polyethylene naphthalate: PEN)、ポリエチレンテレフタレート (polyethylene terephthalate: PET)、ポリアリレート (polyarylate)、ポリカーボネート (polycarbonate: PC)、ポリエーテルイミド (polyetherimide: PEI) 又はポリエーテルスルホン (polyethersulfone: PES) であり得る。

【0054】

ベース層 (SUB) には、表示パネル (DP) の表示領域 (DA) 及び非表示領域 (NDA) が実質的に同一に定義され得る。

40

回路素子層 (DP-CL) は、ベース基板 (SUB) 上に配置される。

回路素子層 (DP-CL) は、図 3 を参照して説明した画素駆動回路 (GDC)、複数の信号ライン、パッド部 (PD)、及び図 4 を参照して説明した画素 (PX) のトランジスタ (T1 ~ T7) を含み得る。

【0055】

図 3 及び図 6 を参照すると、平面上で画素駆動回路 (GDC) の発光ライン駆動回路 (ETC) は、ゲート駆動回路 (GTC) に比べて表示パネル (DP) の表示領域 (DA) からさらに遠くに配置される。

ゲート駆動回路 (GTC) と発光ライン駆動回路 (ETC) のそれぞれは、複数のトラ

50

ンジスタと、電子素子を含むことができる。

【 0 0 5 6 】

図 5 において、発光ライン駆動回路 (E T C) が配置される発光ライン駆動回路領域 (E T C A) と、ゲート駆動回路 (G T C) が配置されるゲート駆動回路領域 (G T C A) とを示した。

図 5 において、発光ライン駆動回路 (E T C) に含まれた第 1 トランジスタ (T F T 1) を例示的に示し、ゲート駆動回路 (G T C) に含まれた第 2 トランジスタ (T F T 2) を例示的に示した。

また、図 5 において、画素 (P X) に含まれた第 3 トランジスタ (T F T 3) を例示的に示した。

10

【 0 0 5 7 】

第 1 トランジスタ (T F T 1) は、第 1 半導体パターン (S M 1)、第 1 制御電極 (C E 1)、第 1 入力電極 (I E 1)、及び第 1 出力電極 (O E 1) を含む。

第 2 トランジスタ (T F T 2) は、第 2 半導体パターン (S M 2)、第 2 制御電極 (C E 2)、第 2 入力電極 (I E 2)、及び第 2 出力電極 (O E 2) を含む。

第 3 トランジスタ (T F T 3) は、第 3 半導体パターン (S M 3)、第 3 制御電極 (C E 3)、第 3 入力電極 (I E 3)、及び第 3 出力電極 (O E 3) を含む。

【 0 0 5 8 】

回路素子層 (D P - C L) は、バッファ層 1 1 0 及び第 1 ~ 第 4 絶縁層 (1 2 0 、 1 3 0 、 1 4 0 、 1 5 0) を含む。

20

バッファ層 1 1 0 は、ベース層 (S U B) 上に配置される。

バッファ層 1 1 0 は、ベース層 (S U B) の面を平坦化するために、又は、第 1 ~ 第 3 トランジスタ (T F T 1 、 T F T 2 、 T F T 3) の第 1 ~ 第 3 半導体パターン (S M 1 、 S M 2 、 S M 3) に不純物などの浸透を防止するために配置される。

バッファ層 1 1 0 は、シリコンオキサイド又はシリコンナイトライドなどで形成することができる。

【 0 0 5 9 】

第 1 ~ 第 3 半導体パターン (S M 1 、 S M 2 、 S M 3) は、バッファ層 1 1 0 上に配置される。

第 1 絶縁層 1 2 0 は、第 1 ~ 第 3 半導体パターン (S M 1 、 S M 2 、 S M 3) 上に配置される。

30

第 1 絶縁層 1 2 0 は、有機又は無機絶縁膜からなることができる。

第 1 ~ 第 3 制御電極 (C E 1 、 C E 2 、 C E 3) は、第 1 絶縁層 1 2 0 上に配置される。

第 2 絶縁層 1 3 0 は、第 1 ~ 第 3 制御電極 (C E 1 、 C E 2 、 C E 3) 上に配置される。

第 2 絶縁層 1 3 0 は、有機又は無機絶縁膜からなることができる。

【 0 0 6 0 】

第 1 ~ 第 3 入力電極 (I E 1 、 I E 2 、 I E 3) 及び第 1 ~ 第 3 出力電極 (O E 1 、 O E 2 、 O E 3) は、第 2 絶縁層 1 3 0 上に配置される。

40

第 1 入力電極 (I E 1) 及び第 1 出力電極 (O E 1) は、互いに離隔され、第 2 絶縁層 1 3 0 に形成されたコンタクトホール (図示せず) を通じて第 1 半導体パターン (S M 1) に接続される。

第 2 入力電極 (I E 2) 及び第 2 出力電極 (O E 2) は、互いに離隔され、第 2 絶縁層 1 3 0 に形成されたコンタクトホール (図示せず) を通じて第 2 半導体パターン (S M 2) に接続される。

第 3 入力電極 (I E 3) 及び第 3 出力電極 (O E 3) は、互いに離隔され、第 2 絶縁層 1 3 0 に形成されたコンタクトホール (図示せず) を通じて第 3 半導体パターン (S M 3) に接続される。

【 0 0 6 1 】

50

本発明の他の実施形態で、図 5 に示した第 1 ~ 第 3 トランジスタ (T F T 1、T F T 2、T F T 3) のそれぞれの構造とは異なり、第 1 ~ 第 3 半導体パターン (S M 1、S M 2、S M 3)、第 1 ~ 第 3 制御電極 (C E 1、C E 2、C E 3)、第 1 ~ 第 3 入力電極 (I E 1、I E 2、I E 3)、及び第 1 ~ 第 4 出力電極 (O E 1、O E 2、O E 3) の位置は変更することができる。

【 0 0 6 2 】

本発明の他の実施形態で、第 1 ~ 第 3 トランジスタ (T F T 1、T F T 2、T F T 3) の一部の層は、補助電源供給パターン (V S S P) と同じ層上に同一の物質を用いて形成することができる。

例えば、第 3 トランジスタ (T F T 3) の第 3 入力電極 (I E 3) 及び第 3 出力電極 (O E 3) は、電源供給ライン (E - V S S) と同じ層上に配置されることを示したが、他の実施形態で、補助電源供給パターン (V S S P) と同じ層上に配置され、第 2 及び第 3 絶縁層 (1 3 0、1 4 0) に形成されたコンタクトホールを通じて第 3 半導体パターン (S M 3) に接続され得る。

【 0 0 6 3 】

したがって、本発明の他の実施形態によると、補助電源供給パターン (V S S P) を形成する際に、第 1 ~ 第 3 トランジスタ (T F T 1、T F T 2、T F T 3) を構成する金属層を形成することができるので、第 1 ~ 第 3 トランジスタ (T F T 1、T F T 2、T F T 3) の設計自由度が向上され、結果として、表示品質を向上することができる。

【 0 0 6 4 】

再び図 5 を参照すると、電源供給ライン (E - V S S) は、第 2 絶縁層 1 3 0 上に配置される。

本発明の実施形態で、電源供給ライン (E - V S S) は、第 1 ~ 第 3 入力電極 (I E 1、I E 2、I E 3) 及び第 1 ~ 第 3 出力電極 (O E 1、O E 2、O E 3) と同じ層上に配置される。

本発明の実施形態で、初期化ライン (S L - V i n t) 及び電圧ライン (S L - V D D) は、電源供給ライン (E - V S S) と同じ層上に配置される。

電源供給ライン (E - V S S) は、単一の層又は複数の層を含むことができる。

例えば、電源供給ライン (E - V S S) は、T i / A l / T i が順次的に積層された構造を有することができる。

【 0 0 6 5 】

第 3 絶縁層 1 4 0 は、電源供給ライン (E - V S S) 及び第 1 ~ 第 3 トランジスタ (T F T 1、T F T 2、T F T 3) 上に配置される。

第 3 絶縁層 1 4 0 は、有機又は無機絶縁膜からなることができる。

第 3 絶縁層 1 4 0 は、第 1 中間絶縁層として定義され得る。

【 0 0 6 6 】

補助電源供給パターン (V S S P) は、第 3 絶縁層 1 4 0 上に配置される。

補助電源供給パターン (V S S P) は、電源供給ライン (E - V S S) と重畳し得る。

補助電源供給パターン (V S S P) は、第 3 絶縁層 1 4 0 に形成されたコンタクトホール (図示せず) を通じて電源供給ライン (E - V S S) と電氣的に接続され得る。

補助電源供給パターン (V S S P) は、第 1 制御電極 (C E 1)、第 1 入力電極 (I E 1)、及び第 1 出力電極 (O E 1) よりも大きい融点を有する物質で形成することができる。

補助電源供給パターン (V S S P) は、金属、例えば、モリブデン (M o) を含むことができる。

【 0 0 6 7 】

第 4 絶縁層 1 5 0 は、補助電源供給パターン (V S S P) 上に配置される。

第 4 絶縁層 1 5 0 は、補助電源供給パターン (V S S P) の一部と重畳し得る。

第 4 絶縁層 1 5 0 は、有機又は無機絶縁膜からなることができる。

第 4 絶縁層 1 5 0 は、第 2 中間絶縁層として定義され得る。

【 0 0 6 8 】

表示素子層 (D P - O L E D) は、画素定義膜 (P D L) 及び有機発光素子 (O D) を含む。

画素定義膜 (P D L) は、第 4 絶縁層 1 5 0 上に配置される。

画素定義膜 (P D L) は、複数の開口部が定義され得る。

開口部のそれぞれには、有機発光素子 (O D) が提供される。

【 0 0 6 9 】

有機発光素子 (O D) は、第 1 電極 (E 1) 、第 2 電極 (E 2) 、及び発光層 (E M L) を含む。

第 1 電極 (E 1) は、回路素子層 (D P - C L) 上に配置される。

10

第 1 電極 (E 1) は、第 3 及び第 4 の絶縁層 (1 4 0 、 1 5 0) を貫通して第 3 トランジスタ (T F T 3) に電氣的に接続される。

第 1 電極 (E 1) は、複数で提供され得る。

複数の第 1 電極 (E 1) のそれぞれの少なくとも一部は、開口部のそれぞれによって露出される。

【 0 0 7 0 】

第 2 電極 (E 2) は、第 1 電極 (E 1) 上に配置される。

第 2 電極 (E 2) は、複数の第 1 電極 (E 1) 及び画素定義膜 (P D L) に重畳し得る。

有機発光素子 (O D) が複数で提供されるとき、複数の有機発光素子 (O D) の第 2 電極 (E 2) に同じ電圧が印加される。

20

これにより、第 2 電極 (E 2) を形成するために、別途のパターニング工程を省略することができる。

一方、これは例示的に示したものであり、第 2 電極 (E 2) は、開口部のそれぞれに対応するように複数で提供することもできる。

【 0 0 7 1 】

発光層 (E M L) は、第 1 電極 (E 1) と第 2 電極 (E 2) との間に配置される。

発光層 (E M L) は、複数で提供され、開口部のそれぞれに配置される。

有機発光素子 (O D) は、第 1 電極 (E 1) と第 2 電極 (E 2) との間の電位差に応じて発光層 (E M L) を活性化させ、光を生成する。

30

図に示していないが、有機発光素子 (O D) は、第 1 電極 (E 1) と発光層 (E M L) との間に配置される電子制御層と、発光層 (E M L) と第 2 電極 (E 2) との間に配置される正孔制御層をさらに含み得る。

【 0 0 7 2 】

表示素子層 (D P - O L E D) は、第 4 絶縁層 1 5 0 上に配置される補助パターン (V S P) をさらに含み得る。

補助パターン (V S P) は、第 1 電極 (E 1) と同じ層上に配置され得る。

補助パターン (V S P) は、表示パネル (D P) の非表示領域 (N D A) に配置され得る。

補助パターン (V S P) は、第 4 絶縁層 1 5 0 に形成されたコンタクトホール (図示せず) を通じて補助電源供給パターン (V S S P) に接続され得る。

40

【 0 0 7 3 】

第 2 電極 (E 2) は、非表示領域 (N D A) で画素定義膜 (P D L) に形成されたコンタクトホール (図示せず) を通じて補助パターン (V S P) に接続され得る。

電源供給ライン (E - V S S) は、補助電源供給パターン (V S S P) 及び補助パターン (V S P) を介して第 2 電極 (E 2) に共通電圧を提供する。

【 0 0 7 4 】

シーリング部材 (S L) は、補助電源パターン (V S S P) と重畳し得る。

シーリング部材 (S L) は、補助電源供給パターン (V S S P) と封止層 (E N P) との間に配置され、補助電源供給パターン (V S S P) と接触し得る。

50

シーリング部材（ＳＬ）は、補助電源供給パターン（ＶＳＳＰ）、第３絶縁層１４０、及び封止層（ＥＮＰ）と接合するため、光硬化性樹脂又は熱硬化性樹脂を含み得る。

シーリング部材（ＳＬ）は、図３の画素駆動回路（ＧＤＣ）の一部である、つまり、発光ライン駆動回路（ＥＴＣ）と重畳し得る。

したがって、表示パネル（ＤＰ）の非表示領域（ＮＤＡ）を減少させることができる。

【００７５】

補助電源供給パターン（ＶＳＳＰ）は、シーリング部材（ＳＬ）と重畳する回路素子層（ＤＰ－ＣＬ）の金属層をカバーすることができる。

具体的には、補助電源供給パターン（ＶＳＳＰ）は、電源供給ライン（Ｅ－ＶＳＳ）及び発光ライン駆動回路（ＥＴＣ）の構成、すなわち、第１トランジスタ（ＴＦＴ１）をカバーすることができる。

シーリング部材（ＳＬ）は、補助電源供給パターン（ＶＳＳＰ）と封止層（ＥＮＰ）との間に硬化性物質を塗布し、封止層（ＥＮＰ）の上部から下部に向かってレーザーを照射して形成することができる。

硬化性物質にレーザーを照射すると、硬化性物質で重畳した領域に配置された金属層、例えば、画素駆動回路（ＧＤＣ）の素子及び電源供給ライン（Ｅ－ＶＳＳ）の温度が融点以上に上昇して不良が発生する可能性がある。

【００７６】

本発明の実施形態による表示装置によれば、補助電源供給パターン（ＶＳＳＰ）を画素駆動回路（ＧＤＣ）及び電源供給ライン（Ｅ－ＶＳＳ）の上部にシーリング部材（ＳＬ）と重畳して配置することにより、レーザー照射による画素駆動回路（ＧＤＣ）及び電源供給ライン（Ｅ－ＶＳＳ）の不良を防止することができる。

このために、補助電源供給パターン（ＶＳＳＰ）は、電源供給ライン（Ｅ－ＶＳＳ）を構成する金属層よりも大きい融点を有する物質で形成するほうが好ましい。

電源供給ライン（Ｅ－ＶＳＳ）を構成する金属層が複数の層からなる場合には、補助電源供給パターン（ＶＳＳＰ）は、電源供給ライン（Ｅ－ＶＳＳ）をなす複数の層の中で融点が一番小さい金属よりも大きな融点を有する物質を含むほうが好ましい。

【００７７】

なお、補助電源供給パターン（ＶＳＳＰ）は、電源供給ライン（Ｅ－ＶＳＳ）と接続されて共通電圧を供給する配線の抵抗を減らすことができ、共通の電圧を第２電極（Ｅ２）に均一に提供することができる。

発光ライン駆動回路（ＥＴＣ）は、大部分の画素の動作区間の間、オン動作して補助電源供給パターン（ＶＳＳＰ）との間で形成されたストレーキャパシタ（stray capacitor）による影響が最小限に抑えられる。

したがって、発光ライン駆動回路（ＥＴＣ）と電源供給パターン（ＶＳＳＰ）を重畳して、形成し、表示パネル（ＤＰ）の非表示領域（ＮＤＡ）を減少させることができる。

【００７８】

ゲート駆動回路（ＧＴＣ）は、大部分の画素の動作区間の間、オフ動作して、他の素子との間で形成されたストレーキャパシタによる影響を相対的に多く受ける。

つまり、ゲート駆動回路（ＧＴＣ）から出力されるパルス信号は、画素の動作区間に比べて極一部の区間（１％未満）に該当するパルス幅を有してストレーキャパシタに起因するディレイによる波形損傷により、回路動作の不良をもたらす。

したがって、本発明の実施形態で、ゲート駆動回路（ＧＴＣ）は、電源供給パターン（ＶＳＳＰ）と重畳して配置しないようにすることもできる。

【００７９】

図７は、図３のⅠⅠ－ⅠⅠ'線に沿って切断した断面図である。

パッド部（ＰＤ）は、第１パッド層（ＰＤ１）及び第２パッド層（ＰＤ２）を含む。

第１パッド層（ＰＤ１）は、第１～第３制御電極（ＣＥ１、ＣＥ２、ＣＥ３）と同じ層上に配置される。

第２パッド層（ＰＤ２）は、電圧ライン（ＳＬ－ＶＤＤ）と同じ層上に配置される。

第2パッド層(PD2)は、第2絶縁層130に形成されたコンタクトホール(図示せず)を通じて、第1パッド層(PD1)に接触し得る。

【0080】

表示パネル(DP)は、フレキシブルプリント回路基板(FPC)をさらに含むことができる。

フレキシブルプリント回路基板(FPC)は、表示パネル(DP)に付着されて表示パネル(DP)の背面へ曲がることができる。

フレキシブルプリント回路基板(FPC)は、導電性接着部材(ACF)を介してパッド部(PD)に接続される。

フレキシブルプリント回路基板(FPC)は、柔軟なベースフィルム(BF)、回路基板パッド(CPD)、及び集積回路チップ(IC)を含み得る。

回路基板パッド(CPD)は、ベースフィルム(BF)に形成され、導電性接着部材(ACF)と接触する。

集積回路チップ(IC)は、ベースフィルム(BF)上に実装されて回路基板パッド(CPD)を介して表示パネル(DP)の駆動に必要な信号を提供する。

【0081】

電圧ライン(SL-VDD)は、電源供給ライン(E-VSS)と同じ層上に配置される。

補助電圧パターン(VDDP)は、第3絶縁層140上に配置される。

補助電圧パターン(VDDP)は、電圧ライン(SL-VDD)と重畳し得る。

補助電圧パターン(VDDP)は、第3絶縁層140に形成されたコンタクトホール(図示せず)を通じて電圧ライン(SL-VDD)と電氣的に接続される。

補助電圧パターン(VDDP)は、図5を参照して説明した補助電源供給パターン(VSSP)と同じ層上に配置され、同一の物質で形成され得る。

【0082】

シーリング部材(SL)は、補助電圧パターン(VDDP)と重畳し得る。

シーリング部材(SL)は、補助電圧パターン(VDDP)と封止層(ENP)との間に配置され、補助電圧パターン(VDDP)に接触する。

補助電圧パターン(VDDP)は、電圧ライン(SL-VDD)と接続されて電源電圧を供給する配線の抵抗を減らすことができ、電源電圧を、図4を参照して説明した第1発光制御トランジスタ(T5)に均一に提供することができる。

【0083】

図8は、本発明の他の実施形態による表示装置で、表示パネルの一部を切断して示す断面図である。

図8は、本発明の他の実施形態による表示パネルにおいて図3のI-I'線に対応する位置で切断した断面図である。

図8を参照して説明する表示パネル(DP1)の補助電圧供給パターン(VSSP1)は、図5を参照して説明した補助電源電圧パターン(VSSP)と比較して、1つ以上のホール(HL1、HL2)が提供されるところが相違し、残りは実質的に類似する。

【0084】

図8において、補助電圧供給パターン(VSSP1)に第1ホール(HL1)及び第2ホール(HL2)が一つずつ提供されることを例示的に示した。

ただし、これに限定されるものではなく、補助電圧供給パターン(VSSP1)に第1ホール(HL1)及び第2ホール(HL2)は、それぞれ、複数個ずつ提供することができ、第1ホール(HL1)及び第2ホール(HL2)のいずれか1つのホールのみ提供することもできる。

【0085】

第1ホール(HL1)及び第2ホール(HL2)は、シーリング部材(SL)と重畳して提供される。

第1ホール(HL1)及び第2ホール(HL2)は、補助電源電圧パターン(VSSP

10

20

30

40

50

1)を貫通する。

第1ホール(HL1)は、バッファ層110及び第1～第3絶縁層(120、130、140)の内から逆順に少なくとも一つ以上の層をさらに貫通し得る。

図8において、第1ホール(HL1)は、バッファ層110及び第1～第3絶縁層の(120、130、140)の両方を貫通するものとして例示的に示した。

第2ホール(HL2)は、補助電源電圧パターン(VSSP1)を貫通し、バッファ層110及び第1～第3絶縁層(120、130、140)を貫通しないようにし得る。

【0086】

なお、第3絶縁層140には、第3ホール(HL3)を提供することができる。

第3ホール(HL3)は、シーリング部材(SL)と重畳し、補助電源電圧パターン(VSSP1)と非重畳するようにし得る。

10

第3ホール(HL3)は、バッファ層110及び第1～第2絶縁層(120、130)の内から逆順に少なくとも一つ以上の層をさらに貫通し得る。

図8において、第3ホール(HL3)は、バッファ層110及び第1～第2絶縁層(120、130)の両方を貫通するものを例示的に示した。

シーリング部材(SL)は、硬化性物質にガラス原料を混合した物質で形成することができる。

シーリング部材(SL)は、金属に比べて、絶縁層とガラスで形成されたベース層(SUB)とさらに堅固に接着される。

【0087】

20

本発明の実施形態による表示装置によれば、第1～第3ホール(HL1、HL2、HL3)の内から少なくとも一つ以上によってシーリング部材(SL)がバッファ層及び第1～第3絶縁層(110、120、130、140)及びベース層(SUB)と接触する面積を増やして表示パネル(DP1)の機構的強度を向上させることができる。

【0088】

図9は、本発明の他の実施形態による表示装置であり、表示パネルの一部の回路を示す回路図であり、図10は、図9の実施形態による表示パネルの一部を切断して示す断面図である。

図10は、本発明の他の実施形態による表示パネルにおいて図3のII-II'線に対応する位置で切断した断面図である。

30

【0089】

図9を参照すると、一つのパッド部(PD)は、デマルチプレクサ(DX)を介して少なくとも2つのデータライン(DL1、DL2)に接続され得る。

図9には、1つのパッド部(PD)が、第1及び第2のデータライン(DL1、DL2)に接続されたものを例示的に示した。

デマルチプレクサ(DX)は、第1スイッチ素子(SW1)及び第2スイッチ素子(SW2)を含む。

第1スイッチ素子(SW1)は、第1制御信号(CS1)によってターンオンされ、第2スイッチ素子(SW2)は、第2制御信号(CS2)によってターンオンされる。

第1及び第2スイッチ素子(SW1、SW2)は、相異なるタイミングでターンオンされ得る。

40

パッド部(PD)に印加された信号は、相異なるタイミングでターンオンされる第1及び第2スイッチ素子(SW1、SW2)により、第1及び第2データライン(DL1、DL2)に相異なるデータを提供することができる。

【0090】

図10を参照すると、本発明の他の実施形態による表示パネル(DP2)のデマルチプレクサ(DX)は、回路素子層(DP-CL)に備えられる。

デマルチプレクサ(DX)に含まれた第1及び第2スイッチ素子(SW1、SW2)は第3トランジスタ(TFT3)と同じ構造を有し得る。

図10には、第1スイッチ素子(SW1)を例示的に示した。

50

第 1 スイッチ素子 (S W 1) は、第 4 半導体パターン (S M 4)、第 4 制御電極 (C E 4)、第 4 入力電極 (I E 4)、及び第 4 出力電極 (O E 4) を含む。

【 0 0 9 1 】

なお、回路素子層 (D P - C L) は、静電気防止パターン (E S D) をさらに含むことができる。

静電気防止パターン (E S D) は、それぞれが、複数個のアイランド形状 (島形状) で提供され得る。

静電気防止パターン (E S D) は、フローティングされた状態で提供され、互いに離隔される。

静電気防止パターン (E S D) は、多様な層に形成することができ、金属物質を含み得る。

本発明の実施形態では、静電気防止パターン (E S D) は、第 3 トランジスタ (T F T 3) の第 3 制御電極 (C E 3) と同じ層上に配置されたものを例示的に示した。

静電気防止パターン (E S D) は、外部から発生した静電気が表示領域 (D A) に備えられた素子に流入することを防止できる。

【 0 0 9 2 】

補助電圧パターン (V D D P) は、デマルチプレクサ (D X) の上部にデマルチプレクサ (D X)、すなわち、第 1 スイッチ素子 (S W 1) をカバーする。

第 1 スイッチ素子 (S W 1) は、シーリング部材 (S L) と重畳し得る。

なお、補助電圧パターン (V D D P) は、静電気防止パターン (E S D) をカバーし得る。

静電気防止パターン (E S D) は、シーリング部材 (S L) と重畳し得る。

【 0 0 9 3 】

シーリング部材 (S L) を形成するとき、硬化性物質にレーザーを照射すると、硬化性物質で重畳した領域に配置された第 1 スイッチ素子 (S W 1) 及び静電気防止パターン (E S D) の温度が融点以上に上昇して不良が発生する可能性がある。

本発明の実施形態による表示装置によれば、補助電圧パターン (V D D P) を第 4 制御電極 (C E 4)、第 4 入力電極 (I E 4)、及び第 4 出力電極 (O E 4) よりも大きい融点を有する物質で形成するほうが好ましい。

補助電圧パターン (V D D P) を第 1 スイッチ素子 (S W 1) 及び静電気防止パターン (E S D) と重畳して配置することにより、レーザー照射による、第 1 スイッチ素子 (S W 1) 及び静電気防止パターン (E S D) の不良を防止できる。

【 0 0 9 4 】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【 符号の説明 】

【 0 0 9 5 】

1 1 0 バッファ層

1 2 0、1 3 0、1 4 0、1 5 0 第 1 ~ 第 4 絶縁層

1 0 0 0 表示装置

B A ベゼル領域

C E 1 ~ C E 3 第 1 ~ 第 3 制御電極

D A 表示領域

D L データライン

D M 表示モジュール

D M - D A 表示領域

D M - N D A 非表示領域

D P 表示パネル

D P - C L 回路素子層

D P - O L E D 表示素子層

10

20

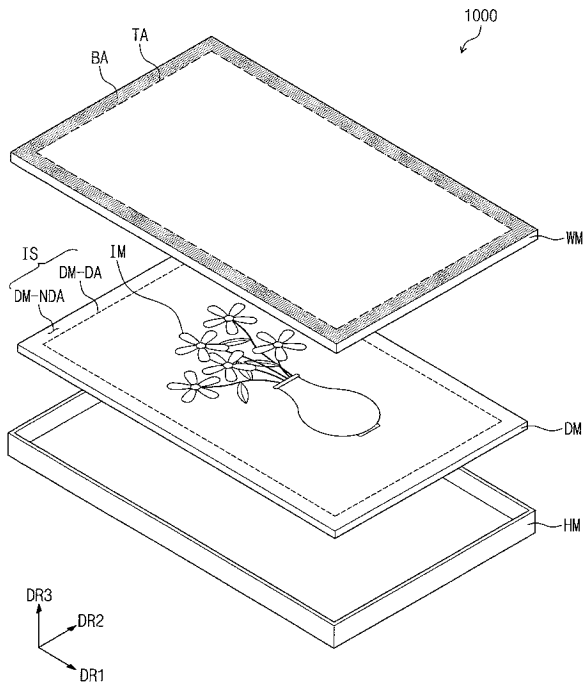
30

40

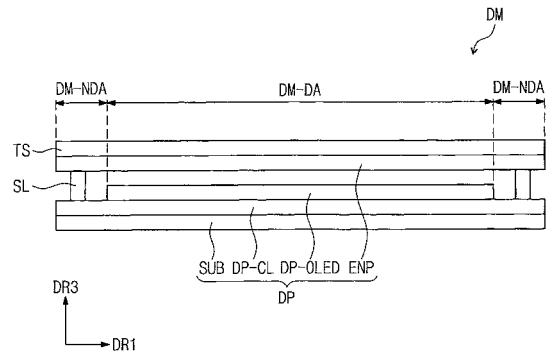
50

E 1	第 1 電 極	
E 2	第 2 電 極	
E - V S S	電 源 供 給 ラ イ ン	
E L	発 光 ラ イ ン	
E M L	発 光 層	
E N P	封 止 層	
E T C	発 光 ラ イ ン 駆 動 回 路	
E T C A	発 光 ラ イ ン 駆 動 回 路 領 域	
G D C	画 素 駆 動 回 路	
G L	走 査 ラ イ ン	10
G T C	ゲ ー ト 駆 動 回 路	
G T C A	ゲ ー ト 駆 動 回 路 領 域	
H M	ハ ウ ジ ン グ 部 材	
N D A	非 表 示 領 域	
I E 1 ~ I E 3	第 1 ~ 第 3 入 力 電 極	
I S	表 示 面	
O D	有 機 発 光 素 子	
O E 1 ~ O E 3	第 1 ~ 第 3 出 力 電 極	
P D	パ ッ ド 部	
P D L	画 素 定 義 膜	20
P X	画 素	
S L	シ ー リ ン グ 部 材	
S L - D	制 御 信 号 ラ イ ン	
S L - V D D	電 圧 ラ イ ン	
S L - V i n t	初 期 化 ラ イ ン	
S M 1 ~ S M 3	第 1 ~ 第 3 半 導 体 パ タ ー ン	
S U B	ベ ー ス 層	
T A	透 過 領 域	
T F T 1 ~ T F T 3	第 1 ~ 第 3 ト ラ ン ジ ス タ	
T S	タ ッ チ 検 出 ユ ニ ッ ト	30
V D D P	補 助 電 圧 パ タ ー ン	
V S P	補 助 パ タ ー ン	
V S S P	補 助 電 源 供 給 パ タ ー ン	
W M	ウ ィ ン ド ウ (W i n d o w) 部 材	

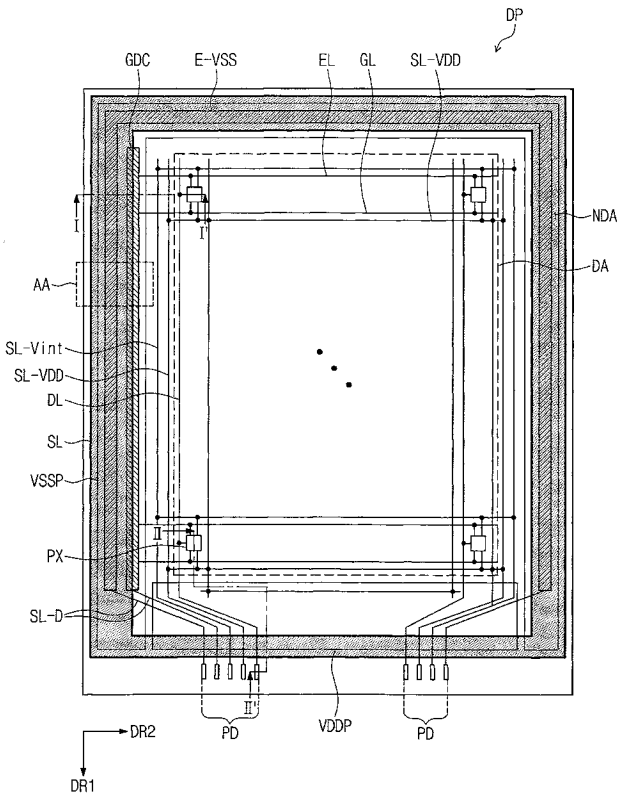
【図 1】



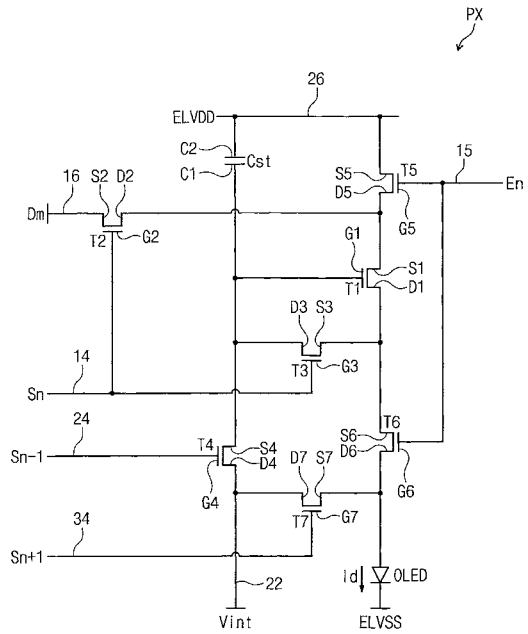
【図 2】



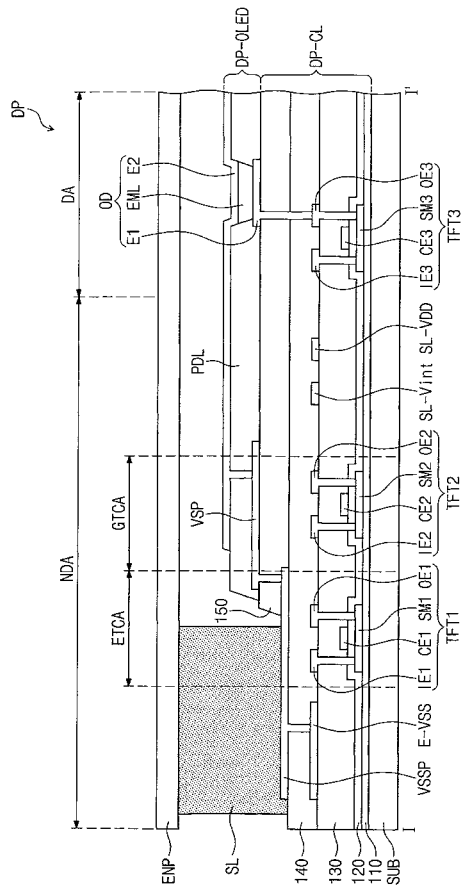
【図 3】



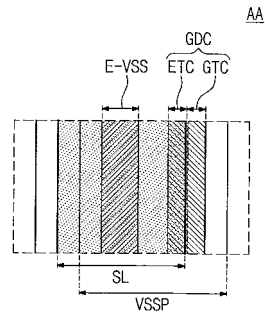
【図 4】



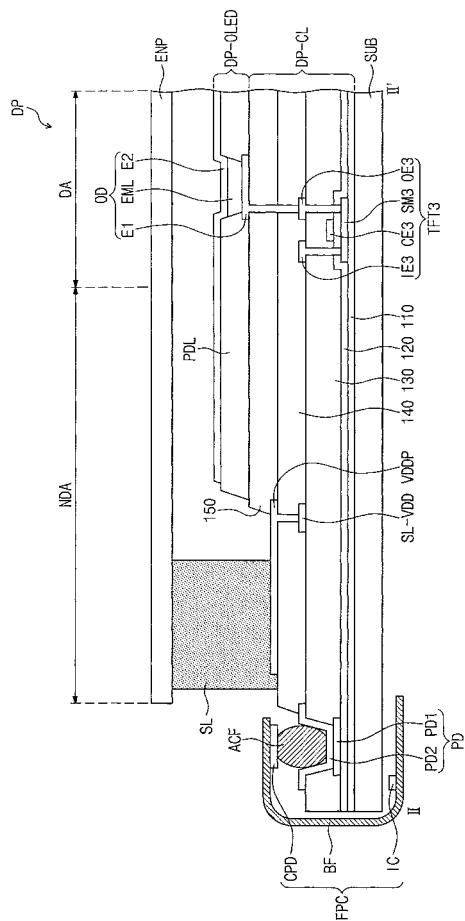
【 図 5 】



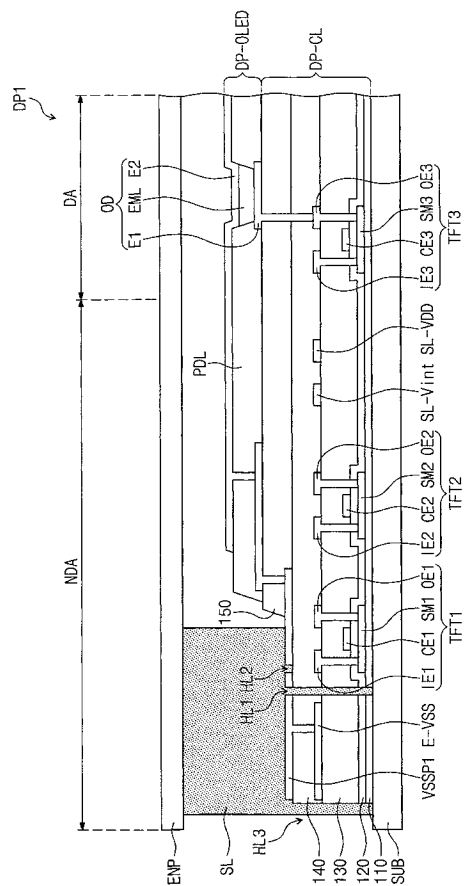
【 図 6 】



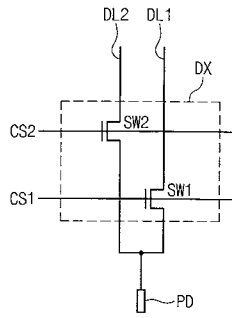
【圖 7】



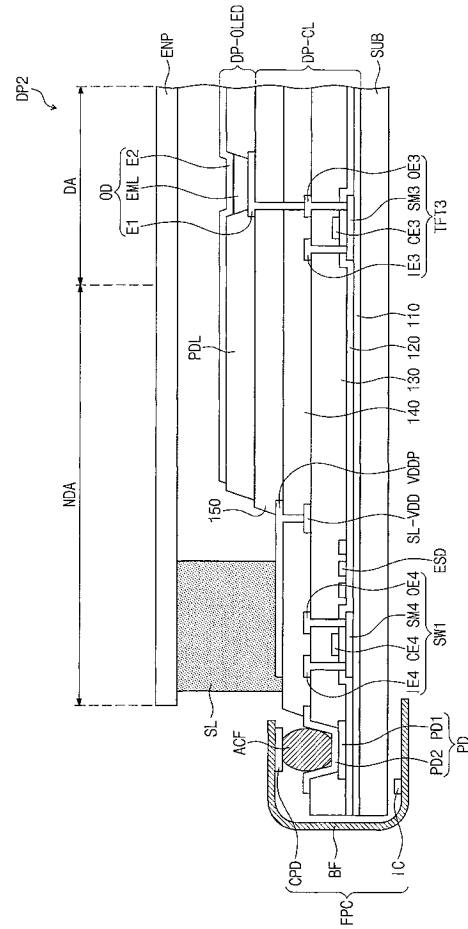
【 図 8 】



【図 9】



【図 10】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
G 0 9 F 9/30 (2006.01)	G 0 9 F 9/30	3 6 5
	G 0 9 F 9/30	3 0 9
	G 0 9 F 9/30	3 3 8

(72)発明者 尹 柱 善

大韓民国 ソウル特別市 江南区 道谷路 9 3 ギル 1 2 2 0 2 棟 4 0 1 号

F ターム(参考) 3K107 AA01 BB01 CC36 CC45 DD39 DD89 DD93 EE03 EE46 EE55
EE57 FF05 HH05
5C094 AA15 AA42 BA03 BA27 CA19 DA07 DA13 DA15 DB01 EA07
EC02 FA01 FA02 HA03 HA05 HA07 HA08

提供一种有机发光显示装置，该有机发光显示装置可以减少显示面板的非显示区域，并且可以防止在密封构件的固化过程中叠置在密封构件上的电路元件发生故障。发光显示装置包括：基层，其中，限定显示区域和与该显示区域相邻的非显示区域。电路元件层具有：电源线，其布置在基层上并接收公共电压；以及辅助电源图案，其布置成叠加在电源线上并与电源线连接；显示元件层，其具有配置在电路元件层上的第一电极，配置在第一电极上的发光层和配置在发光层上并与辅助电源图案电连接的第二电极。封装层，设置在显示元件层上；密封件设置在电路元件层和封装层之间，并在平面上的非显示区域中叠加在辅助电源图案上。图3

