

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-104910

(P2013-104910A)

(43) 公開日 平成25年5月30日(2013.5.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 641D	5C380
	G09G 3/20 624B	
	G09G 3/20 623C	
	G09G 3/20 623D	
審査請求 未請求 請求項の数 10 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2011-246727 (P2011-246727)	(71) 出願人	000005821
(22) 出願日	平成23年11月10日 (2011.11.10)		パナソニック株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100109210
			弁理士 新居 広守
		(72) 発明者	奥井 やよい
			大阪府門真市大字門真1006番地 パナ
			ソニック株式会社内
		Fターム(参考)	5C080 AA06 BB05 DD22 DD27 DD28
			FF11 JJ02 JJ03 JJ04
		最終頁に続く	

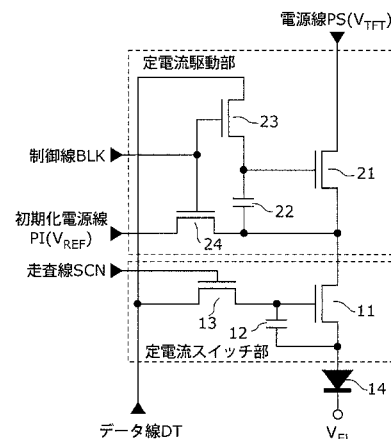
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】小規模な外部周辺回路により駆動可能な画素回路を有し、簡略化された製造工程による表示装置を提供する。

【解決手段】表示装置1が有する発光画素は、有機EL素子14と、ドレインが電源線PSに接続された電流駆動トランジスタ21と、電流駆動トランジスタ21のV_{gs}を保持するコンデンサ22と、コンデンサ22とデータ線DTとを導通させるスイッチトランジスタ23と、コンデンサ22と初期化電源線PIとを導通させるスイッチトランジスタ24と、電流駆動トランジスタ21により駆動される電流を有機EL素子14へ流すための電流経路を導通及び遮断する電流スイッチトランジスタ11と、電流スイッチトランジスタ11のV_{gs}を保持するコンデンサ12と、電流スイッチトランジスタ11のゲートとデータ線DTとを導通させる選択トランジスタ13とを備える。

【選択図】図2



【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の発光画素を有する表示部を備える表示装置であって、
電源電圧を前記複数の発光画素に供給するための電源線と、
前記複数の発光画素を初期化するための参照電圧を前記複数の発光画素に供給するための初期化電源線と、

制御線と、

画素行ごとに配置され、映像信号に対応したデータ電圧を書き込む発光画素を選択するための複数の走査線と、

画素列ごとに配置され、選択された発光画素に前記データ電圧を書き込むための複数のデータ線とを備え、

前記複数の発光画素のそれぞれは、

電流駆動型の発光素子と、

前記発光素子に定電流を供給するための定電流駆動部と、

前記電源線から前記定電流駆動部を介して前記発光素子へ供給される前記定電流の電流経路を導通及び遮断する定電流スイッチ部とを備え、

前記定電流駆動部は、

ソース電極及びドレイン電極の一方が前記電源線に接続され、前記電源線からの電流を駆動する電流駆動トランジスタと、

一方の電極が前記電流駆動トランジスタのドレイン電極またはソース電極に接続され、他方の電極が前記電流駆動トランジスタのゲート電極に接続され、前記電流駆動トランジスタのゲート電極とドレイン電極またはソース電極との間の電圧を保持する第 1 コンデンサと、

ゲート電極が前記制御線に接続され、ドレイン電極及びソース電極の一方が前記複数のデータ線のうちの対応するデータ線に接続され、ドレイン電極及びソース電極の他方が前記第 1 コンデンサの他方の電極に接続され、前記第 1 コンデンサと前記データ線との導通及び非導通を切り換える第 1 スイッチトランジスタと、

ゲート電極が前記制御線に接続され、ドレイン電極及びソース電極の一方が前記第 1 コンデンサの一方の電極に接続され、ドレイン電極及びソース電極の他方が前記初期化電源線に接続され、前記第 1 コンデンサと前記初期化電源線との導通及び非導通を切り換える第 2 スイッチトランジスタとを備え、

前記定電流スイッチ部は、

ソース電極及びドレイン電極の一方が前記電流駆動トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の他方が前記発光素子のアノード電極に接続され、前記電流駆動トランジスタにより駆動される電流を前記発光素子へ流すための前記電流経路を導通及び遮断する電流スイッチトランジスタと、

一方の電極が前記電流スイッチトランジスタのソース電極またはドレイン電極に接続され、他方の電極が前記電流スイッチトランジスタのゲート電極に接続され、前記電流スイッチトランジスタのゲート電極とドレイン電極またはソース電極との間の電圧を保持する第 2 コンデンサと、

ゲート電極が前記複数の走査線のうちの対応する走査線に接続され、ソース電極及びドレイン電極の一方が前記電流スイッチトランジスタのゲート電極に接続され、ソース電極及びドレイン電極の他方が前記データ線に接続され、前記電流スイッチトランジスタのゲート電極と前記データ線との導通及び非導通を切り換える選択トランジスタとを備える表示装置。

【請求項 2】

マトリクス状に配置された複数の発光画素を有する表示部を備える表示装置であって、
電源電圧を前記複数の発光画素に供給するための電源線と、
前記複数の発光画素を初期化するための参照電圧を前記複数の発光画素に供給するための初期化電源線と、

10

20

30

40

50

制御線と、

画素行ごとに配置され、映像信号に対応したデータ電圧を書き込む発光画素を選択するための複数の走査線と、

画素列ごとに配置され、選択された発光画素に前記データ電圧を書き込むための複数のデータ線とを備え、

前記複数の発光画素のそれぞれは、

電流駆動型の発光素子と、

前記発光素子に定電流を供給するための定電流駆動部と、

前記電源線から前記定電流駆動部を介して前記発光素子へ供給される前記定電流の電流経路を導通及び遮断する定電流スイッチ部とを備え、

前記定電流駆動部は、

ソース電極及びドレイン電極の一方が前記定電流スイッチ部を介して前記電源線に接続され、ソース電極及びドレイン電極の他方が前記発光素子のアノード電極に接続され、前記電源線からの電流を駆動する電流駆動トランジスタと、

一方の電極が前記電流駆動トランジスタのドレイン電極またはソース電極に接続され、他方の電極が前記電流駆動トランジスタのゲート電極に接続され、前記電流駆動トランジスタのゲート電極とドレイン電極またはソース電極との間の電圧を保持する第1コンデンサと、

ゲート電極が前記制御線に接続され、ドレイン電極及びソース電極の一方が前記複数のデータ線のうちの対応するデータ線に接続され、ドレイン電極及びソース電極の他方が前記第1コンデンサの他方の電極に接続され、前記第1コンデンサと前記データ線との導通及び非導通を切り換える第1スイッチトランジスタと、

ゲート電極が前記制御線に接続され、ドレイン電極及びソース電極の一方が前記第1コンデンサの一方の電極に接続され、ドレイン電極及びソース電極の他方が前記初期化電源線に接続され、前記第1コンデンサと前記初期化電源線との導通及び非導通を切り換える第2スイッチトランジスタとを備え、

前記定電流スイッチ部は、

ソース電極及びドレイン電極の一方が前記電源線に接続され、ソース電極及びドレイン電極の他方が前記電流駆動トランジスタのソース電極及びドレイン電極の一方に接続され、前記電源線から前記電流駆動トランジスタを介して流れる電流を前記発光素子へ流すための前記電流経路を導通及び遮断する電流スイッチトランジスタと、

一方の電極が前記電流スイッチトランジスタのソース電極またはドレイン電極に接続され、他方の電極が前記電流スイッチトランジスタのゲート電極に接続され、前記電流スイッチトランジスタのゲート電極とドレイン電極またはソース電極との間の電圧を保持する第2コンデンサと、

ゲート電極が前記複数の走査線のうちの対応する走査線に接続され、ソース電極及びドレイン電極の一方が前記電流スイッチトランジスタのゲート電極に接続され、ソース電極及びドレイン電極の他方が前記データ線に接続され、前記電流スイッチトランジスタのゲート電極と前記データ線との導通及び非導通を切り換える選択トランジスタとを備える

表示装置。

【請求項3】

さらに、

前記複数の走査線及び前記制御線に接続され、前記第1スイッチトランジスタ、前記第2スイッチトランジスタ及び前記選択トランジスタの導通及び非導通を制御する走査線制御回路と、

前記複数のデータ線に接続され、前記走査線制御回路により前記選択トランジスタが導通状態となった場合、前記電流スイッチトランジスタの前記ゲート電極と前記ドレイン電極または前記ソース電極との間の電圧を決定する前記データ電圧を前記データ線に出力し、前記走査線制御回路により前記第1スイッチトランジスタ及び前記第2スイッチトランジスタが導通状態となった場合、前記電流駆動トランジスタの前記ゲート電極と前記ドレ

10

20

30

40

50

イン電極または前記ソース電極との間の電圧を決定する初期化電圧を前記データ線に出力する信号線制御回路とを備える

請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記電流スイッチトランジスタが導通状態となる場合の前記データ電圧の絶対値は、前記電流スイッチトランジスタが導通状態となる場合のドレイン - ソース間電圧の絶対値より大きく、

前記参照電圧と前記初期化電圧との電位差の絶対値は、前記電流駆動トランジスタが導通状態となる場合のドレイン - ソース間電圧の絶対値より小さい

請求項 3 に記載の表示装置。

10

【請求項 5】

単位表示画像を書き換える時間である 1 フレーム時間内に前記信号線制御回路が前記初期化電圧を前記データ線に出力する回数は、前記 1 フレーム時間内に前記信号線制御回路が前記データ電圧を前記データ線に出力する回数よりも少ない

請求項 3 または 4 に記載の表示装置。

【請求項 6】

前記電流駆動トランジスタ、前記電流スイッチトランジスタ、前記選択トランジスタ、前記第 1 スwitchトランジスタ及び前記第 2 スwitchトランジスタは、全て同一の導電型のチャンネルを有する薄膜トランジスタである

請求項 1 ~ 5 のうちいずれか 1 項に記載の表示装置。

20

【請求項 7】

前記電流駆動トランジスタ、前記電流スイッチトランジスタ、前記選択トランジスタ、前記第 1 スwitchトランジスタ及び前記第 2 スwitchトランジスタは、全て n 型のチャンネルを有する薄膜トランジスタである

請求項 6 に記載の表示装置。

【請求項 8】

前記電流駆動トランジスタは、飽和領域で動作し、

前記電流スイッチトランジスタ、前記選択トランジスタ、前記第 1 スwitchトランジスタ及び前記第 2 スwitchトランジスタは、線形領域で動作する

請求項 1 ~ 7 のうちいずれか 1 項に記載の表示装置。

30

【請求項 9】

前記発光素子は、有機 EL 素子である

請求項 1 ~ 8 のうちいずれか 1 項に記載の表示装置。

【請求項 10】

前記発光素子は、無機 EL 素子である

請求項 1 ~ 8 のうちいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に電流駆動型の発光素子を用いた画像表示装置に関する。

40

【背景技術】

【0002】

電流駆動型の発光素子を用いた画像表示装置として、有機エレクトロルミネッセンス (EL) 素子を用いた画像表示装置が知られている。この自発光する有機 EL 素子を用いた有機 EL 表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適である。また、視野角にも制限がないため、次世代の表示装置として実用化が期待されている。また、有機 EL 表示装置に用いられる有機 EL 素子は、各発光素子の輝度がそこに流れる電流値により制御される点で、液晶セルがそこに印加される電圧により制御されるのとは異なる。

50

【 0 0 0 3 】

有機 E L 表示装置では、通常、画素を構成する有機 E L 素子がマトリクス状に配置される。複数の行電極（走査線）と複数の列電極（信号線）との交点に有機 E L 素子を設け、選択した行電極と複数の列電極との間にデータ信号に相当する電圧を印加するようにして有機 E L 素子を駆動するものをパッシブマトリクス型の有機 E L ディスプレイと呼ぶ。

【 0 0 0 4 】

一方、複数の走査線と複数の信号線との交点にスイッチング薄膜トランジスタ（T F T : T h i n F i l m T r a n s i s t o r）を設け、このスイッチング T F T に駆動素子のゲートを接続し、選択した走査線を通じてこのスイッチング T F T をオンさせて信号線からデータ信号を駆動素子に入力する。この駆動素子によって有機 E L 素子を駆動するものをアクティブマトリクス型の有機 E L 表示装置と呼ぶ。

10

【 0 0 0 5 】

アクティブマトリクス型の有機 E L 表示装置は、各行電極（走査線）を選択している期間のみ、それに接続された有機 E L 素子が発光するパッシブマトリクス型の有機 E L 表示装置とは異なり、次の走査（選択）まで有機 E L 素子を発光させることが可能であるため、走査線数が増大してもディスプレイの輝度減少を招くようなことはない。従って、アクティブマトリクス型の有機 E L 表示装置は、低電圧で駆動でき、低消費電力化が可能となる。

【 0 0 0 6 】

特許文献 1 には、アクティブマトリクス型の有機 E L 表示装置における表示部の回路構成が開示されている。

20

【 0 0 0 7 】

図 1 2 は、特許文献 1 に記載された従来の有機 E L ディスプレイ装置における表示部の回路構成図である。同図に記載された有機 E L ディスプレイ装置 5 0 0 は、表示させる画素 5 0 1 を選択する選択線 5 1 3 と、選択された画素 5 0 1 にデータ電圧を与える信号線 5 1 1 と、選択線 5 1 3 と信号線 5 1 1 との交点に対応してマトリクス状に配置される電流駆動型の有機 E L 素子 5 2 7 と、電源電圧を印加する電源配線 5 1 2 と、電源配線 5 1 2 と有機 E L 素子 5 2 7 との間に直列に接続される p 型の第 1 トランジスタ 5 2 3 及び第 2 トランジスタ 5 2 1 と、第 1 トランジスタ 5 2 3 のゲート端子とドレイン端子を接続または遮断する n 型の第 3 トランジスタ 5 2 4 と、第 1 トランジスタ 5 2 3 のゲート端子と可変電位配線 5 1 5 との間に設けられたコンデンサ 5 2 6 と、第 2 トランジスタ 5 2 1 のゲート端子と信号線 5 1 1 との間に接続されそのゲート端子が選択線 5 1 3 に接続される n 型の第 4 トランジスタ 5 2 2 とを備えた構成である。

30

【 0 0 0 8 】

以下、上記のように構成される画素 5 0 1 の表示動作について説明する。画素 5 0 1 の表示動作は、時間分割階調方式であり、ソースドライバ及びゲートドライバが実行する。

【 0 0 0 9 】

第 2 トランジスタ 5 2 1 のゲート端子に与えられる電位は、時間分割階調表示データである。時間分割階調表示を行なうには、ゲートドライバにより選択線 5 1 3 が H I G H 電位とされた期間に、ソースドライバにより第 4 トランジスタ 5 2 2 を通して第 2 トランジスタ 5 2 1 のゲート端子に O N 電位または O F F 電位が印加される。

40

【 0 0 1 0 】

一方、第 1 トランジスタ 5 2 3 の出力電流を設定する動作においては、まず、可変電位配線 5 1 5 の電位を所定の電位 V_p にし、制御線 5 1 4 を H I G H 電位として第 3 トランジスタ 5 2 4 を導通状態とする。また、選択線 5 1 3 を H I G H レベルとしてソースドライバから第 2 トランジスタ 5 2 1 を一瞬導通状態とする電圧を印加し、直ぐに非導通状態となる電圧を印加する。このとき、第 1 トランジスタ 5 2 3 のゲート - ドレイン間は第 3 トランジスタ 5 2 4 を通して短絡されているので、第 1 トランジスタ 5 2 3 のゲート端子電位は低下し O N 電位となる。その後、第 2 トランジスタ 5 2 1 が上記のように非導通状態となると、第 1 トランジスタ 5 2 3 のドレイン端子電位が上昇する。その結果、第 1 ト

50

ランジスタ 5 2 3 のゲート端子電位が上昇し、第 1 トランジスタ 5 2 3 が非導通状態に変化する。このときのソース - ゲート間電圧が、第 1 トランジスタ 5 2 3 の閾値電圧となる。

【 0 0 1 1 】

その後、制御線 5 1 4 を LOW 電位として第 3 トランジスタ 5 2 4 を非導通状態とし、コンデンサ 5 2 6 の電位を保持して、さらに、可変電位配線 5 1 5 の電位を V_p より V_a だけ低い電位に変化させる。これにより、第 1 トランジスタ 5 2 3 のゲート端子 - ソース端子間電圧 V_{gs} は閾値電位 $V_{th} - V_a$ となる。

【 0 0 1 2 】

なお、第 1 トランジスタ 5 2 3 のソース - ドレイン間電圧 V_{ds} とソース - ゲート間電圧 V_{gs} との間に、 $|V_{ds}| = |V_{gs}|$ の関係があるとき、つまり第 1 トランジスタ 5 2 3 が飽和領域で動作するとき、第 1 トランジスタ 5 2 3 の閾値ばらつきを補償して第 1 トランジスタ 5 2 3 を流れる電流値を設定することができる。そして、第 2 トランジスタ 5 2 1 が導通状態になると、第 1 トランジスタ 5 2 3 から第 2 トランジスタ 5 2 1 を通して有機 EL 素子 5 2 7 に、閾値電圧に依らない一定の駆動電流 I_{ds} を流すことが可能となる。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 1 3 】

【 特許文献 1 】 特開 2 0 0 6 - 3 0 9 4 6 号公報

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 4 】

しかしながら、特許文献 1 に記載された従来の有機 EL ディスプレイ装置 5 0 0 は、駆動電流 I_{ds} を設定するために、基本的な表示動作に必要な信号線 5 1 1 及び選択線 5 1 3 の電位を変化させるドライバ回路に加え、可変電位配線 5 1 5 及び制御線 5 1 4 の電位を変化させるドライバ回路がそれぞれ必要であり、外部周辺回路の構成が複雑である。

【 0 0 1 5 】

また、特許文献 1 に記載された画素 5 0 1 の画素回路では、n 型及び p 型チャネルの TFT を両方用いており、TFT として安価で製造容易なアモルファスシリコン TFT に代表される n 型チャネルの TFT のみを用いて画素回路を製造することが困難である。

30

【 0 0 1 6 】

上記課題に鑑み、本発明は、小規模な外部周辺回路により駆動可能な画素回路を有し、簡略化された製造工程による表示装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 7 】

上記課題を解決するために、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の発光画素を有する表示部を備える表示装置であって、電源電圧を前記複数の発光画素に供給するための電源線と、前記複数の発光画素を初期化するための参照電圧を前記複数の発光画素に供給するための初期化電源線と、制御線と、画素行ごとに配置され、映像信号に対応したデータ電圧を書き込む発光画素を選択するための複数の走査線と、画素列ごとに配置され、選択された発光画素に前記データ電圧を書き込むための複数のデータ線とを備え、前記複数の発光画素のそれぞれは、電流駆動型の発光素子と、前記発光素子に定電流を供給するための定電流駆動部と、前記電源線から前記定電流駆動部を介して前記発光素子へ供給される前記定電流の電流経路を導通及び遮断する定電流スイッチ部とを備え、前記定電流駆動部は、ソース電極及びドレイン電極の一方が前記電源線に接続され、前記電源線からの電流を駆動する電流駆動トランジスタと、一方の電極が前記電流駆動トランジスタのドレイン電極またはソース電極に接続され、他方の電極が前記電流駆動トランジスタのゲート電極に接続され、前記電流駆動トランジスタのゲート電極とドレイン電極またはソース電極との間の電圧を保持する第 1 コンデンサと、ゲート電極が前記制

40

50

御線に接続され、ドレイン電極及びソース電極の一方が前記複数のデータ線のうちの対応するデータ線に接続され、ドレイン電極及びソース電極の他方が前記第1コンデンサの他方の電極に接続され、前記第1コンデンサと前記データ線との導通及び非導通を切り換える第1スイッチトランジスタと、ゲート電極が前記制御線に接続され、ドレイン電極及びソース電極の一方が前記第1コンデンサの一方の電極に接続され、ドレイン電極及びソース電極の他方が前記初期化電源線に接続され、前記第1コンデンサと前記初期化電源線との導通及び非導通を切り換える第2スイッチトランジスタとを備え、前記定電流スイッチ部は、ソース電極及びドレイン電極の一方が前記電流駆動トランジスタのソース電極及びドレイン電極の他方に接続され、ソース電極及びドレイン電極の他方が前記発光素子のアノード電極に接続され、前記電流駆動トランジスタにより駆動される電流を前記発光素子へ流すための前記電流経路を導通及び遮断する電流スイッチトランジスタと、一方の電極が前記電流スイッチトランジスタのソース電極またはドレイン電極に接続され、他方の電極が前記電流スイッチトランジスタのゲート電極に接続され、前記電流スイッチトランジスタのゲート電極とドレイン電極またはソース電極との間の電圧を保持する第2コンデンサと、ゲート電極が前記複数の走査線のうちの対応する走査線に接続され、ソース電極及びドレイン電極の一方が前記電流スイッチトランジスタのゲート電極に接続され、ソース電極及びドレイン電極の他方が前記データ線に接続され、前記電流スイッチトランジスタのゲート電極と前記データ線との導通及び非導通を切り換える選択トランジスタとを備えることを特徴とする。

10

20

【0018】

また、本発明の一態様に係る表示装置は、マトリクス状に配置された複数の発光画素を有する表示部を備える表示装置であって、電源電圧を前記複数の発光画素に供給するための電源線と、前記複数の発光画素を初期化するための参照電圧を前記複数の発光画素に供給するための初期化電源線と、制御線と、画素行ごとに配置され、映像信号に対応したデータ電圧を書き込む発光画素を選択するための複数の走査線と、画素列ごとに配置され、選択された発光画素に前記データ電圧を書き込むための複数のデータ線とを備え、前記複数の発光画素のそれぞれは、電流駆動型の発光素子と、前記発光素子に定電流を供給するための定電流駆動部と、前記電源線から前記定電流駆動部を介して前記発光素子へ供給される前記定電流の電流経路を導通及び遮断する定電流スイッチ部とを備え、前記定電流駆動部は、ソース電極及びドレイン電極の一方が前記定電流スイッチ部を介して前記電源線に接続され、ソース電極及びドレイン電極の他方が前記発光素子のアノード電極に接続され、前記電源線からの電流を駆動する電流駆動トランジスタと、一方の電極が前記電流駆動トランジスタのドレイン電極またはソース電極に接続され、他方の電極が前記電流駆動トランジスタのゲート電極に接続され、前記電流駆動トランジスタのゲート電極とドレイン電極またはソース電極との間の電圧を保持する第1コンデンサと、ゲート電極が前記制御線に接続され、ドレイン電極及びソース電極の一方が前記複数のデータ線のうちの対応するデータ線に接続され、ドレイン電極及びソース電極の他方が前記第1コンデンサの他方の電極に接続され、前記第1コンデンサと前記データ線との導通及び非導通を切り換える第1スイッチトランジスタと、ゲート電極が前記制御線に接続され、ドレイン電極及びソース電極の一方が前記第1コンデンサの一方の電極に接続され、ドレイン電極及びソース電極の他方が前記初期化電源線に接続され、前記第1コンデンサと前記初期化電源線との導通及び非導通を切り換える第2スイッチトランジスタとを備え、前記定電流スイッチ部は、ソース電極及びドレイン電極の一方が前記電源線に接続され、ソース電極及びドレイン電極の他方が前記電流駆動トランジスタのソース電極及びドレイン電極の一方に接続され、前記電源線から前記電流駆動トランジスタを介して流れる電流を前記発光素子へ流すための前記電流経路を導通及び遮断する電流スイッチトランジスタと、一方の電極が前記電流スイッチトランジスタのソース電極またはドレイン電極に接続され、他方の電極が前記電流スイッチトランジスタのゲート電極に接続され、前記電流スイッチトランジスタのゲート電極とドレイン電極またはソース電極との間の電圧を保持する第2コンデンサと、ゲート電極が前記複数の走査線のうちの対応する走査線に接続され、ソース電極及びド

30

40

50

レイン電極の一方が前記電流スイッチトランジスタのゲート電極に接続され、ソース電極及びドレイン電極の他方が前記データ線に接続され、前記電流スイッチトランジスタのゲート電極と前記データ線との導通及び非導通を切り換える選択トランジスタとを備えることを特徴とする。

【0019】

上記構成によれば、従来では、基本的な書き込み動作及び発光動作に必要な配線の電位を変化させるドライバ回路に加えて制御線及び可変電位配線を変化させるドライバ回路が必要であったのに対して、制御線の電位を変化させるドライバ回路のみが新たに必要となるだけであり、外部周辺回路の構成を簡略化できる。

【0020】

10

また、本発明の一態様に係る表示装置は、さらに、前記複数の走査線及び前記制御線に接続され、前記第1スイッチトランジスタ、前記第2スイッチトランジスタ及び前記選択トランジスタの導通及び非導通を制御する走査線制御回路と、前記複数のデータ線に接続され、前記走査線制御回路により前記選択トランジスタが導通状態となった場合、前記電流スイッチトランジスタの前記ゲート電極と前記ドレイン電極または前記ソース電極との間の電圧を決定する前記データ電圧を前記データ線に出力し、前記走査線制御回路により前記第1スイッチトランジスタ及び前記第2スイッチトランジスタが導通状態となった場合、前記電流駆動トランジスタの前記ゲート電極と前記ドレイン電極または前記ソース電極との間の電圧を決定する初期化電圧を前記データ線に出力する信号線制御回路とを備えることが好ましい。

20

【0021】

上記構成によれば、発光画素列ごとに配置されたデータ線を、時間的に分割して利用することにより、電流駆動トランジスタのゲート-ソース間電圧を決定する初期化電圧と電流スイッチトランジスタのゲート-ソース間電圧を決定するデータ電圧とを出力させることが可能となる。よって、データ線及び信号線制御回路に対し複数の機能を持たせるため、制御回路の規模を小さくすることが可能となり、低コストの表示装置が実現可能である。

【0022】

また、電流駆動トランジスタのゲート-ソース間電圧を設定するための初期化期間において、電流はデータ線から初期化電源線へと流れる。初期化電源線の参照電圧は、駆動信号に応じて電圧を変化させる必要は無く一定電圧とできるため、電流が流れ込むことによる損失を低減させることが可能である。また、電流駆動トランジスタのゲート-ソース間電圧を電源線とデータ線との間で設定する場合と比較して、初期化電圧および参照電圧の電圧値を、電源電圧に規制されずに必要最小値に設定することが可能であるため、流れる電流値を最小に抑え、上記電流による損失を最小限にすることができる。

30

【0023】

また、本発明の一態様に係る表示装置は、前記電流スイッチトランジスタが導通状態となる場合の前記データ電圧の絶対値は、前記電流スイッチトランジスタが導通状態となる場合のドレイン-ソース間電圧の絶対値より大きく、前記参照電圧と前記初期化電圧との電位差の絶対値は、前記電流駆動トランジスタが導通状態となる場合のドレイン-ソース間電圧の絶対値より小さいことが好ましい。

40

【0024】

これにより、電流駆動トランジスタは飽和領域で動作するので、電源電圧やソース電位の変動などがあっても安定して定電流を供給することができる。また、電流スイッチトランジスタは線形領域で動作するので、オン抵抗が小さく電圧降下が抑制されたスイッチング動作及び電流駆動となり、低消費電力化が実現される。

【0025】

また、本発明の一態様に係る表示装置は、単位表示画像を書き換える時間である1フレーム時間内に前記信号線制御回路が前記初期化電圧を前記データ線に出力する回数は、前記1フレーム時間内に前記信号線制御回路が前記データ電圧を前記データ線に出力する回

50

数よりも少なくてもよい。

【0026】

この構成によれば、電流源としての電流駆動トランジスタの条件設定に必要な時間が短縮されるため、結果的に発光期間を長く確保することが可能となる。よって、高精細な表示パネルを提供でき、また、有機EL素子に流れる電流のピーク値を低くすることができるので、高効率な輝度制御を実行することが可能となる。

【0027】

また、前記電流駆動トランジスタ、前記電流スイッチトランジスタ、前記選択トランジスタ、前記第1スイッチトランジスタ及び前記第2スイッチトランジスタは、全て同一の導電型のチャンネルを有する薄膜トランジスタであってもよい。

10

【0028】

また、前記電流駆動トランジスタ、前記電流スイッチトランジスタ、前記選択トランジスタ、前記第1スイッチトランジスタ及び前記第2スイッチトランジスタは、全てn型のチャンネルを有する薄膜トランジスタであることが好ましい。

【0029】

これにより、特に、n型トランジスタのみを用いて画素回路を構成している場合、アモルファスシリコンTFTの製造プロセスを用いて安価かつ簡易的に表示パネルを製造することが可能となる。

【0030】

また、前記電流駆動トランジスタは、飽和領域で動作し、前記電流スイッチトランジスタ、前記選択トランジスタ、前記第1スイッチトランジスタ及び前記第2スイッチトランジスタは、線形領域で動作することが好ましい。

20

【0031】

これにより、電流駆動トランジスタは飽和領域で動作するので、電源電圧やソース電位の変動などがあっても安定して定電流を供給することができる。また、電流スイッチトランジスタ、選択トランジスタ、第1トランジスタ及び第2トランジスタは線形領域で動作するので、オン抵抗の小さいスイッチングとなり低消費電力化が実現される。

【0032】

また、前記発光素子は、有機EL素子であってもよい。

【0033】

また、前記発光素子は、無機EL素子であってもよい。

30

【発明の効果】

【0034】

本発明の表示装置によれば、従来に比べドライバ回路が削減された小規模な外部周辺回路により駆動が可能となり、外部周辺回路を簡略化できる。

【図面の簡単な説明】

【0035】

【図1】本発明の表示装置の機能ブロック図である。

【図2】本発明の実施の形態1に係る表示装置が有する表示部の回路構成図である。

【図3】本発明の表示装置が有する走査線制御回路の内部回路図である。

40

【図4】本発明の表示装置が有する信号線制御回路の内部回路図である。

【図5】本発明の実施の形態1に係る表示装置の駆動タイミングチャートである。

【図6】本発明の実施の形態1に係る表示装置の電流源設定動作を説明する状態遷移図である。

【図7】本発明の実施の形態1に係る表示装置の書き込み動作を説明する状態遷移図である。

【図8】本発明の実施の形態2に係る表示装置が有する表示部の回路構成図である。

【図9】本発明の実施の形態2に係る表示装置の駆動タイミングチャートである。

【図10】本発明の実施の形態2に係る表示装置の電流源設定動作を説明する状態遷移図である。

50

【図 1 1】本発明の実施の形態 2 に係る表示装置の書き込み動作を説明する状態遷移図である。

【図 1 2】特許文献 1 に記載された従来の有機 E L ディスプレイ装置における表示部の回路構成図である。

【発明を実施するための形態】

【0036】

以下、本発明を実施するための形態 1 及び 2 について、図面を参照しながら説明する。

【0037】

(実施の形態 1)

<表示装置の構成>

図 1 は、本発明の実施の形態に係る表示装置の機能ブロック図である。同図に記載された表示装置 1 は、デジタル階調制御方式で輝度を変動させるアクティブマトリクス型ディスプレイ装置であり、制御回路 2 と、走査線制御回路 4 と、信号線制御回路 5 と、表示部 6 とを備える。

【0038】

制御回路 2 は、入力された映像信号に応じて、表示部 6 の画素ごとに発光させるサブフレームを割り当て、走査線制御回路 4 及び信号線制御回路 5 に制御信号を出力する。

【0039】

走査線制御回路 4 は、表示部 6 に走査電圧を印加し、信号線制御回路 5 は表示部にデータ電圧及び初期化電圧を印加する。以下、上述した表示装置 1 の構成要素について詳細に説明する。

【0040】

図 2 は、本発明の実施の形態に係る表示装置が有する表示部の回路構成図である。表示部 6 は、ディスプレイの解像度 ($m \times n$) に応じた、マトリクス状に配置された複数の発光画素が配置された表示部であるが、図 2 には、表示部 6 の一部である、1 つの発光画素が記載されている。図 2 に記載された表示部 6 の発光画素は、電流スイッチトランジスタ 1 1 と、スイッチトランジスタ 2 3 及び 2 4 と、コンデンサ 1 2 及び 2 2 と、選択トランジスタ 1 3 と、有機 E L 素子 1 4 と、電流駆動トランジスタ 2 1 と、画素列ごとに配置されたデータ線 D T と、画素行ごとに配置された走査線 S C N と、制御線 B L K と、初期化電源線 P I と、電源線 P S とを備える。

【0041】

また、表示部 6 が有する複数の発光画素は、全て同じ回路構成となっている。

【0042】

表示部 6 が有する発光画素は、有機 E L 素子 1 4 に供給する発光電流である定電流を発生させる定電流駆動部と、当該定電流駆動部から有機 E L 素子 1 4 へ供給される上記定電流の電流経路を導通及び遮断する定電流スイッチ部とに大別される。

【0043】

定電流駆動部は、電流駆動トランジスタ 2 1 と、コンデンサ 2 2 と、スイッチトランジスタ 2 3 及び 2 4 とで構成される。定電流駆動部は、電流駆動トランジスタ 2 1 を飽和領域で動作させることにより、電流駆動トランジスタ 2 1 のソース - ドレイン間電圧 V_{ds} が変動しても定電流を発生し、当該定電流を定電流スイッチ部へ安定供給する。

【0044】

定電流スイッチ部は、電流スイッチトランジスタ 1 1 と、コンデンサ 1 2 と、選択トランジスタ 1 3 とで構成される。データ線 D T から供給される 2 値のデータ電圧 (オン電圧及びオフ電圧) が電流スイッチトランジスタ 1 1 のゲート端子に印加されることにより、電流スイッチトランジスタ 1 1 のソース - ドレイン間は、導通状態または非導通状態となる。これにより、定電流駆動部からの定電流を有機 E L 素子 1 4 へ流す、または、流さないという動作がサブフィールド単位で実行され、デジタル階調制御がなされる。ここで、電流スイッチトランジスタ 1 1 のオンオフ制御におけるスイッチング損失を低減させるため、電流スイッチトランジスタ 1 1 は、低オン抵抗である線形領域で動作させることが望

10

20

30

40

50

ましい。一方、薄膜トランジスタを線形領域で動作させた場合、ソース - ドレイン間電圧 V_{ds} の変動により、薄膜トランジスタのドレイン - ソース電流 I_{ds} が変動しやすいという課題がある。上記課題を解消するため、上述した定電流駆動部により V_{ds} が変動しても I_{ds} が変動しない定電流が供給される。

【0045】

つまり、飽和領域で動作する電流駆動トランジスタ21を有する定電流駆動部により、電源電圧やソース電位の変動などがあっても安定して定電流を供給することができ、線形領域で動作する電流スイッチトランジスタ11を有する定電流スイッチ部により、低損失なスイッチングによるデジタル階調表示が可能となる。

【0046】

以下、発光画素の各構成要素及びそれらの接続状態を説明する。

【0047】

電源線PSは、すべての画素行に配置され、電流駆動トランジスタ21のドレインに接続され、正の電源電圧 V_{TF} を当該接続点に印加することにより、電源電圧を複数の発光画素に供給する。

【0048】

なお、本実施の形態では、全ての発光画素に対して、同じ電源電圧 V_{TF} が同じタイミングで印加されるので、電源線PSは、全ての電源線が接続された共通線となっていてよい。

【0049】

走査線SCNは、画素行ごとに配置され、映像信号に対応したデータ電圧を書き込む発光画素を選択する。

【0050】

制御線BLKは、すべての画素行に配置され、定電流駆動部を初期化するための機能を有する。

【0051】

初期化電源線PIは、すべての画素行に配置され、全ての発光画素を初期化するための参照電圧 V_{REF} を、全ての発光画素に供給する機能を有する。具体的には、初期化電源線PIは、定電流駆動部を初期化する場合にコンデンサ22の一方の電極に参照電圧 V_{REF} を供給する。なお、本実施の形態では、全ての発光画素に対して、同じ参照電圧 V_{REF} が同じタイミングで印加されるので、各画素行に配置された初期化電源線PIは共通線となっている。よって、駆動回路などの外部周辺回路を簡略化できる。

【0052】

データ線DTは、画素列ごとに配置され、選択された発光画素にデータ電圧を書き込むための機能を有する。

【0053】

有機EL素子14は、電流駆動型の発光素子であり、アノード端子が電流スイッチトランジスタ11のソース端子及びコンデンサ12の一方の電極と接続され、カソード端子が基準端子（基準電圧 V_{EL} ）に接続されている。

【0054】

電流駆動トランジスタ21は、ドレイン端子が電源線PSに接続され、ゲート端子がコンデンサ22の他方の電極と接続され、ソース端子がコンデンサ22の一方の電極と接続され、電源線PSからの電流を駆動する。電流駆動トランジスタ21は、ドレイン - ソース間電圧 V_{ds} がゲート - ソース間電圧 V_{gs} に比べて十分大きい領域である飽和領域にて動作させることにより、 V_{gs} に応じて、電源電圧から一定の電流を供給する定電流駆動用の薄膜トランジスタである。なお、電流駆動トランジスタ21は、上述したように、 V_{ds} の変動を受けない安定した I_{ds} を有機EL素子14へ供給するが、映像信号に基づく表示階調の傾向により、フレーム単位で、後述する初期化電圧 V_{data2} を調整することにより V_{gs} を変化させて I_{ds} の大きさを調整することが可能となる。これにより、全ての階調を高精度に表示することが可能となる。

10

20

30

40

50

【0055】

コンデンサ22は、電流駆動トランジスタ21のゲート電極及びソース電極に接続され、電流駆動トランジスタ21のゲート-ソース間電圧を保持する第1コンデンサである。

【0056】

電流スイッチトランジスタ11は、ドレイン端子が電流駆動トランジスタ21のソース端子と接続され、ゲート端子がコンデンサ12の他方の端子と接続され、ソース端子がコンデンサ12の一方の端子及び有機EL素子14のアノード端子と接続され、ゲート-ソース間電圧 V_{gs} がドレイン-ソース間電圧 V_{ds} に比べて十分大きい領域である線形領域にて動作する、定電流スイッチング用の薄膜トランジスタである。電流スイッチトランジスタ11は、電流駆動トランジスタ21により駆動される定電流を有機EL素子14へ流すための電流経路を導通及び遮断する。

10

【0057】

コンデンサ12は、電流スイッチトランジスタ11のゲート電極とソース電極との間の電圧を保持する第2コンデンサである。

【0058】

選択トランジスタ13は、ドレイン端子が電流スイッチトランジスタ11のゲート端子と接続され、ゲート端子が走査線SCNと接続され、ソース端子がデータ線DTと接続され、有機EL素子14の発光を決定するデータ電圧を書き込むべき発光画素を選択する。つまり、選択トランジスタ13は、電流スイッチトランジスタ11のゲート電極とデータ線DTとの導通及び非導通を切り換える。

20

【0059】

スイッチトランジスタ23は、ドレイン端子がデータ線DTと接続され、ゲート端子が制御線BLKと接続され、ソース端子が電流駆動トランジスタ21のゲート端子及びコンデンサ22の他方の電極と接続された第1スイッチトランジスタであり、スイッチトランジスタ24と同期制御されることにより、コンデンサ22の両端電圧である電流駆動トランジスタ21の V_{gs} を確定させる。

【0060】

スイッチトランジスタ24は、ドレイン端子が電流駆動トランジスタ21のソース端子及びコンデンサ22の一方の電極と接続され、ゲート端子が制御線BLKと接続され、ソース端子が初期化電源線PIと接続された第2スイッチトランジスタであり、スイッチトランジスタ23と同期制御されることにより、コンデンサ22の両端電圧である電流駆動トランジスタ21の V_{gs} を確定させる。

30

【0061】

電流スイッチトランジスタ11、スイッチトランジスタ23及び24、ならびに選択トランジスタ13は、入力された映像信号に基づいてゲート-ソース間に閾値電圧以上の電圧が印加されることにより、ドレイン-ソース間を導通状態とするスイッチ素子である。

【0062】

電流駆動トランジスタ21、電流スイッチトランジスタ11、スイッチトランジスタ23及び24、ならびに選択トランジスタ13は、同一の導電型のチャネルを有する薄膜トランジスタであることが好ましく、さらには、nチャネルのMOSFETで形成されることが望ましい。上記トランジスタが、全て、nチャネルのMOSFETで形成されることにより、n型トランジスタのみを用いて画素回路を構成できるので、アモルファスシリコンTFTを用いて安価かつ簡易的に表示パネルを製造することが可能となる。

40

【0063】

上記回路構成において、データ線DTがHIGHレベル(V_{data1})となり走査線SCNがHIGHレベル(V_{scn})となることで、選択トランジスタ13のゲート-ソース間に、閾値電圧よりも十分大きい信号電圧が印加される。これにより、選択トランジスタ13は線形領域で動作しドレイン-ソース間はオン抵抗の低い導通状態となる。そして、選択トランジスタ13が導通状態になった後、データ線DTから選択トランジスタ13を経由してコンデンサ12が充電される。これにより、電流スイッチトランジスタ11

50

のゲート - ソース間に、閾値電圧よりも十分大きい電圧が印加され、電流スイッチトランジスタ 11 は線形領域で動作しドレイン - ソース間はオン抵抗の低い導通状態となる。このとき、電源線 $PS \rightarrow$ 電流駆動トランジスタ 21 $\rightarrow$ 電流スイッチトランジスタ 11 $\rightarrow$ 有機 EL 素子 14 の経路で上述した電流駆動トランジスタ 21 による定電流が流れ有機 EL 素子 14 が発光する。

【0064】

また、本実施の形態では、発光素子として有機 EL 素子を用いているが、当該発光素子は電流駆動型の発光素子であればよく、例えば、無機 EL 素子であってもよい。

【0065】

< 走査線制御回路 >

次に、走査線制御回路 4 について説明する。走査線制御回路 4 は、制御回路 2 からの制御信号により、データ電圧書き込み期間において、発光画素行を選択するための走査信号を、走査線 SCN を介して発光画素を有する表示部 6 に出力する。また、走査線制御回路 4 は、制御回路 2 からの制御信号により、初期化期間において、各発光画素の定電流値を定電流駆動部に設定するための初期化信号を、制御線 BLK を介して発光画素を有する表示部 6 に出力する。

【0066】

図 3 は、本発明の表示装置が有する走査線制御回路の内部回路図である。走査線制御回路 4 は、走査信号の選択電圧である V_{SCN} または非選択電圧 V_L を選択し、画素行ごとに配置された走査線 $SCN1 \sim SCN_m$ に印加する。

【0067】

画素行数が m である場合には、走査線制御回路 4 は、 m 本の走査線 $SCN1 \sim SCN_m$ を介して表示部 6 に接続されている。走査線制御回路 4 は、任意の順序で 1 ライン毎に走査線 $SCN1 \sim SCN_m$ に対して選択電圧 V_{SCN} または非選択電圧 V_L を供給することが可能である。もちろん、走査線 $SCN1$ 、 $SCN2$ 、 $\dots$ SCN_m という様に、行順次に走査電圧を印加することも可能であり、あるいは、全ての走査線に対し同時に V_{SCN} または V_L を供給することも可能である。

【0068】

図 3 に記載された回路において、例えば、走査線 $SCN1$ に選択電圧 V_{SCN} を印加し、その他の走査線に非選択電圧 V_L を印加する場合には、走査線制御回路 4 は、スイッチ $SW41A$ 及びスイッチ $SW42B$ 、 $SW43B$ 、 $\dots$ $SW4mB$ を ON 状態とし、スイッチ $SW41B$ 及びスイッチ $SW42A$ 、 $SW43A$ 、 $\dots$ $SW4mA$ を OFF 状態とする。

【0069】

さらに、図示しないが、走査線制御回路 4 は、初期化信号の選択電圧である V_{BLK} または非選択電圧を選択し、制御線 BLK に印加する。制御線 BLK に選択電圧 V_{BLK} または非選択電圧を印加する回路についても、選択電圧 V_{SCN} または非選択電圧 V_L を印加する回路と同様の構成である。

【0070】

つまり、走査線制御回路 4 は、複数の走査線 SCN 及び制御線 BLK に接続され、スイッチトランジスタ 23 及び 24 ならびに選択トランジスタ 13 の導通及び非導通を制御する。

【0071】

なお、選択電圧 V_{SCN} 及び V_{BLK} を印加するタイミングについては、後述する。

【0072】

また、制御線 BLK は、全ての発光画素に共通した制御線であってもよく、また、画素行ごとに配置された制御線 $BLK1 \sim BLK_m$ であってもよい。

【0073】

< 信号線制御回路 >

次に、信号線制御回路 5 について説明する。信号線制御回路 5 は、データ電圧書き込み

10

20

30

40

50

期間において、制御回路 2 からの制御信号により、走査線制御回路 4 から出力される走査信号に同期して、映像信号に対応したデータ電圧（オン電圧及びオフ電圧）を、データ線 D T を介して電流スイッチトランジスタ 1 1 のゲート端子に出力する。また、信号線制御回路 5 は、初期化期間において、走査線制御回路 4 から制御線 B L K を介して出力される初期化信号の選択電圧 $V_{B L K}$ に同期して、定電流駆動部から定電流スイッチ部へ供給される定電流の電流値を決定するための初期化電圧 $V_{data 2}$ を、データ線 D T を介して電流駆動トランジスタ 2 1 のゲート端子に出力する。信号線制御回路 5 も走査線制御回路 4 とほぼ同様の回路構成であるが、印加する電圧値を電流駆動トランジスタ 2 1 のゲート電圧として設定する初期化電圧 $V_{data 2}$ と、電流スイッチトランジスタ 1 1 のオン電圧 $V_{data 1}$ とを選択できる構成となっている。

10

【0074】

図 4 は、本発明の表示装置が有する信号線制御回路の内部回路図である。信号線制御回路 5 は、スイッチ S W D による切替え機能により、初期化電圧 $V_{data 2}$ またはオン電圧 $V_{data 1}$ を選択し、画素列ごとに配置されたデータ線 D T 1 ~ D T n に印加する。また、データ信号のオフ電位を供給するためのスイッチをライン毎に配置した回路構成となっている。

【0075】

画素列数が n である場合には、信号線制御回路 5 は、n 本のデータ線 D T 1 ~ D T n を介して表示部 6 に接続されている。各データ線には、信号線制御回路 5 の信号に応じて、1 ライン毎にデータ線 D T 1 ~ D T n にオン電圧 $V_{data 1}$ またはオフ電圧を供給することが可能である。また、全てのデータ線に対し同時に初期化電圧 $V_{data 2}$ またはオフ電圧を供給することも可能である。初期化電圧 $V_{data 2}$ 、オン電圧 $V_{data 1}$ またはオフ電圧を印加するタイミングについては、後述する。

20

【0076】

以上のように、信号線制御回路 5 は、制御回路 2 からの制御信号により、初期化期間において電流駆動トランジスタ 2 1 のソース電圧となる初期化電圧 $V_{data 2}$ を出力し、データ電圧書き込み期間においてデータ電圧であるオン電圧またはオフ電圧を、データ線 D T を介して表示部 6 に出力する。また、映像信号に応じた駆動信号により、表示部 6 の解像度に応じた画素列数 n 本のデータ線を同時に制御可能とするためのメモリ機能を有している。

30

【0077】

つまり、信号線制御回路 5 は、複数のデータ線 D T に接続され、走査線制御回路 4 により選択トランジスタ 1 3 が導通状態となった場合、電流スイッチトランジスタ 1 1 のゲート - ソース間電圧を決定するデータ電圧をデータ線 D T に出力し、走査線制御回路 4 によりスイッチトランジスタ 2 3 及び 2 4 が導通状態となった場合、電流駆動トランジスタ 2 1 のゲート - ソース間電圧を決定する初期化電圧 $V_{data 2}$ をデータ線 D T に出力する。

【0078】

なお、制御回路 2 は、発光画素の表示期間の長さを、電流スイッチトランジスタ 1 1 のオンオフ制御により変化させることで、有機 E L 素子 1 4 の発光輝度を制御する制御部として機能する。

40

【0079】

< 表示装置の動作 >

以下、図 5 ~ 7 を用いて、表示装置 1 の動作について述べる。図 5 は、本発明の実施の形態 1 に係る表示装置の駆動タイミングチャートである。図 5 の駆動タイミングチャートは、例として、走査線 S C N 1 より行順次に走査した場合の表示装置の動作を表したものであり、上から順に、コンデンサ 2 2 の両端電圧 $V_{2 2}$ 、コンデンサ 1 2 の両端電圧 $V_{1 2}$ 、電流駆動トランジスタ 2 1 の状態 T F T 2 1、電流スイッチトランジスタ 1 1 の導通状態 T F T 1 1、選択トランジスタ 1 3 のゲート電圧 $V_{1 3}$ 、スイッチトランジスタ 2 3 のゲート電圧 $V_{2 3}$ 、スイッチトランジスタ 2 4 のゲート電圧 $V_{2 4}$ 、制御線 B L K の電

50

圧、データ線 D T の電圧、走査線 S C N 1 の電圧、・・・、走査線 S C N 1 0 8 0 の電圧を表している。なお、V 2 2 ~ V 2 4 は、走査線 S C N 1 に接続された画素行に属する発光画素についての動作を表している。また、上記電流駆動トランジスタ 2 1 の状態 T F T 2 1 とは、スイッチトランジスタ 2 3 及び 2 4 が導通状態でありコンデンサ 2 2 が充電状態である場合をハイレベルとし、その他の場合をローレベルとして表している。また、上記電流スイッチトランジスタ 1 1 の導通状態 T F T 1 1 とは、電流スイッチトランジスタ 1 1 のドレイン - ソース間が導通状態である場合をハイレベルとし、非導通状態である場合をローレベルとして表している。

【 0 0 8 0 】

以下説明する表示装置 1 の動作は、初期化動作、書き込み動作及び発光動作という一連の単位を 1 サブフィールドとし、当該サブフィールドを繰り返し実行する。

10

【 0 0 8 1 】

[初期化期間 (電流源設定期間)]

定電流駆動部から供給される定電流を設定する初期化期間 (電流源設定期間) における動作は、入力された映像信号に基づき、各画素の電流源となる電流駆動トランジスタ 2 1 のゲート - ソース間電圧 V_{gs} を設定するステップである。

【 0 0 8 2 】

まず、時刻 t_{01} ~ 時刻 t_{02} において、電流駆動トランジスタ 2 1 の V_{gs} を設定するために、書き込み対象の電流駆動トランジスタ 2 1 に直列に接続されている電流スイッチトランジスタ 1 1 をオフさせる。オフさせる方法としては、図 5 のように、行順次に走査線 S C N に走査電圧パルス印加し、データ線 D T にオフ電圧印加して行毎にオフさせてもよいし、全ライン一斉に走査電圧パルス印加してもよい。また、上記走査電圧パルスの長さは、初期化期間より前の発光期間の長さに応じて変化させてもよい。

20

【 0 0 8 3 】

初期化期間の準備段階として上記動作を行うことにより、電流駆動トランジスタ 2 1 のソース電位が電流スイッチトランジスタ 1 1 及び有機 E L 素子 1 4 から切り離されてフローティング状態となるため、時刻 t_{02} 以降での電流駆動トランジスタ 2 1 のソース電位をデータ線 D T から任意に設定でき、これにより V_{gs} を任意に調整することが可能となる。

【 0 0 8 4 】

次に、時刻 t_{02} において、制御線 B L K に正の電圧 V_{BLK} を印加し、スイッチトランジスタ 2 3 及び 2 4 のゲート電圧を閾値電圧以上としドレイン - ソース間の抵抗を下げオンさせる。この動作により、電流駆動トランジスタ 2 1 の V_{gs} は、データ線 D T と初期化電源線 P I との電位差により設定される。

30

【 0 0 8 5 】

図 6 は、本発明の実施の形態 1 に係る表示装置の電流源設定動作を説明する状態遷移図である。同図は、行列間で隣接する 4 つの発光画素 6 A ~ 6 D の時刻 t_{02} における電気的状態を表している。なお、本実施の形態では、電源線 P S、制御線 B L K 及び初期化電源線 P I が全ての発光画素で共通化されている。これらの配線の共通化、及び、初期化電源線 P I による参照電圧 V_{REF} の電圧値が初期化電圧 V_{data2} との電位差のみにより決定できることから参照電圧 V_{REF} を低く設定できること、により駆動回路などの外部周辺回路を簡略化できる。

40

【 0 0 8 6 】

時刻 t_{02} において、信号線制御回路 5 は、データ線 D T 1 及び D T 2 に対して初期化電圧 V_{data2} を出力する。また、走査線制御回路 4 は、制御線 B L K に対して H I G H レベルの選択電圧 V_{BLK} を出力する。これにより、スイッチトランジスタ 2 3 及び 2 4 が導通状態となり、電流駆動トランジスタ 2 1 の V_{gs} は、 $(V_{data2} - V_{REF})$ となる。図 6 において、矢印 (破線) は電圧印加経路を示したものである。

【 0 0 8 7 】

ここで、有機 E L 表示パネルの場合を想定して具体例にて説明する。例えば、電源線 P

50

Sの電源電圧 V_{TFT} は10V、基準電圧 V_{EL} は-2Vに設定される。また、電流駆動トランジスタ21のドレイン-ソース間電圧 V_{ds} は5V程度、電流スイッチトランジスタ11の V_{ds} は1V程度となる。かかる場合において、前述したように、電流駆動トランジスタ21を、安定した定電流源として動作させるためには、 $V_{ds} \gg V_{gs}$ となるよう V_{gs} を設定して飽和領域にて動作させる必要がある。つまり、 V_{data2} と $V_{RE F}$ との電位差の絶対値は、電流駆動トランジスタ21のドレイン-ソース間電圧 V_{ds} の絶対値より小さい。本具体例において、電流駆動トランジスタ21の V_{ds} が5V程度であることから、電流駆動トランジスタ21の V_{gs} を1V程度に設定することが望ましい。これより、初期化電圧 V_{data2} を2V、参照電圧 $V_{RE F}$ を1Vと設定すればよい。

10

【0088】

上述した時刻 t_{02} における走査線制御回路4及び信号線制御回路5の動作により、定電流駆動部の設定が完了する。

【0089】

その後、時刻 t_{02} ～時刻 t_{03} の期間において、走査線制御回路4は、制御線BLKをLOWレベルとして、スイッチトランジスタ23及び24のゲート電圧を閾値電圧以下とすることにより、電流駆動トランジスタ21の V_{gs} を保持するコンデンサ22の両電極は、データ線DT及び初期化電源線PIから電氣的に切り離される。なお、このとき、スイッチトランジスタ23及び24が十分なオフ状態となるまでにデータ線DTの電圧を変動させると、電流駆動トランジスタ21の V_{gs} 電圧が変動してしまう。これを回避するため、データ線DTの電圧を V_{data2} から立ち下げるタイミングは、制御線BLKの立ち下がりタイミングよりも遅延させた方がよい。

20

【0090】

[書き込み期間(ON/OFF設定期間)]

データ電圧を、選択された発光画素へ書き込む書き込み期間(ON/OFF設定期間)における動作は、各発光画素が有する電流スイッチトランジスタ11の導通状態及び非導通状態を切り換えるステップである。このため、走査線制御回路4は、走査線SCNごとに、選択電圧 V_{SCN} または非選択電圧 V_L を印加する。これにより、選択された走査線SCNが接続された画素行に属する発光画素に対して、対応するデータ線DTからのデータ電圧が印加され、電流スイッチトランジスタ11のゲート電圧が制御される。

30

【0091】

なお、図5では、制御回路2による処理により、サブフィールド期間 t_{03} ～ t_{04} 及び期間 t_{05} ～ t_{06} では、1行目の発光画素が発光状態であり、サブフィールド期間 t_{04} ～ t_{05} では、1行目の発光画素が非発光状態であるものと仮定している。

【0092】

まず、時刻 t_{03} ～時刻 t_{04} のサブフィールド期間において、走査線制御回路4は、走査線SCN1～SCNmに対して、走査信号パルスを印加する。ここで、走査線SCN1に接続された1行目の発光画素について、より具体的に説明する。

【0093】

図7は、本発明の実施の形態1に係る表示装置が有する画素への書き込み動作を説明する状態遷移図である。同図は、行列間で隣接する4つの発光画素6A～6Dの時刻 t_{03} における電氣的状態を表している。

40

【0094】

時刻 t_{03} において、走査線制御回路4は、走査線SCN1に対して、選択トランジスタ13の閾値電圧以上となる選択電圧 V_{SCN} を出力する。これにより、選択トランジスタ13のドレイン-ソース間の抵抗が下がり、選択トランジスタ13が導通状態となる。また、信号線制御回路5は、データ線DTに対し、オン電圧 V_{data1} を出力する。これにより、電流スイッチトランジスタ11のゲート電圧が閾値電圧以上となり電流スイッチトランジスタ11が導通状態となる。図7において、矢印(破線)は電圧印加経路を示したものであり、矢印(実線)は電流の流れを示したものである。

50

【0095】

なお、本実施の形態において、例えば、走査線SCN及び制御線BLKのHIGHレベルの電圧 V_{SCN} 及び V_{BLK} は+20Vであり、LOWレベルの電圧 V_L は-10Vに設定されている。また、前述したように、電流スイッチトランジスタ11を、スイッチング損失の小さいスイッチ素子として動作させるためには、 $V_{gs} \gg V_{ds}$ となるよう V_{gs} を設定して線形領域にて動作させる必要がある。つまり、電流スイッチトランジスタ11が導通状態となる場合のデータ電圧の絶対値は、電流スイッチトランジスタ11のドレイン・ソース間電圧 V_{ds} の絶対値より大きい。本具体例において、電流スイッチトランジスタ11の V_{ds} が1V程度であることから、電流スイッチトランジスタ11の V_{gs} を8V程度に設定することが望ましい。また、有機EL素子14に印加される電圧は、6V程度であることから、有機EL素子14のアノード電位、つまり電流スイッチトランジスタ11のソース電位は4V程度となる。上記電流スイッチトランジスタ11の V_{gs} 及びソース電位より、電流スイッチトランジスタ11に印加されるデータ電圧は、オン電圧として12V、オフ電圧として2V程度に設定すればよい。なお、この場合、オフ電圧と V_{data2} の電圧とを同じ電圧値に設定しているが、図5に記載された駆動タイミングチャートのように、異なる電圧値とすることも可能であり、本実施の形態に係る表示装置1における各設定電圧値は、上記例示電圧値に限られない。図5に記載された駆動タイミングチャートでは、各配線の電圧の挙動を明確にするため、オフ電圧の電圧値と V_{data2} 電圧の電圧値とが異なっている例を示している。

10

【0096】

20

次に、時刻 t_{03} ～時刻 t_{04} において、走査線SCN1の走査電圧を V_{SCN} から V_L に変化させて選択トランジスタ13を非導通状態とし、電流スイッチトランジスタ11のゲート端子とデータ線DTとを電氣的に切り離しても、電流スイッチトランジスタ11のゲート・ソース間に接続されたコンデンサ12により、電流スイッチトランジスタ11の V_{gs} 電位は保持される。このときのコンデンサ12の容量は、電流スイッチトランジスタ11をオンさせている最大時間幅が経過しても、電流スイッチトランジスタ11の閾値電圧以上の電位を保持できる容量以上とすることが望ましい。

【0097】

上記動作により電流スイッチトランジスタ11が導通状態となると、電源線PS→電流駆動トランジスタ21→電流スイッチトランジスタ11→有機EL素子14→基準端子の経路で電流が流れ、発光画素6A及び6Bの発光期間が開始する。発光期間は電流スイッチトランジスタ11が非導通状態になるまで継続する。

30

【0098】

その後、走査線SCN2、走査線SCN3、・・・、と順次走査することで、すべての発光画素に対して、所望のタイミングで電流スイッチトランジスタ11をオンさせることが可能となる。

【0099】

以上のように、時刻 t_{03} 以降において、所望の発光画素に対し走査線ごとに書き込み動作を行うことで、サブフィールドごとに全ての発光画素に対して書き込み及び発光制御を行うことが可能となる。

40

【0100】

なお、図5に記載された一連の表示動作では、初期化動作を一度しか行っていないが、サブフィールドごとに行ってもよい。ただし、サブフィールド間で、定電流駆動部の電流設定値を変化させる必要が無い場合は初期化動作を行う必要が無く、サブフィールド間での初期化動作を省略することにより駆動時間を大幅に短縮することが可能となる。つまり、単位表示画像を書き換える時間である1フレーム時間内に信号線制御回路5が初期化電圧 V_{data2} をデータ線DTに出力する回数は、1フレーム時間内に信号線制御回路5がデータ電圧（オン電圧及びオフ電圧）をデータ線DTに出力する回数よりも少ないことが好ましい。これにより、電流源としての電流駆動トランジスタの条件設定に必要な時間が短縮されるため、結果的に発光期間を長く確保することが可能となる。よって、高精細

50

な表示パネルを提供でき、また、有機EL素子に流れる電流のピーク値を低くすることができるので、高効率な輝度制御を実行することが可能となる。

【0101】

また、サブフィールド時分割式で輝度を変調する場合、電流スイッチトランジスタ11のオン/オフ時間比率の最大値または最小値によって最大輝度と最小輝度の制約が生ずるが、電流駆動部における電流設定値を変化させることで、輝度調節範囲を広げることが可能である。具体的には、例えば、電流駆動トランジスタ21の V_{gs} の設定値を調整することにより、輝度調節範囲を広げることが可能である。

【0102】

また、初期化動作に必要な最大時間間隔に応じて、電流駆動トランジスタ21の V_{gs} を保持するコンデンサ22の容量を設定することにより、電流駆動トランジスタ21の V_{gs} を所望の値に保持することが可能となる。

【0103】

以上、本実施の形態によれば、画素回路に定電流源として機能する定電流駆動部が配置されたことにより、定電流スイッチ部を構成する電流スイッチトランジスタ11は、定電流源である必要はなく、画素回路のオンオフ状態を切り換えるスイッチ機能を有していればよい。よって、例えば、電流スイッチトランジスタ11に印加するデータ電圧、つまり、ゲート-ソース間電圧 V_{gs} を、ドレイン-ソース間電圧 V_{ds} に対して十分大きく設定しておくことにより、薄膜トランジスタの線形領域を利用することができるので、ドレイン-ソース電流 I_{ds} のオン抵抗を小さくすることが可能となる。よって、電流スイッチトランジスタ11のドレイン-ソース間に発光電流が流れるときの電圧降下を低減でき、表示パネルの電力損失を大幅に低減することができる。

【0104】

また、本実施の形態によれば、基本的な書き込み動作及び発光動作に必要な配線の電位を変化させるドライバ回路に対し、制御線BLKの電位を変化させるドライバ動作のみが新たに必要となるだけであり、外部周辺回路の構成を簡略化できる。

【0105】

また、本実施の形態によれば、電流駆動トランジスタ21の V_{gs} を設定するための初期化期間において、電流はデータ線DTから初期化電源線PIへと流れる。初期化電源線PIの参照電圧 V_{REF} は、駆動信号に応じて電圧を変化させる必要は無く一定電圧とできるため、電流が流れ込むことによる損失を低減させることが可能である。また、電流駆動トランジスタ21の V_{gs} を電源線PSとデータ線DTとの間で設定する場合と比較して、初期化電圧 V_{data2} および参照電圧 V_{REF} の電圧値を電源電圧に規制されずに必要最小値に設定することが可能であるため、流れる電流値を最小に抑え、上記電流による損失を最小限にすることができる。

【0106】

(実施の形態2)

本実施の形態に係る表示装置が有する画素回路は、実施の形態1に係る画素回路と比較して、定電流駆動部及び定電流スイッチ部の回路構成はそれぞれ同じであるが、定電流駆動部と定電流スイッチ部との配置関係のみが異なる。以下、実施の形態1に係る画素回路と同じ点は説明を省略し、異なる点のみ説明する。

【0107】

図8は、本発明の実施の形態2に係る表示装置が有する表示部の回路構成図である。図8に記載された表示部6の発光画素は、電流スイッチトランジスタ31と、スイッチトランジスタ43及び44と、コンデンサ32及び42と、選択トランジスタ33と、有機EL素子34と、電流駆動トランジスタ41と、画素列ごとに配置されたデータ線DTと、画素行ごとに配置された走査線SCNと、制御線BLKと、初期化電源線PIと、電源線PSとを備える。

【0108】

表示部6が有する発光画素は、有機EL素子34に供給する発光電流である定電流を発

10

20

30

40

50

生させる定電流駆動部と、当該定電流駆動部から有機EL素子34へ供給される上記定電流の電流経路を導通及び遮断する定電流スイッチ部とに大別される。

【0109】

定電流駆動部は、電流駆動トランジスタ41と、コンデンサ42と、スイッチトランジスタ43及び44とで構成される。定電流駆動部は、電流駆動トランジスタ41を飽和領域で動作させることにより、電流駆動トランジスタ41の V_{ds} が変動しても定電流を発生し、当該定電流を定電流スイッチ部へ安定供給する。

【0110】

定電流スイッチ部は、電流スイッチトランジスタ31と、コンデンサ32と、選択トランジスタ33とで構成される。データ線DTから供給される2値のデータ電圧（オン電圧及びオフ電圧）が電流スイッチトランジスタ31のゲート端子に印加されることにより、電流スイッチトランジスタ31のソース・ドレイン間は、導通状態または非導通状態となる。これにより、定電流駆動部からの定電流を有機EL素子34へ流す、または、流さないという動作がサブフィールド単位で実行され、デジタル階調制御がなされる。ここで、電流スイッチトランジスタ31のオンオフ制御におけるスイッチング損失を低減させるため、電流スイッチトランジスタ31は、低オン抵抗である線形領域で動作させることが望ましい。一方、薄膜トランジスタを線形領域で動作させた場合、ソース・ドレイン間電圧 V_{ds} の変動により、薄膜トランジスタのドレイン・ソース電流 I_{ds} が変動しやすいという課題がある。上記課題を解消するため、上述した定電流駆動部により V_{ds} が変動しても I_{ds} が変動しない定電流が供給される。

【0111】

つまり、飽和領域で動作する電流駆動トランジスタ41を有する定電流駆動部により、電源電圧やソース電位の変動などがあっても安定して定電流を供給することができ、線形領域で動作する電流スイッチトランジスタ31を有する定電流スイッチ部により、低損失なスイッチングによるデジタル階調表示が可能となる。

【0112】

以下、発光画素の各構成要素及びそれらの接続状態を説明する。

【0113】

電源線PSは、すべての画素行に配置され、電流スイッチトランジスタ31を介して、電流駆動トランジスタ41のドレインに接続されている。

【0114】

なお、本実施の形態では、全ての発光画素に対して、同じ電源電圧 V_{TF} が同じタイミングで印加されるので、電源線PSは、全ての電源線が接続された共通線となっていてよい。

【0115】

有機EL素子34は、電流駆動型の発光素子であり、アノード端子が電流駆動トランジスタ41のソース端子及びコンデンサ42の一方の電極と接続され、カソード端子が基準端子（基準電圧 V_{EL} ）に接続されている。

【0116】

電流駆動トランジスタ41は、ドレイン端子が電流スイッチトランジスタ31のソース端子に接続され、ゲート端子がコンデンサ42の他方の電極と接続され、ソース端子がコンデンサ42の一方の電極と接続され、電源線PSからの電流を駆動する。電流駆動トランジスタ41は、 V_{ds} が V_{gs} に比べて十分大きい領域である飽和領域にて動作させることにより、 V_{gs} に応じて、電源電圧から一定の電流を供給する定電流駆動用の薄膜トランジスタである。なお、電流駆動トランジスタ41は、上述したように、 V_{ds} の変動を受けない安定した I_{ds} を有機EL素子34へ供給するが、映像信号に基づく表示階調の傾向により、フレーム単位で、後述する初期化電圧 V_{data2} を調整することにより V_{gs} を変化させて I_{ds} の大きさを調整することが可能となる。これにより、全ての階調を高精度に表示することが可能となる。

【0117】

コンデンサ 4 2 は、電流駆動トランジスタ 4 1 のゲート電極及びソース電極に接続され、電流駆動トランジスタ 4 1 のゲート - ソース間電圧を保持する第 1 コンデンサである。

【 0 1 1 8 】

電流スイッチトランジスタ 3 1 は、ドレイン端子が電源線 P S と接続され、ゲート端子がコンデンサ 3 2 の他方の端子と接続され、ソース端子が電流駆動トランジスタ 4 1 のドレイン端子と接続され、V g s が V d s に比べて十分大きい領域である線形領域にて動作する、定電流スイッチング用の薄膜トランジスタである。電流スイッチトランジスタ 3 1 は、電流駆動トランジスタ 4 1 により駆動される定電流を有機 E L 素子 3 4 へ流すための電流経路を導通及び遮断する。

【 0 1 1 9 】

コンデンサ 3 2 は、電流スイッチトランジスタ 3 1 のゲート電極とドレイン電極との間の電圧を保持する第 2 コンデンサである。

【 0 1 2 0 】

選択トランジスタ 3 3 は、ドレイン端子が電流スイッチトランジスタ 3 1 のゲート端子と接続され、ゲート端子が走査線 S C N と接続され、ソース端子がデータ線 D T と接続され、有機 E L 素子 3 4 の発光を決定するデータ電圧を書き込むべき発光画素を選択する。つまり、選択トランジスタ 3 3 は、電流スイッチトランジスタ 3 1 のゲート電極とデータ線 D T との導通及び非導通を切り換える。

【 0 1 2 1 】

スイッチトランジスタ 4 3 は、ドレイン端子がデータ線 D T と接続され、ゲート端子が制御線 B L K と接続され、ソース端子が電流駆動トランジスタ 4 1 のゲート端子及びコンデンサ 4 2 の他方の電極と接続された第 1 スwitchトランジスタであり、スイッチトランジスタ 4 4 と同期制御されることにより、コンデンサ 4 2 の両端電圧である電流駆動トランジスタ 4 1 の V g s を確定させる。

【 0 1 2 2 】

スイッチトランジスタ 4 4 は、ドレイン端子が電流駆動トランジスタ 4 1 のソース端子及びコンデンサ 4 2 の一方の電極と接続され、ゲート端子が制御線 B L K と接続され、ソース端子が初期化電源線 P I と接続された第 2 スwitchトランジスタであり、スイッチトランジスタ 4 3 と同期制御されることにより、コンデンサ 4 2 の両端電圧である電流駆動トランジスタ 4 1 の V g s を確定させる。

【 0 1 2 3 】

電流スイッチトランジスタ 3 1、スイッチトランジスタ 4 3 及び 4 4、ならびに選択トランジスタ 3 3 は、入力された映像信号に基づいてゲート - ソース間に閾値電圧以上の電圧が印加されることにより、ドレイン - ソース間を導通状態とするスイッチ素子である。

【 0 1 2 4 】

電流駆動トランジスタ 4 1、電流スイッチトランジスタ 3 1、スイッチトランジスタ 4 3 及び 4 4、ならびに選択トランジスタ 3 3 は、同一の導電型のチャネルを有する薄膜トランジスタであることが好ましく、さらには、nチャネルの M O S F E T で形成されることが望ましい。上記トランジスタが、全て、nチャネルの M O S F E T で形成されることにより、n型トランジスタのみを用いて画素回路を構成できるので、アモルファスシリコン T F T を用いて安価かつ簡易的に表示パネルを製造することが可能となる。

【 0 1 2 5 】

上記回路構成において、データ線 D T が H I G H レベル (V d a t a 1) となり走査線 S C N が H I G H レベル (V s c n) となることで、選択トランジスタ 3 3 のゲート - ソース間に、閾値電圧よりも十分大きい信号電圧が印加される。これにより、選択トランジスタ 3 3 は線形領域で動作しドレイン - ソース間はオン抵抗の低い導通状態となる。そして、選択トランジスタ 3 3 が導通状態になった後、データ線 D T から選択トランジスタ 3 3 を経由してコンデンサ 3 2 が充電される。これにより、電流スイッチトランジスタ 3 1 のゲート - ソース間に、閾値電圧よりも十分大きい電圧が印加され、電流スイッチトランジスタ 3 1 は線形領域で動作しドレイン - ソース間はオン抵抗の低い導通状態となる。こ

10

20

30

40

50

のとき、電源線 P S → 電流スイッチトランジスタ 3 1 → 電流駆動トランジスタ 4 1 → 有機 E L 素子 3 4 の経路で上述した電流駆動トランジスタ 4 1 による定電流が流れ有機 E L 素子 3 4 が発光する。

【 0 1 2 6 】

なお、図 8 では、コンデンサ 3 2 が電流スイッチトランジスタ 3 1 のゲート - ドレイン間に接続されているが、電流スイッチトランジスタ 3 1 のゲート - ソース間にも寄生容量が生ずる（図示せず）。電流スイッチトランジスタ 3 1 のゲート - ソース間電圧及びゲート - ドレイン間電圧の合計がドレイン - ソース間電圧と一致する。よって、前述のドレイン - ゲート間電圧をコンデンサ 3 2 で保持することは、ゲート - ソース間電圧を保持することと等価的である。

10

【 0 1 2 7 】

< 表示装置の動作 >

以下、図 9 ~ 1 1 を用いて、実施の形態 2 に係る表示装置の動作について述べる。図 9 は、本発明の実施の形態に係る表示装置の駆動タイミングチャートである。図 9 の駆動タイミングチャートは、図 5 に記載された実施の形態 1 に係る表示装置の駆動タイミングチャートと同様に、上から順に、V 4 2、V 3 2、T F T 4 1、T F T 3 1、V 3 3、V 4 3、V 4 4、制御線 B L K の電圧、データ線 D T の電圧、走査線 S C N 1 の電圧、・・・、走査線 S C N 1 0 8 0 の電圧を表している。

【 0 1 2 8 】

[初期化期間（電流源設定期間）]

定電流駆動部から供給される定電流を設定する初期化期間（電流源設定期間）における動作は、入力された映像信号に基づき、各画素の電流源となる電流駆動トランジスタ 4 1 のゲート - ソース間電圧 V g s を設定するステップである。

20

【 0 1 2 9 】

まず、時刻 t 1 1 ~ 時刻 t 1 2 において、電流駆動トランジスタ 4 1 の V g s を設定するために、書き込み対象の電流駆動トランジスタ 4 1 に直列に接続されている電流スイッチトランジスタ 3 1 をオフさせる。オフさせる方法としては、図 9 のように、行順次に走査線 S C N に走査電圧パルス印加し、データ線 D T にオフ電圧を印加して行毎にオフさせてもよいし、全ライン一斉に走査電圧パルス印加してもよい。また、上記走査電圧パルスの長さは、初期化期間より前の発光期間の長さに応じて変化させてもよい。

30

【 0 1 3 0 】

初期化期間の準備段階として上記動作を行うことにより、電流駆動トランジスタ 4 1 のドレイン電位が電源線 P S から切り離されてフローティング状態となるため、時刻 t 1 2 以降での電流駆動トランジスタ 4 1 の V g s を任意に調整することが可能となる。

【 0 1 3 1 】

次に、時刻 t 1 2 において、制御線 B L K に正の電圧 V B L K を印加し、スイッチトランジスタ 4 3 及び 4 4 のゲート電圧を閾値電圧以上としドレイン - ソース間の抵抗を下げオンさせる。この動作により、電流駆動トランジスタ 4 1 の V g s は、データ線 D T と初期化電源線 P I との電位差により設定される。上述したように、電流駆動トランジスタ 4 1 の V g s を設定する際に、電流スイッチトランジスタ 3 1 をオフ状態としているため、電流駆動トランジスタ 4 1 のドレイン端子は切り離されている。このため、データ線 D T や初期化電源線 P I への不要な電流の流入が無いので、書き込みに必要な電力を最小にすることが可能となり、低損失な表示装置が実現可能である。

40

【 0 1 3 2 】

図 1 0 は、本発明の実施の形態 2 に係る表示装置の電流源設定動作を説明する状態遷移図である。同図は、行列間で隣接する 4 つの発光画素 6 A ~ 6 D の時刻 t 1 2 における電气的状態を表している。なお、本実施の形態では、電源線 P S、制御線 B L K 及び初期化電源線 P I が全ての発光画素で共通化されている。これらの配線の共通化、及び、初期化電源線 P I による参照電圧 V R E F の電圧値が初期化電圧 V d a t a 2 との電位差のみにより決定できることから参照電圧 V R E F を低く設定できること、により駆動回路などの

50

外部周辺回路を簡略化できる。

【 0 1 3 3 】

時刻 t_{12} において、信号線制御回路 5 は、データ線 DT_1 及び DT_2 に対して初期化電圧 V_{data2} を出力する。また、走査線制御回路 4 は、制御線 BLK に対して HIG レベルの選択電圧 V_{BLK} を出力する。また、走査線制御回路 4 は、走査線 SCN に対して LOW レベルの非選択電圧 V_L を出力する。これにより、スイッチトランジスタ 43 及び 44 が導通状態となり、電流駆動トランジスタ 41 の V_{gs} は、 $(V_{data2} - V_{REF})$ となる。図 10 において、矢印（破線）は電圧印加経路を示したものである。

【 0 1 3 4 】

ここで、前述したように、電流駆動トランジスタ 41 を、安定した定電流源として動作させるためには、 $V_{ds} > V_{gs}$ となるよう V_{gs} を設定して飽和領域にて動作させる必要がある。つまり、 V_{data2} と V_{REF} との電位差の絶対値は、電流駆動トランジスタ 41 のドレイン - ソース間電圧 V_{ds} の絶対値より小さい。

【 0 1 3 5 】

但し、時刻 t_{12} ~ 時刻 t_{13} の初期化期間において、スイッチトランジスタ 44 が導通状態であることから、初期化電源線 PI からスイッチトランジスタ 44 を介して有機 EL 素子 34 へ電流が流れ込んで有機 EL 素子 34 が発光してしまう恐れがある。また同様に、スイッチトランジスタ 43 が導通状態であることから、データ線 DT からスイッチトランジスタ 43 を介して有機 EL 素子 34 へ電流が流れ込んで有機 EL 素子 34 が発光してしまう恐れがある。これを回避するため、初期化電源線 PI の参照電圧 V_{REF} 及びデータ線 DT の初期化電圧 V_{data2} は、基準電位 V_{EL} に有機 EL 素子 34 の順方向降下電圧を足した電圧よりも小さくなるよう設定される必要がある。この条件を確保することにより、有機 EL 素子 34 の pn 接合部が逆バイアスとなり、初期化電源線 PI → スwitchトランジスタ 44 → 有機 EL 素子 34、及び、データ線 DT → スwitchトランジスタ 43 → 有機 EL 素子 34 の経路で不要な電流は流れず、電流駆動トランジスタ 41 の V_{gs} を任意に設定することが可能となる。

【 0 1 3 6 】

ここで、有機 EL 表示パネルの場合を想定して具体例にて説明する。例えば、電源線 PS の電源電圧 V_{TF} は $10V$ 、基準電圧 V_{EL} は $-2V$ に設定される。また、電流駆動トランジスタ 41 のドレイン - ソース間電圧 V_{ds} は $5V$ 程度、電流スイッチトランジスタ 31 の V_{ds} は $1V$ 程度となる。この場合、電流駆動トランジスタ 41 の V_{gs} を $1V$ 程度に設定する、つまり、初期化電圧 V_{data2} を $3V$ 、及び参照電圧 V_{REF} を $2V$ と設定すれば、上述したように電流駆動トランジスタ 41 の $V_{ds} > V_{gs}$ となる。

【 0 1 3 7 】

上述した時刻 t_{12} における走査線制御回路 4 及び信号線制御回路 5 の動作により、定電流駆動部の設定が完了する。

【 0 1 3 8 】

その後、時刻 t_{12} ~ 時刻 t_{13} の期間において、走査線制御回路 4 は、制御線 BLK を LOW レベルとして、スイッチトランジスタ 43 及び 44 のゲート電圧を閾値電圧以下とすることにより、電流駆動トランジスタ 41 の V_{gs} を保持するコンデンサ 42 の両電極は、データ線 DT 及び初期化電源線 PI から電氣的に切り離される。なお、このとき、スイッチトランジスタ 43 及び 44 が十分なオフ状態となるまでにデータ線 DT の電圧を変動させると、電流駆動トランジスタ 41 の V_{gs} 電圧が変動してしまう。これを回避するため、データ線 DT の電圧を V_{data2} から立ち下げるタイミングは、制御線 BLK の立ち下がりタイミングよりも遅延させた方がよい。

【 0 1 3 9 】

[書き込み期間 (ON / OFF 設定期間)]

データ電圧を、選択された発光画素へ書き込む書き込み期間 (ON / OFF 設定期間) における動作は、各発光画素が有する電流スイッチトランジスタ 31 の導通状態及び非導通状態を切り換えるステップである。このため、走査線制御回路 4 は、走査線 SCN ごと

10

20

30

40

50

に、選択電圧 V_{SCN} または非選択電圧 V_L を印加する。これにより、選択された走査線 SCN が接続された画素行に属する発光画素に対して、対応するデータ線 DT からのデータ電圧が印加され、電流スイッチトランジスタ 31 のゲート電圧が制御される。

【0140】

なお、図 9 では、制御回路 2 による処理により、サブフィールド期間 $t_{13} \sim t_{14}$ 及び期間 $t_{15} \sim t_{16}$ では、1 行目の発光画素が発光状態であり、サブフィールド期間 $t_{14} \sim t_{15}$ では、1 行目の発光画素が非発光状態であるものと仮定している。

【0141】

まず、時刻 $t_{13} \sim$ 時刻 t_{14} のサブフィールド期間において、走査線制御回路 4 は、走査線 $SCN_1 \sim SCN_m$ に対して、走査信号パルス印加する。ここで、走査線 SCN_1 に接続された 1 行目の発光画素について、より具体的に説明する。

10

【0142】

図 11 は、本発明の実施の形態 2 に係る表示装置が有する画素への書き込み動作を説明する状態遷移図である。同図は、行列間で隣接する 4 つの発光画素 6A ~ 6D の時刻 t_1 における電气的状態を表している。

【0143】

時刻 t_1 において、走査線制御回路 4 は、走査線 SCN_1 に対して、選択トランジスタ 33 の閾値電圧以上となる選択電圧 V_{SCN} を出力する。また、信号線制御回路 5 は、データ線 DT に対し、オン電圧 V_{data1} を出力する。これにより、電流スイッチトランジスタ 31 のゲート電圧が閾値電圧以上となり電流スイッチトランジスタ 31 が導通状態となる。このとき、スイッチトランジスタ 43 のドレイン電圧も変化するが、スイッチトランジスタ 43 のゲート電圧が閾値電圧以下であるため、電流駆動トランジスタ 41 の V_{gs} に影響は無い。図 11 において、矢印（破線）は電圧印加経路を示したものであり、矢印（実線）は電流の流れを示したものである。

20

【0144】

なお、本実施の形態において、例えば、走査線 SCN 及び制御線 BLK の HIGH レベルの電圧 V_{SCN} 及び V_{BLK} は +20V であり、LOW レベルの電圧 V_L は -10V に設定されている。また、前述したように、電流スイッチトランジスタ 31 を、スイッチング損失の小さいスイッチ素子として動作させるためには、 $V_{gs} \gg V_{ds}$ となるよう V_{gs} を設定して線形領域にて動作させる必要がある。つまり、電流スイッチトランジスタ 31 が導通状態となる場合のデータ電圧の絶対値は、電流スイッチトランジスタ 31 のドレイン - ソース間電圧 V_{ds} の絶対値より大きい。本具体例において、電流スイッチトランジスタ 31 の V_{ds} が 1V 程度であることから、電流スイッチトランジスタ 31 の V_{gs} を 8V 程度に設定することが望ましい。また、有機 EL 素子 34 に印加される電圧は、6V 程度であり、電流駆動トランジスタ 41 の V_{ds} が 5V であることから、電流スイッチトランジスタ 31 のソース電位は 9V 程度となる。上記電流スイッチトランジスタ 31 の V_{gs} 及びソース電位より、電流スイッチトランジスタ 31 に印加されるデータ電圧は、オン電圧として 17V、オフ電圧として 3V 程度に設定すればよい。なお、この場合、オフ電圧と V_{data2} の電圧とを同じ電圧値に設定しているが、図 9 に記載された駆動タイミングチャートのように、異なる電圧値とすることも可能であり、例えば、オフ電圧を 7V と高く設定することも可能である。すなわち、本実施の形態に係る表示装置における各設定電圧値は、上記例示電圧値に限られない。図 9 に記載された駆動タイミングチャートでは、各配線の電圧の挙動を明確にするため、オフ電圧の電圧値と V_{data2} 電圧の電圧値とが異なっている例を示している。

30

40

【0145】

次に、時刻 $t_{13} \sim$ 時刻 t_{14} において、走査線 SCN_1 の走査電圧を V_{SCN} から V_L に変化させて選択トランジスタ 33 を非導通状態とし、電流スイッチトランジスタ 31 のゲート端子とデータ線 DT とを電气的に切り離しても、電流スイッチトランジスタ 31 のゲート - ソース間に接続されたコンデンサ 32 により、電流スイッチトランジスタ 31 の V_{gs} 電位は保持される。このときのコンデンサ 32 の容量は、電流スイッチトランジ

50

スタ 3 1 をオンさせている最大時間幅が経過しても、電流スイッチトランジスタ 3 1 の閾値電圧以上の電位を保持できる容量以上とすることが望ましい。

【 0 1 4 6 】

上記動作により電流スイッチトランジスタ 3 1 が導通状態となると、電源線 P S → 電流スイッチトランジスタ 3 1 → 電流駆動トランジスタ 4 1 → 有機 E L 素子 3 4 → 基準端子の経路で電流が流れ、発光画素 6 A 及び 6 B の発光期間が開始する。発光期間は電流スイッチトランジスタ 3 1 が非導通状態になるまで継続する。

【 0 1 4 7 】

その後、走査線 S C N 2、走査線 S C N 3、・・・、と順次走査することで、すべての発光画素に対して、所望のタイミングで電流スイッチトランジスタ 3 1 をオンさせることが可能となる。

10

【 0 1 4 8 】

以上のように、時刻 t_{13} 以降において、所望の発光画素に対し走査線ごとに書き込み動作を行うことで、サブフィールドごとに全ての発光画素に対して書き込み及び発光制御を行うことが可能となる。

【 0 1 4 9 】

なお、図 9 に記載された一連の表示動作では、初期化動作を一度しか行っていないが、サブフィールドごとに行ってもよい。ただし、サブフィールド間で、定電流駆動部の電流設定値を変化させる必要が無い場合は初期化動作を行う必要が無く、サブフィールド間での初期化動作を省略することにより駆動時間を大幅に短縮することが可能となる。つまり、単位表示画像を書き換える時間である 1 フレーム時間内に信号線制御回路 5 が初期化電圧 V_{data2} をデータ線 D T に出力する回数は、1 フレーム時間内に信号線制御回路 5 がデータ電圧（オン電圧及びオフ電圧）をデータ線 D T に出力する回数よりも少ないことが好ましい。これにより、電流源としての電流駆動トランジスタの条件設定に必要な時間が短縮されるため、結果的に発光期間を長く確保することが可能となる。よって、高精細な表示パネルを提供でき、また、有機 E L 素子に流れる電流のピーク値を低くすることができるので、高効率な輝度制御を実行することが可能となる。

20

【 0 1 5 0 】

また、サブフィールド時分割式で輝度を変調する場合、電流スイッチトランジスタ 3 1 のオン/オフ時間比率の最大値または最小値によって最大輝度と最小輝度の制約が生ずるが、電流駆動部における電流設定値を変化させることで、輝度調節範囲を広げることが可能である。具体的には、例えば、電流駆動トランジスタ 4 1 の V_{gs} の設定値を調整することにより、輝度調節範囲を広げることが可能である。

30

【 0 1 5 1 】

また、初期化動作に必要な最大時間間隔に応じて、電流駆動トランジスタ 4 1 の V_{gs} を保持するコンデンサ 4 2 の容量を設定することにより、電流駆動トランジスタ 4 1 の V_{gs} を所望の値に保持することが可能となる。

【 0 1 5 2 】

以上、本実施の形態によれば、画素回路に定電流源として機能する定電流駆動部が配置されたことにより、定電流スイッチ部を構成する電流スイッチトランジスタ 3 1 は、定電流源である必要はなく、画素回路のオンオフ状態を切り換えるスイッチ機能を有していればよい。よって、例えば、電流スイッチトランジスタ 3 1 に印加するデータ電圧、つまり、ゲート - ソース間電圧 V_{gs} を、ドレイン - ソース間電圧 V_{ds} に対して十分大きく設定しておくことにより、薄膜トランジスタの線形領域を利用することができるので、ドレイン - ソース電流 I_{ds} のオン抵抗を小さくすることが可能となる。よって、電流スイッチトランジスタ 3 1 のドレイン - ソース間に発光電流が流れるときの電圧降下を低減でき、表示パネルの電力損失を大幅に低減することができる。

40

【 0 1 5 3 】

また、本実施の形態によれば、基本的な書き込み動作及び発光動作に必要な配線の電位を変化させるドライバ回路に対し、制御線 B L K の電位を変化させるドライバ動作のみが

50

新たに必要となるだけであり、外部周辺回路の構成を簡略化できる。

【 0 1 5 4 】

また、本実施の形態によれば、電流駆動トランジスタ 4 1 の V_{gs} を設定するための初期化期間において、電流はデータ線 D T から初期化電源線 P I へと流れる。初期化電源線 P I の参照電圧 V_{REF} は、駆動信号に応じて電圧を変化させる必要は無く一定電圧とできるため、電流が流れ込むことによる損失を少なくすることが可能である。また、電流駆動トランジスタ 4 1 の V_{gs} を設定する参照電圧 V_{REF} 及び初期化電圧 V_{data2} の電圧値を、電源電圧に規制されずに必要最小値に設定することが可能であるため、流れる電流値を最小に抑え、上記電流による損失を最小限にすることができる。

【 0 1 5 5 】

以上、本発明に係る表示装置について実施に形態 1 及び 2 に基づき説明したが、本発明に係る表示装置は、上述した実施の形態 1 及び 2 に限定されるものではない。実施の形態 1 及び 2 に対して、本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【 0 1 5 6 】

なお、飽和領域を利用した定電流源である電流駆動トランジスタ 2 1 及び 4 1 のチャネル幅を、電流スイッチトランジスタ 1 1 及び 3 1 よりも広くすることが好ましい。これにより、電流駆動トランジスタ 2 1 及び 4 1 のドレイン - ソース間に発光電流が流れるときの電圧降下を低減でき、表示パネルの電力損失を低減することが可能である。

【 0 1 5 7 】

また、上記実施の形態 1 及び 2 では、各トランジスタのゲート電圧が H I G H レベルの場合にオン状態になる n 型トランジスタとして記述しているが、これらをすべて p 型トランジスタで形成し、走査線の極性を反転させた表示装置でも、上述した各実施の形態と同様の効果を奏する。あるいは、n 型トランジスタ及び p 型トランジスタが混在した構成の表示装置であってもよい。

【 0 1 5 8 】

また、本発明に係る実施の形態 1 及び 2 では、各トランジスタは、ゲート、ソース及びドレインを有する F E T であることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタ及びエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

【産業上の利用可能性】

【 0 1 5 9 】

本発明の表示装置は、特に、ディジタル階調制御方式で輝度を変動させるアクティブ型ディスプレイに有用である。

【符号の説明】

【 0 1 6 0 】

- 1 表示装置
- 2 制御回路
- 4 走査線制御回路
- 5 信号線制御回路
- 6 表示部
- 6 A、6 B、6 C、6 D 発光画素
- 1 1、3 1 電流スイッチトランジスタ
- 1 2、2 2、3 2、4 2 コンデンサ
- 1 3、3 3 選択トランジスタ
- 1 4、3 4、5 2 7 有機 E L 素子
- 2 1、4 1 電流駆動トランジスタ
- 2 3、2 4、4 3、4 4 スwitchトランジスタ
- 5 0 0 有機 E L ディスプレイ装置
- 5 0 1 画素

10

20

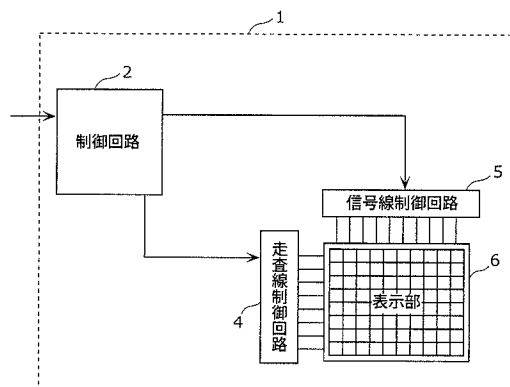
30

40

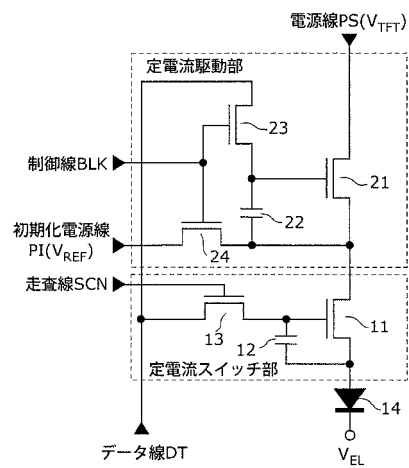
50

5 1 1	信号線
5 1 2	電源配線
5 1 3	選択線
5 1 4	制御線
5 1 5	可変電位配線
5 2 1	第2トランジスタ
5 2 2	第4トランジスタ
5 2 3	第1トランジスタ
5 2 4	第3トランジスタ
5 2 5、5 2 6	コンデンサ

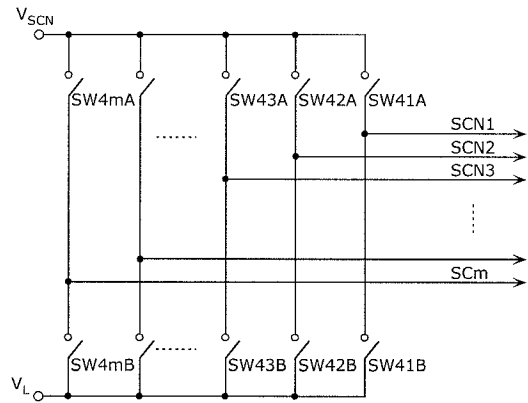
【図1】



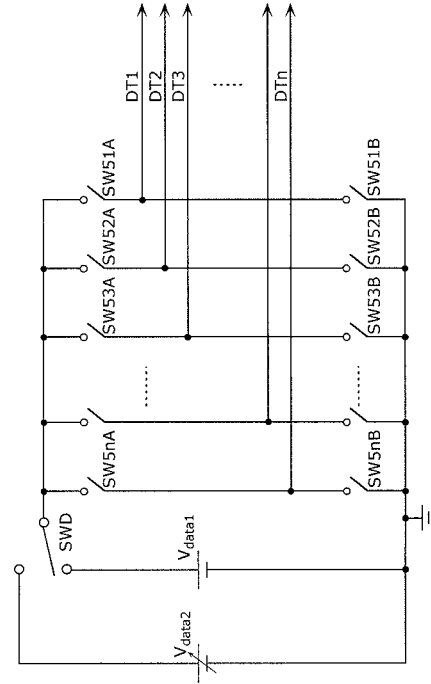
【図2】



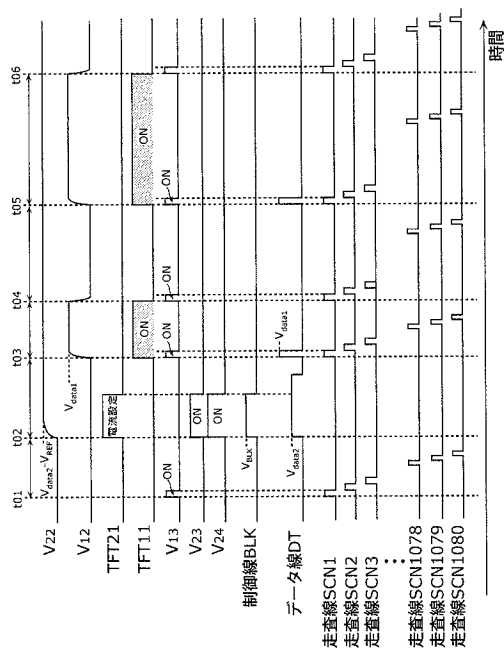
【図 3】



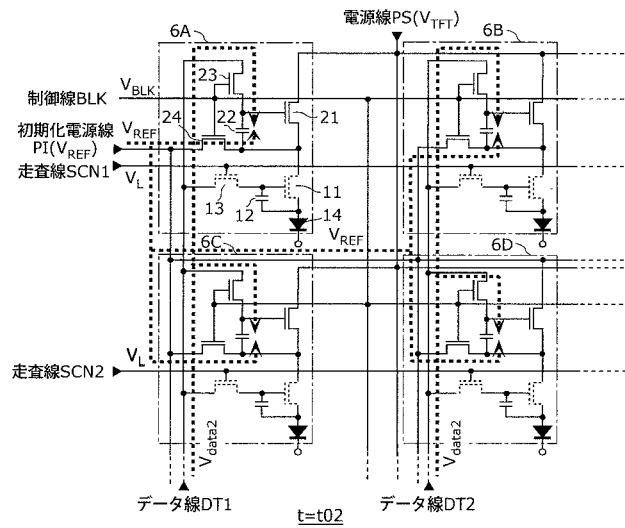
【図 4】



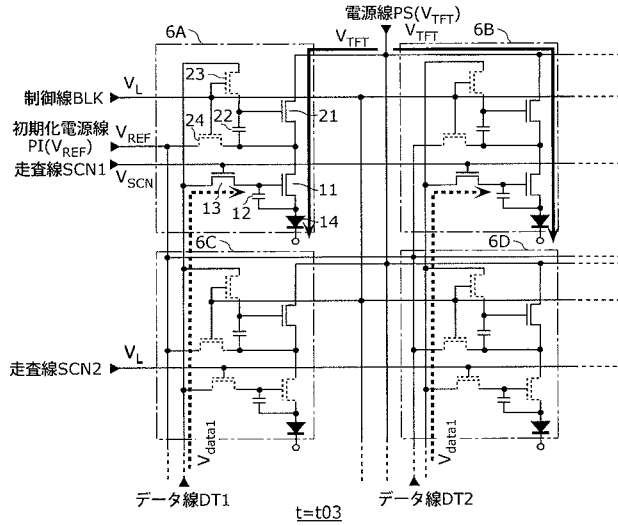
【図 5】



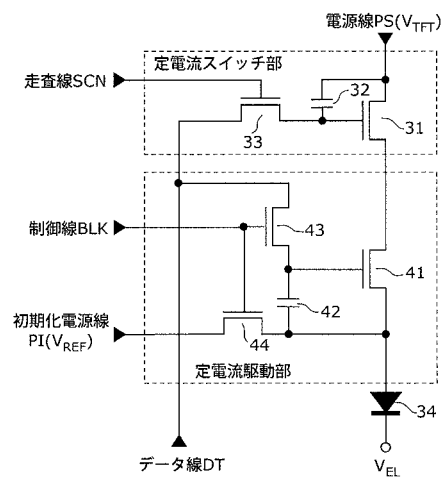
【図 6】



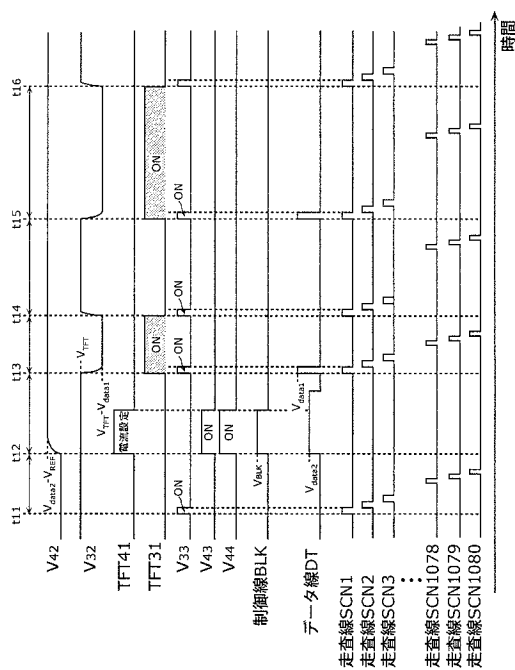
【図 7】



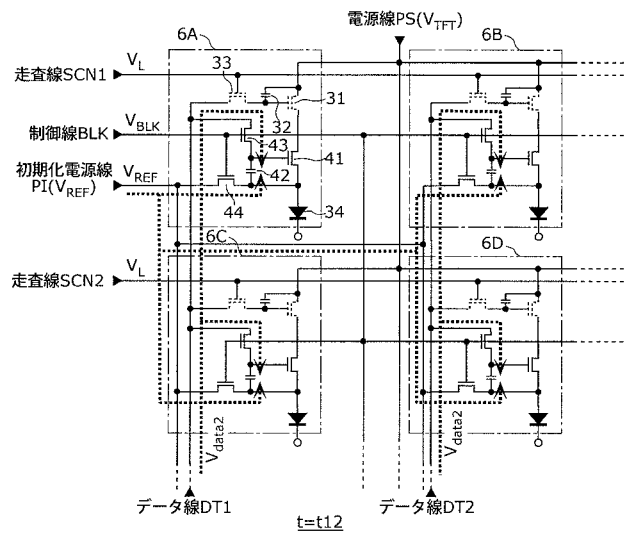
【図 8】



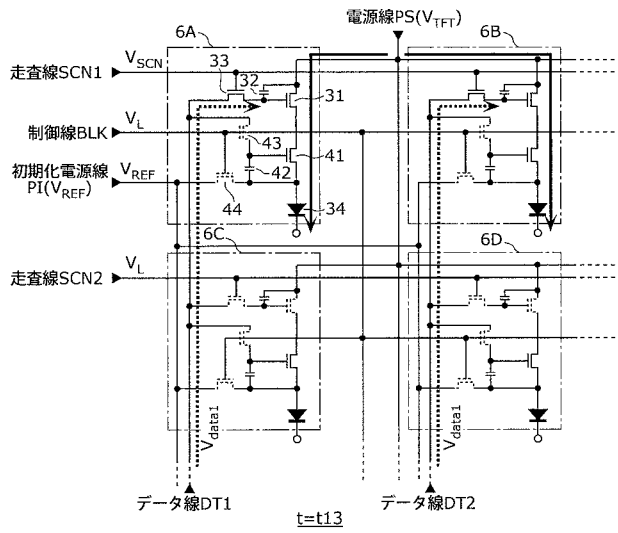
【図 9】



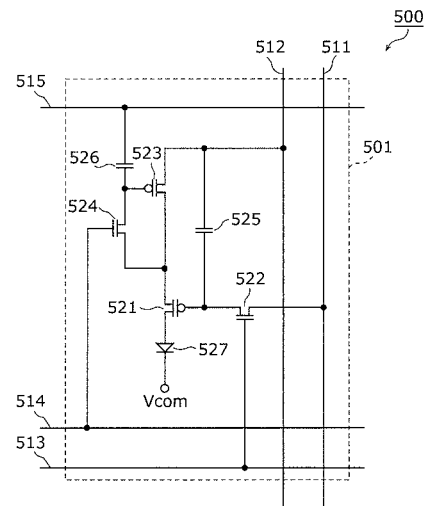
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 F
G 0 9 G	3/20	6 4 1 E

F ターム(参考)	5C380	AA01	AA02	AB06	AB22	BA01	BA11	BA14	BA28	BB22	CA12
		CA14	CA17	CA53	CA54	CB01	CB04	CB14	CB17	CC27	CC29
		CC30	CC33	CC39	CC52	CC63	CD024	CD025	CF51	CF52	DA02
		DA06	DA09	DA47							

专利名称(译)	表示装置		
公开(公告)号	JP2013104910A	公开(公告)日	2013-05-30
申请号	JP2011246727	申请日	2011-11-10
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	奥井やよい		
发明人	奥井 やよい		
IPC分类号	G09G3/30 G09G3/20		
FI分类号	G09G3/30.J G09G3/20.641.D G09G3/20.624.B G09G3/20.623.C G09G3/20.623.D G09G3/20.611.F G09G3/20.641.E G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD22 5C080/DD27 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB22 5C380/BA01 5C380/BA11 5C380/BA14 5C380/BA28 5C380/BB22 5C380/CA12 5C380/CA14 5C380/CA17 5C380/CA53 5C380/CA54 5C380/CB01 5C380/CB04 5C380/CB14 5C380/CB17 5C380/CC27 5C380/CC29 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CD024 5C380/CD025 5C380/CF51 5C380/CF52 5C380/DA02 5C380/DA06 5C380/DA09 5C380/DA47		
代理人(译)	新居 広守		
其他公开文献	JP5843145B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种显示装置，其包括可以用小规模外部外围电路驱动的像素电路，并且还具有简化的制造工艺。解决方案：显示装置1的发光像素包括有机EL元件14，具有连接到电源线PS的漏极的电流驱动晶体管21，用于保持电流驱动晶体管21的V_{gs}的电容22，用于使电容22和数据线DT导通的开关晶体管23，开关晶体管24使电容22和初始化电源线PI导通，电流开关晶体管11将用于将由电流驱动晶体管21驱动的电流感送到有机EL元件14的电流路径导通或中断，并且选择晶体管13带有用于保持电流开关晶体管11的V_{gs}的电容12，电流开关晶体管11的栅极和数据线DT导通。

