

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-345976

(P2005-345976A)

(43) 公開日 平成17年12月15日(2005.12.15)

(51) Int.Cl.⁷

G09F 9/30
G09G 3/20
G09G 3/30
H05B 33/14

F I

G09F 9/30 330Z
G09F 9/30 338
G09F 9/30 365Z
G09G 3/20 624B
G09G 3/30 K

テーマコード (参考)

3K007
5C080
5C094

審査請求 未請求 請求項の数 26 O L (全 32 頁) 最終頁に続く

(21) 出願番号 特願2004-168619 (P2004-168619)

(22) 出願日 平成16年6月7日(2004.6.7)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(74) 代理人 100090033

弁理士 荒船 博司

(74) 代理人 100093045

弁理士 荒船 良男

(72) 発明者 白崎 友之

東京都八王子市石川町2951番地5 カ

シオ計算機株式会社八王子技術センター内

(72) 発明者 当山 忠久

東京都八王子市石川町2951番地5 カ

シオ計算機株式会社八王子技術センター内

最終頁に続く

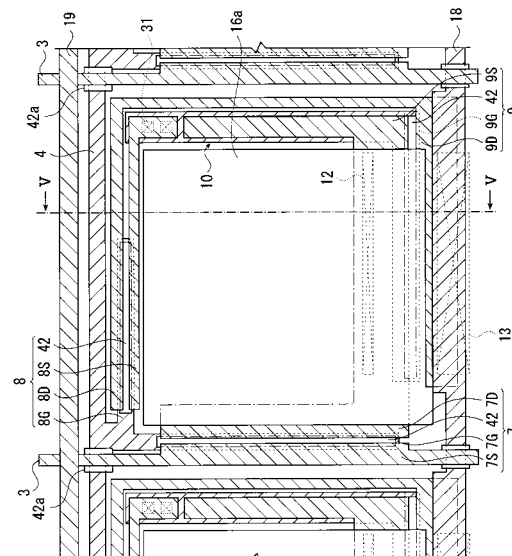
(54) 【発明の名称】 表示パネル及びその製造方法

(57) 【要約】

【課題】 電圧降下や電流遅延の発生を抑制すること。

【解決手段】 基板2に対して気相成長法、フォトリソグラフィー法、エッチング法等を施すことによって複数のトランジスタ7, 8, 9を基板2上にパターンニングする。この製造したトランジスタアレイ基板1の表層に対して、コンタクトホール12, 13を形成し、更に画素電極16aをパターンニング形成し、電解メッキ法により電流源ライン18及びELライン19をパターンニングする。電流源ライン18はトランジスタ9のドレイン9Dに接するよう形成する。ここで、電流源ライン18及びELライン19の膜厚は、トランジスタ7, 8, 9のアノードや共通電極の膜厚より厚くする。その後、正孔輸送層22、発光層23を形成し、共通電極24をELライン19に接するよう成膜する。

【選択図】 図8



【特許請求の範囲】**【請求項 1】**

基板と、
前記基板上に設けられた発光素子と、
前記発光素子を駆動するための電極を有する画素回路と、
前記画素回路に接続され、前記画素回路の電極とは異なる層の導電層を有する配線と、
を備えることを特徴とする表示パネル。

【請求項 2】

請求項 1 に記載の表示パネルにおいて、
前記導電層の単位長さ当たりの抵抗が前記画素回路の電極の単位長さ当たりの抵抗よりも小さいことを特徴とする表示パネル。 10

【請求項 3】

請求項 1 に記載の表示パネルにおいて、
前記導電層が前記画素回路の電極よりも厚いことを特徴とする表示パネル。

【請求項 4】

請求項 1 に記載の表示パネルにおいて、
前記導電層の抵抗率が前記画素回路の電極の抵抗率よりも低いことを特徴とする表示パネル。 10

【請求項 5】

請求項 1 に記載の表示パネルにおいて、
前記画素回路が薄膜トランジスタを有することを特徴とする表示パネル。 20

【請求項 6】

請求項 5 に記載の表示パネルにおいて、
前記画素回路の電極がソース、ドレインであることを特徴とする表示パネル。

【請求項 7】

基板と、
前記基板上に設けられた複数の発光素子と、
前記発光素子をそれぞれ駆動するための電極を有する複数の画素回路と、
前記複数の画素回路に接続され、前記画素回路の電極とは異なる層の導電層を有する画素回路接続配線と、
を備えることを特徴とする表示パネル。 30

【請求項 8】

請求項 7 に記載の表示パネルにおいて、
前記画素回路接続配線の導電層の単位長さ当たりの抵抗が前記画素回路の電極の単位長さ当たりの抵抗よりも小さいことを特徴とする表示パネル。

【請求項 9】

請求項 7 に記載の表示パネルにおいて、
前記画素回路接続配線の導電層が前記画素回路の電極よりも厚いことを特徴とする表示パネル。 40

【請求項 10】

請求項 7 に記載の表示パネルにおいて、
前記画素回路接続配線の導電層の抵抗率が前記画素回路の電極の抵抗率よりも低いことを特徴とする表示パネル。 40

【請求項 11】

請求項 7 に記載の表示パネルにおいて、
前記画素回路が薄膜トランジスタを有することを特徴とする表示パネル。

【請求項 12】

請求項 11 に記載の表示パネルにおいて、
前記画素回路の電極がソース、ドレインであることを特徴とする表示パネル。

【請求項 13】

請求項 7 に記載の表示パネルにおいて、

前記複数の発光素子に接続され、前記画素回路の電極とは異なる導電層を有する発光素子接続配線を更に備えることを特徴とする表示パネル。

【請求項 14】

請求項 7 に記載の表示パネルにおいて、

前記画素回路が、

選択期間中では電流線に所定の電流値の記憶電流を流し、非選択期間中では前記電流線に電流を流すことを停止するスイッチ回路と、

前記選択期間中に前記電流線を介して流れる前記記憶電流の電流値にしたがった電流データを記憶し、前記選択期間中に記憶された前記電流データにしたがって前記記憶電流の電流値と実質的に等しい電流値の駆動電流を前記非選択期間中に前記発光素子に供給する複数の電流記憶回路と、を有することを特徴とする表示パネル。 10

【請求項 15】

請求項 14 に記載の表示パネルにおいて、

前記電流記憶回路が前記発光素子に前記駆動電流を流す電流制御トランジスタを有することを特徴とする表示パネル。

【請求項 16】

請求項 14 に記載の表示パネルにおいて、

前記スイッチ回路が、ソース、ドレインの一方が前記電流線に接続され、前記選択期間中に前記記憶電流を前記電流線に流し、そして前記非選択期間中に前記駆動電流を前記電流線に流すことを停止する電流経路制御トランジスタを有することを特徴とする表示パネル。 20

【請求項 17】

請求項 14 に記載の表示パネルにおいて、

前記スイッチ回路が、前記電流記憶回路への前記電流データの書込みを制御する電流データ書込み制御トランジスタを有することを特徴とする表示パネル。

【請求項 18】

請求項 7 に記載の表示パネルにおいて、

前記複数の発光素子に接続され、前記画素回路の電極とは異なる導電層を有する発光素子接続配線を更に備え、 30

前記発光素子が発光層及び画素電極を有し、前記発光層が前記画素回路接続配線及び前記発光素子接続配線との間の画素電極上に成膜されている、

ことを特徴とする表示パネル。

【請求項 19】

基板と、

前記基板上に設けられた複数の発光素子と、

前記発光素子をそれぞれ駆動するための電極を有する複数の画素回路と、

前記複数の発光素子に接続され、前記画素回路の電極とは異なる層の導電層を有する発光素子接続配線と、

を備えることを特徴とする表示パネル。 40

【請求項 20】

請求項 19 に記載の表示パネルにおいて、

前記発光素子接続配線の導電層の単位長さ当たりの抵抗が前記画素回路の電極の単位長さあたりの抵抗よりも小さいことを特徴とする表示パネル。

【請求項 21】

請求項 19 に記載の表示パネルにおいて、

前記発光素子接続配線の導電層が前記画素回路の電極よりも厚いことを特徴とする表示パネル。

【請求項 22】

請求項 19 に記載の表示パネルにおいて、

前記発光素子接続配線の導電層の抵抗率が前記画素回路の電極の抵抗率よりも低いことを特徴とする表示パネル。

【請求項 2 3】

請求項 1 9 に記載の表示パネルにおいて、

前記複数の画素回路に接続され、前記画素回路の電極とは異なる導電層を有する画素回路接続配線を更に備えることを特徴とする表示パネル。

【請求項 2 4】

基板上に設けられた複数の画素回路に接続され、前記画素回路の電極とは異なる層の導電層を有する画素回路接続配線を成膜することを特徴とする表示パネルの製造方法。

【請求項 2 5】

請求項 2 4 に記載の表示パネルの製造方法において、

前記画素回路接続配線をメッキ処理によって成膜することを特徴とする表示パネルの製造方法。

【請求項 2 6】

請求項 2 5 に記載の表示パネルの製造方法において、

表示パネルが発光層を有する発光素子を備え、

前記複数の発光素子に接続されるための発光素子接続配線と前記画素回路接続配線との間に前記発光層を成膜することを特徴とする表示パネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、発光素子を用いた表示パネル及びその製造方法に関する。

【背景技術】

【0 0 0 2】

有機エレクトロルミネッセンスディスプレイパネルは大きく分けてパッシブ駆動方式のものと、アクティブマトリクス駆動方式のものに分類することができるが、アクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルが高コントラスト、高精細といった点でパッシブ駆動方式よりも優れている。例えば特許文献 1 に記載された従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルにおいては、有機エレクトロルミネッセンス素子（以下、有機 EL 素子という。）と、画像データに応じた電圧信号がゲートに印加されて有機 EL 素子に電流を流す駆動トランジスタと、この駆動トランジスタのゲートに画像データに応じた電圧信号を供給するためのスイッチングを行うスイッチ用トランジスタとが、画素ごとに設けられている。この有機エレクトロルミネッセンスディスプレイパネルでは、走査線が選択されるとスイッチング用トランジスタがオンになり、その時に輝度を表すレベルの電圧がデータラインを介して駆動トランジスタのゲートに印加される。これにより、駆動トランジスタがオンになり、ゲート電圧のレベルに応じた大きさの駆動電流が電源から駆動トランジスタのソース・ドレインを介して有機 EL 素子に流れ、有機 EL 素子が電流の大きさに応じた輝度で発光する。走査線の選択が終了してから次にその走査線が選択されるまでの間では、スイッチ用トランジスタがオフになっても駆動トランジスタのゲート電圧のレベルが保持され続け、有機 EL 素子が電圧に応じた駆動電流の大きさに従った輝度で発光する。

【0 0 0 3】

有機エレクトロルミネッセンスディスプレイパネルを駆動するために、有機エレクトロルミネッセンスディスプレイパネルの周辺に駆動回路を設け、有機エレクトロルミネッセンスディスプレイパネルに敷設された走査線、データライン、電源線等に電圧を印加することが行われている。

【0 0 0 4】

一方、従来のアクティブマトリクス駆動方式の有機エレクトロルミネッセンスディスプレイパネルでは、走査線、データライン、電源線はスイッチ用トランジスタ、駆動トランジスタ等といった画素回路のパターニング工程と同時にパターニングされる。即ち、有機

10

20

30

40

50

エレクトロルミネッセンスディスプレイパネルを製造するにあたって、画素回路の電極のもととなる薄膜に対してフォトリソグラフィ法、エッチング法を行うことによって、その薄膜から画素回路の電極を形状加工するとともに、同時に電極に接続される配線も形状加工する。

【特許文献１】特開平８－３３０６００号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかしながら、このように配線が画素回路の電極のもととなる薄膜から形成されると、配線が画素回路の電極の厚さと同じになるが、画素回路の電極の厚さは、要求される画素回路の特性に合わせて設計されているために、複数の画素に電流を流すには配線が高抵抗になり、配線の電気抵抗や寄生容量によって電圧降下が発生したり、配線を通じた電流の遅延が生じたりしやすい。特に複数の画素回路に接続された配線は、複数の発光素子のために比較的に大きい電流を流す必要があるので、低抵抗でなければならない。

【０００６】

そこで、本発明は、上記のような問題点を解決しようとしてなされたものであり、電圧降下や電流遅延の発生を抑制することを目的とする。

【課題を解決するための手段】

【０００７】

以上の課題を解決するために、請求項１にかかる発明は、
基板と、
前記基板上に設けられた発光素子と、
前記発光素子を駆動するための電極を有する画素回路と、
前記画素回路に接続され、前記画素回路の電極とは異なる層の導電層を有する配線と、
を備えることを特徴とする表示パネルである。

【０００８】

請求項７にかかる発明は、
基板と、
前記基板上に設けられた複数の発光素子と、
前記発光素子をそれぞれ駆動するための電極を有する複数の画素回路と、
前記複数の画素回路に接続され、前記画素回路の電極とは異なる層の導電層を有する画素回路接続配線と、
を備えることを特徴とする表示パネルである。

【０００９】

請求項１９にかかる発明は、
基板と、
前記基板上に設けられた複数の発光素子と、
前記発光素子をそれぞれ駆動するための電極を有する複数の画素回路と、
前記複数の発光素子に接続され、前記画素回路の電極とは異なる層の導電層を有する発光素子接続配線と、
を備えることを特徴とする表示パネルである。

【００１０】

請求項２４にかかる発明は、
基板上に設けられた複数の画素回路に接続され、前記画素回路の電極とは異なる層の導電層を有する画素回路接続配線を成膜することを特徴とする表示パネルの製造方法である。

【００１１】

本発明では、画素回路の電極とは異なる導電層を有する画素回路接続配線又は発光素子接続配線を設けているので、画素回路接続配線又は発光素子接続配線の電気抵抗を画素回路の電気抵抗よりも小さくすることができる。そのため、配線における電流遅延や電圧降

下を抑制できる。

【発明の効果】

【0012】

本発明によれば、配線における電流遅延や電圧降下を抑制できる。

【発明を実施するための最良の形態】

【0013】

以下に、本発明を実施するための最良の形態について図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0014】

〔第1の実施の形態〕

図2～図7を用いて、発光素子である有機エレクトロルミネッセンス素子を画素とする表示パネルの製造方法について説明する。図2～図7は製造方法における各工程の断面図であり、工程順序は図2～図7の順になっている。

【0015】

まず、図1、図2に示すような画素回路を有したトランジスタアレイ基板1を製造する。このトランジスタアレイ基板1は、有機エレクトロルミネッセンス素子を制御する画素回路が、従来のように信号電圧による電圧制御するものではなく、後述する有機EL素子26に流れる電流のレベル（強さ）を制御することによって階調発光するものであり、気相成長法（例えば、PVD法、CVD法、スパッタリング法等）といった成膜工程、フォトリソグラフィ法、メタルマスク法といったマスク工程、エッチングといった形状加工工程を適宜行うことにより複数のトランジスタを基板2上にパターンニングすることによって製造されたものである。

【0016】

具体的には、図1に示すように、トランジスタアレイ基板1は、ガラス、樹脂等をシート状又は板状に形成した絶縁性の基板2と、互いに平行となるよう基板2上に配列された複数の電流線（データライン）3、3、...と、基板2を平面視して電流線3に対して直交するよう且つ互いに平行となるよう基板2上に配列された複数の走査線4、4、...と、走査線4、4、...のそれぞれの間において走査線4と平行となるよう基板2上に配列された複数の電流源ライン18、18、...並びにELライン19、19、...と、電流線3、3、...及び走査線4、4、...に沿って二次元アレイ状となるよう基板2上に配列された複数の画素回路6、6、...等とから構成されている。

【0017】

画素回路6は画素ごとに画素の周辺に設けられた回路である。画素回路6は、三つの薄膜トランジスタ（以下単にトランジスタと記述する。）7、8、9と、キャパシタ10と、から構成されている。何れのトランジスタ7、8、9も、ゲート7G、8G、9G（図2等に図示）、ゲート7G、8G、9Gを被覆したゲート絶縁膜41（図2等に図示）、ゲート絶縁膜41を挟んで各ゲート7G、8G、9Gに対向した半導体層42（図2等に図示）、半導体層42のチャネル表面をエッチャントから保護するブロッキング絶縁膜43（図2等に図示）、半導体層42の両端部上に形成された不純物半導体層44、44（図2等に図示）、一方の不純物半導体層44上に形成されたドレイン7D、8D、9D（図2等に図示）、他方の不純物半導体層44上に形成されたソース7S、8S、9S（図2等に図示）等から構成されたNチャネルMOS型の電界効果トランジスタであり、特にアモルファスシリコンを半導体層42（チャネル領域）としたa-Siトランジスタであるが、ポリシリコンを半導体層42としたp-Siトランジスタであってもよい。トランジスタ7、8、9の構造は逆スタガ型であっても良いし、コプラナ型であっても良い。以下では、トランジスタ7を電流経路制御トランジスタ7と、トランジスタ8を電流データ書込み制御トランジスタ8と、トランジスタ9を電流制御トランジスタ9と称する。ここで、電流経路制御トランジスタ7及び電流データ書込み制御トランジスタ8を具備した回路が、選択期間中では電流線3に所定の電流値の記憶電流を流すとともに非選択期間中で

10

20

30

40

50

は電流線 3 に電流を流すことを停止するスイッチ回路に相当し、電流制御トランジスタ 9 及びキャパシタ 10 を具備した回路が、選択期間中に電流線 3 を介して流れる記憶電流の電流値にしたがった電流データを記憶し、その選択期間中に記憶された電流データにしたがって記憶電流の電流値と実質的に等しい電流値の駆動電流を非選択期間中に有機 EL 素子 26 (図 8 に図示) に供給する電流記憶回路に相当する。なお、図 2 ~ 図 7 は、電流制御トランジスタ 9 を走査線 4 に直交する面に沿って切断した場合の断面図であり、一画素を示す。別の画素も各工程では図 2 ~ 図 7 の状態になっている。

【0018】

図 1 に示すように、電流経路制御トランジスタ 7 のゲート 7 G は走査線 4 に接続され、電流経路制御トランジスタ 7 のソース 7 S は電流線 3 に接続され、電流経路制御トランジスタ 7 のドレイン 7 D は電流制御トランジスタ 9 のソース 9 S に接続されている。電流データ書込み制御トランジスタ 8 のゲート 8 G は走査線 4 に接続され、電流データ書込み制御トランジスタ 8 のドレイン 8 D は電流制御トランジスタ 9 のドレイン 9 D 及び電流源ライン 18 に接続され、電流データ書込み制御トランジスタ 8 のソース 8 S は電流制御トランジスタ 9 のゲート 9 G に接続されている。電流制御トランジスタ 9 のドレイン 9 D は電流源ライン 18 に接続されている。キャパシタ 10 は、電流制御トランジスタ 9 のゲート 9 G に接続された電極と、電流制御トランジスタ 9 のソース 9 S に接続された電極と、これら二つの電極の間に介在する絶縁膜 (誘電体膜) と、で構成され、電流制御トランジスタ 9 のゲート 9 G とソース 9 S との間に電荷を蓄積する機能を有する。キャパシタ 10 の絶縁膜はゲート絶縁膜 41 に共通した膜である。

10

20

【0019】

上記トランジスタ 7, 8, 9 は同一工程で同時にパターニングされたものであるので、ゲート 7 G, 8 G, 9 G、ゲート絶縁膜 41、半導体層 42、不純物半導体層 44、ドレイン 7 D, 8 D, 9 D、ソース 7 S, 8 S, 9 S 等の組成はトランジスタ 7, 8, 9 のあいだで同じであるが、トランジスタ 7, 8, 9 の形状、大きさ、寸法、チャネル幅、チャネル長等はトランジスタ 7, 8, 9 のそれぞれの機能に応じて異なる。

【0020】

電流線 3, 3, ... は、トランジスタ 7, 8, 9 の各ソース 7 S, 8 S, 9 S、ドレイン 7 D, 8 D, 9 D と同一の導電膜を同一工程で同時にパターニングすることによって形成されたものである。

30

【0021】

走査線 4, 4, ... は、トランジスタ 7, 8, 9 の各ゲート 7 G, 8 G, 9 G と同一の導電膜を同一工程で同時にパターニングすることによって形成されたものである。

【0022】

また、図 2 に示すように、トランジスタアレイ基板 1 の表層には、絶縁膜 11 がべた一面に成膜されており、絶縁膜 11 によって電流線 3, 3, ...、走査線 4, 4, ... 及び画素回路 6, 6, ... が被覆されている。絶縁膜 11 は、窒化シリコン、酸化シリコン等の無機絶縁膜上にポリイミド等の感光性絶縁膜を積層したものである。なお、トランジスタアレイ基板 1 の各層のうち、基板 2 の表面から絶縁膜 11 の表面までの間の多層膜をトランジスタ層という。

40

【0023】

図 2 に示すように、準備したトランジスタアレイ基板 1 に対してフォトリソグラフィ法、エッチング法等を施すことにより、各電流制御トランジスタ 9 のソース 9 S に通じるコンタクトホール 12 及び各電流制御トランジスタ 9 のドレイン 9 D に通じるコンタクトホール 13 を絶縁膜 11 に形成する。

【0024】

次に、窒化シリコン又は酸化シリコンからなる有機 EL 分離絶縁膜 14 を、縦方向 (列方向) に隣り合った画素の間において走査線 4 と平行となるようにパターニング形成する。有機 EL 分離絶縁膜 14 は、気相成長法といった薄膜形成工程、フォトリソグラフィ法といったマスク工程、エッチング法といった形状加工工程を経てパターニングする。

50

【 0 0 2 5 】

次に、図 3 に示すように、気相成長法によって金等の金属材料からなる高反射率の反射金属膜 1 5 をトランジスタアレイ基板 1 上の一面に成膜する。反射金属膜 1 5 は、コンタクトホール 1 2 , 1 3 内においても表面に成膜される。

【 0 0 2 6 】

次に、気相成長法によって透明金属酸化物膜 1 6 を反射金属膜 1 5 上の一面に成膜する。透明金属酸化物膜 1 6 は、酸化インジウム、酸化亜鉛若しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物（例えば、錫ドープ酸化インジウム（ITO）、亜鉛ドープ酸化インジウム、カドミウム - 錫酸化物（CTO））からなる。透明金属酸化物膜 1 6 は、コンタクトホール 1 2 , 1 3 内においても表面に成膜される。

10

【 0 0 2 7 】

次に、スパッタリング等の気相成長法によって銅、ニッケル等の金属材料からなるメッキシード層 1 7 を透明金属酸化物膜 1 6 上の一面に成膜する。

【 0 0 2 8 】

次に、コンタクトホール 1 3 と重なり且つ行方向に沿った部分のメッキシード層 1 7、並びに有機 EL 分離絶縁膜 1 4 と重なり且つ行方向に沿った部分のメッキシード層 1 7 が露出されるようなフォトリソレジスト膜 6 1 を形成する。続いて露出されたメッキシード層 1 7 を電極として電解メッキを行うことにより、図 4 に示すように、露出されたメッキシード層 1 7 上にそれぞれ膜厚 2 ~ 1 0 0 μm 且つ 5 μm ~ 5 0 μm 幅の銅メッキの電流源ライン 1 8 , 1 8 , ... 及び EL ライン 1 9 , 1 9 , ... を形成する。電流源ライン 1 8 , 1 8 , ... 及び EL ライン 1 9 , 1 9 , ... は、トランジスタ 7 , 8 , 9 のソース 7 S , 8 S , 9 S 及びドレイン 7 D , 8 D , 9 D の膜厚よりも厚くなるよう堆積され、電流源ライン 1 8 , 1 8 , ... 及び EL ライン 1 9 , 1 9 , ... の単位長さあたりの抵抗は、トランジスタ 7 , 8 , 9 のソース 7 S , 8 S , 9 S 及びドレイン 7 D , 8 D , 9 D の単位長さあたりの抵抗よりも小さい。なお、電流源ライン 1 8 , 1 8 , ... 及び EL ライン 1 9 , 1 9 , ... の抵抗率は、トランジスタ 7 , 8 , 9 のソース 7 S , 8 S , 9 S 及びドレイン 7 D , 8 D , 9 D の導電材料の抵抗率よりも低いことが好ましい。また、電流源ライン 1 8 , 1 8 , ... 及び EL ライン 1 9 , 1 9 , ... は、トランジスタ 7 , 8 , 9 のゲート 7 G , 8 G , 9 G の膜厚よりも厚くなるよう堆積され、電流源ライン 1 8 , 1 8 , ... 及び EL ライン 1 9 , 1 9 , ... の単位長さあたりの抵抗は、トランジスタ 7 , 8 , 9 のゲート 7 G , 8 G , 9 G の単位長さあたりの抵抗よりも小さい。電流源ライン 1 8 , 1 8 , ... 及び EL ライン 1 9 , 1 9 , ... の抵抗率は、トランジスタ 7 , 8 , 9 のゲート 7 G , 8 G , 9 G の導電材料の抵抗率よりも低いことが好ましい。なお、電流源ライン 1 8 が画素回路接続配線の導電層に相当し、走査線 4 に沿って同一の行に配列された画素回路 6 , 6 , ... が同一の電流源ライン 1 8 に接続されている。

20

30

【 0 0 2 9 】

電流源ライン 1 8 , 1 8 , ... 及び EL ライン 1 9 , 1 9 , ... の本数はともに、走査線 4 , 4 , ... と同数であり、各行に電流源ライン 1 8、EL ライン 1 9 及び走査線 4 が 1 本ずつ設けられている。この後、フォトリソレジスト膜 6 1 を除去する。なお、電解メッキの代わりに、スパッタリング法、昇華蒸着法又はディスペンサー法により銅厚膜を成膜しても良い。

40

【 0 0 3 0 】

そして、電流源ライン 1 8 , 1 8 , ... 及び EL ライン 1 9 , 1 9 , ... で被覆された部分を除いて露出されたメッキシード層 1 7 に対してエッチングによる形状加工を行うことにより、電流源ライン 1 8 , 1 8 , ... の下方にメッキシード下地層 1 7 a を形成し、EL ライン 1 9 , 1 9 , ... の下方にメッキシード下地層 1 7 b を形成する。

【 0 0 3 1 】

次に、図 5 に示すように、透明金属酸化物膜 1 6 に対してフォトリソグラフィ法、エッチング法を施すことにより、透明金属酸化物膜 1 6 を画素ごとに残留させて画素電極 1 6 a をパターンニング形成するとともに、電流源ライン 1 8 , 1 8 , ... をマスクとしたメッ

50

キシード下地層 17a の下方に設けられた透明金属酸化物膜 16 を残留させて透明金属酸化物下地膜 16b を形成し、シード下地層 17b の下方に設けられた透明金属酸化物膜 16 を残留させて透明金属酸化物下地膜 16c を形成する。ここで、平面視して、残留した画素電極 16a がコンタクトホール 12 に重なり且つ、残留した画素電極 16a が画素ごとに独立するよう、透明金属酸化物膜 16 をパターンニングされている。画素電極 16a は、後述する有機 EL 素子 26 (図 8 に図示) のアノードとして機能する。メッキシード下地層 17a 及び透明金属酸化物下地膜 16b は電流源ライン 18 と形状が略同一であり、行方向に延在している。シード下地層 17b 及び透明金属酸化物下地膜 16c は EL ライン 19 と形状が略同一であり、行方向に延在している。なお、図 5 は後述する図 8 の (V) - (V) 線に沿った面であって矢印方向に見た面の断面図である。

10

【0032】

引き続き画素電極 16a をマスクとして反射金属膜 15 を画素電極 16a と同一形状にパターンニングして反射金属下地膜 15a を形成し、透明金属酸化物下地膜 16b の下方の反射金属膜 15 を残留するようにエッチングして反射金属下地膜 15b を形成し、透明金属酸化物下地膜 16c の下方の反射金属膜 15 を残留するようにエッチングして反射金属下地膜 15c を形成する。なお、平面視して、反射金属下地膜 15a はコンタクトホール 12 に重なるよう配置されている。このため、画素電極 16a は、互いに画素毎に電氣的に絶縁され、且つ当該画素の電流制御トランジスタ 9 のソース 9S と接続されている。図 5 の状態のトランジスタアレイ基板 1 の回路図が図 1 となる。

【0033】

20

そして、この有機 EL 素子 26 が設けられていない構造のトランジスタアレイ基板 1 において、各走査線 4 に検査用走査ドライバを接続させ、電流源ライン 18 に所定の電圧を出力する検査用駆動ドライバを接続させ、電流線 3 に、電流線 3 に所定の電流値の電流が流れさせる検査用電流制御ドライバを接続させてから、走査線 4、電流源ライン 18 に駆動ドライバから所定の電圧を印加し、電流制御ドライバから電流線 3 に所定の電流が流れるように駆動させて、電流源ライン 18 から各画素回路 6 の電流制御トランジスタ 9 のソース 9S、ドレイン 9D 間並びに電流経路制御トランジスタ 7 のソース 7S、ドレイン 7D 間を経由して電流線 3 に所定の電流値の電流が流れているかどうか検査することができる。このように、有機 EL 素子 26 を設ける前段階で、各画素回路 6 が正常であるかどうか確認することができるので仮にトランジスタアレイ基板 1 のある画素回路 6 のトランジスタ 7、8、9、キャパシタ 10 のいずれかに動作不良があり、不良品と認定された場合、そのトランジスタアレイ基板 1 に有機 EL 素子 26 を形成せずに済むので生産性を向上することができる。

30

【0034】

図 8 は、図 5 の状態における画素回路 6 の主要素の略平面図であり、電流源ライン 18 及び EL ライン 19 は走査線 4 に対して平行に設けられている。また、図 5 に示すように、平面視して、横方向 (行方向) に配列された全ての画素、つまり各行の画素のコンタクトホール 13 に設けられたメッキシード下地層 17a に対して電流源ライン 18 の一部が一致するように形成されているので、各行の全ての画素の電流制御トランジスタ 9 のドレイン 9D が、各行の電流源ライン 18 にそれぞれ電氣的に接続した状態となる。

40

【0035】

なお、図 8 において、トランジスタ 7~9 のソース 7S, 8S, 9S と一体に形成された電流線 3 と、トランジスタ 7~9 のゲート 7G, 8G, 9G と一体に形成された走査線 4 との間には、ゲート絶縁膜 41 に加えて、半導体層 42 と同一膜をパターンニングしてなる保護膜 42a が形成されている。また、電流データ書込み制御トランジスタ 8 のソース 8S と電流制御トランジスタ 9 のゲート 9G は、ゲート絶縁膜 41 に設けられたコンタクトホール 31 を介して互いに接続されている。

【0036】

次に、図 6 に示すように、電着塗装法により電流源ライン 18 のみを被覆するように電流源ライン絶縁膜 21 を形成する。以上により、有機 EL 駆動基板が完成する。

50

なお、気相成長法、フォトリソグラフィ法、エッチング法を用いて、電流源ライン 18 のみを被覆するよう、窒化シリコン又は酸化シリコンからなる電流源ライン絶縁膜 21 をパターンニングしても良い。また、マスクをした状態でスピンコート法を行って、マスクを剥がすこと（リフトオフ法）によって、電流源ライン 18 のみを被覆するよう、絶縁材料からなる電流源ライン絶縁膜 21 をパターンニングしても良い。

【0037】

次に、図 6 に示すように、PEDOT（ポリチオフェン）及びドーパントである PSS（ポリスチレンスルホン酸）からなる正孔輸送層 22 を液滴吐出法（インクジェット法）、スピンコート法、ディップコート法等の湿式成膜法によって成膜する。正孔輸送層 22 は、トランジスタアレイ基板 1 の一面に形成して全ての画素に共通させても良いし、画素ごとに独立するよう形成しても良い。図では、正孔輸送層 22 を含む溶液又は懸濁液が、電流源ライン 18 及び EL ライン 19 に囲まれた領域に充填された後、溶剤又は水分が揮発することによって正孔輸送層 22 が成膜されている状態を示している。

10

【0038】

正孔輸送層 22 の乾燥後、ポリフルオレン系発光材料からなる発光層 23 を液滴吐出法（インクジェット方法）、印刷法等の湿式成膜法によって画素ごとにパターンニングする。ここで、有機 EL 分離絶縁膜 14 の上に、反射金属下地膜 15c、透明金属酸化物下地膜 16c、メッキシード下地層 17b 及び EL ライン 19 が残留しているが、正孔輸送層 22 の膜厚や発光層 23 の膜厚は有機 EL 分離絶縁膜 14 の膜厚よりも薄い。そして画素領域に被覆した時の発光層 23 を含む溶液又は懸濁液の高さは、電流源ライン 18 の高さや EL ライン 19 の高さよりも低い。したがって、発光層 23 を含む溶液又は懸濁液は、電流源ライン 18 及び EL ライン 19 を越えて隣の行の画素に流出することはない。このように、電流源ライン 18 及び EL ライン 19 は、発光層 23 を含む溶液又は懸濁液の流出を防止する隔壁として機能する。したがって、電流源ライン 18 及び EL ライン 19 に沿って囲まれた行方向の複数の画素は同一色に発光する発光層とすれば、電流源ライン 18 及び EL ライン 19 間にまとめて発光層 23 を含む溶液又は懸濁液を流入させることで行方向の複数の画素に発光層 23 を一括して成膜することができる。

20

【0039】

次に、図 7 に示すように、蒸着等の気相成長法によって、マグネシウム、カルシウム、リチウム、バリウム、希土類金属等の低仕事関数材料からなる電子注入層と、酸化インジウム、酸化亜鉛若しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物（例えば、錫ドーパ酸化インジウム（ITO）、亜鉛ドーパ酸化インジウム、カドミウム - 錫酸化物（CTO））を有する透明導電層との二層構造の共通電極 24 をカソード電極として一面に成膜する。電子注入層は 10 nm ~ 200 nm の厚さで可視光が透過する程度に薄いために、電流源ライン 18 や EL ライン 19 の段差によって切断されてもよいが、共通電極 24 の透明導電層は、複数の画素の有機 EL 素子 26 の一方の電極を互いに等電位にするため、電流源ライン 18 上の電流源ライン絶縁膜 21 の上を跨ぎ且つ EL ライン 19 上に跨るように成膜されている。これにより、発光層 23 は共通電極 24 に密着した状態で共通電極 24 によって被覆され、更に EL ライン 19 も共通電極 24 に密着した状態で共通電極 24 によって被覆される。図 7 において、画素電極 16a、正孔輸送層 22、発光層 23、共通電極 24 の順に積層したものが有機 EL 素子 26 となるが、共通電極 24 は全ての画素（有機 EL 素子 26）に共通した層となっている。

30

40

【0040】

次に、スピンコート法、ディップコート法、気相成長法によってオーバーコート絶縁層 25 を一面に成膜し、そのオーバーコート絶縁層 25 に透明接着樹脂を塗布して封止ガラス基板と貼り合わせる。

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイパネルが完成する。

【0041】

完成したエレクトロルミネッセンスディスプレイパネルは図 9 のような回路構成となる

50

。図 9 に示すように、電流源ライン 18 と E L ライン 19 との間において電流制御トランジスタ 9 と有機 E L 素子 26 が直列に接続されている。つまり、電流制御トランジスタ 9 のドレイン 9 D が電流源ライン 18 に接続され、電流制御トランジスタ 9 のソース 9 S が有機 E L 素子 26 のアノードである画素電極 16 a) に接続され、有機 E L 素子 26 のカソードである共通電極 24 が E L ライン 19 に接続されている。また、E L ライン 19 が発光素子接続配線の導電層に相当し、走査線 4 に沿って同一の行に配列された有機 E L 素子 26, 26, ... が同一の E L ライン 19 に接続されている。

【 0 0 4 2 】

エレクトロルミネッセンスディスプレイパネルを駆動して表示を行う際には、基板 2 上の複数の電流線 3 に電流制御ドライバが接続され、複数の走査線 4 に走査ドライバが接続され、複数の電流源ライン 18 に駆動ドライバが接続され、複数の E L ライン 19 が例えば接地されることによって一定の電圧に維持される。

10

【 0 0 4 3 】

このエレクトロルミネッセンスディスプレイパネルの駆動方法の一例を説明する。

走査ドライバが複数の走査線 4 にオンレベル（ハイレベル）のシフトパルスを順次出力し、それに同期するように駆動ドライバが複数の電流源ライン 18 にローレベル（E L ライン 19 よりも低電位又は等電位）のシフトパルスを順次出力し、それぞれ走査線 4 にシフトパルスが出力されている時に、電流制御ドライバが、電流線 3 並びに電流制御トランジスタ 9 に接続された電流経路制御トランジスタ 7 のドレイン 7 D - ソース 7 S 間を介して強制的に電流制御トランジスタ 9 のドレイン 9 D - ソース 9 S 間に記憶電流（引抜電流）を流す。

20

【 0 0 4 4 】

具体的には、或る行の選択期間に、当該行の走査線 4 にハイレベルのシフトパルスが出力され、且つ当該行以外の複数の走査線 4 に、オフレベル（ローレベル）の電圧が印加されている時は、当該行の電流源ライン 18 に、E L ライン 19 よりも低電位又は等電位ローレベルのシフトパルスが出力されている。そのとき、電流経路制御トランジスタ 7 及び電流データ書込み制御トランジスタ 8 がオン状態（選択状態）となる。この時、電流制御ドライバが、階調データに応じた電流値の記憶電流を電流制御トランジスタ 9 のドレイン 9 D - ソース 9 S 間に強制的に流れるように制御する。記憶電流は、電流源ライン 18 から電流制御トランジスタ 9 のドレイン 9 D - ソース 9 S 間、電流経路制御トランジスタ 7 のドレイン 7 D - ソース 7 S 間を経由して電流線 3 に向かって流れる。この記憶電流の電流値は、有機 E L 素子 26 の発光輝度階調に応じて電流制御ドライバによって自動的に制御されている。

30

トランジスタの特性上、電流制御トランジスタ 9 のドレイン 9 D - ソース 9 S 間に流れる電流の電流値は、電流制御トランジスタ 9 のゲート 9 G - ソース 9 S 間電位並びに電流制御トランジスタ 9 のドレイン 9 D - ソース 9 S 間電位に依存されるが、電流制御ドライバが、記憶電流の電流値に応じて電流制御トランジスタ 9 のゲート 9 G - ソース 9 S 間電位並びに電流制御トランジスタ 9 のドレイン 9 D - ソース 9 S 間電位を設定することになり、このときのゲート 9 G - ソース 9 S 間の電圧のレベルは、電流制御トランジスタ 9 のゲート 9 G - ソース 9 S 間のキャパシタ 10 にチャージされた電荷によってその後の発光期間にわたって保持（記憶）される。当該行の発光期間では、走査ドライバによって当該行の走査線 4 がローレベルになり、電流経路制御トランジスタ 7 及び電流データ書込み制御トランジスタ 8 がオフ状態となるが、オフ状態の電流データ書込み制御トランジスタ 8 によってキャパシタ 10 の電荷が保持され、電流制御トランジスタ 9 のゲート 9 G - ソース 9 S 間の電圧がそのまま維持される。この時、電流源ライン 18 がハイレベル（E L ライン 19 の電圧よりも高レベル）になることによって、電流源ライン 18 から電流制御トランジスタ 9 を介して有機 E L 素子 26 に駆動電流が流れ、有機 E L 素子 26 が発光するが、駆動電流の大きさは電流制御トランジスタ 9 のゲート 9 G - ソース 9 S 間の電圧に依存する。そのため、発光期間における駆動電流の電流値は、選択期間における記憶電流の電流値に等しくなる。そして選択期間、発光期間を行毎にずらしていくことでエレクトロ

40

50

ルミネッセンスディスプレイパネルがフレーム表示することが可能となる。

【0045】

上述したように電流線3で引き抜かれる記憶電流の電流値は、一つの有機EL素子26に流れる駆動電流の電流値に等しいため、電流線3はトランジスタ7、8、9のソース、ドレインと同じ膜を用いても十分機能する程度の抵抗に設定できる。また、走査線4は、電流経路制御トランジスタ7及び電流データ書込み制御トランジスタ8を電圧変調によってオンオフ制御するだけでよいので大電流を流す必要がないため、トランジスタ7、8、9のゲートと同じ膜を用いても十分機能する程度の抵抗に設定できる。

【0046】

しかしながら、ある行の電流源ライン18は、当該行の発光期間に、当該行の複数の画素の有機EL素子26にそれぞれ流れる駆動電流の電流源になるため、大きな電流値が流れるよう低抵抗でなければならない。そして、ある行のELライン19には、当該行の発光期間に、当該行の複数の画素の有機EL素子26にそれぞれ流れる駆動電流がまとまって流れるため、大きな電流値が流れるよう低抵抗でなければならない。このような電流源ライン18及びELライン19の抵抗は、各行の画素数（有機EL素子26の数）が増えるにしたがい小さくしなければならず、画素数が十分大きいと、トランジスタ7、8、9のゲートと同じ膜を用いただけでは十分に電流を流すことができなくなってしまう恐れがある。

【0047】

ここで、本実施形態では、電流源ライン18及びELライン19をトランジスタ7、8、9を構成した導電膜とは異なる膜で形成されているので、電流源ライン18、18、...及びELライン19、19、...は、トランジスタ7、8、9のソース7S、8S、9S、ドレイン7D、8D、9Dの膜厚よりも厚く堆積でき、ソース7S、8S、9S、ドレイン7D、8D、9Dに対して単位長さあたりの抵抗が小さく設定されることが可能となる。また、電流源ライン18、18、...及びELライン19、19、...は、トランジスタ7、8、9のゲート7G、8G、9Gの膜厚よりも厚く堆積でき、ゲート7G、8G、9Gに対して単位長さあたりの抵抗が小さく設定されることが可能となる。そのため、電流源ライン18やELライン19の電気抵抗を低くすることができ、発光期間の開始時から有機EL素子26が所望の明るさ（階調）に発光するまでの時間の遅延を抑えたり、電流源ライン18やELライン19における電圧降下を抑えたりすることができる。更には、電流源ライン18やELライン19を低抵抗にすることによって、エレクトロルミネッセンスディスプレイパネルの明るさの低下、明るさのムラ、クロストーク等の表示劣化を抑えることができる。

【0048】

例えば、電流源ライン18及びELライン19を、配線幅20 μ m、配線長664mmと設定してさらに本発明のように膜厚5 μ mの銅を用いた場合、シート抵抗0.003 Ω /□、抵抗111 Ω になり、40mAとしたときの電圧降下は4.4Vに抑えられる。一方、従来のように、トランジスタ7、8、9のドレイン、ソースに用いた膜厚0.3 μ mのAl-Tiを電流源ライン18及びELライン19として利用した場合、シート抵抗0.5 Ω /□、抵抗16600 Ω になり、40mAとしたときの電圧降下は6644Vになってしまう。

【0049】

なお、本発明は上記実施の形態に限定されることなく、本発明の趣旨を逸脱しない範囲において、種々の改良並びに設計の変更を行っても良い。

【0050】

例えば、電流線3と交差する部分を除いた走査線4が露出するようにゲート絶縁膜41及び絶縁膜11にコンタクトホールを設けて、電流源ライン18やELライン19の成膜と同一工程において、走査線4上に電解メッキ層を形成してもよい。この場合、メッキ層は、共通電極24と絶縁するように、電流源ライン18の電流源ライン絶縁膜21と同様に、間に絶縁膜を介在させるが、トランジスタ7、8のゲートには電氣的に接続する。

【 0 0 5 1 】

また、上記実施形態ではトランジスタ 7, 8, 9 が N チャネル型の薄膜トランジスタであるとして説明したが、トランジスタ 7, 8, 9 が P チャネル型の薄膜トランジスタであっても良い。トランジスタ 7, 8, 9 が P チャネル型の薄膜トランジスタである場合、ソースとドレインの接続が逆になるので、上記説明において「ソース」を「ドレイン」に置き換え、「ドレイン」を「ソース」に置き換えれば良く、信号の「ハイレベル」を「ローレベル」に置き換え、「ローレベル」を「ハイレベル」に置き換えればよい。なおこの場合でも記憶電流の向きは変わらない。

【 0 0 5 2 】

〔 第 2 の実施の形態 〕

10

図 10 ~ 図 15 を用いて、第 2 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの製造方法について説明する。図 10 ~ 図 15 は製造方法における各工程の断面図であり、工程順序は図 10 ~ 図 15 の順になっている。また、図 10 ~ 図 15 では、第 1 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの各部に対応する部分に対して同一の符号を付す。

【 0 0 5 3 】

まず、図 10 に示すように、トランジスタアレイ基板 1 を製造する。次に、絶縁膜 1 1 上に気相成長法等による反射金属膜 1 5 の成膜工程、フォトリソグラフィ法等のマスク工程、エッチング等の形状加工工程をこの順に行うことによって、画素ごとに反射金属膜 1 5 d をパターンニング形成する。

20

【 0 0 5 4 】

次に、気相成長法を施すことによって反射金属膜 1 5 d を被覆するように絶縁膜 1 3 1 をべた一面に成膜する。反射金属膜 1 5 d は、絶縁膜 1 3 1 によって電氣的に絶縁されている。このように絶縁膜 1 3 1 を成膜したことが、第 2 の実施形態と第 1 の実施形態の異なる点である。

【 0 0 5 5 】

次に、フォトリソグラフィ法、エッチング法等を施すことにより、各電流制御トランジスタ 9 のソース 9 S に通じるコンタクトホール 1 2 及び各電流制御トランジスタ 9 のドレイン 9 D に通じるコンタクトホール 1 3 を絶縁膜 1 1 及び絶縁膜 1 3 1 に形成する。次に、窒化シリコン又は酸化シリコンからなる有機 E L 分離絶縁膜 1 4 を、縦方向に隣り合った画素の間において走査線 4 と平行となるようにパターンニングする。

30

【 0 0 5 6 】

次に、図 11 に示すように、気相成長法によって透明金属酸化物膜 1 6 を絶縁膜 1 3 1 上の一面に成膜する。透明金属酸化物膜 1 6 は、コンタクトホール 1 2, 1 3 内においても表面に成膜され、電流制御トランジスタ 9 のドレイン 9 D 及びソース 9 S に接する。このように反射金属膜 1 5 d を絶縁膜 1 3 1 によって透明金属酸化物膜 1 6 と電氣的に分離したことが、第 2 の実施形態と第 1 の実施形態の異なる点である。

【 0 0 5 7 】

次に、スパッタリング等の気相成長法によって銅、ニッケル等の金属材料からなるメッキシード層 1 7 を透明金属酸化物膜 1 6 上の一面に成膜する。コンタクトホール 1 3 と重なり且つ行方向に沿った部分のメッキシード層 1 7、並びに有機 E L 分離絶縁膜 1 4 と重なり且つ行方向に沿った部分のメッキシード層 1 7 が露出されるようなフォトレジ膜 6 2 を形成する。

40

【 0 0 5 8 】

次に、電解メッキを行うことにより、図 12 に示すように、露出されたメッキシード層 1 7 上に、トランジスタ 7, 8, 9 のソース、ドレイン、ゲートの膜厚よりも厚い膜厚 2 ~ 100 μm の銅メッキ厚膜で且つ 5 μm ~ 50 μm 幅の銅メッキ厚膜からなる電流源ライン 1 8 及び E L ライン 1 9 を形成する。これにより行方向に配列された複数の画素の電流制御トランジスタ 9 のドレイン 9 D が共通の電流源ライン 1 8 に電氣的に接続した状態となる。なお、電解メッキの代わりに、スパッタリング法又は昇華蒸着法により銅厚膜を

50

成膜しても良い。電流源ライン 18, 18, ... 及び E L ライン 19, 19, ... はともに、走査線 4, 4, ... と同数であり、各行に電流源ライン 18、E L ライン 19 及び走査線 4 が 1 本ずつ設けられている。

【0059】

次に、図 13 に示すように、フォトリソグロフィー法、エッチング法を施すことにより、画素電極 16a をパターンニングするとともに、電流源ライン 18 をマスクとしたメッキシード下地層 17a の下方に設けられた透明金属酸化物膜 16 を残留させて透明金属酸化物下地膜 16b を形成し、シード下地層 17b の下方に設けられた透明金属酸化物膜 16 を残留させて透明金属酸化物下地膜 16c を形成する。

10

【0060】

次に、電流源ライン 18 のみを被覆するように電流源ライン絶縁膜 21 をパターンニング形成する。以上により、有機 E L 表示装置が完成する。

【0061】

次に、図 14 に示すように、PEDOT (ポリチオフェン) 及びドーパントである PSS (ポリスチレンスルホン酸) からなる正孔輸送層 22 を液滴吐出法 (インクジェット法)、スピンコート法、ディップコート法等の湿式成膜法によって成膜する。正孔輸送層 22 は、トランジスタアレイ基板 1 の一面に形成して全ての画素に共通させても良いし、画素ごとに独立するよう形成しても良い。図では、正孔輸送層 22 を含む溶液又は懸濁液が、電流源ライン 18 及び E L ライン 19 に囲まれた領域に充填された後、溶剤又は水分が揮発することによって正孔輸送層 22 が成膜されている状態を示している。

20

【0062】

正孔輸送層 22 の乾燥後、第 1 の実施形態と同様に、ポリフルオレン系発光材料からなる発光層 23 を液滴吐出法 (インクジェット方法)、印刷法等の湿式成膜法によって画素ごとにパターンニングする。によって画素ごとにパターンニングする。ここで、有機 E L 分離絶縁膜 14 の上に、透明金属酸化物下地膜 16c、メッキシード下地層 17b 及び E L ライン 19 が残留しているが、正孔輸送層 22 の膜厚や発光層 23 の膜厚は有機 E L 分離絶縁膜 14 の膜厚よりも薄い。そして画素領域に被覆した時の発光層 23 を含む溶液の高さは、電流源ライン 18 の高さや E L ライン 19 の高さよりも低い。したがって、発光層 23 を含む溶液又は懸濁液は、電流源ライン 18 及び E L ライン 19 を越えて隣の行の画素に流出することはない。このように、電流源ライン 18 及び E L ライン 19 は、発光層 23 を含む溶液又は懸濁液の流出を防止する隔壁として機能する。したがって、電流源ライン 18 及び E L ライン 19 に沿って囲まれた行方向の複数の画素は同一色に発光する発光層とすれば、電流源ライン 18 及び E L ライン 19 間にまとめて発光層 23 を含む溶液又は懸濁液を流入させることで行方向の複数の画素に発光層 23 を一括して成膜することができる。

30

【0063】

次に、図 15 に示すように、蒸着等の気相成長法によって、マグネシウム、カルシウム、リチウム、バリウム、希土類金属等の低仕事関数材料からなる電子注入層と、酸化インジウム、酸化亜鉛若しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物 (例えば、錫ドーパ酸化インジウム (ITO)、亜鉛ドーパ酸化インジウム、カドミウム - 錫酸化物 (CTO)) を有する透明導電層との二層構造の共通電極 24 をカソード電極として一面に成膜する。電子注入層は 10 nm ~ 200 nm の厚さで可視光が透過する程度に薄いために、電流源ライン 18 や E L ライン 19 の段差によって切断されてもよいが、共通電極 24 の透明導電層は、複数の画素の有機 E L 素子 26 の一方の電極を互いに等電位にするため、電流源ライン 18 上の電流源ライン絶縁膜 21 の上を跨ぎ且つ E L ライン 19 上に跨るように成膜されている。これにより、発光層 23 は共通電極 24 に密着した状

40

50

態で共通電極 24 によって被覆され、更に E L ライン 19 も共通電極 24 に密着した状態で共通電極 24 によって被覆され、有機 E L 素子 26 が形成される。

【0064】

次に、スピンコート法、ディップコート法、気相成長法によってオーバーコート絶縁層 25 を一面に成膜し、そのオーバーコート絶縁層 25 に接着樹脂によって封止ガラス基板を貼り合わせる。

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイパネルが完成する。

【0065】

第 2 の実施形態においても、電流源ライン 18 及び E L ライン 19 をトランジスタ 7, 8, 9 を構成する導電膜とは別の膜で形成されているので、電流源ライン 18 及び E L ライン 19 をトランジスタ 7, 8, 9 のドレイン、ソース、ゲートや電流線 3、走査線 4 等よりも厚膜にして単位長さ当たりの抵抗をより小さくすることができる。そのため、電流源ライン 18 や E L ライン 19 の電気抵抗を低くすることができ、発光期間の開始時から有機 E L 素子 26 が所望の明るさ（階調）に発光するまでの時間の遅延を抑えたり、電流源ライン 18 や E L ライン 19 における電圧降下を抑えたりすることができる。更には、電流源ライン 18 や E L ライン 19 を低抵抗にすることによって、エレクトロルミネッセンスディスプレイパネルの明るさの低下、明るさのムラ、クロストーク等の表示劣化を抑えることができる。

10

【0066】

20

〔第 3 の実施の形態〕

図 16 ~ 図 21 を用いて、第 3 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの製造方法について説明する。図 16 ~ 図 21 は製造方法における各工程の断面図であり、工程順序は図 16 ~ 図 21 の順になっている。また、図 16 ~ 図 21 では、第 2 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの各部に対応する部分に対して同一の符号を付す。

【0067】

まず、図 16 に示すように、トランジスタアレイ基板 1 を製造する。次に、絶縁膜 11 上にスパッタ等の気相成長法による反射金属膜の成膜工程、フォトリソグラフィ法等のマスク工程、エッチング等の形状加工工程をこの順に行うことによって、画素ごとに反射金属膜 15d をパターニング形成する。

30

【0068】

次に、気相成長法を施すことによって反射金属膜 15d を被覆するように絶縁膜 131 をべた一面に成膜する。反射金属膜 15d は、絶縁膜 131 によって電氣的に絶縁されている。

【0069】

次に、フォトリソグラフィ法、エッチング法等を施すことにより、各電流制御トランジスタ 9 のソース 9S に通じるコンタクトホール 12 及び各電流制御トランジスタ 9 のドレイン 9D に通じるコンタクトホール 13 を絶縁膜 11 及び絶縁膜 131 に形成する。

【0070】

40

ここで、第 2 の実施形態では有機 E L 分離絶縁膜 14 をパターニングしたが、本実施形態では有機 E L 分離絶縁膜をパターニングしない。

【0071】

次に、図 17 に示すように、気相成長法によって透明金属酸化物膜 16 を絶縁膜 131 上の一面に成膜する。透明金属酸化物膜 16 は、透明金属酸化物膜 16 は、コンタクトホール 12, 13 内においても表面に成膜され、電流制御トランジスタ 9 のドレイン 9D 及びソース 9S に接する。

【0072】

次に、図 18 に示すように、気相成長法によって銅、ニッケル等の金属材料からなるメッキシード層 17 を透明金属酸化物膜 16 上の一面に成膜する。メッキシード層 17 にお

50

けるコンタクトホール 13 と重なり且つ行方向に沿った部分 17a、並びに反射金属膜 15d に対して部分 17a と対向する辺側に行方向に沿った隔壁 231 が形成される部分 17b、が露出されるようなフォトレジスト膜 63 を形成する。

【0073】

次に、電解メッキを行うことにより、露出されたメッキシード層部分 17a、17b 上にトランジスタ 7, 8, 9 のソース、ドレイン、ゲートの膜厚よりも厚い膜厚 2 ~ 100 μm 、5 μm ~ 50 μm 幅の銅メッキ厚膜からなる電流源ライン 18 及び隔壁 231 を形成する。これにより行方向に配列された複数の画素の電流制御トランジスタ 9 のドレイン 9D が共通の電流源ライン 18 に電氣的に接続した状態となる。なお、電解メッキの代わりに、スパッタリング法又は昇華蒸着法により銅厚膜を成膜しても良い。

10

【0074】

なお、電流源ライン 18, 18, ... 及び隔壁 231, 231, ... をパターンニングするにあたって、電流源ライン 18 を隔壁 231 に対して平行に設け、更に電流源ライン 18 及び隔壁 231 を走査線 4 に対して平行に設ける。また、平面視して、横方向（行方向）に配列された全ての画素のコンタクトホール 13 に対して電流源ライン 18 が重なるよう、電流源ライン 18 をパターンニングする。更に、電流源ライン 18 をトランジスタアレイ基板 1 の縁まで延在するよう、電流源ライン 18 をパターンニングする。

【0075】

次に、図 19 に示すように、フォトレジスト膜 63 を除去してから、電流源ライン 18 及び隔壁 231 をマスクとして露出されたメッキシード層 17 をエッチング除去し、電流源ライン 18, 18, ... の下方にメッキシード下地層 17a を残存し、隔壁 231, 231, ... の下方にメッキシード下地層 17b を残存する。さらに透明金属酸化物膜 16 に対してフォトリソグラフィ法、エッチング法を施すことにより、画素電極 16a をパターンニングするとともに、電流源ライン 18 をマスクとしたメッキシード下地層 17a の下方に設けられた透明金属酸化物膜 16 を残留させて透明金属酸化物下地膜 16b を形成し、シード下地層 17b の下方に設けられた透明金属酸化物膜 16 を残留させて透明金属酸化物下地膜 16c を形成する。

20

【0076】

次に、図 20 に示すように、電流源ライン 18 を被覆するように電流源ライン絶縁膜 21 を形成するとともに、隔壁 231 を被覆するように EL ライン絶縁膜 232 を電流源ライン絶縁膜 21 と同工程で形成する。以上により、有機 EL 駆動基板が完成する。

30

【0077】

次に、PEDOT（ポリチオフェン）及びドーパントである PSS（ポリスチレンスルホン酸）からなる正孔輸送層 22 を液滴吐出法（インクジェット法）、スピンコート法、ディップコート法等の湿式成膜法によって成膜する。正孔輸送層 22 は、トランジスタアレイ基板 1 の一面に形成して全ての画素に共通させても良いし、画素ごとに独立するよう形成しても良い。図では、正孔輸送層 22 を含む溶液又は懸濁液が、電流源ライン 18 及び隔壁 231 に囲まれた領域に充填された後、溶剤又は水分が揮発することによって正孔輸送層 22 が成膜された状態を示している。

【0078】

正孔輸送層 22 の乾燥後、第 1 の実施形態と同様に、ポリフルオレン系発光材料からなる発光層 23 を液滴吐出法（インクジェット方法）、印刷法等の湿式成膜法によって画素ごとにパターンニングする。ここで、正孔輸送層 22 の膜厚や発光層 23 の膜厚は隔壁 231 の膜厚よりも薄い。そして画素領域に被覆した時の発光層 23 を含む溶液又は懸濁液の高さは、電流源ライン 18 の高さや隔壁 231 の高さよりも低い。したがって、発光層 23 を含む溶液又は懸濁液は、電流源ライン 18 及び隔壁 231 を越えて隣の行の画素に流出することはない。このように、電流源ライン 18 及び隔壁 231 は、発光層 23 を含む溶液又は懸濁液の流出を防止する隔壁として機能する。したがって、電流源ライン 18 及び隔壁 231 に沿って囲まれた行方向の複数の画素は同一色に発光する発光層とすれば、電流源ライン 18 及び隔壁 231 間にまとめて発光層 23 を含む溶液又は懸濁液を流入さ

40

50

せることで行方向の複数の画素に発光層 23 を一括して成膜することができる。

【0079】

次に、図 21 に示すように、蒸着等の気相成長法によって、マグネシウム、カルシウム、リチウム、バリウム、希土類金属等の低仕事関数の材料からなる電子注入層と、酸化インジウム、酸化亜鉛若しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物（例えば、錫ドープ酸化インジウム（ITO）、亜鉛ドープ酸化インジウム、カドミウム - 錫酸化物（CTO））を有する透明導電層との二層構造の共通電極 24 をカソード電極として一面に成膜する。電子注入層は 10 nm ~ 200 nm の厚さで可視光が透過する程度に薄いために、電流源ライン 18 や隔壁 231 の段差によって切断されてもよいが、共通電極 24 の透明導電層は、複数の画素の有機 EL 素子 26 の一方の電極を互いに等電位にするため、電流源ライン 18 表面の電流源ライン絶縁膜 21 上に跨り且つ隔壁 231 表面の EL ライン絶縁膜 232 上に跨るように成膜されている。これにより、発光層 23 は共通電極 24 に密着した状態で共通電極 24 によって被覆され、更に隔壁 231 も共通電極 24 に密着した状態で共通電極 24 によって被覆され、有機 EL 素子 26 が形成される。隔壁 231 は、正孔輸送層 22 を含む溶液又は懸濁液、及び / 又は発光層 23 を含む溶液又は懸濁液を所定の位置に設けるための仕切りとして用いるものであって、第一実施形態の EL ライン 19 のように電圧が印加されているわけではない。

10

【0080】

次に、蒸着法、スパッタリング法、スクリーン印刷法、昇華蒸着法、ディスペンサー法等によって、平面視して隔壁 231 に重なるように、トランジスタ 7, 8, 9 のソース、ドレイン、ゲートの膜厚よりも厚い膜厚の EL ライン 233 を共通電極 24 上に形成する。EL ライン 233 は、第一実施形態の EL ライン 19 に相当するもので、形状、長さ、厚さともに EL ライン 19 と同様であり、トランジスタ 7, 8, 9 のソース 7S, 8S, 9S、ドレイン 7D, 8D, 9D、ゲート 7G, 8G, 9G の膜厚よりも厚いため、これら電極よりも単位配線の長さ当たりの抵抗が低く設定されている。また、EL ライン 233 は、第一実施形態の EL ライン 19 と同様にフォトリソ膜 61 を用いて電解メッキにより堆積されてもよい。EL ライン 233 は、隔壁 231 上方において全画素共通の共通電極 24 と接続されている。電流源ライン 18, 18, ... 及び EL ライン 233, 233, ... はともに、走査線 4, 4, ... と同数であり、各行に電流源ライン 18、EL ライン 233 及び走査線 4 が 1 本ずつ設けられている。

20

30

【0081】

次に、スピンコート法、ディップコート法、気相成長法によって透明なオーバーコート絶縁層 25 を一面に成膜し、そのオーバーコート絶縁層 25 に接着樹脂によって封止ガラス基板を貼り合わせる。

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイパネルが完成する。

【0082】

第 3 の実施形態においても、電流源ライン 18 及び EL ライン 233 をトランジスタ 7, 8, 9 を構成する導電膜とは異なる膜で形成されているので、電流源ライン 18 及び EL ライン 233 をトランジスタ 7, 8, 9 のドレイン、ソース、ゲートや電流線 3、走査線 4 等よりも厚膜にすることができる。そのため、電流源ライン 18 や EL ライン 233 の電気抵抗を低くすることができ、発光期間の開始時から有機 EL 素子 26 が所望の明るさ（階調）に発光するまでの時間の遅延を抑えたり、電流源ライン 18 や EL ライン 233 における電圧降下を抑えたりすることができる。更には、電流源ライン 18 や EL ライン 233 を低抵抗にすることによって、エレクトロルミネッセンスディスプレイパネルの明るさの低下、明るさのムラ、クロストーク等の表示劣化を抑えることができる。

40

【0083】

〔第 4 の実施の形態〕

図 22 ~ 図 27 を用いて、第 4 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの製造方法について説明する。図 22 ~ 図 27 は製造方法における各工程の断

50

面図であり、工程順序は図 2 2 ~ 図 2 7 の順になっている。また、図 2 2 ~ 図 2 7 では、第 1 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの各部に対応する部分に対して同一の符号を付す。

【 0 0 8 4 】

まず、図 2 2 に示すように、トランジスタアレイ基板 1 を製造する。準備したトランジスタアレイ基板 1 に対してフォトリソグラフィ法、エッチング法等を施すことにより、各電流制御トランジスタ 9 のソース 9 S に通じるコンタクトホール 1 2 及び各電流制御トランジスタ 9 のドレイン 9 D に通じるコンタクトホール 1 3 を絶縁膜 1 1 に形成する。

【 0 0 8 5 】

次に、窒化シリコン又は酸化シリコンからなる有機 E L 分離絶縁膜 1 4 を、縦（列）方向に隣り合った画素の間において走査線 4 と平行となるようにパターニングして形成する。

【 0 0 8 6 】

次に、図 2 3 に示すように、気相成長法によって透明金属酸化物膜 1 6 をトランジスタアレイ基板 1 上の一面に成膜する。ここで、第 1 の実施形態では透明金属酸化物膜 1 6 の前に反射金属膜 1 5 を成膜したが、本実施形態では反射金属膜 1 5 を成膜しない。次に、気相成長法によって銅、ニッケル等の金属材料からなるメッキシード層 1 7 を透明金属酸化物膜 1 6 上の一面に成膜する。

【 0 0 8 7 】

次に、フォトリソグラフィ法によりマスクをパターニングし、蒸着法等の方法で金の薄膜を成膜し、マスクを剥離することによって金薄膜からなる画素電極 3 3 1 を形成する。なお、画素電極 3 3 1 をパターニングするにあたって、上記マスクは、後述する電流源ライン 1 8 に対応する部分、つまりコンタクトホール 1 3 と重なり且つ行方向に延在した部分、及び E L ライン 1 9 に対応する部分、つまり有機 E L 分離絶縁膜 1 4 と重なり且つ行方向に延在した部分に、それぞれ下地膜 3 3 1 a、3 3 1 b が残存するようなマスクである。

【 0 0 8 8 】

次に、図 2 4 に示すように、コンタクトホール 1 3 と重なり且つ行方向に沿った部分の下地膜 3 3 1 a、並びに有機 E L 分離絶縁膜 1 4 と重なり且つ行方向に沿った部分の下地膜 3 3 1 b が露出されるようなフォトレジスト膜 6 4 を形成する。続いて露出された下地膜 3 3 1 a 及び下地膜 3 3 1 b を電極として電解メッキを行うことにより、下地膜 3 3 1 a 及び下地膜 3 3 1 b 上にそれぞれ膜厚 2 ~ 1 0 0 μm 且つ 5 μm ~ 5 0 μm 幅の銅メッキ厚膜の電流源ライン 1 8 及び E L ライン 1 9 を形成する。電流源ライン 1 8, 1 8, ... 及び E L ライン 1 9, 1 9, ... は、トランジスタ 7, 8, 9 のソース 7 S, 8 S, 9 S、ドレイン 7 D, 8 D, 9 D、ゲート 7 G, 8 G, 9 G の膜厚よりも厚く堆積されているため、これら電極よりも単位配線の長さ当たりの抵抗が低く設定されている。電流源ライン 1 8, 1 8, ... 及び E L ライン 1 9, 1 9, ... はともに、走査線 4, 4, ... と同数であり、各行に電流源ライン 1 8、E L ライン 1 9 及び走査線 4 が 1 本ずつ設けられている。この後、フォトレジスト膜 6 4 を除去する。なお、電解メッキの代わりに、スパッタリング法、昇華蒸着法又はディスペンサー法により銅厚膜を成膜しても良い。

【 0 0 8 9 】

次に、図 2 5 に示すように、電流源ライン 1 8, 1 8, ... 及び E L ライン 1 9, 1 9, ... で被覆された部分を除いて露出されたメッキシード層 1 7 をエッチングして電流源ライン 1 8, 1 8, ... の下方にメッキシード下地層 1 7 a, 1 7 a, ... を形成し、E L ライン 1 9, 1 9, ... の下方にメッキシード下地層 1 7 b, 1 7 b, ... を形成する。そして、電流源ライン 1 8、E L ライン 1 9 及び画素電極 3 3 1 をマスクとして透明金属酸化物膜 1 6 をエッチングして、それぞれ透明金属酸化物下地膜 1 6 b、透明金属酸化物下地膜 1 6 c、透明金属酸化物下地膜 1 6 d を形成する。

【 0 0 9 0 】

次に、図 2 6 に示すように、電流源ライン 1 8 を被覆するように電流源ライン絶縁膜 2

10

20

30

40

50

1を形成する。以上により、有機EL駆動基板が完成する。

【0091】

次に、PEDOT（ポリチオフェン）及びドーパントであるPSS（ポリスチレンスルホン酸）からなる正孔輸送層22を液滴吐出法（インクジェット法）、スピンコート法、ディップコート法等湿式成膜法によって成膜する。正孔輸送層22は、トランジスタアレイ基板1の一面に形成して全ての画素に共通させても良いし、画素ごとに独立するよう形成しても良い。図では、正孔輸送層22を含む溶液又は懸濁液が、電流源ライン18及びELライン19に囲まれた領域に充填された後、溶剤又は水分が揮発することによって正孔輸送層22が成膜されている状態を示している。

【0092】

正孔輸送層22の乾燥後、ポリフルオレン系発光材料からなる発光層23を液滴吐出法（インクジェット方法）、印刷法等の湿式成膜法によって画素ごとにパターンニングする。ここで、有機EL分離絶縁膜14の上に、透明金属酸化物下地膜16c、メッキシード下地層17b及びELライン19が残留しているが、正孔輸送層22の膜厚や発光層23の膜厚は有機EL分離絶縁膜14の膜厚よりも薄い。そして画素領域に被覆した時の発光層23を含む溶液又は懸濁液の高さは、電流源ライン18の高さやELライン19の高さよりも低い。したがって、発光層23を含む溶液又は懸濁液は、電流源ライン18及びELライン19を越えて隣の行の画素に流出することはない。このように、電流源ライン18及びELライン19は、発光層23を含む溶液又は懸濁液の流出を防止する隔壁として機能する。したがって、電流源ライン18及びELライン19に沿って囲まれた行方向の複数の画素は同一色に発光する発光層とすれば、電流源ライン18及びELライン19間にまとめて発光層23を含む溶液又は懸濁液を流入させることで行方向の複数の画素に発光層23を一括して成膜することができる。

【0093】

次に、図27に示すように、気相成長法によって、マグネシウム、カルシウム、リチウム、バリウム、希土類金属等の低仕事関数材料からなる電子注入層と、酸化インジウム、酸化亜鉛若しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物（例えば、錫ドーパ酸化インジウム（ITO）、亜鉛ドーパ酸化インジウム、カドミウム-錫酸化物（CTO））を有する透明導電層との二層構造の共通電極24をカソード電極として一面に成膜する。電子注入層は10nm～200nmの厚さで可視光が透過する程度に薄いために、電流源ライン18やELライン19の段差によって切断されてもよいが、共通電極24の透明導電層は、複数の画素の有機EL素子26の一方の電極を互いに等電位にするため、電流源ライン18上の電流源ライン絶縁膜21の上を跨ぎ且つELライン19上に跨るように成膜されている。

【0094】

次に、スピンコート法、ディップコート法、気相成長法によってオーバーコート絶縁層25を一面に成膜し、そのオーバーコート絶縁層25に接着樹脂によって封止ガラス基板を貼り合わせる。

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイパネルが完成する。

【0095】

なお、電流線3と交差する部分を除いた走査線4が露出するようにゲート絶縁膜41及び絶縁膜11にコンタクトホールを設けて、電流源ライン18やELライン19の成膜と同一工程において、走査線4上に電解メッキ層を形成してもよい。この場合、メッキ層は、共通電極24と絶縁するように、電流源ライン18の電流源ライン絶縁膜21と同様に、間に絶縁膜を介在させるが、トランジスタ7, 8のゲートには電氣的に接続する。

【0096】

第4の実施形態においても、電流源ライン18及びELライン19をトランジスタ7, 8, 9を構成する導電膜とは異なる膜で形成されているので、電流源ライン18及びELライン19をトランジスタ7, 8, 9のドレイン、ソース、ゲートや電流線3、走査線4

10

20

30

40

50

等よりも厚膜にすることができる。そのため、電流源ライン 18 や E L ライン 19 の電気抵抗を低くすることができ、発光期間の開始時から有機 E L 素子 26 が所望の明るさ（階調）に発光するまでの時間の遅延を抑えたり、電流源ライン 18 や E L ライン 19 における電圧降下を抑えたりすることができる。更には、電流源ライン 18 や E L ライン 19 を低抵抗にすることによって、エレクトロルミネッセンスディスプレイパネルの明るさの低下、明るさのムラ、クロストーク等の表示劣化を抑えることができる。

【0097】

〔第 5 の実施の形態〕

図 28 ~ 図 33 を用いて、第 5 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの製造方法について説明する。図 28 ~ 図 33 は製造方法における各工程の断面図であり、工程順序は図 28 ~ 図 33 の順になっている。また、図 28 ~ 図 33 では、第 2 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの各部に対応する部分に対して同一の符号を付す。

10

【0098】

まず、図 28 に示すように、トランジスタアレイ基板 1 を製造する。次に、気相成長法等の成膜工程、フォトリソグラフィ法等のマスク工程、エッチング等の形状加工工程をこの順に行うことによって、画素ごとに反射金属膜 15d をパターンニング形成する。

【0099】

次に、気相成長法を施すことによって反射金属膜 15d を被覆するように絶縁膜 131 をべた一面に成膜する。

20

【0100】

次に、フォトリソグラフィ法、エッチング法等を施すことにより、各電流制御トランジスタ 9 のソース 9S に通じるコンタクトホール 12 及び各電流制御トランジスタ 9 のドレイン 9D に通じるコンタクトホール 13 を絶縁膜 11 及び絶縁膜 131 に形成する。

なお、本実施形態では、第 2 の実施形態における有機 E L 分離絶縁膜 14 を形成しないことが、第 2 の実施形態と異なる。

【0101】

次に、図 29 に示すように、気相成長法によって透明金属酸化物膜 16 を絶縁膜 131 上の一面に成膜する。透明金属酸化物膜 16 は、コンタクトホール 12 , 13 内においても表面に成膜され、電流制御トランジスタ 9 のドレイン 9D 及びソース 9S に接する。

30

【0102】

次に、スパッタリング等の気相成長法によって銅、ニッケル等の金属材料からなるメッキシード層 17 を透明金属酸化物膜 16 上の一面に成膜する。

【0103】

次に、図 30 に示すように、メッキシード層 17 におけるコンタクトホール 13 と重なり且つ行方向に沿った部分 17a、並びに反射金属膜 15d に対して部分 17a と対向する辺側に行方向に沿った E L ライン 19 が形成される部分 17b、が露出されるようなフォトレジスト膜 65 を形成する。そして電解メッキを行うことにより、露出されたメッキシード層部分 17a、17b 上にトランジスタ 7, 8, 9 のソース、ドレイン、ゲートの膜厚よりも厚い膜厚 2 ~ 100 μm 、5 μm ~ 50 μm 幅の銅メッキ厚膜からなる電流源ライン 18 及び E L ライン 19 を形成する。これにより行方向に配列された複数の画素の電流制御トランジスタ 9 のドレイン 9D が共通の電流源ライン 18 に電氣的に接続した状態となる。なお、電解メッキの代わりに、スパッタリング法又は昇華蒸着法により銅厚膜を成膜しても良い。したがって、電流源ライン 18 , 18 , ... 及び E L ライン 19 , 19 , ... は、走査線 4 に対して平行に設けられている。

40

【0104】

次に、フォトレジスト膜 65 を除去してから図 31 に示すように、電流源ライン 18 及び E L ライン 19 をマスクとして露出されたメッキシード層 17 をエッチング除去し、電流源ライン 18 , 18 , ... の下方にメッキシード下地層 17a を残存し、E L ライン 19 , 19 , ... の下方にメッキシード下地層 17b を残存する。さらに透明金属酸化物膜 16

50

に対してフォトリソグラフィ法、エッチング法を施すことにより、画素電極 16a をパターンニングするとともに、電流源ライン 18 をマスクとしたメッキシード下地層 17a の下方に設けられた透明金属酸化物膜 16 を残留させて透明金属酸化物下地膜 16b を形成し、シード下地層 17b の下方に設けられた透明金属酸化物膜 16 を残留させて補助電極ライン 16d を形成する。補助電極ライン 16d は E L ライン 19 よりも幅広であることが好ましい。

【0105】

次に、図 32 に示すように、電流源ライン 18 を被覆するように電流源ライン絶縁膜 21 を形成するとともに、E L ライン 19 を被覆するように E L ライン絶縁膜 441 を電流源ライン絶縁膜 21 と同工程で形成する。以上により、有機 E L 駆動基板が完成する。

10

【0106】

次に、PEDOT (ポリチオフェン) 及びドーパントである PSS (ポリスチレンスルホン酸) からなる正孔輸送層 22 を液滴吐出法 (インクジェット法)、スピンコート法、ディップコート法等の湿式成膜法によって成膜する。正孔輸送層 22 は、トランジスタアレイ基板 1 の一面に形成して全ての画素に共通させても良いし、画素ごとに独立するよう形成しても良い。

正孔輸送層 22 の乾燥後、第 1 の実施形態と同様に、ポリフルオレン系発光材料からなる発光層 23 を液滴吐出法 (インクジェット方法)、印刷法等の湿式成膜法によって画素ごとにパターンニングする。ここで、正孔輸送層 22 の膜厚や発光層 23 の膜厚は E L ライン 19 の膜厚よりも薄い。そして画素領域に被覆した時の発光層 23 を含む溶液又は懸濁液の高さは、電流源ライン 18 の高さや E L ライン 19 の高さよりも低い。したがって、発光層 23 を含む溶液又は懸濁液は、電流源ライン 18 及び E L ライン 19 を越えて隣の行の画素に流出することはない。このように、電流源ライン 18 及び E L ライン 19 は、発光層 23 を含む溶液又は懸濁液の流出を防止する隔壁として機能する。したがって、電流源ライン 18 及び E L ライン 19 に沿って囲まれた行方向の複数の画素は同一色に発光する発光層とすれば、電流源ライン 18 及び E L ライン 19 間にまとめて発光層 23 を含む溶液又は懸濁液を流入させることで行方向の複数の画素に発光層 23 を一括して成膜することができる。

20

発光層 23 の乾燥後、補助電極ライン 16d の一部表面が露出するように正孔輸送層 22 及び発光層 23 にコンタクトホール 51 を形成する。

30

【0107】

次に、図 33 に示すように、蒸着等の気相成長法によって、マグネシウム、カルシウム、リチウム、バリウム、希土類金属等の低仕事関数の材料からなる電子注入層と、酸化インジウム、酸化亜鉛若しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物 (例えば、錫ドーパ酸化インジウム (ITO)、亜鉛ドーパ酸化インジウム、カドミウム - 錫酸化物 (CTO)) を有する透明導電層との二層構造の共通電極 24 をカソード電極として一面に成膜する。電子注入層は 10nm ~ 200nm の厚さで可視光が透過する程度に薄いために、電流源ライン 18 や E L ライン 19 の段差によって切断されてもよいが、共通電極 24 の透明導電層は、複数の画素の有機 E L 素子 26 の一方の電極を互いに等電位にするため、電流源ライン 18 表面の電流源ライン絶縁膜 21 上に跨り且つ E L ライン 19 表面の E L ライン絶縁膜 441 上に跨るように成膜されている。共通電極 24 はコンタクトホール 51 を介して補助電極ライン 16d 及び E L ライン 19 に接続されている。このように、発光層 23 は共通電極 24 に密着した状態で共通電極 24 によって被覆され、更に E L ライン 19 も共通電極 24 に密着した状態で共通電極 24 によって被覆され、有機 E L 素子 26 が形成される。

40

【0108】

次に、スピンコート法、ディップコート法、気相成長法によって透明なオーバーコート絶縁層 25 を一面に成膜し、そのオーバーコート絶縁層 25 に接着樹脂によって封止ガラス基板を貼り合わせる。

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイ

50

パネルが完成する。

【0109】

第5の実施形態においても、電流源ライン18及びELライン19をトランジスタ7, 8, 9を構成する導電膜とは異なる膜で形成されているので、電流源ライン18及びELライン19をトランジスタ7, 8, 9のドレイン、ソース、ゲートや電流線3、走査線4等よりも厚膜にすることができる。

【0110】

〔第6の実施の形態〕

第1の実施形態では、電流源ライン18及びELライン19をトランジスタ層（基板2の表面から絶縁膜11の表面までの間の多層膜）の上に形成したが、本実施形態ではトランジスタ層の下に電流源ライン18及びELライン19を形成している。具体的には、図34～図39に示すような製造方法となっている。

10

【0111】

図34～図40を用いて、第6の実施形態におけるエレクトロルミネッセンスディスプレイパネルの製造方法について説明する。図34～図39は製造方法における各工程の断面図であり、工程順序は図34～図39の順になっている。なお、図34～図39では、第1の実施形態におけるエレクトロルミネッセンスディスプレイパネルの各部に対応する部分に対して同一の符号を付す。

【0112】

まず、図34に示すように、電解メッキを行うことにより、5 μ m～50 μ m幅で且つ2～100 μ mの膜厚である複数の電流源ライン18及び複数のELライン19を基板2上にパターンニングする。電流源ライン18及びELライン19をパターンニングするにあたって、電流源ライン18をELライン19に対して平行に設け、電流源ライン18及びELライン19を基板2の縁まで延在するよう、且つ、電流源ライン18及びELライン19が基板2の横方向に延在するよう、電流源ライン18及びELライン19をパターンニングする。電流源ライン18及びELライン19は、後述するトランジスタ7, 8, 9のソース、ドレイン、ゲートより厚く堆積されているため、これら電極よりも単位配線の長さ当たりの抵抗が低く設定されている。

20

【0113】

次に、層間絶縁膜501を基板2上にべた一面に成膜し、電流源ライン18及びELライン19を層間絶縁膜501で被覆する。次に、一画素につき、電流源ライン18まで通じるコンタクトホール502と、ELライン19まで通じるコンタクトホール503とを層間絶縁膜501に形成する。

30

【0114】

次に、図35に示すように、気相成長法といった成膜工程、フォトリソグラフィ法といったマスク工程、エッチングといった形状加工工程を適宜行うことにより、一画素につき三つのトランジスタ7, 8, 9をパターンニング形成する。ここで、トランジスタ7, 8, 9のゲートのもととなる導電性薄膜が、コンタクトホール502に埋設するようにパターンニングされたゲート下地膜511aが形成され、コンタクトホール503に埋設するようにパターンニングされたゲート下地膜511bが形成される。またゲート下地膜511aが露出するようなコンタクトホール及びゲート下地膜511aが露出するようなコンタクトホールをゲート絶縁膜41に一括して設け、トランジスタ7, 8, 9のソース、ドレインのもととなる導電性薄膜をパターンニングしてそれぞれに、電流制御トランジスタ9のドレイン9D及びソース、ドレイン下地膜504が埋設される。トランジスタ7, 8, 9のゲートのもととなる導電性薄膜はの一部が電流線3としてパターンニング形成される。。

40

【0115】

次に、絶縁膜11に対してフォトリソグラフィ法、エッチング法等を施すことにより、各電流制御トランジスタ9のソース9Sに通じるコンタクトホール12及び下地膜504に通じるコンタクトホール505を絶縁膜11に形成する。

【0116】

50

次に、図 3 6 に示すように、気相成長法等の成膜工程、フォトリソグラフィ法等のマスク工程、エッチング等の形状加工工程をこの順に行うことによって、画素ごとに反射金属膜 1 5 d をパターンニング形成する。次に、気相成長法を施すことによって反射金属膜 1 5 d を被覆するように絶縁膜 1 3 1 をべた一面に成膜する。

【 0 1 1 7 】

次に、絶縁膜 1 3 1 にもコンタクトホール 1 2 及びコンタクトホール 5 0 5 に合わせてコンタクトホールを形成する。

【 0 1 1 8 】

次に、気相成長法によって透明金属酸化物膜を絶縁膜 1 3 1 上の一面に成膜する。透明金属酸化物膜は、コンタクトホール 1 2 , 5 0 5 内においても表面に成膜され、電流制御トランジスタ 9 のソース 9 S 及び下地膜 5 0 4 に接する。 10

【 0 1 1 9 】

次に、図 3 7 に示すように、透明金属酸化物膜に対してフォトリソグラフィ法、エッチング法を施すことにより、コンタクトホール 1 2 を介して電流制御トランジスタ 9 のソース 9 S と接続される画素電極 1 6 a を形成するとともに、コンタクトホール 5 0 5 を介して補助電極ライン 1 6 e を形成する。なお、図 3 7 は図 4 0 の (XXXVII) - (XXXVII) 線に沿って厚さ方向に切断したときの略断面図である。

【 0 1 2 0 】

次に、図 3 8 に示すように、フォトリソグラフィ法によってポリイミド等の感光性樹脂からなる網目状の隔壁 5 0 6 をパターンニングする。ここで、画素電極 1 6 a が隔壁 5 0 6 による網目の間に囲繞されるよう、隔壁 5 0 6 をパターンニングする。 20

【 0 1 2 1 】

次に、PEDOT (ポリチオフェン) 及びドーパントである PSS (ポリスチレンスルホン酸) からなる正孔輸送層 2 2 を液滴吐出法 (インクジェット法)、スピンコート法、ディップコート法等の湿式成膜法によって成膜する。正孔輸送層 2 2 は、トランジスタアレイ基板 1 の一面に形成して全ての画素に共通させても良いし、画素ごとに独立するよう形成しても良い。

【 0 1 2 2 】

正孔輸送層 2 2 の乾燥後、第 1 の実施形態と同様に、湿式成膜法によって画素ごとにパターンニングする。ここで、正孔輸送層 2 2 の膜厚や発光層 2 3 の膜厚は隔壁 5 0 6 の膜厚よりも薄い。そして画素領域に被覆した時の発光層 2 3 を含む溶液又は懸濁液の高さは隔壁 5 0 6 の高さよりも低い。したがって、発光層 2 3 を含む溶液又は懸濁液は、隔壁 5 0 6 を越えて隣の行の画素に流出することはない。このように、隔壁 5 0 6 は、発光層 2 3 を含む溶液又は懸濁液の流出を防止する隔壁として機能する。したがって、隔壁 5 0 6 に囲まれた各画素は所定の色に発光する発光層のみを充填することができる。 30

【 0 1 2 3 】

発光層 2 3 の乾燥後、補助電極ライン 1 6 e の一部表面が露出するように正孔輸送層 2 2 及び発光層 2 3 にコンタクトホール 5 1 を形成する。

【 0 1 2 4 】

次に、図 3 9 に示すように、蒸着等の気相成長法によって、マグネシウム、カルシウム、リチウム、バリウム、希土類金属等の低仕事関数の材料からなる電子注入層と、酸化インジウム、酸化亜鉛若しくは酸化スズ又はこれらのうちの少なくとも一つを含む混合物 (例えば、錫ドーパ酸化インジウム (ITO)、亜鉛ドーパ酸化インジウム、カドミウム - 錫酸化物 (CTO)) を有する透明導電層との二層構造の共通電極 2 4 をカソード電極として一面に成膜する。電子注入層は 10 nm ~ 200 nm の厚さで可視光が透過する程度に薄いために、隔壁 5 0 6 の段差によって切断されてもよいが、共通電極 2 4 の透明導電層は、複数の画素の有機 EL 素子 2 6 の一方の電極を互いに等電位にするため、隔壁 5 0 6 表面の電流源ライン絶縁膜 2 1 上に跨り且つ隔壁 5 0 6 表面の EL ライン絶縁膜 4 4 1 上に跨るように成膜されている。共通電極 2 4 はコンタクトホール 5 1 を介して補助電極ライン 1 6 e に接続されている。このように、発光層 2 3 は共通電極 2 4 に密着した状態 40 50

で共通電極 2 4 によって被覆され、更に隔壁 5 0 6 も共通電極 2 4 に密着した状態で共通電極 2 4 によって被覆され、有機 E L 素子 2 6 が形成される。

【 0 1 2 5 】

次に、図 3 9 に示すように、スピンコート法、ディップコート法、気相成長法によって透明なオーバーコート絶縁層 2 5 を一面に成膜し、そのオーバーコート絶縁層 2 5 に接着樹脂によって封止ガラス基板を貼り合わせる。

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイパネルが完成する。

【 0 1 2 6 】

第 6 の実施形態においても、電流源ライン 1 8 及び E L ライン 1 9 をトランジスタ 7 , 8 , 9 とは別工程でトランジスタ 7 , 8 , 9 のソース、ドレイン、ゲートとは異なる導電膜をパターニングしてなるので、電流源ライン 1 8 及び E L ライン 1 9 をトランジスタ 7 , 8 , 9 のドレイン、ソース、ゲートや電流線 3、走査線 4 等よりも厚膜にすることができ、電流源ライン 1 8 や E L ライン 1 9 の電気抵抗を低くすることができる。そのため、電流源ライン 1 8 や E L ライン 1 9 における信号遅延や電圧降下を抑えたりすることができる。

【 0 1 2 7 】

〔 第 7 の実施の形態 〕

図 4 1 ~ 図 4 2 を用いて、第 7 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの製造方法について説明する。図 4 1 ~ 図 4 2 は製造方法における各工程の断面図であり、工程順序は図 4 1 ~ 図 4 2 の順になっている。なお、図 4 1 ~ 図 4 2 では、第 6 の実施形態におけるエレクトロルミネッセンスディスプレイパネルの各部に対応する部分に対して同一の符号を付す。また第 7 の実施形態においては、画素電極が形成される工程までは第 6 の実施形態の図 3 4 ~ 図 3 7 と同一工程であるので、その説明を省略する。

【 0 1 2 8 】

画素電極 1 6 a を形成後、図 4 1 に示すように、フォトリソグラフィ法によって電流源ライン 1 8 に沿って隔壁 5 0 7 をパターニングするとともに、隔壁 5 0 7 の形成と同じ工程で E L ライン 1 9 に沿って隔壁 5 0 8 , 5 0 9 を形成する。ここで、画素電極 1 6 a が隔壁 5 0 7 と隔壁 5 0 8 の間に位置するように隔壁 5 0 7 , 5 0 8 が形成され、更に、下地膜 5 0 4 の上に残留した補助電極ライン 1 6 e が、平面視して、隔壁 5 0 8 と隔壁 5 0 9 との間に位置するように、隔壁 5 0 8 及び隔壁 5 0 9 が形成されている。

【 0 1 2 9 】

次に、隔壁 5 0 8 と隔壁 5 0 9 との間に、導電性ペースト 5 1 0 を埋め込む。これにより、下地膜 5 0 4 の上に残留した補助電極ライン 1 6 e に対して導電性ペースト 5 1 0 が密着する。

【 0 1 3 0 】

導電性ペースト 5 1 0 の乾燥後、第 6 実施形態と同様に正孔輸送層 2 2、発光層 2 3 を成膜する。このとき、隔壁 5 0 7 及び隔壁 5 0 8 は、第 6 実施形態の隔壁 5 0 6 と同じ機能を有する。

【 0 1 3 1 】

次に、図 4 2 に示すように、第 6 実施形態と同様に共通電極 2 4 を一面に成膜する。これにより、発光層 2 3 は共通電極 2 4 に密着した状態で共通電極 2 4 によって被覆される。更に導電性ペースト 5 1 0 も共通電極 2 4 に密着する。したがって、共通電極 2 4 は、導電性ペースト 5 1 0、補助電極ライン 1 6 e、ソース、ドレイン下地膜 5 0 4、ゲート下地膜 5 1 1 b を介して E L ライン 1 9 に接続される。

【 0 1 3 2 】

次に、スピンコート法、ディップコート法、気相成長法によって透明なオーバーコート絶縁層 2 5 を一面に成膜し、そのオーバーコート絶縁層 2 5 に接着樹脂によって封止ガラス基板を貼り合わせる。

10

20

30

40

50

以上により、アクティブマトリクス駆動方式のエレクトロルミネッセンスディスプレイパネルが完成する。

【 0 1 3 3 】

第 7 の実施形態においても、電流源ライン 1 8 及び E L ライン 1 9 をトランジスタ 7 , 8 , 9 とは別工程でパターンニングしたので、電流源ライン 1 8 及び E L ライン 1 9 をトランジスタ 7 , 8 , 9 のドレイン、ソース、ゲートや電流線 3、走査線 4 等よりも厚膜にしてトランジスタ 7 , 8 , 9 よりも相対的に低抵抗にすることができ、電流源ライン 1 8 や E L ライン 1 9 の電気抵抗を低くすることができる。そのため、電流源ライン 1 8 や E L ライン 1 9 における信号遅延や電圧降下を抑えたりすることができる。

【 0 1 3 4 】

上記各実施形態では、反射金属膜 1 5 を設けて共通電極 2 4 側から発光層 2 3 の発光を出射させたが、これに限らず、反射金属膜 1 5 を設けずに、画素電極 1 6 側から発光層 2 3 の発光を出射させてもよい。この場合、共通電極 2 4 は不透明又は光反射性であることが好ましく、特に低仕事関数の電子放出膜と、電子放出膜を被覆して保護する高仕事関数の導電膜と、の複数層構造であることが好ましい。

【図面の簡単な説明】

【 0 1 3 5 】

【図 1】トランジスタアレイ基板 1 の等価回路図である。

【図 2】第 1 の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。

【図 3】図 2 の次の工程を説明するための断面図である。

【図 4】図 3 の次の工程を説明するための断面図である。

【図 5】図 4 の次の工程を説明するための断面図である。

【図 6】図 5 の次の工程を説明するための断面図である。

【図 7】図 6 の次の工程を説明するための断面図である。

【図 8】図 5 の状態における平面図である。

【図 9】エレクトロルミネッセンスディスプレイパネルの等価回路図である。

【図 10】第 2 の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。

【図 11】図 10 の次の工程を説明するための断面図である。

【図 12】図 11 の次の工程を説明するための断面図である。

【図 13】図 12 の次の工程を説明するための断面図である。

【図 14】図 13 の次の工程を説明するための断面図である。

【図 15】図 14 の次の工程を説明するための断面図である。

【図 16】第 3 の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。

【図 17】図 16 の次の工程を説明するための断面図である。

【図 18】図 17 の次の工程を説明するための断面図である。

【図 19】図 18 の次の工程を説明するための断面図である。

【図 20】図 19 の次の工程を説明するための断面図である。

【図 21】図 20 の次の工程を説明するための断面図である。

【図 22】第 4 の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。

【図 23】図 22 の次の工程を説明するための断面図である。

【図 24】図 23 の次の工程を説明するための断面図である。

【図 25】図 24 の次の工程を説明するための断面図である。

【図 26】図 25 の次の工程を説明するための断面図である。

【図 27】図 26 の次の工程を説明するための断面図である。

【図 28】第 5 の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。

10

20

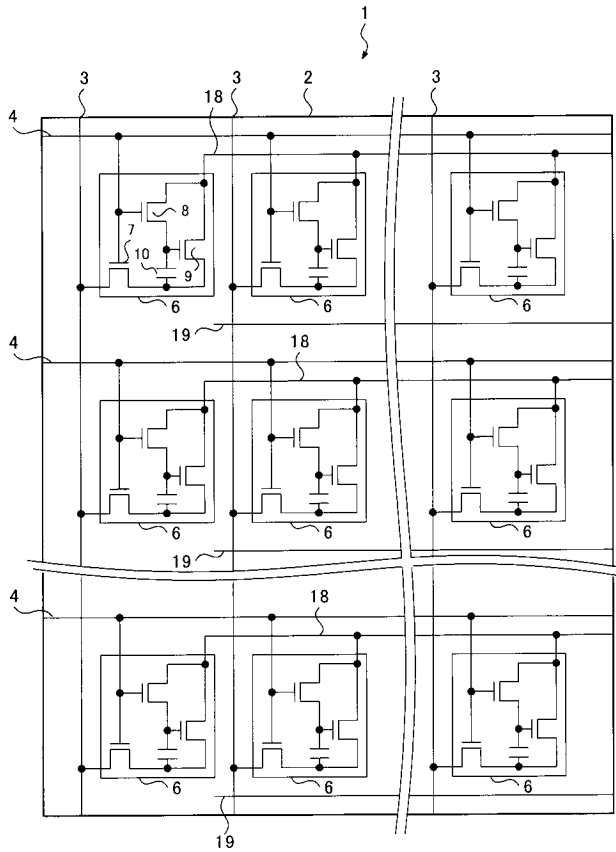
30

40

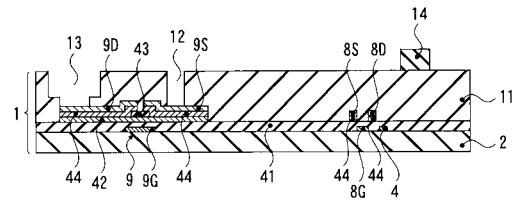
50

- 【図 29】図 27 の次の工程を説明するための断面図である。
- 【図 30】図 29 の次の工程を説明するための断面図である。
- 【図 31】図 30 の次の工程を説明するための断面図である。
- 【図 32】図 31 の次の工程を説明するための断面図である。
- 【図 33】図 32 の次の工程を説明するための断面図である。
- 【図 34】第 6 の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。
- 【図 35】図 34 の次の工程を説明するための断面図である。
- 【図 36】図 35 の次の工程を説明するための断面図である。
- 【図 37】図 36 の次の工程を説明するための断面図である。 10
- 【図 38】図 37 の次の工程を説明するための断面図である。
- 【図 39】図 38 の次の工程を説明するための断面図である。
- 【図 40】図 37 の状態における平面図である。
- 【図 41】第 7 の実施形態においてエレクトロルミネッセンスディスプレイパネルを製造するプロセスの一工程を説明するための断面図である。
- 【図 42】図 41 の次の工程を説明するための断面図である。
- 【符号の説明】
- 【 0 1 3 6 】
- 1 トランジスタアレイ基板
 - 2 基板 20
 - 6 画素回路
 - 7 電流経路制御トランジスタ（薄膜トランジスタ）
 - 8 電流データ書込み制御トランジスタ（薄膜トランジスタ）
 - 9 電流制御トランジスタ（薄膜トランジスタ）
 - 16 a 画素回路
 - 18 電流源ライン（配線の導電層、画素回路接続配線の導電層）
 - 19 ELライン（発光素子接続配線の導電層）
 - 26 有機 EL 素子（発光素子）

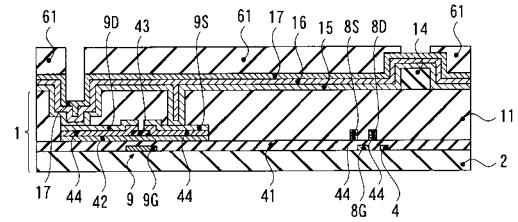
【図 1】



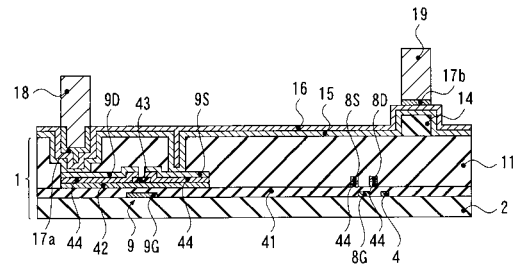
【図 2】



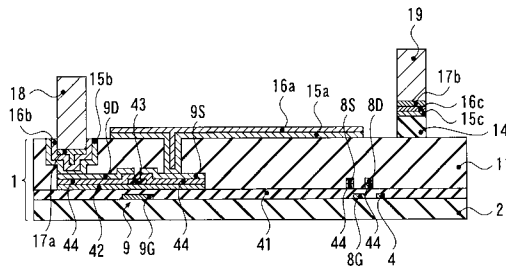
【図 3】



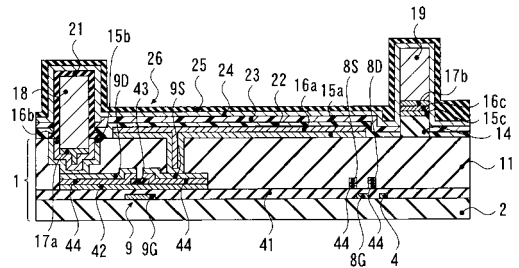
【図 4】



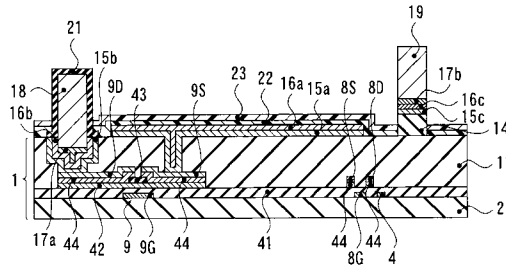
【図 5】



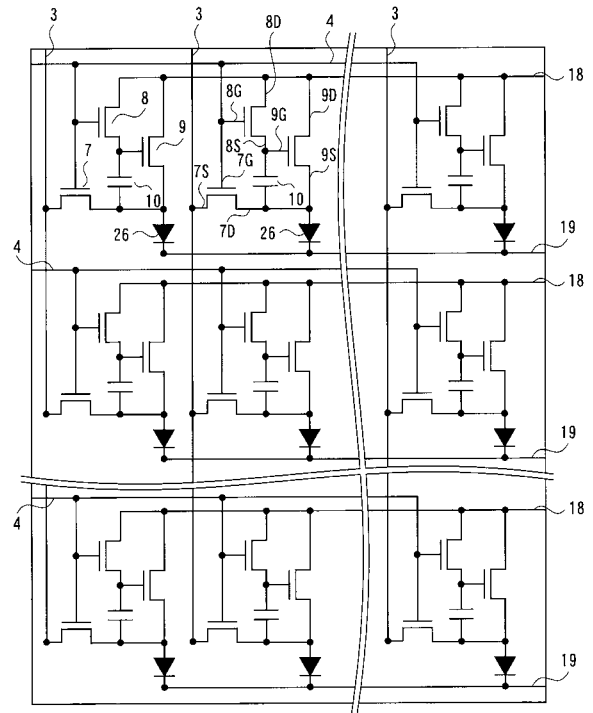
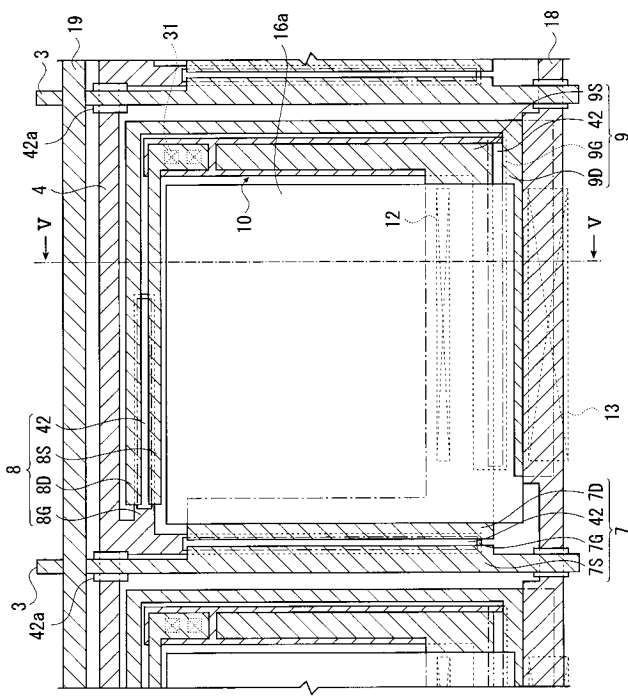
【図 7】



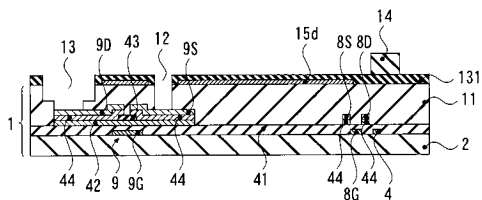
【図 6】



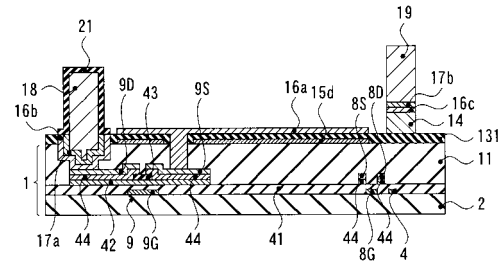
【 図 9 】



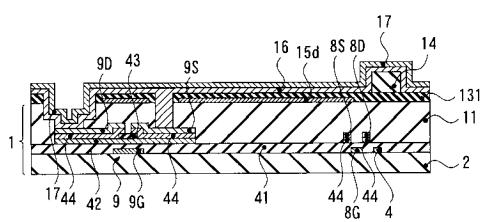
【 図 1 0 】



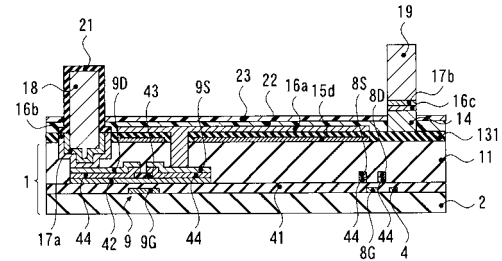
【 図 1 3 】



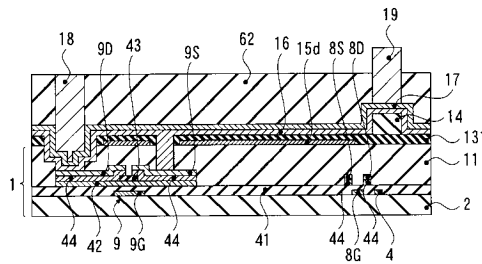
【 図 1 1 】



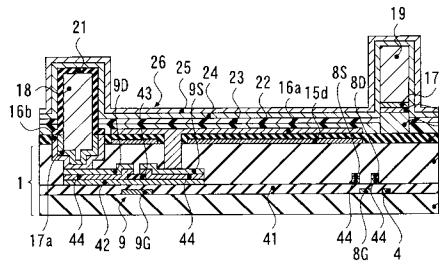
【 ㄨ 1 4 】



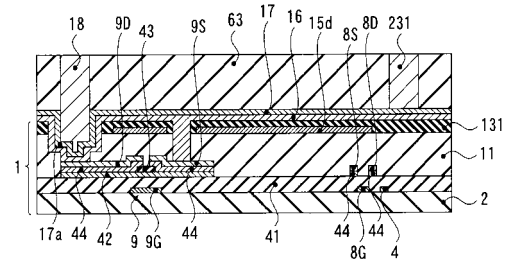
【 図 1 2 】



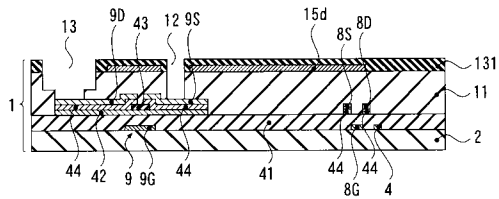
【図 15】



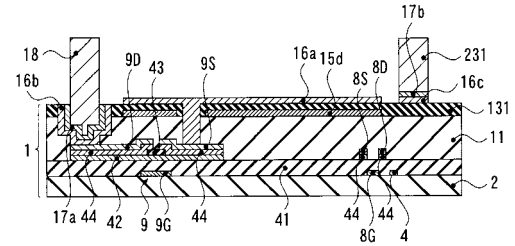
【図 18】



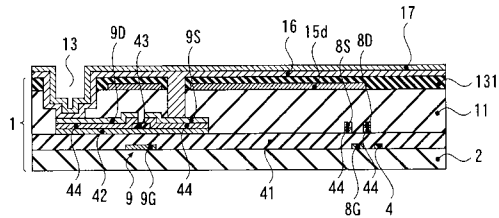
【図 16】



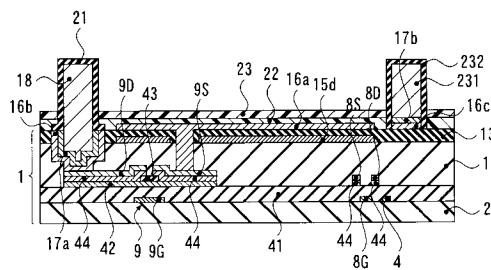
【図 19】



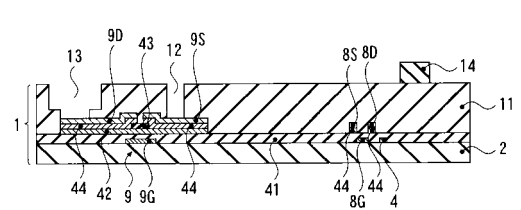
【図 17】



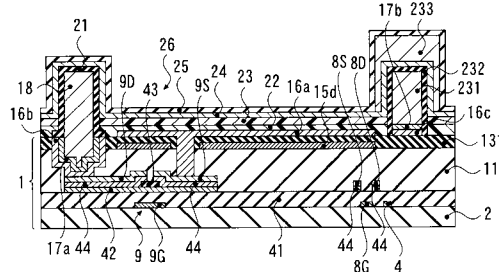
【図 20】



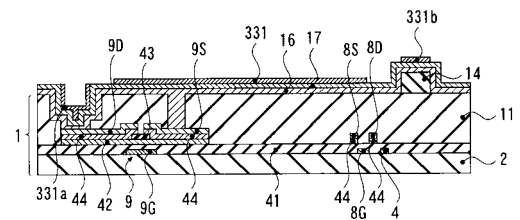
【図 22】



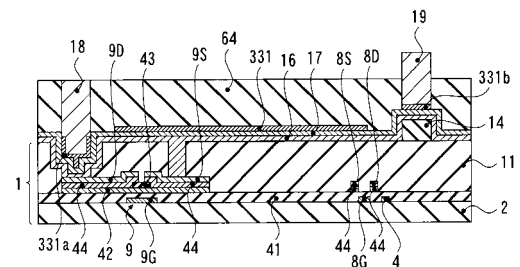
【図 21】



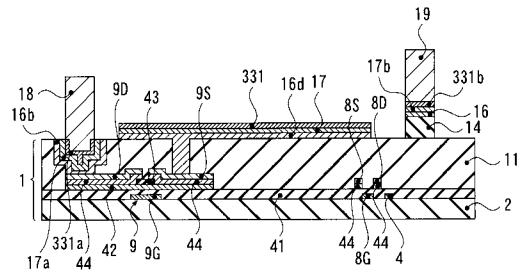
【図 23】



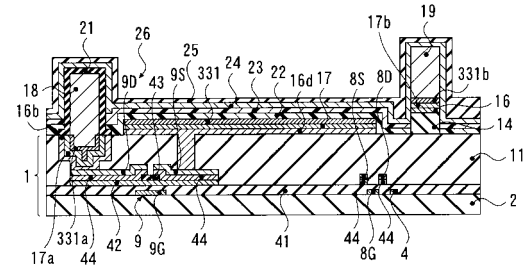
【図 24】



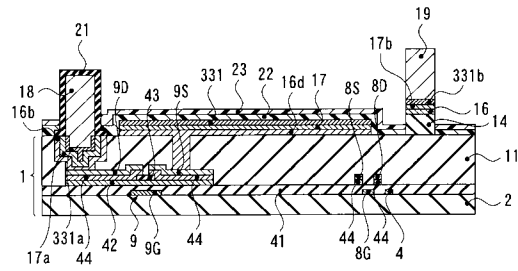
【図 25】



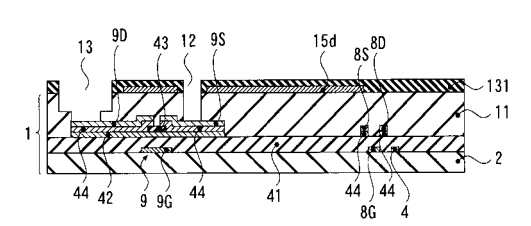
【図 27】



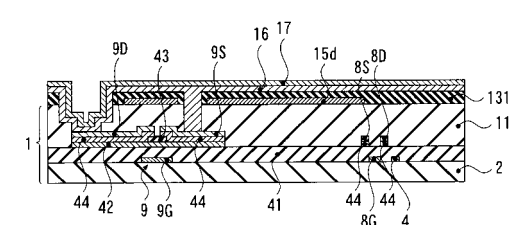
【図 26】



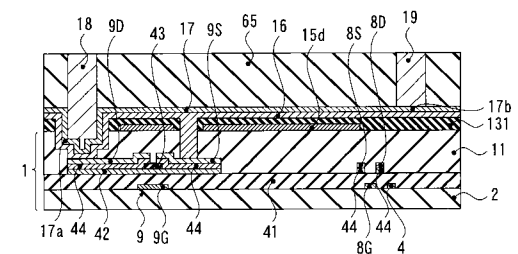
【図 28】



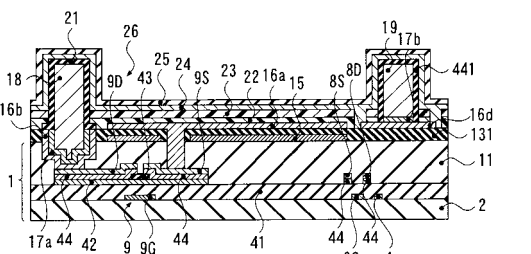
【図 29】



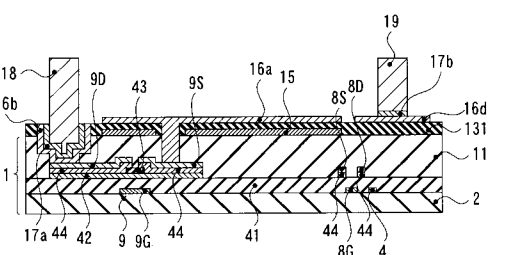
【図 30】



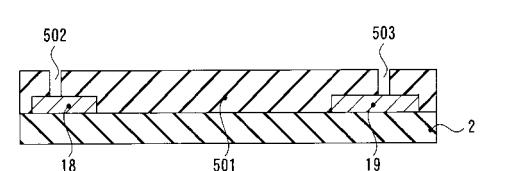
【図 33】



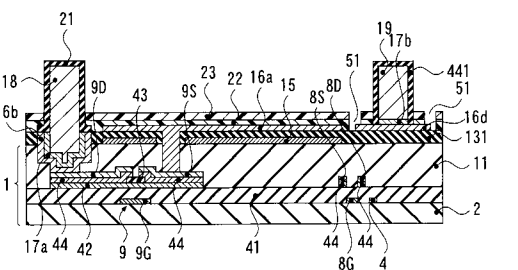
【図 31】



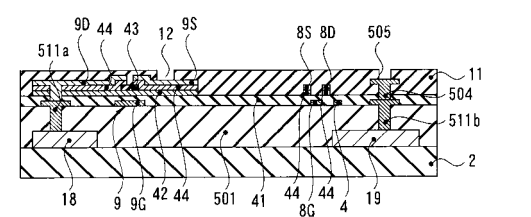
【図 34】



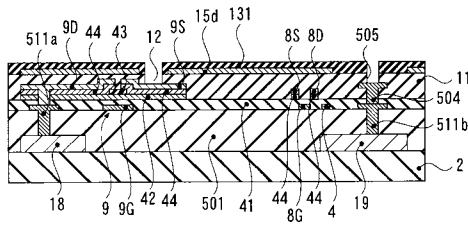
【図 32】



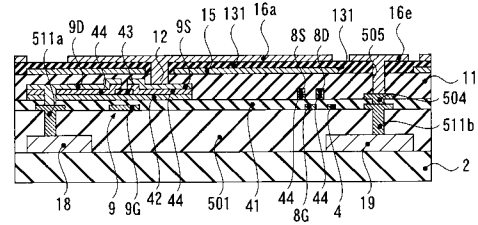
【図 35】



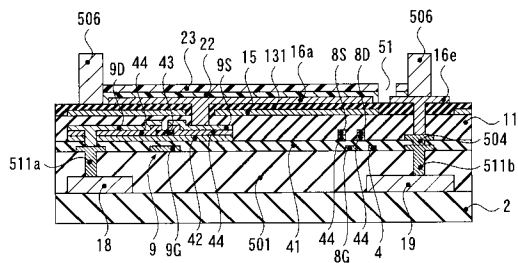
【図 3 6】



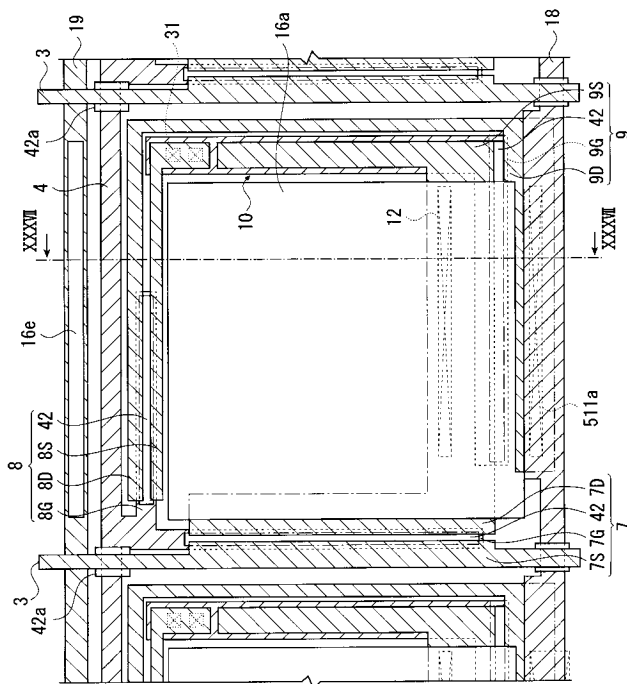
【図 3 7】



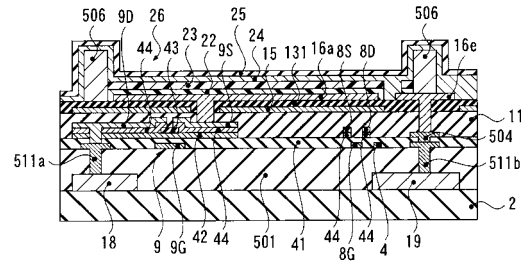
【図 3 8】



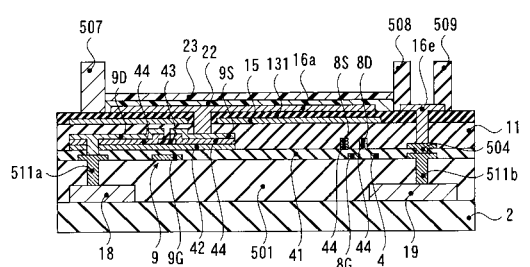
【図 4 0】



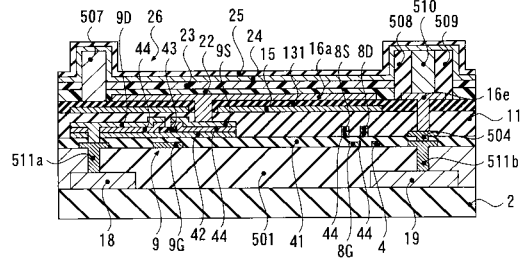
【図 3 9】



【図 4 1】



【図 4 2】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
H 0 5 B 33/14 A

(72)発明者 武居 学
東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社八王子技術センター内
(72)発明者 小倉 潤
東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社八王子技術センター内
(72)発明者 山口 郁博
東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社八王子技術センター内
(72)発明者 尾崎 剛
東京都八王子市石川町 2 9 5 1 番地 5 カシオ計算機株式会社八王子技術センター内

F ターム(参考) 3K007 BA06 DB03 GA00
5C080 AA06 BB05 DD05 EE29 FF11 HH09 JJ03 JJ06
5C094 AA04 AA25 AA42 AA55 BA03 BA27 CA19 DA13 EA04 GB10

专利名称(译)	显示面板及其制造方法		
公开(公告)号	JP2005345976A	公开(公告)日	2005-12-15
申请号	JP2004168619	申请日	2004-06-07
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	白寄友之 当山忠久 武居学 小倉潤 山口郁博 尾崎剛		
发明人	白寄 友之 当山 忠久 武居 学 小倉 潤 山口 郁博 尾崎 剛		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 H01L27/32 H05B33/14		
FI分类号	G09F9/30.330.Z G09F9/30.338 G09F9/30.365.Z G09G3/20.624.B G09G3/30.K H05B33/14.A G09F9/30.330 G09F9/30.365 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 H01L27/32		
F-TERM分类号	3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ06 5C094/AA04 5C094/AA25 5C094/AA42 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/EA04 5C094/GB10 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC11 3K107/CC12 3K107/CC31 3K107/CC33 3K107/DD39 3K107/EE03 3K107/FF04 3K107/FF15 3K107/GG06 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB45 5C380/BA19 5C380/BA20 5C380/BA28 5C380/BB05 5C380/BB08 5C380/CA08 5C380/CA13 5C380/CB01 5C380/CB16 5C380/CC13 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC52 5C380/CC62 5C380/CC77 5C380/CD013 5C380/DA02 5C380/DA06 5C380/FA03 5C380/GA04		
其他公开文献	JP4424078B2		
外部链接	Espacenet		

摘要(译)

要解决的问题是抑制电压降和电流延迟的发生。 解决方案：通过将气相生长方法，光刻方法，蚀刻方法等应用于基板2，在基板2上图案化多个晶体管7,8,9。在制造的晶体管阵列基板1的表面层中形成接触孔12和13，并且通过图案化进一步形成像素电极16a，并且通过电镀方法图案化电流源线18和EL线19。电流源线18形成为与晶体管9的漏极9D接触。这里，使电流源极线18和EL线19的膜厚度厚于晶体管7,8,9的阳极和公共电极的膜厚度。之后，形成空穴传输层22和发光层23，并且形成公共电极24以与EL线19接触。 点域8

