

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-347749

(P2004-347749A)

(43) 公開日 平成16年12月9日(2004.12.9)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09F 9/00	G09F 9/00 352	3K007
G09F 9/30	G09F 9/30 338	4M106
H01L 21/66	G09F 9/30 365Z	5C094
H01L 29/786	H01L 21/66 V	5F110
H05B 33/10	H05B 33/10	5G435

審査請求 有 請求項の数 19 O L (全 20 頁) 最終頁に続く

(21) 出願番号	特願2003-142972 (P2003-142972)	(71) 出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(22) 出願日	平成15年5月21日 (2003.5.21)	(74) 代理人	100086243 弁理士 坂口 博
		(74) 代理人	100091568 弁理士 市位 嘉宏
		(74) 代理人	100108501 弁理士 上野 剛史

最終頁に続く

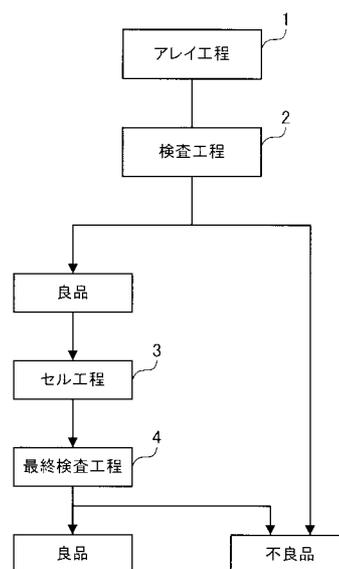
(54) 【発明の名称】 アクティブマトリックスパネルの検査装置、検査方法、およびアクティブマトリックスOLEDパネルの製造方法

(57) 【要約】

【課題】 OLED形成工程の前に、AMOLEDパネル用TFTアレイにおける駆動TFTのオープン/ショート欠陥を迅速に判定する。

【解決手段】 基板上にTFTアレイを形成してアクティブマトリックスパネルを生成するアレイ工程1と、生成されたアクティブマトリックスパネルの機能検査を行う検査工程2と、この検査工程2を経たアクティブマトリックスパネルに対してOLEDを実装するセル工程3とを含み、検査工程2は、アレイ工程1により生成されたアクティブマトリックスパネルを構成する駆動TFTをONしたときとOFFしたときの画素電極を介した寄生容量の変化を測定し、駆動TFTのオープン/ショートを検査する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

OLED (Organic Light Emitting Diode) 形成前におけるアクティブマトリックスパネルを検査するアクティブマトリックスパネルの検査装置であって、

前記アクティブマトリックスパネルを構成する駆動 TFT (Thin Film Transistor) の検査用配線に対して電圧を変化させる電圧変化手段と、

前記電圧変化手段により前記検査用配線に対して電圧を変化させた際に、当該駆動 TFT のソース側配線に流れる過渡電流を測定し、当該駆動 TFT における OFF 状態と ON 状態での寄生容量の変化を測定する測定手段と

を備えたことを特徴とするアクティブマトリックスパネルの検査装置。

10

【請求項 2】

前記測定手段は、前記アクティブマトリックスパネルを構成する全ての画素における寄生容量の変化を測定し、前記駆動 TFT がオープン/ショート欠陥である画素数を求めることを特徴とする請求項 1 記載のアクティブマトリックスパネルの検査装置。

【請求項 3】

前記測定手段により測定された前記寄生容量の変化に基づいて、前記アクティブマトリックスパネルを構成する画素回路を生成する際のばらつきを推定するばらつき推定手段を更に備えたことを特徴とする請求項 1 記載のアクティブマトリックスパネルの検査装置。

【請求項 4】

前記測定手段は、前記ソース側配線に接続された積分回路を用いて前記過渡電流を測定し、当該積分回路の出力をデジタルデータに変換した後に計算機に取り込むことを特徴とする請求項 1 記載のアクティブマトリックスパネルの検査装置。

20

【請求項 5】

OLED (Organic Light Emitting Diode) 形成前におけるアクティブマトリックスパネルを検査するアクティブマトリックスパネルの検査装置であって、

前記アクティブマトリックスパネルを構成する駆動 TFT (Thin Film Transistor) の OFF 状態にて、画素電極を介した寄生容量を測定する OFF 状態寄生容量測定手段と、

前記駆動 TFT の ON 状態にて、前記画素電極を介した寄生容量を測定する ON 状態寄生容量測定手段と、

前記 OFF 状態寄生容量測定手段により測定された寄生容量と、前記 ON 状態寄生容量測定手段により測定された寄生容量とに基づいて、前記駆動 TFT のオープン/ショートを検査する検査手段と

を備えたことを特徴とするアクティブマトリックスパネルの検査装置。

30

【請求項 6】

前記 ON 状態寄生容量測定手段は、前記駆動 TFT のゲート電圧が低い初期電圧を有する場合に、寄生容量を介してチャージポンプを行うことを特徴とする請求項 5 記載のアクティブマトリックスパネルの検査装置。

40

【請求項 7】

前記 ON 状態寄生容量測定手段は、前記アクティブマトリックスパネルを構成する個々の検査用配線について、当該検査用配線と直接 AC カップリングしている画素の駆動 TFT を ON 状態にして寄生容量を推定し、

前記検査手段は、推定された寄生容量の最大値と個々の寄生容量との差からオープン欠陥となっている駆動 TFT の画素数を推定することを特徴とする請求項 5 記載のアクティブマトリックスパネルの検査装置。

【請求項 8】

前記 OFF 状態寄生容量測定手段は、前記アクティブマトリックスパネルを構成する個々の検査用配線について、当該検査用配線と直接 AC カップリングしている画素の駆動 T F

50

TをOFF状態にして寄生容量を推定し、
前記検査手段は、推定された寄生容量の最小値と個々の寄生容量との差からショート欠陥となっている駆動TFTの画素数を推定することを特徴とする請求項5記載のアクティブマトリックスパネルの検査装置。

【請求項9】

前記OFF状態寄生容量測定手段は、前記アクティブマトリックスパネルを構成する個々の検査用配線について、当該検査用配線と直接ACカップリングしている画素の駆動TFTをOFF状態にして寄生容量を推定し、

前記ON状態寄生容量測定手段は、前記アクティブマトリックスパネルを構成する個々の検査用配線について、当該検査用配線と直接ACカップリングしている画素の駆動TFTをON状態にして寄生容量を推定し、

前記検査手段は、推定された寄生容量の最小値および最大値と各検査用配線の寄生容量との差から、各検査用配線におけるオープン/ショート欠陥の数を推定することを特徴とする請求項5記載のアクティブマトリックスパネルの検査装置。

【請求項10】

OLED(Organic Light Emitting Diode)形成前のアクティブマトリックスパネルを検査するアクティブマトリックスパネルの検査方法であって、

前記アクティブマトリックスパネルを構成する駆動TFT(Thin Film Transistor)のOFF状態にて、画素電極を介した寄生容量に基づく値を測定する第1のステップと、

前記駆動TFTのON状態にて、前記画素電極を介した寄生容量に基づく値を測定する第2のステップと、

前記第1のステップにより測定された値と前記第2のステップにより測定された値とに基づいて、前記駆動TFTのオープン/ショートを検査する検査ステップを含むアクティブマトリックスパネルの検査方法。

【請求項11】

前記第1のステップおよび前記第2のステップにおける前記画素電極を介した前記寄生容量に基づく値は、当該寄生容量を介して当該画素電極側からソース側に流れる過渡電流であることを特徴とする請求項10記載のアクティブマトリックスパネルの検査方法。

【請求項12】

前記第1のステップは、前記アクティブマトリックスパネルを構成する個々の検査用配線について、当該検査用配線と直接ACカップリングしている全ての画素の駆動TFTを同時にOFF状態にして前記寄生容量に基づく値を測定することを特徴とする請求項10記載のアクティブマトリックスパネルの検査方法。

【請求項13】

前記第2のステップは、前記アクティブマトリックスパネルを構成する個々の検査用配線について、当該検査用配線と直接ACカップリングしている全ての画素の駆動TFTを同時にON状態にして前記寄生容量に基づく値を測定することを特徴とする請求項10記載のアクティブマトリックスパネルの検査方法。

【請求項14】

基板上にTFT(Thin Film Transistor)アレイを形成してアクティブマトリックスパネルを生成するアレイ工程と、

生成された前記アクティブマトリックスパネルの機能検査を行う検査工程と、

前記検査工程を経た前記アクティブマトリックスパネルに対してOLED(Organic Light Emitting Diode)を実装するセル工程とを含み、

前記検査工程は、前記アレイ工程により生成された前記アクティブマトリックスパネルを構成する駆動TFTをONしたときとOFFしたときとの画素電極を介した寄生容量の変化を測定し、当該駆動TFTのオープン/ショートを検査することを特徴とするアクティブマトリックスOLEDパネルの製造方法。

10

20

30

40

50

【請求項 15】

前記検査工程は、前記アクティブマトリックスパネルを構成する画素における寄生容量変化を測定し、前記駆動TFTがオープン/ショート欠陥である画素数を求めることを特徴とする請求項14記載のアクティブマトリックスOLEDパネルの製造方法。

【請求項 16】

前記検査工程は、前記アクティブマトリックスパネルを構成する画素における寄生容量変化のばらつきから、当該アクティブマトリックスを構成する画素回路を生成する際のばらつきを推定することを特徴とする請求項14記載のアクティブマトリックスOLEDパネルの製造方法。

【請求項 17】

前記検査工程は、前記アクティブマトリックスパネルを構成する個々の検査用配線について当該検査用配線と直接ACカップリングしている画素の駆動TFTをON状態にして寄生容量を推定し、推定された寄生容量の最大値と個々の寄生容量との差からオープン欠陥となっている駆動TFTの画素数を推定することを特徴とする請求項14記載のアクティブマトリックスOLEDパネルの製造方法。

10

【請求項 18】

前記検査工程は、前記アクティブマトリックスパネルを構成する個々の検査用配線について当該検査用配線と直接ACカップリングしている画素の駆動TFTをOFF状態にして寄生容量を推定し、推定された寄生容量の最小値と個々の寄生容量との差からショート欠陥となっている駆動TFTの画素数を推定することを特徴とする請求項14記載のアクティブマトリックスOLEDパネルの製造方法。

20

【請求項 19】

前記検査工程は、前記アクティブマトリックスパネルを構成する個々の検査用配線について、当該検査用配線と直接ACカップリングしている画素の駆動TFTをOFF状態にした場合とON状態にした場合とで寄生容量を推定し、推定された寄生容量の最小値および最大値と各検査用配線の寄生容量との差から、各検査用配線におけるオープン/ショート欠陥の数を推定することを特徴とする請求項14記載のアクティブマトリックスOLEDパネルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリックスOLED(Organic Light Emitting Diode)パネルの検査装置等に係り、より詳しくは、OLED形成プロセス工程前にTFTアレイの機能検査を行う検査装置等に関する。

30

【0002】

【従来の技術】

OLED(または有機EL(Electro Luminescence)とも呼ばれる)は、電場を加えることによって励起する蛍光性の有機化合物に直流電流を流して発光させるものであり、薄型、高視野角、広いガムット(Gamut)等の点から次世代ディスプレイデバイスとして注目されている。このOLEDの駆動方式にはパッシブ型とアクティブ型が存在するが、大画面、高精細のディスプレイを実現するには、材料、寿命、クロストークの面でアクティブ型が適している。このアクティブ型では、TFT(Thin Film Transistor)駆動が必要とされており、このTFTアレイには、例えば低温ポリシリコンを使用したものとa-Si(アモルファスシリコン)を使用したもの等が注目されている。

40

【0003】

従来、例えば液晶表示装置(LCD)におけるTFTアレイの検査方法として、画素容量への電圧の書き込みを行った後、画素容量に蓄えられた電荷を積分回路により観測し、書き込みが正しく行われたかどうかを検査するものがある(例えば、特許文献1参照)。また、電界-光変換素子を使用して、光学的に画素容量への書き込みを検査する手法が開

50

示されている（例えば、特許文献2参照。）。更に、画素電極がパターンニングされる前に共通画素電極に電源を接続して検査することにより、EL素子を形成する前に画素部が正常に動作するか否かを検査する技術が存在する（例えば、特許文献3参照。）。

【0004】

【特許文献1】

米国特許（USP）第5,179,345号（Page 3-5、Fig. 2）

【特許文献2】

米国特許（USP）第4,983,911号（Page 2-4、Fig. 1~3）

【特許文献3】

特開2002-108243号公報（第9頁、図2）

10

【0005】

【発明が解決しようとする課題】

ここで、アクティブマトリクスOLED（AMOLED）とアクティブマトリクス液晶ディスプレイ（AMLCD）とを比較して説明する。図14（a）、（b）は、AMOLEDとAMLCDとの画素回路を比較説明するための図である。図14（a）はAMOLEDの画素回路、図14（b）はAMLCDの画素回路を示している。図14（b）において、データ線（Data）とゲート線（Gate）とに接続されたTFT310によってTFTアレイの画素回路が形成される。一方、図14（a）に示すAMOLEDでは、図14（b）に示すものと同様な回路の画素容量の横に、オープン・ドレインのドライブ駆動用トランジスタである駆動TFT302が接続され、発光素子であるOLED301が駆動TFT302に接続されている。

20

【0006】

ところで、図14（b）に示すようなAMLCDの場合は、TFTアレイ基板だけで画素回路が完結しているが、図14（a）に示すようなAMOLEDの場合は、OLED301が存在しないTFTアレイ基板のみでは画素回路が完結しない。そのために、駆動TFT302は、ドレイン側（或いはソース側）が画素電極に直結したままオープン・ドレイン（或いはオープン・ソース）となっている。AMOLEDにおけるTFTアレイ基板の画素回路には、少なくとも2つ以上のTFTが存在しているが、パネルインタフェース端子からの入出力だけでは駆動TFTに電流が流せない。

【0007】

このとき、現状のAMOLEDパネルの製造コストを削減するためには、TFTアレイ単体での機能テストを行い、良品だけを次工程に流すことが要求される。AMOLEDパネルの製造では、現状のAMOLED用TFTアレイの歩留まりが十分に高くないこと、OLED301の材料自体が高価であること、製造工程の中でOLED301の形成プロセスの工程占有時間が長いこと、等の理由により、OLED301を実装する前に、駆動TFT302の良否を測定することが望まれる。

30

【0008】

しかしながら、TFTアレイ単体では、前述のように画素回路の構成要素であるOLEDが未実装であり、駆動TFT302はオープン・ドレイン（或いはオープン・ソース）状態となっている。即ち、OLEDの実装前の工程では、図14（a）の破線で示されるOLED301が接続されておらず、正常な回路を構成していないことから、パネルインタフェース端子からの入出力だけでは駆動TFT302に対するオープン/ショート検査欠陥の検査を行うことができない。

40

【0009】

上述した特許文献1や特許文献2は、図14（b）に示すようなAMLCD用TFTアレイの画素回路を検査する手法が示されているに過ぎず、図14（a）に示す駆動TFT302に電流を供給する機構を備えていない。その結果、特許文献1や特許文献2を利用してオープン・ドレイン（或いはオープン・ソース）となった駆動TFT302のオープン/ショート測定を行うことができない。

【0010】

50

また、特許文献3では、画素ごとの抵抗成分のばらつきを測定することが可能であるが、画素電極をパターンニングした後に検査するものではなく、パターンニングによる不具合について検査することができない。更に、駆動TFT302の不良については検査することが可能であるが、不良の種類(オープン/ショート)を特定することができない。その結果、OLED301形成後の表示装置としての欠陥である明点・暗点(滅点)の数などを調べることができず、例えば検査者により設けられる評価基準に対応するデータを得ることができない。

【0011】

本発明は、以上のような技術的課題を解決するためになされたものであって、その目的とするところは、OLED未実装のTFTアレイに対し、駆動TFTに対するオープン/ショート欠陥の判定を行うことにある。

10

また他の目的は、OLED未実装のTFTアレイの段階にて、ディスプレイの評価項目である明点・暗点(滅点)の数を把握し、パネルの良・不良判定をOLED形成工程前に行うことにある。

更に他の目的は、正常動作している画素におけるVon-Voff値のパネル内ばらつきを算出し、画素回路生成の精度を推測することにある。

【0012】

【課題を解決するための手段】

かかる目的のもと、本発明では、電氣的にオープンとなっている画素電極と画素回路との間にある寄生容量に着目し、駆動TFTをON/OFFしたときの寄生容量変化を検査することで、駆動TFTのオープン/ショートを高速に検査している。また、パネルを構成する画素の全体に対してこの検査を行うことで、欠陥の種類と数とを同時に推定し、AMOLEDの明点欠陥/暗点(滅点)欠陥の数を推定している。即ち、本発明は、OLED形成前におけるアクティブマトリックスパネルを検査するアクティブマトリックスパネルの検査装置であって、このアクティブマトリックスパネルを構成する駆動TFTの検査用配線に対し、電圧変化手段により電圧を変化させ、この電圧変化手段により検査用配線に対して電圧を変化させた際に、測定手段によって駆動TFTのソース側配線に流れる過渡電流を測定し、駆動TFTにおけるOFF状態とON状態での寄生容量の変化を測定している。また、測定手段により測定された寄生容量の変化に基づいて、アクティブマトリックスパネルを構成する画素回路を生成する際のばらつきをばらつき推定手段によって推定している。

20

30

【0013】

ここで、この測定手段は、アクティブマトリックスパネルを構成する全ての画素における寄生容量の変化を測定し、駆動TFTがオープン/ショート欠陥である画素数を求めることを特徴とすることができる。また、この測定手段は、ソース側配線に接続された積分回路を用いて過渡電流を測定し、この積分回路の出力をA/D変換器によってデジタルデータに変換した後に計算機に取り込むことを特徴とすることができる。

【0014】

他の観点から捉えると、本発明が適用されるアクティブマトリックスパネルの検査装置は、駆動TFTのOFF状態にて、OFF状態寄生容量測定手段によって画素電極を介した寄生容量を測定し、この駆動TFTのON状態にて、ON状態寄生容量測定手段によって画素電極を介した寄生容量を測定し、このOFF状態寄生容量測定手段により測定された寄生容量と、ON状態寄生容量測定手段により測定された寄生容量とに基づいて、検査手段によって駆動TFTのオープン/ショートを検査している。ここで、このON状態寄生容量測定手段は、駆動TFTのゲート電圧が低い初期電圧を有する場合に、寄生容量を介してチャージポンプを行うことを特徴とすることができる。

40

【0015】

また、このON状態寄生容量測定手段は、アクティブマトリックスパネルを構成する個々の検査用配線について、当該検査用配線と直接ACカップリングしている画素の駆動TFTをON状態にして寄生容量を推定し、OFF状態寄生容量測定手段は、アクティブマト

50

リックスパネルを構成する個々の検査用配線について、検査用配線と直接ACカップリングしている画素の駆動TFTをOFF状態にして寄生容量を推定する。そして、検査手段は、推定された寄生容量の最大値/最小値と個々の寄生容量との差からオープン欠陥/ショート欠陥となっている駆動TFTの画素数を推定することを特徴とすることができる。

【0016】

一方、本発明は、OLED形成前のアクティブマトリックスパネルを検査するアクティブマトリックスパネルの検査方法であって、アクティブマトリックスパネルを構成する駆動TFTのOFF状態にて、画素電極を介した寄生容量に基づく値を測定する第1のステップと、この駆動TFTのON状態にて、画素電極を介した寄生容量に基づく値を測定する第2のステップと、この第1のステップにより測定された値と第2のステップにより測定された値とに基づいて、駆動TFTのオープン/ショートを検査する検査ステップとを含む。

10

【0017】

ここで、この第1のステップおよび第2のステップにおける画素電極を介した寄生容量に基づく値は、この寄生容量を介して画素電極側からソース側に流れる過渡電流であることを特徴とすることができる。また、この第1のステップは、アクティブマトリックスパネルを構成する個々の検査用配線について、この検査用配線と直接ACカップリングしている全ての画素の駆動TFTを同時にOFF状態にして寄生容量に基づく値を測定することを特徴とすることができる。更に、この第2のステップは、アクティブマトリックスパネルを構成する個々の検査用配線について、検査用配線と直接ACカップリングしている全

20

【0018】

また、本発明は、アクティブマトリックスOLEDパネルの製造方法として把握することができる。この製造方法は、基板上にTFTアレイを形成してアクティブマトリックスパネルを生成するアレイ工程と、生成されたアクティブマトリックスパネルの機能検査を行う検査工程と、この検査工程を経たアクティブマトリックスパネルに対してOLEDを実装するセル工程とを含み、検査工程は、アレイ工程により生成されたアクティブマトリックスパネルを構成する駆動TFTをONしたときとOFFしたときとの画素電極を介した寄生容量の変化を測定し、駆動TFTのオープン/ショートを検査することを特徴として

30

【0019】

ここで、この検査工程は、アクティブマトリックスパネルを構成する画素における寄生容量変化を測定し、駆動TFTがオープン/ショート欠陥である画素数を求めることができる。また、アクティブマトリックスパネルを構成する画素における寄生容量変化のばらつきから、アクティブマトリックスを構成する画素回路を生成する際のばらつきを推定することができる。

【0020】

更に、この検査工程は、アクティブマトリックスパネルを構成する個々の検査用配線について検査用配線と直接ACカップリングしている画素の駆動TFTをON状態にして寄生容量を推定し、推定された寄生容量の最大値と個々の寄生容量との差からオープン欠陥となっている駆動TFTの画素数を推定することができる。また、個々の検査用配線について検査用配線と直接ACカップリングしている画素の駆動TFTをOFF状態にして寄生容量を推定し、推定された寄生容量の最小値と個々の寄生容量との差からショート欠陥となっている駆動TFTの画素数を推定することができる。更に、この検査工程は、個々の検査用配線について、検査用配線と直接ACカップリングしている画素の駆動TFTをOFF状態にした場合とON状態にした場合とで寄生容量を推定し、推定された寄生容量の最小値および最大値と各検査用配線の寄生容量との差から、各検査用配線におけるオープン/ショート欠陥の数を推定することを特徴としている。これによれば、より高速に欠陥の数を推定することができる点で好ましい。

40

50

【 0 0 2 1 】

【 発明の実施の形態 】

以下、添付図面に示す実施の形態に基づいて本発明を詳細に説明する。

図 1 は、本実施の形態が適用される O L E D (O r g a n i c L i g h t E m i t t i n g D i o d e) パネルの製造工程を説明するための図である。本実施の形態が適用される O L E D パネルの製造方法は、O L E D の駆動回路である T F T (T h i n F i l m T r a n s i s t o r) アレイ (アクティブマトリクスパネル) を生成するアレイ工程 1 と、生成された T F T アレイ単体で機能テストを行う検査工程 2 を有している。この検査工程 2 では、配線のオープン / ショートが所定条件以下であり、また T F T アレイを構成する駆動 T F T の特性がパネル全体で均一であることの検査が行われる。この検査工程 2 で不良品であると判断される T F T アレイは、次工程に移行させずに排除される。良品であると判断される T F T アレイについては、T F T アレイ上に O L E D を形成するセル工程 3 を経て、最終検査工程 4 に移行する。この最終検査工程 4 によって、最後に、良品と不良品とが振り分けられる。本実施の形態では、セル工程 3 の前に検査工程 2 を設けることで、O L E D を載せる前に、画素回路のオープン / ショート検査、特に駆動 T F T の周囲の検査を行うことが可能となる。検査対象としては、例えば P H S や携帯電話などの表示画面に用いられるアクティブマトリクス (A M) パネルの他、各種 A M O L E D パネルが挙げられる。

10

【 0 0 2 2 】

以下に、検査工程 2 について詳述する。

20

図 2 は、検査工程 2 において用いられるテスト装置 1 0 の構成を説明するための図である。本実施の形態が適用されるテスト装置 1 0 は、記憶装置 (D a t a B a s e) 1 1 、計算機 (P C) 1 2 、測定制御回路 (C o n t r o l C i r c u i t s) 1 3 、信号生成・信号測定回路 (D r i v e / s e n s e c i r c u i t s) 1 4 、プローブ (D a t a p r o b e s) 1 5 、信号生成・信号測定回路 (D r i v e / s e n s e c i r c u i t s) 1 6 、プローブ (G a t e p r o b e s) 1 7 を有している。これらの構成によって、検査対象である T F T アレイ (アクティブマトリクスパネル) 1 0 0 における駆動 T F T のオープン / ショートを検査している。

【 0 0 2 3 】

テスト装置 1 0 の記憶装置 1 1 には、検査対象となる T F T アレイ 1 0 0 の良 / 不良判定に必要な情報や測定に必要な情報が格納されている。計算機 1 2 は、例えば P C 等によって構成され、入力されたデータに基づき、記憶装置 1 1 に格納された情報に基づいて判定処理を実行する。測定制御回路 1 3 は、後述する検査法の測定シーケンスを管理している。また、信号生成・信号測定回路 1 4 , 1 6 は、A M O L E D の駆動信号を生成すると共に、T F T アレイ 1 0 0 からの出力波形を取得するアナログ回路である。この信号生成・信号測定回路 1 4 , 1 6 には、後述する積分回路が実装される。プローブ 1 5 , 1 7 は、信号生成・信号測定回路 1 4 , 1 6 で生成された A M O L E D 駆動信号を測定対象である T F T アレイ 1 0 0 に供給し、また、T F T アレイ 1 0 0 から測定波形を取得している。

30

【 0 0 2 4 】

テスト装置 1 0 では、後述する検査法の測定シーケンスが測定制御回路 1 3 で管理され、A M O L E D 駆動信号は信号生成・信号測定回路 1 4 , 1 6 にて生成されて、プローブ 1 5 , 1 7 を通して T F T アレイ 1 0 0 に供給される。また、T F T アレイ 1 0 0 の測定波形は、プローブ 1 5 , 1 7 を通して信号生成・信号測定回路 1 4 , 1 6 に入力されて観測される。観測された信号は、測定制御回路 1 3 によりデジタルデータに変換されて計算機 1 2 に入力される。計算機 1 2 では、記憶装置 1 1 に格納された情報を参照しながら、測定データの処理と良・不良判定が行われる。尚、テスト装置 1 0 の各構成要素、例えば、測定制御回路 1 3 および信号生成・信号測定回路 1 4 , 1 6 は、電圧変化手段、測定手段の一つとして機能すると共に、オフ状態寄生容量測定手段、オン状態寄生容量測定手段の一つとして機能する。また、例えば計算機 1 2 は、ばらつき推定手段、検査手段の一つとして機能している。

40

50

【0025】

以下に、検査工程2においてテスト装置10を用いて実行される駆動TFTの検査方法について説明する。

まず、測定対象となるAMOLEDの画素回路について説明する。

図3(a)、(b)は、AMOLED画素回路を説明するための図である。図3(a)は、最も簡単な2TFT構成のAMOLED画素回路が示されており、OLED実装前では、破線で示されるOLED120は実装されていない。図3(b)は、TFTのガラス基板側に光を取り出す所謂ボトムエミッション式のAMOLED画素回路の断面図が示されている。AMOLED画素回路は、図3(b)に示すように、ガラス基板等からなる基板131上に、ゲート電極132、ゲートメタル配線135が形成され、ゲート絶縁膜133に覆われている。更にその上にチャンネル134が形成され、チャンネル134は、絶縁膜136に覆われている。絶縁膜136の上にはソースメタル配線137が形成され、これらは保護膜138に覆われている。この保護膜138の上には、画素電極139が形成されている。基板131の上部から光を取り出す所謂トップエミッション方式の場合には画素電極139とチャンネル134とは対向配置されるが、図3(b)に示すボトムエミッション式では、画素電極139とチャンネル134とは対向配置されていない。図3(b)に示されるように、画素電極139の面積は画素の殆どを占め、また、非常に短い距離の内部に画素回路が形成されることから、その間に寄生容量が発生する。

10

【0026】

図4(a)、(b)は、図3(a)に示したような最も単純な2TFTによる電圧プログラミング方式の画素回路例を示している。図4(a)では、OLED120が実装された状態が示され、図4(b)では、OLED120が形成される前の状態が示されている。図4(b)では、駆動TFT(Trd)に対するデータ線(Data)、セレクト線>Select)、ゲート線、グランド(GND)の各配線と画素電極139との間に、寄生容量が発生している様子が示されている。この寄生容量の大きさは、画素回路構成やレイアウト毎に異なるが、同一仕様のパネル内であれば、ほぼ同じ寄生容量が各画素に発生する。この全ての画素回路における寄生容量のばらつきを検査することで、画素回路生成の良・不良を判断することができる。

20

【0027】

次に、検査工程2において実行される検査処理の流れについて説明する。

30

図5は、寄生容量の測定の流れを示したフローチャートである。ここでは、駆動TFTをOFF(オフ)した状態と駆動TFTをON(オン)した状態とで、検査用配線、例えばデータ線(Data)に電圧変化を与えることで、寄生容量を介した画素電極139とGNDとの間の容量変化を測定する。

図6は、駆動TFTがOFFのときとONのときの寄生容量を記述した等価回路が示されている。図6(a)には駆動TFTがOFFである状態が示され、図6(b)には駆動TFTがONである状態が示されている。図6(b)に示すように、駆動TFTが正しくONされると、GNDと画素電極139とは直結されて、TFTと並列に存在していた寄生容量は消滅し、データ線(Data)とGNDとの間にある寄生容量は大きくなる。従って、データ線(Data)に電圧を印加すると、ON状態のときの方がより多く電荷が流れる。図5に示す測定処理では、この両者の状態における寄生容量の変化を測定している。

40

【0028】

図5のフローチャートに基づいて詳述すると、かかる測定処理では、まず、全ての配線をGNDにし、駆動TFTをOFFにする(ステップ101)。より具体的には、図4(b)に示す基本的な2TFT回路にて、セレクト線>Select)、データ線(Data)をGNDにした後、全てのセレクト線>Select)を選択し、データ線(Data)に駆動TFTをOFFできる電圧を印加することで、全ての駆動TFTをOFF状態にする。そして、データ線に所定の電圧を印加する。このとき、寄生容量を介して画素電極139側からGNDに過渡電流が流れる。これを、ソース側配線であるGND側に接続さ

50

れた積分回路（後述）で測定する。即ち、駆動TFTをOFFした状態にて、積分回路出力V_{off}を取得する（ステップ102）。

【0029】

図7は、駆動TFTから出力される電流の観測に用いられる積分回路の例を示した図である。ここでは、図4（b）に示す回路に積分回路150が接続された場合が示されており、このような積分回路150は、図2に示す信号生成・信号測定回路14, 16に設けられる。図7に示す積分回路150は、オペレーショナル・アンプ（Operational Amplifier）151、キャパシタC_i、リセットスイッチSW_{reset}が備えられている。ここでは、駆動TFTであるTr_dのソース側は、積分回路150のイマジナリ・ショート（仮想的短絡）によりGND電位となる。積分回路150は、他の画素回路に対しても同様に接続することが可能である。積分回路150からの出力は、図2に示す測定制御回路13に設けられるA/D変換回路によってデジタルデータに変換され、計算機12に取り込まれることにより、以降の推定処理が可能となる。

10

【0030】

図5のステップ102によって積分回路出力V_{off}が取得された後、積分回路150に接続される駆動TFTがONできるか否かが判断される（ステップ103）。このとき、例えば4TFT回路などのように駆動TFTを簡単にONできないときには、寄生容量を介してチャージポンプ（後述）が行われ、駆動TFTのゲート電圧を高くして（ステップ104）、次のステップ105へ移行する。駆動TFTをONできるときには、そのまま次のステップ105へ移行する。

20

【0031】

図8（a）,（b）は、4TFT構成の画素回路を説明するための図である。図8（a）は基本的な4TFT構成のAMOLED画素回路を示しており、図8（b）はOLED120形成前のアレイ基板の回路を説明するための図である。図8（a）,（b）に示すSW1は、階調電圧を画素容量C_{s1}に書き込むときにセレクト線（Select）によりONとなる。SW2はV_{th}補正制御線（V_{th} cnt.）によって制御され、SW3は電流スイッチ制御線（Current cnt.）によって制御されて、画素容量C_{s2}に電荷が蓄えられる。OLED120形成前では、図8（b）に示すように、画素電極139と各配線との間に寄生容量が発生している。尚、ここでは、寄生容量として主なものだけが記載されている。

30

【0032】

図9（a）,（b）は、チャージポンプ動作を説明するための図である。チャージポンプ動作手順では、まず、測定画素のSW3をONにする。他の画素である非測定画素のSW3はOFFにする。また、SW1とSW2とはOFFにする。ここで、データ線（Data）に駆動電位Vを書き込むと、寄生容量を介して駆動TFT（Tr_d）のドレイン電位が上昇する。そして、一定期間、図9（a）に示すように、SW2をONにする。このとき寄生容量とC_{s2}およびC_{s1}を通して電位が再分配され、Tr_dのゲート電位が少し上昇する。図9（b）に示すように、SW2がOFFになったままでSW1をONにすると、Dataに駆動電位Vがかかっているため、もし、このときTr_dのゲート電位が閾値電圧V_{th}を超えていれば、Tr_dがONして電流が確認され、チャージポンプ動作が終了する。一方、Tr_dがONしない場合でも、Tr_dはSW2に比べてチャネル幅が十分に大きいことから、そのリーク電流によりTr_dのドレイン電位はGND電位となる。その後、SW1をOFFにし、DataをGND電位にする。更に、再びSW1をONにする。以上の手順を、Tr_dがONして電流が確認されるまで繰り返すことで、チャージポンプ動作が実行される。

40

【0033】

図5のステップ105では、検査したい画素が選択され、データ線（Data）から駆動TFTをONできる電圧を印加して、駆動TFTがON状態にされる。例えば4つのTFTを用いた電圧プログラミング方式などにおいて、駆動TFTのゲート電圧が低い初期電圧を持っていた場合は、ステップ104に示したチャージポンプが行われる。また、電流

50

プログラミング方式では、電流をデータ線 (Data) に流すことで駆動 T F T を ON 状態にする。このときのゲート・ソース電圧は、画素容量 C_s に蓄えられる。このようにして駆動 T F T が ON された状態にて、選択された画素のセレクト線 (Select) を OFF することで非選択にし、その後、データ線 (Data) も GND にする。

【0034】

ステップ 106 の寄生容量測定処理では、かかる状態にて、ステップ 102 と同様な電圧をデータ線 (Data) に印加する。このとき、再び寄生容量を介して画素電極 139 側から GND に過渡電流が流れる。これをステップ 102 と同様に積分回路 150 で測定する。ここで得られた電圧が積分回路出力 V_{on} である。そして、検査している画素のセレクト線 (Select) を ON にし、データ線に駆動 T F T を OFF できる電荷を印加し、駆動 T F T を OFF 状態にする。このステップ 105 とステップ 106 との処理を 1 つのデータ線 (Data) で駆動できる全ての画素について行う。また、図 5 のステップ 101 ~ ステップ 106 を全てのデータ線 (Data) について行う。以上の手順から、全ての画素について、駆動 T F T を ON したときに流れた電荷量を求めることができる。尚、積分回路 150 の反転入力に接続される GND 線が独立している場合には、画素毎の積分回路出力 V_{on} が得られるが、束ねられている場合には、例えばライン単位での積分回路出力 V_{on} が得られる。

10

【0035】

ステップ 107 では、検査結果の評価が行われる。検査画素の駆動 T F T が正しく ON できていれば、駆動 T F T を ON したときに流れた電荷量と駆動 T F T が OFF 状態のときに流れた電荷量とは異なった値となる。即ち、1 つの駆動 T F T が OFF 状態のときの値 V_{off} と、1 つの駆動 T F T が ON 状態のときの値 V_{on} とを比較すると、駆動 T F T が正常に動作している場合には、 $V_{off} = V_{on}$ となる。差が生じていない場合、即ち、 $V_{off} = V_{on}$ である場合には、画素回路は故障しており、その駆動 T F T はオープンあるいはショートしていると判断することができる。このようにして、一連の検査を終了することができる。

20

【0036】

尚、全てのデータ線における OFF 状態での電荷量の中から最小値 (V_{off} の最小値: $V_{off.min}$) を選べば、それが全ての画素が正常に動いている場合と仮定できる。したがって、その値と各データ線 (Data) ごとの OFF 状態での値との差から、ショートしている画素の個数 (N_{short}) が推定できる。これによって、ショート欠陥の画素とオープン欠陥の画素の比率が推定できることになる。即ち、

30

$$V_{off} - V_{off.min} = N_{short} * (V_{on1} - V_{off1})$$

$$N_{fault} = N_{short} + N_{open}$$

但し、 N_{fault} は全てのデータ線 (Data) について繰り返して測定された欠陥画素数であり、 N_{open} はオープン欠陥画素数である。また、 V_{on1} は、1 つの画素が ON 状態のときに寄生容量を介して流れる 1 つの画素分の電荷量に相当し、 V_{off1} は、1 つの画素が OFF 状態のときに寄生容量を介して流れる 1 つの画素分の電荷量に相当する。具体的に ($V_{on1} - V_{off1}$) を求めるには、全ての画素から得られた $V_{on} - V_{off}$ の中で最小値を選べばよい。

40

【0037】

次に、2 T F T 電圧プログラミング方式画素回路において、更に具体的な実現例を用いて本実施の形態を詳述する。

図 10 は、画素回路が 2 個の T F T で構成される電圧プログラミング方式パネルへの適用例を示した図である。図 10 に示す適用例では、パネルの一部として 3×3 の 9 画素が示されている。図 10 では、測定対象画素は中央の画素であり、各画素の GND 配線に積分回路 150 が接続されている。実際の測定は、上述した測定法を全ての画素について繰り返し行われる。尚、積分回路 150 では、反転入力に接続される GND 線が各々独立した状態で積分回路 150 に入力させることが可能であるが、図 10 に示すように、幾つかの GND 配線 (または全ての GND 配線) を束ねて共通にすることも可能である。このよう

50

にして束ねられた GND 配線のグループ数だけ積分回路 150 を用意すれば、グループ毎に並行して測定することが可能となる。尚、P チャンネル駆動 T F T を用いた場合には、GND 配線が電源配線になる。

【0038】

図 11 は、測定で用いられる駆動波形を示した図である。図 10 に示すような 2 T F T 電圧プログラミング方式画素回路においては、駆動 T F T を直接、データ線から駆動できることから、前述したチャージポンプを用いることなく、駆動 T F T を ON 状態にすることができる。

【0039】

ここで、図 11 の上段に示されるシーケンス (Sequence) に基づいて説明する。 10

- ・シーケンス 1 : 全ての画素に OFF 電圧を書き込み、パネルを消灯状態にする。
- ・シーケンス 4 : 全 OFF 状態で Data 2 に ON 電位を印加して、そのとき流れる電荷を測定する。
- ・シーケンス 8 : 再び全ての画素に OFF 電圧を書き込み、パネルを消灯状態にする。
- ・シーケンス 11 : Select 2 に ON 電位を印加し、同時に Data 2 に ON 電位を印加することで、測定対象画素の駆動 T F T を ON 状態にする。
- ・シーケンス 15 : シーケンス 4 で印加した電圧と同じ電圧を Data 2 に印加し、そのとき流れる電荷を測定する。
- ・シーケンス 18 : 測定を終了する。

このシーケンス 8 からシーケンス 18 を同じデータ線で駆動できる全ての画素について繰り返し、かつ、上記シーケンス 0 からシーケンス 18 をすべてのデータ線について繰り返す。 20

【0040】

以上のような手順により得られた積分回路 150 の出力波形より、計算機 12 にて、以下の計算が行われる。

図 12 (a) , (b) は、図 10 に示した AMOLED に対する検査結果の一例を示した図である。図 12 (a) では、図 10 に示す各画素に対応して、正常、オープン、ショート 30 の画素状態が例示されている。図 12 (b) では、全 OFF 状態と、各画素だけを ON させた状態とにおいて、積分回路 150 で検出される値が示されている。1つのデータ線 (Data) によって縦方向の画素は全て電圧の影響を受けるので、全 OFF 状態での電荷量は、データ線 (Data 1 ~ Data 4) ごとに得られる。積分回路 150 で測定している 30 のので、電荷量は積分回路 150 の出力電圧として換算される。1つの画素の駆動 T F T が OFF 状態のときの値を V_{off} 、1つの画素の駆動 T F T が ON 状態のときの値を V_{on} とすると、図 12 (a) にあるような欠陥が生じている場合、図 12 (b) に示す表のような出力値となる。オープン欠陥の場合は、常に駆動 T F T は OFF 状態であり、ショート欠陥の場合は、常に ON 状態となる。

【0041】

各画素の駆動 T F T を ON 状態にして得られた出力と全 OFF 状態での出力とを比較し、値が変化していない画素は、欠陥画素と判定できる。値が変化している画素は正常に動作しており、その変化分 $V_{on} - V_{off}$ は、常に $V_{on1} - V_{off1}$ となる。具体的に 40 $V_{on} - V_{off}$ に相当する容量としては、数フェムト・ファラドから数十フェムト・ファラドのオーダーとなる。駆動 T F T が正常に動作している画素における $V_{on} - V_{off}$ のばらつきは、設計寸法のばらつきとみなせるので、そのような設計品質の判定にも用いることができる。このようにして、全ての画素について検査することで、その画素の欠陥を判定することができる。

【0042】

また、前述のように、1つのデータ線で測定される全 OFF 状態に含まれる画素数は、GND 線に束ねられた数に依存し、例えば V G A (Video Graphics Array : 640 x 480 ドットの解像度) のパネルで全ての画素の GND を束ねると、1つのデータ線で 480 個分を同時に計測することになる。しかしながら、AMOLED は電 50

流駆動であり、一般に電流集中を避けるため全ての画素を束ねず、幾つかの束ごとにGND線に引き出すことが一般に行われる。この場合は、さらに少ない数となり、画素ごとにGND線を設けているパネルでは、単一画素ごとの測定が行える。

【0043】

図12に示す例では3ラインごとにGND線を共通化している。この場合、各データ線のOFF状態の出力値を比較し、その中での最小値が、全ての画素が正常に動作しているものと推定できる。図12(b)に示す例では、右端(Data4)のカラムで、出力値は3Voffである。即ち、全OFF状態で最小値は3Voffとなり、右端(Data4)のラインが全て正常であると考えられる。この値と欠陥のあるカラムの出力値の差を、変化分であるVon1 - Voff1で除した値が、ショート欠陥の数に相当する。

10

【0044】

例えば、図12に示す場合は、カラム毎に測定すると、

Data1 : $(3Voff1 - 3Voff1) / (Von1 - Voff1) = 0$
: ショート欠陥なし

Data2 : $(1Von1 + 2Voff1 - 3Voff1) / (Von1 - Voff1) = 1$: ショート欠陥は1つ

Data3 : $(2Von1 + 1Voff1 - 3Voff1) / (Von1 - Voff1) = 2$: ショート欠陥は2つ

総欠陥画素数(全OFF状態と変化がなかった画素数) : 6

ショート欠陥数 : オープン欠陥数 = 3 : 3

20

となる。本実施の形態によれば、ショート欠陥とオープン欠陥の数の比率が推定できることになる。

【0045】

尚、上述の検査手法を応用して、更なる高速な検査が可能となる。

例えば、アクティブマトリックスOLEDパネルを構成する個々の検査用配線について、検査用配線と直接ACカップリングしている全ての画素(例えば、データ線(Data)の場合はそのカラムに属する画素)につき、その駆動TF Tを同時にOFF状態にした場合と同時にON状態にした場合とで、前述のように寄生容量を推定する。そして、それぞれの最小値および最大値と各検査用配線の寄生容量との差から、各検査用配線におけるオープン/ショート欠陥の数を推定する。更に、この推定の後に、オープン/ショート欠陥がある検査用配線だけについて、前述のようにして各画素を検査し、欠陥画素のオープン/ショートを推定する。このように、段階的な測定手順を採用することで、より高速な検査が可能となる。

30

【0046】

図13は、図4(b)に示すような基本的な2TF T回路において、この段階的な検査手法を示したフローチャートである。この検査手法では、まず最初に、セレクト線>Select)、データ線(Data)をGNDにする(ステップ201)。次に、全てのセレクト線を選択し、データ線に駆動TF TをOFFできる電圧を印加して、全ての駆動TF TをOFF状態にする(ステップ202)。そして、セレクト線、データ線を全てGNDにした状態で、データ線に電圧を印加する(ステップ203)。このとき、寄生容量を介して画素電極側からGNDに過渡電流が流れる。これを図7に示したように、GND線に接続した積分回路150で測定する(ステップ204)。積分回路150の出力は、測定制御回路13に設けられたA/D変換回路を使用してデジタルデータに変換され、計算機12に取り込まれて、この計算機12に設けられた所定のメモリに各データ線での電圧値Voffとして記憶される(ステップ205)。この測定結果が全駆動TF Tオフ状態での寄生容量値を意味する電圧値となる。但し、データ線に電圧を印加しているため、データ線方向の画素の全てについての和となっていることに注意する。

40

【0047】

次に、全ての画素を選択し、データ線から駆動TF TをONできる電圧を印加して、全ての画素の駆動TF TをON状態にする(ステップ206)。但し、図8に示したような、

50

4つのTFTを用いた電圧プログラミング方式などにおいて、駆動TFTのゲート電圧が低い初期電圧を持っていた場合は、寄生容量を介してチャージポンプを行う。また、電流プログラミング方式では電流をデータ線に流すことで駆動TFTをON状態にする。このときのゲート・ソース電圧は画素容量Csに蓄えられる。そして、全ての画素のセレクト線をOFFにすることで非選択とする。その後、データ線もGNDにする(ステップ207)。更に、ステップ203で印加したものと同一電圧をデータ線に印加する(ステップ208)。このとき、再び寄生容量を介して画素電極側からGNDに過渡電流が流れる。これをステップ204と同様に積分回路150で測定する(ステップ209)。そして、測定結果をデジタルデータに変換し、各データ線での電圧値Vonを計算機12に設けられた所定のメモリに記憶する(ステップ210)。

10

【0048】

このようにして、ステップ205とステップ210とで得られたVoffとVonのうち、Voffの最小値とVonの最大値が、正常に駆動TFTが動作しているデータ線と推定できる。そこで、この最小値と最大値とをVoff.minおよびVon.maxとすると、各データ線内のショート欠陥の数とオープン欠陥の数を推定できる(ステップ211)。

即ち、

$$\begin{aligned} V_{on,max} - V_{off,min} &= N * V_{diff} \\ V_{off} - V_{off,min} &= N_{short} * V_{diff} \\ V_{on,max} - V_{on} &= N_{open} * V_{diff} \end{aligned}$$

20

但し、Nはデータ線上の画素数で、Nshortがこのデータ線内のショート欠陥の数、Nopenがこのデータ線内のオープン欠陥の数を表している。

【0049】

そして、このようにして欠陥のあるデータ線が特定できた後、その特定できたデータ線について、画素ごとに駆動TFTをON状態にし(ステップ212)、図5のステップ106と同様に、寄生容量を介して画素電極側からGNDに流れる過渡電流を積分回路で測定する(ステップ213)。このようにして、電圧値Vonを得て、その結果から、欠陥画素の位置を特定する(ステップ214)。以上の手順によって、高速にショート欠陥とオープンの欠陥の数を検査することができ、欠陥画素の場所を高速に特定することができる。

30

【0050】

以上のように、本実施の形態では、アクティブマトリックスOLEDパネル(AMOLEDパネル)における駆動TFTの片電極が接続されている電源線(GND)と、電源線(GND)とDCカップリングしていない検査用配線(例えばデータ線(Data))との間の寄生容量につき、測定対象の駆動TFTのON状態とOFF状態のそれぞれについて、検査用配線の電圧を変化させたときに、ソース側配線である電源線(GND)への電荷の出入りを観測している。これによって、駆動TFTのON状態とOFF状態での寄生容量の変化を測定することができる。そして、本実施の形態では、オープン欠陥あるいはショート欠陥の駆動TFTの場合、寄生容量変化が発生しないことに着目し、駆動TFTのオープン/ショートを検査することを可能としている。

40

【0051】

このとき、全ての画素における寄生容量変化を測定することにより、全画素のうち駆動TFTがオープン/ショート欠陥である画素数を求めることができる。また、全ての画素における寄生容量変化のばらつきから、画素回路生成のばらつきを推定することもできる。更に、パネルを構成する個々の検査用配線について、検査用配線と直接ACカップリングしている全ての画素(例えば、データ線の場合はそのカラムに属する画素)の駆動TFTをON状態にして寄生容量を推定する。このとき、推定された寄生容量値の最大値と個々の寄生容量値との差を取ることによって、オープン欠陥となっている駆動TFTを持つ画素数を推定することが可能となる。また更に、パネルを構成する個々の検査用配線について、検査用配線と直接ACカップリングしている全ての画素(例えば、データ線の場合

50

はそのカラムに属する画素)の駆動TFTをOFF状態にして、寄生容量を推定する。推定された寄生容量値の最小値と個々の寄生容量値との差をとることによって、ショート欠陥となっている駆動TFTを持つ画素数を推定することができる。尚、欠陥画素数に占めるオープン欠陥画素とショート欠陥画素の比率を推定するように構成することも可能である。

【0052】

一方、パネルを構成する個々の検査用配線について、検査用配線と直接ACカップリングしている全ての画素(例えば、データ線の場合はそのカラムに属する画素)の駆動TFTを同時にOFF状態にした場合とON状態にした場合とで、寄生容量を推定する。そして、それぞれの最小値および最大値と各検査用配線の寄生容量との差から、各検査用配線におけるオープン/ショート欠陥の数を推定する。その後、オープン/ショート欠陥がある検査用配線のみについて、各画素の寄生容量変化を検査し、欠陥画素のオープン/ショートを高速に推定することが可能となる。

10

【0053】

このように、本実施の形態では、OLED未実装のTFTアレイに対して、画素電極へのコンタクトを行うことなく、各画素における駆動TFTのオープン/ショート欠陥の判定、パネル内のオープン欠陥とショート欠陥の数の計測、および画素回路の設計寸法ばらつきの評価を行うことが可能となる。即ち、駆動TFTのオープン/ショート欠陥の数が解り、ディスプレイの評価項目である明点・暗点(滅点)の数をアレイの段階で検査することができる。かかる結果を用いてパネルの良・不良の判定を行うことで、不良アレイに対する次工程への流出量を大幅に削減でき、パネル製作コストを削減することができる。また、正常動作している画素のVon-Voff値のパネル内ばらつきを算出することにより、画素回路生成の精度を推測することができる。加えて、パネル間でのばらつき検査を行うことで、TFTアレイプロセスの工程管理目的にも仕様することができる。加えて、寄生容量を介して検査用配線によって駆動される全ての画素の駆動TFTを同時にOFF状態にした場合とON状態にした場合とで寄生容量を推定するように構成すれば、オープン/ショート欠陥の数を迅速に推定できる点で好ましい。また更に、パネル開発段階では、図2に示したテスト装置10を故障診断として利用することにより、開発期間の短縮が期待できる。

20

【0054】

尚、本実施の形態では、nチャネル駆動TFTを使用した場合について説明したが、pチャネル駆動TFTを使用した場合にも適用することができる。pチャネル駆動TFTを使用した場合には、図7に示した積分回路150の非反転入力(図7に示すオペレーショナル・アンプ151の+入力)をGNDから電源(Vd)に変更すれば良い。即ち、nチャネル駆動TFTのGND側、pチャネル駆動TFTの電源(Vd)側を含め、駆動TFTのソース側配線に積分回路150が接続されているものとすることができる。

30

【0055】

【発明の効果】

以上説明したように、本発明によれば、OLED形成工程の前に、AMOLEDパネル用TFTアレイにおける駆動TFTのオープン/ショート欠陥を迅速に判定することができる。

40

【図面の簡単な説明】

【図1】本実施の形態が適用されるOLEDパネルの製造工程を説明するための図である。

。

【図2】検査工程において用いられるテスト装置の構成を説明するための図である。

【図3】(a)、(b)は、AMOLED画素回路を説明するための図である。

【図4】(a)、(b)は、最も単純な2TFTによる電圧プログラミング方式の画素回路例を示した図である。

【図5】寄生容量の測定の流れを示したフローチャートである。

【図6】駆動TFTがOFFのときとONのときの寄生容量を記述した等価回路を示した

50

図である。

【図7】駆動TFTから出力される電流の観測に用いられる積分回路の例を示した図である。

【図8】(a), (b)は、4TFT構成の画素回路を説明するための図である。

【図9】(a), (b)は、チャージポンプ動作を説明するための図である。

【図10】画素回路が2個のTFTで構成される電圧プログラミング方式パネルへの適用例を示した図である。

【図11】測定で用いられる駆動波形を示した図である。

【図12】(a), (b)は、AMOLEDに対する検査結果の一例を示した図である。

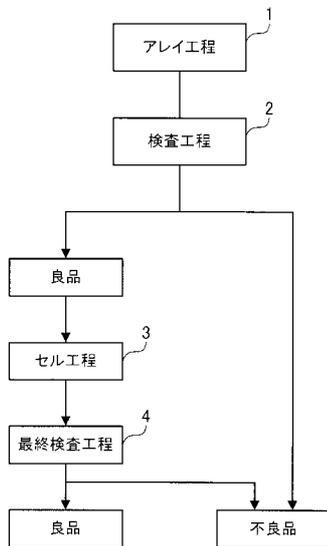
【図13】基本的な2TFT回路において、この段階的な検査手法を示したフローチャートである。

【図14】(a), (b)は、AMOLEDとAMLCDとの画素回路を比較説明するための図である。

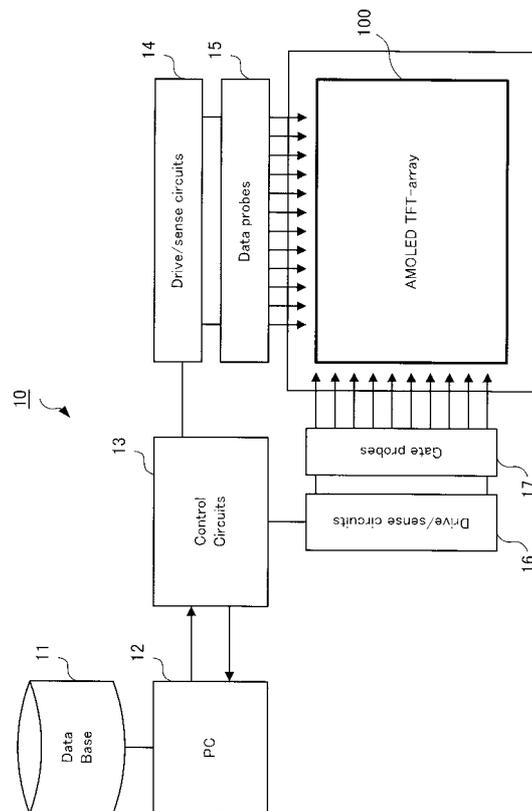
【符号の説明】

- 1 ... アレイ工程、2 ... 検査工程、3 ... セル工程、4 ... 最終検査工程、10 ... テスト装置、
- 11 ... 記憶装置 (Data Base)、12 ... 計算機 (PC)、13 ... 測定制御回路 (Control Circuits)、14 ... 信号生成・信号測定回路 (Drive / sense circuits)、15 ... プロブ (Data probes)、16 ... 信号生成・信号測定回路 (Drive / sense circuits)、17 ... プロブ (Gate probes)、100 ... TFTアレイ (アクティブマトリックスパネル)
- 101 ... 画素 (ピクセル)、102 ... TFT、103 ... 画素電極、110 ... 基板、120 ... OLED、150 ... 積分回路

【図1】



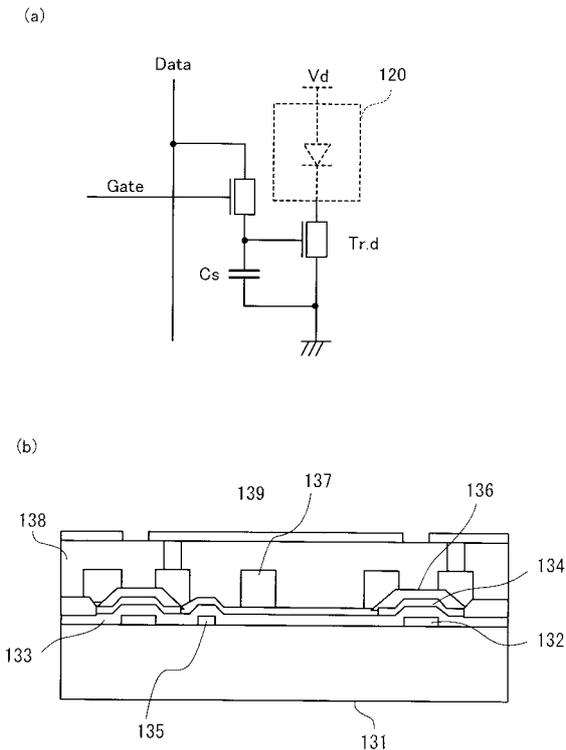
【図2】



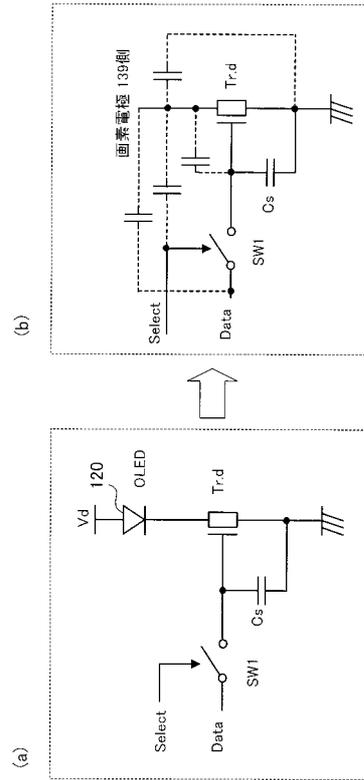
10

20

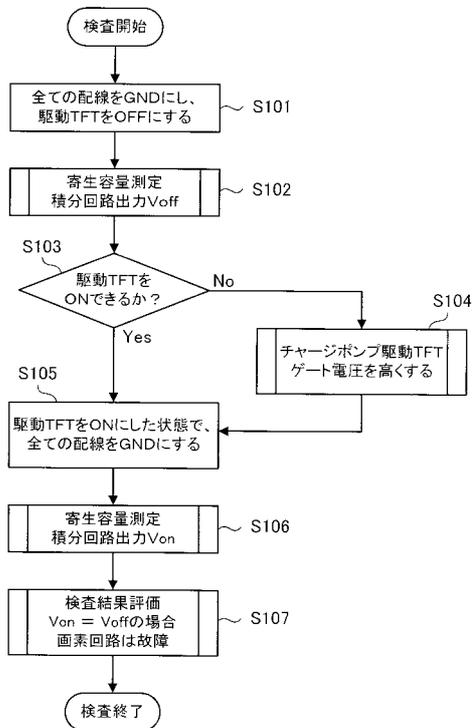
【 図 3 】



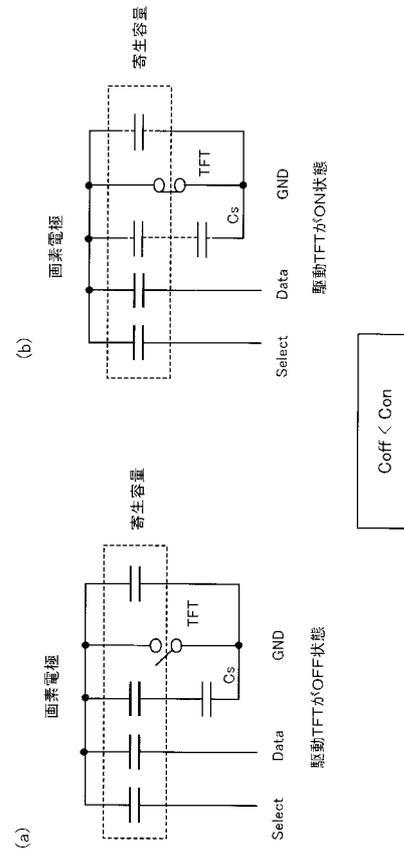
【 図 4 】



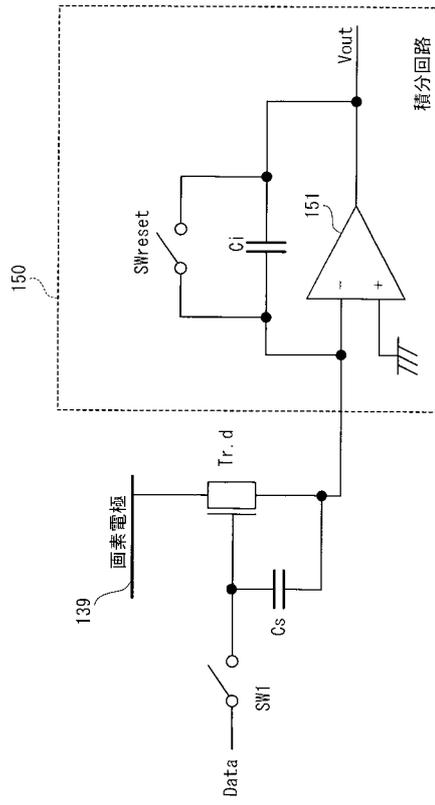
【 図 5 】



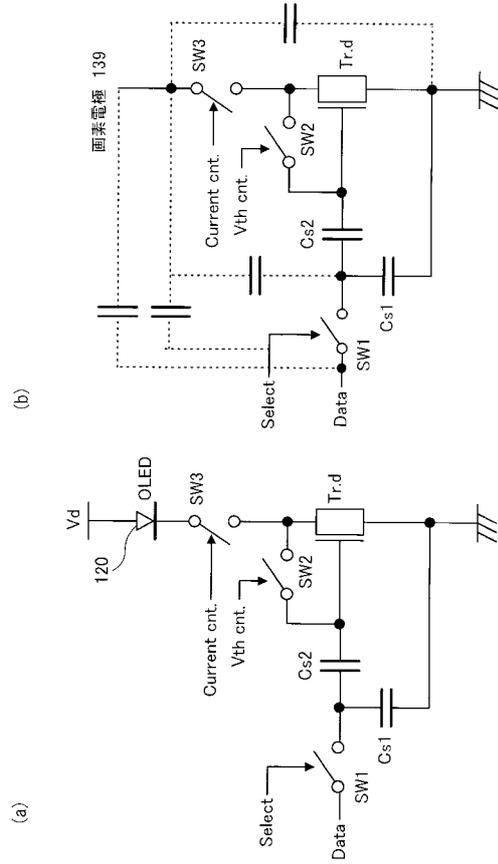
【 図 6 】



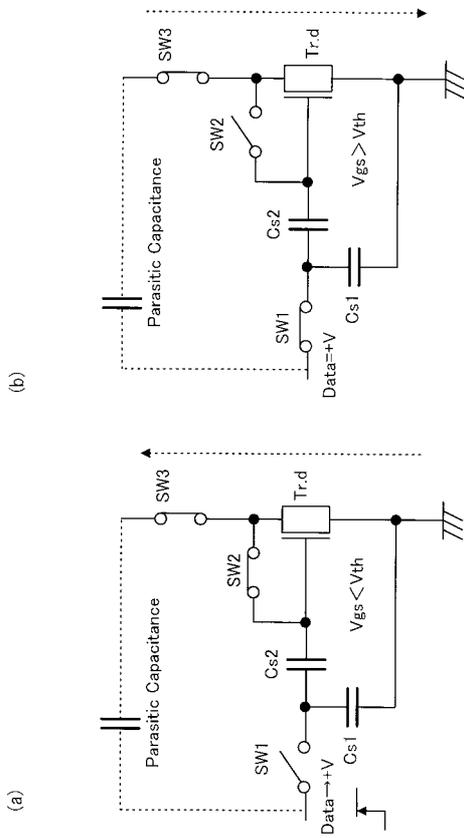
【 図 7 】



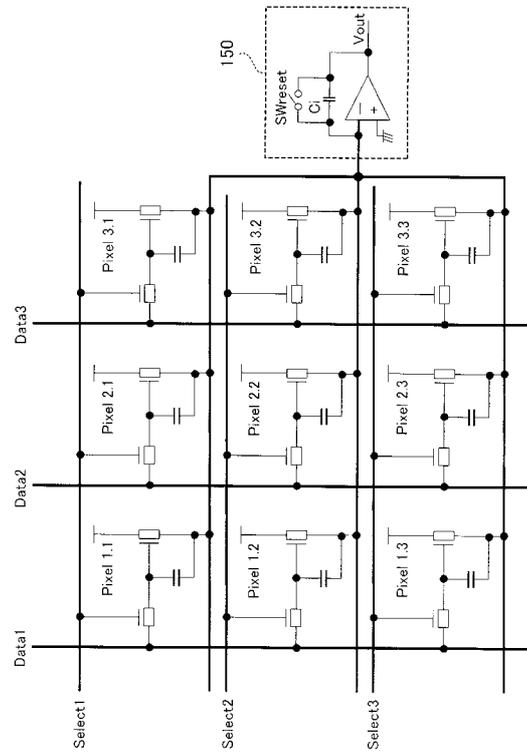
【 図 8 】



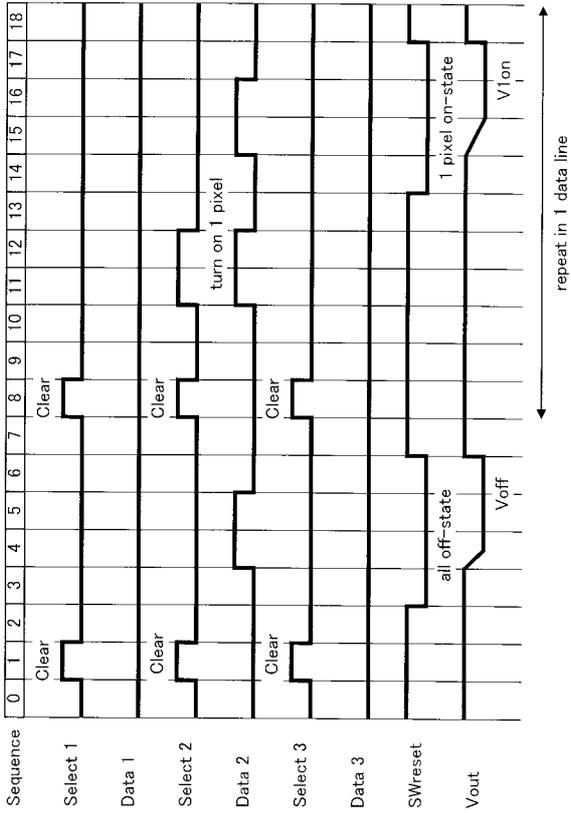
【 図 9 】



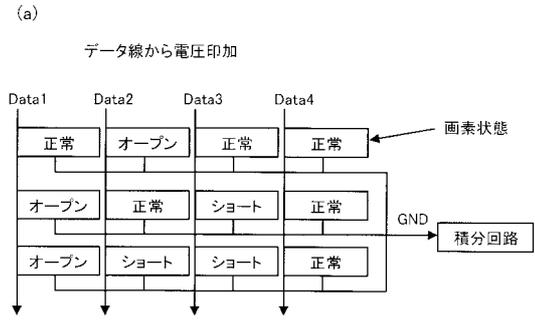
【 図 10 】



【 図 1 1 】



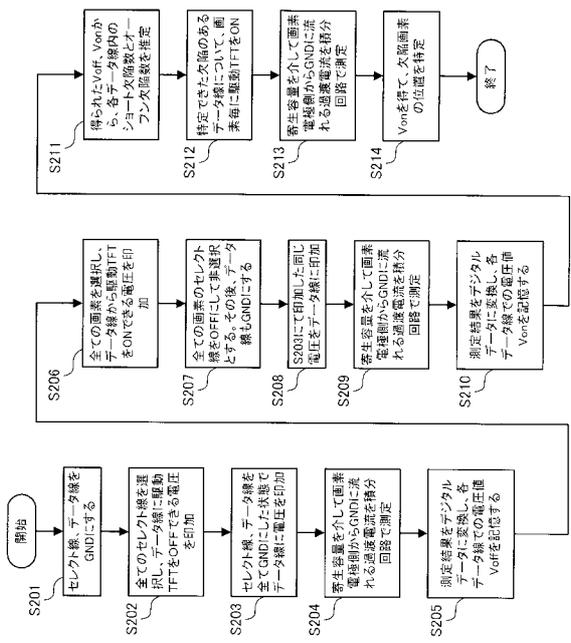
【 図 1 2 】



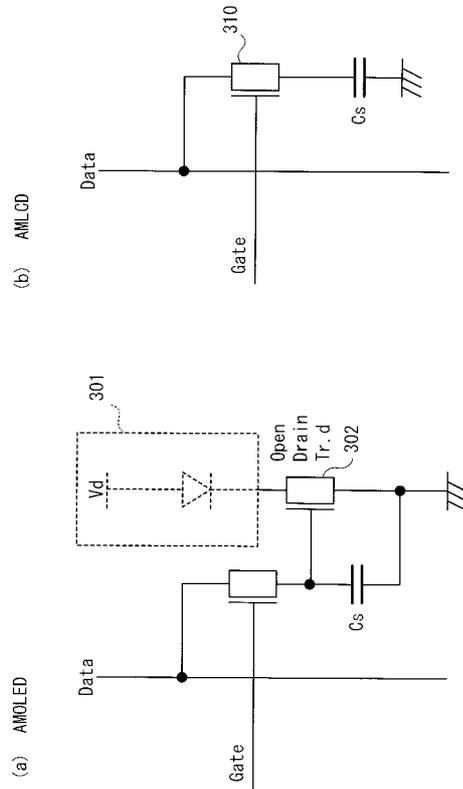
(b) 測定結果

全オフ状態	$0V_{on1} + 3V_{off1}$	$1V_{on1} + 2V_{off1}$	$2V_{on1} + 1V_{off1}$	$0V_{on1} + 3V_{off1}$
各画素のみオン状態	$1V_{on1} + 2V_{off1}$	$1V_{on1} + 2V_{off1}$	$3V_{on1} + 0V_{off1}$	$1V_{on1} + 2V_{off1}$
	$0V_{on1} + 3V_{off1}$	$2V_{on1} + 1V_{off1}$	$2V_{on1} + 1V_{off1}$	$1V_{on1} + 2V_{off1}$
	$0V_{on1} + 3V_{off1}$	$1V_{on1} + 2V_{off1}$	$2V_{on1} + 1V_{off1}$	$1V_{on1} + 2V_{off1}$

【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 5 B 33/14	H 0 5 B 33/14 A	
	H 0 1 L 29/78 6 2 4	

(74)復代理人 100104880

弁理士 古部 次郎

(74)復代理人 100118201

弁理士 千田 武

(72)発明者 中野 大樹

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 東京基礎研究所内

(72)発明者 坂口 佳民

神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 東京基礎研究所内

Fターム(参考) 3K007 AB17 AB18 BA06 DB03 FA00 GA00

4M106 AA10 BA14 CA16 DH07 DH17 DJ12 DJ18 DJ20 DJ28

5C094 AA41 AA42 AA43 BA03 BA29 CA19 GB10

5F110 AA24 BB01 CC07 DD02 NN02 NN71 NN73

5G435 AA17 AA19 BB05 CC09 KK05 KK10

专利名称(译)	用于有源矩阵面板的检查设备，检查方法和用于制造有源矩阵OLED面板的方法		
公开(公告)号	JP2004347749A	公开(公告)日	2004-12-09
申请号	JP2003142972	申请日	2003-05-21
[标]申请(专利权)人(译)	国际商业机器公司		
申请(专利权)人(译)	国际商业机器公司		
[标]发明人	中野大樹 坂口佳民		
发明人	中野 大樹 坂口 佳民		
IPC分类号	H05B33/10 G01R27/26 G01R31/00 G01R31/26 G09F9/00 G09F9/30 G09G3/00 G09G3/32 H01L21/66 H01L27/32 H01L29/786 H01L51/50 H05B33/14		
CPC分类号	G09G3/006 G09G3/3225 G09G2300/0842 G09G2330/10		
FI分类号	G09F9/00.352 G09F9/30.338 G09F9/30.365.Z H01L21/66.V H05B33/10 H05B33/14.A H01L29/78.624 G09F9/30.365 G09G3/20.670.Q G09G3/30.Z G09G3/3241 G09G3/3283 G09G3/3291 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/FA00 3K007/GA00 4M106/AA10 4M106/BA14 4M106/CA16 4M106/DH07 4M106/DH17 4M106/DJ12 4M106/DJ18 4M106/DJ20 4M106/DJ28 5C094/AA41 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA29 5C094/CA19 5C094/GB10 5F110/AA24 5F110/BB01 5F110/CC07 5F110/DD02 5F110/NN02 5F110/NN71 5F110/NN73 5G435/AA17 5G435/AA19 5G435/BB05 5G435/CC09 5G435/KK05 5G435/KK10 3K107/AA01 3K107/BB01 3K107/CC45 3K107/EE03 3K107/GG56 5C080/AA06 5C080/BB05 5C080/DD15 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07 5C080/KK47 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB22 5C380/AB24 5C380/AB45 5C380/AC11 5C380/BA29 5C380/CA12 5C380/CA13 5C380/CC02 5C380/CC04 5C380/CC12 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC62 5C380/CC64 5C380/CC72 5C380/CD012 5C380/CF27 5C380/CF37 5C380/CF43 5C380/CF48 5C380/CF49 5C380/DA02 5C380/DA47 5C380/FA03 5C380/FA12 5C380/FA21 5C380/FA23 5C380/FA30 5C380/GA03 5C380/GA05 5C380/GA08 5C380/GA18		
代理人(译)	坂口 博 上野武 森达武		
其他公开文献	JP3760411B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在OLED形成过程之前，快速确定AMOLED面板的TFT阵列中驱动TFT的开路/短路缺陷。解决方案：阵列工艺1，用于在基板上形成TFT阵列以生成有源矩阵面板；检查过程2，用于对生成的有源矩阵面板进行功能检查；以及该检查过程之后的有源矩阵面板2相反，检查步骤2包括用于安装OLED的单元步骤3，并且当打开和关闭由阵列步骤1生成的构成有源矩阵面板的驱动TFT时，检查步骤2是经由像素电极的寄生电容。测量变化并检查驱动TFT的开路/短路。[选型图]图1

