

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-145241
(P2004-145241A)

(43) 公開日 平成16年5月20日(2004.5.20)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 611H	5C080
H05B 33/14	G09G 3/20 621A	
	G09G 3/20 624B	
	G09G 3/20 641D	
審査請求 有 請求項の数 34 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2003-3331 (P2003-3331)
 (22) 出願日 平成15年1月9日 (2003.1.9)
 (31) 優先権主張番号 0200411.7
 (32) 優先日 平成14年1月9日 (2002.1.9)
 (33) 優先権主張国 イギリス (GB)

(特許庁注：以下のものは登録商標)
 ポケットベル

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅普
 (74) 代理人 100107076
 弁理士 藤綱 英吉
 (74) 代理人 100107261
 弁理士 須澤 修
 (72) 発明者 河西 利幸
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

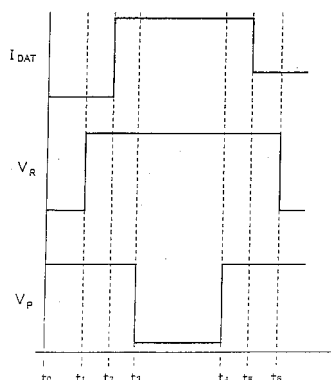
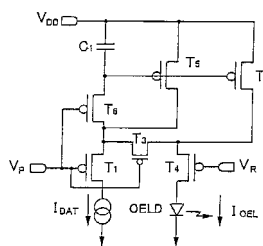
最終頁に続く

(54) 【発明の名称】 電子回路、エレクトロルミネッセンスディスプレイ装置、電気光学装置、電子機器、有機エレクトロルミネッセンス画素への電流供給を制御する方法、及び回路を駆動する方法

(57) 【要約】

プログラミング経路及びリプロダクション経路を有する電子回路であって、前記回路は、電流駆動素子と、前記電流駆動素子に供給される電流の制御用に動作すべく配置された、前記プロダクション経路中のトランジスタと、前記トランジスタの動作電圧を蓄積するために配置された容量素子と、前記容量素子に前記動作電圧を蓄積すべく、前記プロダクション経路中において前記トランジスタに並列に配置された追加のトランジスタと、前記プログラミング経路及び前記リプロダクション経路を制御するスイッチ手段ととする。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

プログラミング経路及びリプロダクション経路を有する電子回路であって、
前記回路は、
電流駆動素子と、
前記電流駆動素子に供給される電流の制御用に動作すべく配置された、前記プロダクション経路中のトランジスタと、
前記トランジスタの動作電圧を蓄積するために配置された容量素子と、
前記容量素子に前記動作電圧を蓄積すべく、前記プロダクション経路中において前記トランジスタに並列に配置された追加のトランジスタと、
前記プログラミング経路及び前記リプロダクション経路を制御するスイッチ手段とを備えたことを特徴とする電子回路。

10

【請求項 2】

EL (エレクトロルミネッセンス) 装置の画素を駆動するための電子回路であって、
前記画素はエレクトロルミネッセンス素子を有し、
前記回路は、
前記エレクトロルミネッセンス素子に供給される電流の制御用に動作すべく配置されたトランジスタと、
プログラミングステージ中に、前記トランジスタの動作電圧を蓄積するために配置された容量素子と、
前記容量素子に前記動作電圧を蓄積すべく、前記トランジスタに並列に配置された追加のトランジスタと、
前記プログラミングステージ中の動作時に、前記トランジスタ及び前記追加トランジスタを通過する電流経路を生じさせる第 1 のスイッチ手段と、
リプロダクションステージ中の動作時に、前記トランジスタ及び前記エレクトロルミネッセンス素子を通過する電流経路を生じさせる第 2 のスイッチ手段とを有することを特徴とする電子回路。

20

【請求項 3】

エレクトロルミネッセンス装置の画素を駆動するための電子回路であって、
前記画素はエレクトロルミネッセンス素子を有し、
前記回路は、
前記エレクトロルミネッセンス素子に供給される電流の制御用に動作すべく配置されたトランジスタと、
プログラミングステージ中に、前記トランジスタの動作電圧を蓄積するために配置された容量素子と、
前記容量素子に前記動作電圧を蓄積すべく、前記トランジスタに並列に接続された追加のトランジスタと、
前記プログラミングステージ中の動作時に、前記トランジスタ及び前記追加トランジスタを通過する電流経路を生じさせる第 1 のスイッチ手段と、
リプロダクションステージ中の動作時に、前記トランジスタ及び前記エレクトロルミネッセンス素子を通過する電流経路を生じさせる第 2 のスイッチ手段と、
電流シンクとを有し、
前記第 1 のスイッチ手段は、前記プログラミングステージ中の前記電流経路が前記トランジスタ及び前記追加トランジスタを介して前記電流シンクへと通じるように配置されていることを特徴とする電子回路。

30

40

【請求項 4】

請求項 2 又は 3 のいずれかに記載の電子回路において、前記第 1 及び第 2 のスイッチ手段は、それぞれ互いに独立した制御信号により制御されることを特徴とする電子回路。

【請求項 5】

請求項 2 乃至請求項 4 のいずれかに記載の電子回路であって、さらに、前記プログラミン

50

グステージ中に、オン状態で前記トランジスタがダイオード接続されるように配置された第3のスイッチ手段を有する電子回路。

【請求項6】

請求項5に記載の電子回路において、前記第3のスイッチ手段は、前記第1のスイッチ手段を前記トランジスタのソース・ドレイン電流経路に接続することを特徴とする電子回路。

【請求項7】

請求項2乃至請求項6のいずれかに記載の電子回路であって、さらに、前記プログラミングステージ中に、オン状態で前記追加トランジスタがダイオード接続されるように配置された追加のスイッチ手段を有する電子回路。

10

【請求項8】

請求項7に記載の電子回路において、前記追加のスイッチ手段は、前記容量素子と前記第1のスイッチ手段との間に配置されていることを特徴とする電子回路。

【請求項9】

請求項7または8に記載の電子回路において、前記追加のスイッチ手段は、前記第1のスイッチ手段を前記トランジスタ及び前記追加トランジスタのゲートに接続することを特徴とする電子回路。

【請求項10】

請求項5乃至9のいずれかに記載の電子回路において、前記第3のスイッチ手段が前記トランジスタ及び前記追加トランジスタの双方のドレイン間を接続し、前記追加トランジスタのゲートは前記トランジスタのゲートに接続されていることを特徴とする電子回路。

20

【請求項11】

請求項9に記載の電子回路において、それぞれ前記追加スイッチ手段を有する複数の前記追加のトランジスタを有し、前記各追加トランジスタ及び前記追加スイッチ手段は前述の様に (as aforesaid) 配置され、前記追加スイッチ手段は互いに直列に配置されていることを特徴とする電子回路。

【請求項12】

電流駆動素子と、データ信号として電流を出力するデータ線と、前記データ線を介して出力された電流に基づいた電荷を蓄積する容量素子と、前記容量素子にゲートが接続されるとともに互いに並列に配置された複数のトランジスタと、前記電流駆動素子と直列に配置された駆動トランジスタと、を備えた電子回路であって、前記複数のトランジスタが前記データ線に接続された状態で前記複数のトランジスタを含む電流経路に流れる電流量に基づいて前記容量素子に蓄積された電荷量に応じた電流を前記駆動トランジスタを介して前記電流駆動素子に供給することを特徴とする電子回路。

30

【請求項13】

エレクトロルミネッセンス装置の画素を駆動するための電子回路であって、

前記画素はエレクトロルミネッセンス素子を有し、

前記回路は、

電流駆動素子と、データ信号として電流を出力するデータ線と、前記データ線を介して出力された電流に基づいた電荷を蓄積する容量素子と、前記容量素子にゲートが接続された複数のトランジスタと、前記電流駆動素子と直列に配置された駆動トランジスタとを備え、

40

前記複数のトランジスタが前記データ線に接続された状態で前記複数のトランジスタを含む電流経路に流れる電流量に基づいて前記容量素子に蓄積された電荷量に応じた電流を前記駆動トランジスタ (T4) を介して前記電流駆動素子に供給するのであって、

前記複数のトランジスタを通過するプログラミング経路を生じさせるスイッチ手段と、

電流シンクとを有し、

前記スイッチ手段は、前記プログラミング経路において前記複数のトランジスタを介して前期電流シンクへと通じるように配置されていることを特徴とする電子回路。

【請求項14】

50

請求項 1 2 または 1 3 に記載の電子回路であって、さらに、前記プログラミング経路における前記複数のトランジスタをオン状態でダイオード接続されるように配置された追加のスイッチ手段を有する電子回路。

【請求項 1 5】

請求項 1 4 に記載の電子回路において、前記追加のスイッチ手段は、前記容量素子と前記第 1 のスイッチ手段との間に配置されていることを特徴とする電子回路。

【請求項 1 6】

請求項 1 4 または 1 5 に記載の電子回路において、前記追加のスイッチ手段は、前記スイッチ手段を前記複数のトランジスタのゲートに接続することを特徴とする電子回路。

【請求項 1 7】

請求項 1 4 乃至 1 6 のいずれかに記載の電子回路において、前記複数のトランジスタ (T 2 、 T 5) のゲートは互いに接続されていることを特徴とする電子回路。

10

【請求項 1 8】

電流駆動素子と、データ信号として電流を出力するデータ線と、前記データ線を介して出力された電流に基づいた電荷を蓄積する容量素子と、前記容量素子にゲートが接続されるとともに互いに並列に配置された複数のトランジスタと、前記電流駆動素子と直列に配置された駆動トランジスタとを備えた電子回路であって、

前記複数のトランジスタが前記データ線に接続された状態で前記複数のトランジスタを含む電流経路に流れる電流量に基づいて前記容量素子に蓄積された電荷量に応じた電流を前記複数のトランジスタのうち少なくとも一つを介して前記電流駆動素子に供給することを特徴とする電子回路。

20

【請求項 1 9】

エレクトロルミネッセンス装置の画素を駆動するための電子回路であって、

前記画素はエレクトロルミネッセンス素子を有し、

前記回路は、

電流駆動素子と、データ信号として電流を出力するデータ線と、プログラミングステージ中に前記データ線を介して出力された電流に基づいた電荷を蓄積する容量素子と、前記容量素子にゲートが接続された複数のトランジスタとを備え、

前記複数のトランジスタが前記データ線に接続された状態で前記複数のトランジスタを含む電流経路に流れる電流量に基づいて前記容量素子に蓄積された電荷量に応じた電流を前記駆動トランジスタを介して前記電流駆動素子に供給するのであって、

30

前記プログラミングステージ中の動作時に、前記複数のトランジスタを通過する電流経路を生じさせる第 1 のスイッチ手段と、

リプロダクションステージ中の動作時に、前記複数のトランジスタの少なくとも一つ及び前記エレクトロルミネッセンス素子を通過する電流経路を生じさせる第 2 のスイッチ手段と、

を有することを特徴とする電子回路。

【請求項 2 0】

請求項 1 9 に記載の電子回路において、前記第 1 及び第 2 のスイッチ手段は、それぞれ互いに独立した制御信号により制御されることを特徴とする電子回路。

40

【請求項 2 1】

請求項 1 9 または 2 0 に記載の電子回路であって、さらに、前記プログラミングステージ中に前記複数のトランジスタをオン状態でダイオード接続されるように配置された第 3 のスイッチ手段を有する電子回路。

【請求項 2 2】

請求項 2 1 に記載の電子回路において、前記第 3 のスイッチ手段は、前記プログラミングステージ中に前記複数のトランジスタの少なくとも一つをエレクトロルミネッセンス素子に接続することを特徴とする電子回路。

【請求項 2 3】

請求項 1 9 乃至 2 1 のいずれかに記載の電子回路であって、さらに、前記プログラミング

50

ステージ中に前記複数のトランジスタをオン状態でダイオード接続されるように配置された追加のスイッチ手段を有する電子回路。

【請求項 2 4】

請求項 2 3 に記載の電子回路において、前記追加スイッチ手段は、前記容量素子と前記エレクトロルミネッセンス素子との間に配置されていることを特徴とする電子回路。

【請求項 2 5】

請求項 2 1 乃至 2 3 のいずれかに記載の電子回路において、前記第 3 のスイッチ手段が前記複数のトランジスタの双方のドレイン間を接続するとともに、当該双方のドレインをエレクトロルミネッセンス素子に接続し、前記複数のトランジスタのゲートは互いに接続されていることを特徴とする電子回路。

10

【請求項 2 6】

請求項 1 乃至 1 1 のいずれかに記載の電子回路において、前記トランジスタは p チャンネル型の薄膜トランジスタであることを特徴とする電子回路。

【請求項 2 7】

請求項 1 2 乃至 2 5 のいずれかに記載の電子回路において、前記複数のトランジスタの少なくとも一つは p チャンネル型の薄膜トランジスタであることを特徴とする電子回路。

【請求項 2 8】

請求項 5 または 2 1 に記載の電子回路において、前記第 1、第 2、及び第 3 のスイッチ手段はそれぞれ p チャンネル型の薄膜トランジスタであることを特徴とする電子回路。

【請求項 2 9】

請求項 1 4 に記載の電子回路において、前記スイッチ手段及び前記追加のスイッチ手段はそれぞれ p チャンネル型の薄膜トランジスタであることを特徴とする電子回路。

20

【請求項 3 0】

請求項 1 乃至請求項 2 5 のいずれかに記載の電子回路を 1 つ又は 2 つ以上備えたエレクトロルミネッセンスディスプレイ装置。

【請求項 3 1】

請求項 3 0 に記載のエレクトロルミネッセンスディスプレイ装置を用いた電子機器。

【請求項 3 2】

エレクトロルミネッセンス素子への電流供給を制御する方法であって、複数の副電流経路を含むプログラミング経路を提供するステップと、前記エレクトロルミネッセンス素子を通過するリプロダクション経路を提供するステップとを有する方法。

30

【請求項 3 3】

エレクトロルミネッセンス素子への電流供給を制御する方法であって、電流シンクへと接続された複数の副電流経路を含むプログラミング経路を提供するステップと、前記エレクトロルミネッセンス素子を通過するリプロダクション経路を提供するステップとを有する方法。

【請求項 3 4】

電流駆動素子と、前記電流駆動素子への電流供給を制御するトランジスタとを備えた回路を駆動する方法であって、所定の電流に基づいて前記トランジスタのゲート電圧を決定するステップを有し、前記所定電流は、前記電流駆動素子へ供給される前記電流より大きいことを特徴とする方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、特に、電子回路に関する。この電子回路の 1 つの特徴的な用途として、有機エレクトロルミネッセンス装置の画素を駆動するための回路が挙げられる。

【0002】

50

【発明の背景】

有機エレクトロルミネッセンス(OEL)素子は、アノード層とカソード層に挟まれた発光物質層を備えている。この素子は、電気的には、ダイオードのように動作する。この素子は、光学的には、順バイアス時に発光し、順バイアス電流の増加にともなってその発光強度が増加する。少なくとも1つの透明電極層を有しつつ透明基板上に作りこまれた有機エレクトロルミネッセンス素子のマトリクスを用いて、ディスプレイパネルを構築することが可能である。低温ポリシリコン薄膜トランジスタ(薄膜トランジスタ)技術を用いることにより、このパネル上に、電子回路をも一体的に設けることができる。

【0003】

アクティブマトリクス型有機エレクトロルミネッセンスディスプレイ用の基本的なアナログ駆動方式では、原理的に、1画素につき少なくとも2つのトランジスタが必要である(図1)。T1は画素を選択し、T2は、データ電圧信号を、有機エレクトロルミネッセンス素子(OELD)を指定の輝度で発光させるための駆動電流に変換する。前記データ信号は、画素が選択されていないときには、蓄積容量素子(storage capacitor)Cstorageに保存される。各図には、Pチャンネル型の薄膜トランジスタが示されているが、Nチャンネル型薄膜トランジスタを用いた回路にも同じ原理が適用できる。

【0004】

そこで、本発明者らは、図2に示す画素駆動回路(電子回路)を発明した。トランジスタT2は、有機エレクトロルミネッセンス素子(OELD)への駆動電流を供給するアナログ電流コントローラとして動作する。また、蓄積容量素子(ストレージキャパシタ)C1は、トランジスタT2のゲート及びソースの間に接続されている。図2の回路において、トランジスタT2のドレインは、トランジスタT3のソース-ドレイン経路を介して、トランジスタT1のソースに接続されている。トランジスタT1のソースはトランジスタT2のゲートに接続され、トランジスタT1とT3のゲートは互いに接続されている。T1とT3のゲートには、プログラミング電圧Vpが印加される。プログラミングステージ中オフにされるトランジスタT4は、T2のドレインとT3のソースを有機エレクトロルミネッセンス素子(OELD)に接続している。プログラミングステージ中、トランジスタT1は、トランジスタT2を、接地もしくは基準電圧に接続された電流シンクに接続する。このステージにおいては、トランジスタT2を介して有機エレクトロルミネッセンス素子に流れる電流はゼロである。

【0005】

図2の回路は、プログラミングステージ中、T4がオフで、T1及びT3がオンの状態で動作する。オンの状態のT3は、T2をダイオードとして動作させる効果を有する。また、T1は、このダイオードをデータ電流シンクへと接続する。その結果、容量素子C1は蓄電(電荷の蓄積)する(又は、前段階中に蓄積された電圧に依存して放電する)。容量素子C1は、トランジスタT2のゲート-ソース間電圧に応じて蓄電し、その結果、リプロダクションステージ中に有機エレクトロルミネッセンス素子への電流供給を制御することになる電圧(VGS2、データ電流IDATに対応)を蓄積する。プログラミングステージの終了時に、T1及びT3はオフとなる。このフレームの残りの期間(すなわち、リプロダクションステージ)のために、電圧VGS2がC1に蓄積される。

【0006】

C1が蓄電されてT3がオフになった後、T3のオフ抵抗は、このフレームの残り期間中、C1に印加された電圧に影響を与え得るので、T3のオフ抵抗が重要になることがある。そのため、T3のゲート-ソース間容量は、C1に比較して小さいことが望ましい。

【0007】

リプロダクション電圧VRは、トランジスタT4のゲートに印加される。図2の回路における、リプロダクションステージの開始時には、T4はオンであり、T1及びT3はオフのままである。その結果、T2は、C1によりバイアスされたVGS2により電流源として動作し、電流を有機エレクトロルミネッセンス素子に供給する。リプロダクションステ

ージの終了時には、T4はオフにされ、T1及びT3はオフのままとどまる。これにより1つのサイクルが終了する。この駆動波形は、図2に示されている。

【0008】

図2に示された回路によれば、プログラミングステージ中は、電流制御トランジスタによる、電流駆動素子への電流供給はないということに気づくであろう。本発明のエレクトロルミネッセンス装置では、このエレクトロルミネッセンス装置によって表示される画像の質を損なうことなく、画素駆動回路を実現することができる。本発明では、プログラミング電流の経路とリプロダクション電流の経路とを分けることができる。これにより、多くの効果が得られる。例えば、プログラミングステージにおいて、有機エレクトロルミネッセンス素子を通過する電流が無ければ、プログラミングステージをより高速に動作させることができる。なぜならば、このような構成では、有機エレクトロルミネッセンス素子の寄生容量 (parasitic capacitance) により引き起こされる低速化を防止することができるからである。

10

【0009】

図2の回路は効果的であるが、依然として、低消費電力化というニーズがある。このため、昨今の有機エレクトロルミネッセンス素子の材料の改良により、小さな電流でも駆動できるようになってきた。

【0010】

【発明が解決しようとする課題】

しかしながら、特に、低階調を表現する際には、プログラミングステージにおいて、データ電流IDATを非常に小さくする必要があり、蓄積容量素子C1への蓄電速度が遅くなるといった問題が生じてきた。加えて、小さなデータ電流IDATでプログラミングすると、蓄積容量素子C1やデータ線の製造のばらつきにより、蓄積容量素子C1への蓄電速度や蓄積される電荷量に大きな影響が出てしまうのである。

20

【0011】

【課題を解決するための手段】

本発明の第1の様態によれば、プログラミング経路及びリプロダクション経路を有する電子回路であって、前記回路は、電流駆動素子と、前記電流駆動素子に供給される電流の制御用に動作すべく配置された、前記プロダクション経路中のトランジスタと、前記トランジスタの動作電圧を蓄積するために配置された容量素子と、前記容量素子に前記動作電圧を蓄積すべく、前記プロダクション経路中において前記トランジスタに並列に配置された追加のトランジスタと、前記プログラミング経路及び前記リプロダクション経路を制御するスイッチ手段とを備えたこととする電子回路が提供される。

30

【0012】

本発明の第2の様態によれば、EL(エレクトロルミネッセンス)装置の画素を駆動するための電子回路であって、前記画素はエレクトロルミネッセンス素子を有し、前記回路は、前記エレクトロルミネッセンス素子に供給される電流の制御用に動作すべく配置されたトランジスタと、プログラミングステージ中に、前記トランジスタの動作電圧を蓄積するために配置された容量素子と、前記容量素子に前記動作電圧を蓄積すべく、前記トランジスタに並列に配置された追加のトランジスタと、前記プログラミングステージ中の動作時に、前記トランジスタ及び前記追加トランジスタを通過する電流経路を生じさせる第1のスイッチ手段と、リプロダクションステージ中の動作時に、前記トランジスタ及び前記エレクトロルミネッセンス素子を通過する電流経路を生じさせる第2のスイッチ手段とを有することとする電子回路が提供される。

40

【0013】

本発明の第3の様態によれば、エレクトロルミネッセンス装置の画素を駆動するための電子回路であって、前記画素はエレクトロルミネッセンス素子を有し、前記回路は、前記エレクトロルミネッセンス素子に供給される電流の制御用に動作すべく配置されたトランジスタと、プログラミングステージ中に、前記トランジスタの動作電圧を蓄積するために配置された容量素子と、前記容量素子に前記動作電圧を蓄積すべく、前記トランジスタに並

50

列に接続された追加のトランジスタと、前記プログラミングステージ中の動作時に、前記トランジスタ及び前記追加トランジスタを通過する電流経路を生じさせる第1のスイッチ手段と、リプロダクションステージ中の動作時に、前記トランジスタ及び前記エレクトロルミネッセンス素子を通過する電流経路を生じさせる第2のスイッチ手段と、電流シンクとを有し、前記第1のスイッチ手段は、前記プログラミングステージ中の前記電流経路が前記トランジスタ及び前記追加トランジスタを介して前記電流シンクへと通じるように配置されていることとする電子回路が提供される。

【0014】

本発明の第4の様態によれば、電流駆動素子と、データ信号として電流を出力するデータ線と、前記データ線を介して出力された電流に基づいた電荷を蓄積する容量素子と、前記容量素子にゲートが接続されるとともに互いに並列に配置された複数のトランジスタと、前記電流駆動素子と直列に配置された駆動トランジスタと、を備えた電子回路であって、前記複数のトランジスタが前記データ線に接続された状態で前記複数のトランジスタを含む電流経路に流れる電流量に基づいて前記容量素子に蓄積された電荷量に応じた電流を前記駆動トランジスタを介して前記電流駆動素子に供給することとする電子回路が提供される。

10

【0015】

本発明の第5の様態によれば、エレクトロルミネッセンス装置の画素を駆動するための電子回路であって、前記画素はエレクトロルミネッセンス素子を有し、前記回路は、電流駆動素子と、データ信号として電流を出力するデータ線と、前記データ線を介して出力された電流に基づいた電荷を蓄積する容量素子と、前記容量素子にゲートが接続された複数のトランジスタと、前記電流駆動素子と直列に配置された駆動トランジスタとを備え、前記複数のトランジスタが前記データ線に接続された状態で前記複数のトランジスタを含む電流経路に流れる電流量に基づいて前記容量素子に蓄積された電荷量に応じた電流を前記駆動トランジスタ(T4)を介して前記電流駆動素子に供給するのであって、前記複数のトランジスタを通過するプログラミング経路を生じさせるスイッチ手段と、電流シンクとを有し、前記スイッチ手段は、前記プログラミング経路において前記複数のトランジスタを介して前期電流シンクへと通じるように配置されていることとする電子回路が提供される。

20

【0016】

本発明の第6の様態によれば、電流駆動素子と、データ信号として電流を出力するデータ線と、前記データ線を介して出力された電流に基づいた電荷を蓄積する容量素子と、前記容量素子にゲートが接続されるとともに互いに並列に配置された複数のトランジスタと、前記電流駆動素子と直列に配置された駆動トランジスタとを備えた電子回路であって、前記複数のトランジスタが前記データ線に接続された状態で前記複数のトランジスタを含む電流経路に流れる電流量に基づいて前記容量素子に蓄積された電荷量に応じた電流を前記複数のトランジスタのうち少なくとも一つを介して前記電流駆動素子に供給することとする電子回路が提供される。

30

【0017】

本発明の第7の様態によれば、エレクトロルミネッセンス装置の画素を駆動するための電子回路であって、前記画素はエレクトロルミネッセンス素子を有し、前記回路は、電流駆動素子と、データ信号として電流を出力するデータ線と、プログラミングステージ中に前記データ線を介して出力された電流に基づいた電荷を蓄積する容量素子と、前記容量素子にゲートが接続された複数のトランジスタとを備え、前記複数のトランジスタが前記データ線に接続された状態で前記複数のトランジスタを含む電流経路に流れる電流量に基づいて前記容量素子に蓄積された電荷量に応じた電流を前記駆動トランジスタを介して前記電流駆動素子に供給するのであって、前記プログラミングステージ中の動作時に、前記複数のトランジスタを通過する電流経路を生じさせる第1のスイッチ手段と、リプロダクションステージ中の動作時に、前記複数のトランジスタの少なくとも一つ及び前記エレクトロルミネッセンス素子を通過する電流経路を生じさせる第2のスイッチ手段とを有すること

40

50

とする電子回路が提供される。

【0018】

本発明の第8の様態によれば、前記の電子回路を1つ又は2つ以上備えたエレクトロルミネッセンスディスプレイ装置が提供される。

【0019】

本発明の第9の様態によれば、前記のエレクトロルミネッセンスディスプレイ装置を用いた電子機器が提供される。

【0020】

本発明の第10の様態によれば、エレクトロルミネッセンス素子への電流供給を制御する方法であって、複数の副電流経路を含むプログラミング経路を提供するステップと、前記エレクトロルミネッセンス素子を通過するリプロダクション経路を提供するステップとを有する方法が提供される。

10

【0021】

本発明の第11の様態によれば、エレクトロルミネッセンス素子への電流供給を制御する方法であって、電流シンクへと接続された複数の副電流経路を含むプログラミング経路を提供するステップと、前記エレクトロルミネッセンス素子を通過するリプロダクション経路を提供するステップとを有する方法が提供される。

【0022】

本発明によれば、データ電流を大きくできるため、プログラミング動作の大幅な高速化が図れる。

20

【0023】

【発明の実施の形態】

本発明の実施形態について、さらに実例によって、添付の図面を参照しつつ説明する。これらはいくまでも例示に過ぎない。本実施形態では、前述した図2で示した回路に対し、構成、動作及び作用効果に関し、共通する部分は既に述べた通りであるので、相違する部分を中心に説明する。

【0024】

本実施形態の回路では、図3に示すように、まず、前述した図2で示した回路に加え、追加のトランジスタT5及び追加のスイッチングトランジスタT6を有する。これらT5及びT6はP型トランジスタである。

30

【0025】

この追加のスイッチングトランジスタT6のソースは、蓄積容量素子(ストレージキャパシタ)C1に接続され、そのドレインは、P型トランジスタT1のソースに接続されている。この追加のスイッチングトランジスタT6とT1とP型トランジスタT3のゲートは互いに接続されている。これらT1、T3及びT6のゲートには、プログラミング電圧V_pが印加される。T1はT6のドレイン-ソースを経由してC1に接続されている。

【0026】

追加のトランジスタT5のソースは、V_{DD}に接続されており、そのゲートは、蓄積容量素子(ストレージキャパシタ)C1に接続されて、トランジスタT2のゲートと同じ駆動電圧信号が印加される。T5のドレインはトランジスタT1、T3、及びT6の共通接続箇所(共通接続箇所)に接続されている。つまり、蓄積容量素子(ストレージキャパシタ)C1は、この追加のトランジスタT5のゲート及びソースの間にも接続されている。

40

【0027】

図3の回路において、トランジスタT1、T3、及びT6のゲートには、プログラミング電圧V_pが印加される。プログラミングステージ中オフにされるP型トランジスタT4は、P型トランジスタT2のドレインとT3のソースを有機エレクトロルミネッセンス素子(OELD)に接続している。プログラミングステージ中、トランジスタT1は、トランジスタT2、T5を接地もしくは基準電圧に接続された電流シンクに接続する。

【0028】

図3の回路は、プログラミングステージ中、T4がオフで、T1、T3及びT6がオンの

50

状態で動作する。オンの状態の T 3 及び T 6 は、T 2 及び T 5 をダイオードとして動作させる効果を有する。また、T 1 は、これらダイオード T 2 及び T 5 をデータ電流シンクへと接続する。その結果、容量素子 C 1 は蓄電（電荷の蓄積）する（又は、前段階中に蓄積された電圧に依存して放電する）。容量素子 C 1 は、トランジスタ T 2 及び T 5 のゲート-ソース間電圧に応じて蓄電し、その結果、リプロダクションステージ中に有機エレクトロルミネッセンス素子への電流供給を制御することになる電圧（VGS2、データ電流 IDAT に対応）を蓄積する。ここで、データ電流 IDAT とはデータ線より出力されるデータ信号である。プログラミングステージの終了時に、T 1、T 3 及び T 6 はオフとなる。このフレームの残りの期間、すなわち、リプロダクションステージのために、電圧 VGS2 が C 1 に蓄積される。

10

【0029】

より具体的には、プログラミングステージ中における図3の回路は、図4に示す回路のように動作する。つまり、図4において、ダイオードとして動作する二つのトランジスタ T 2、T 5 を含む二つの副電流経路からなるプログラミング経路が生じることとなる。

【0030】

リプロダクション電圧 VR は、トランジスタ T 4 のゲートに印加される。図3の回路における、リプロダクションステージの開始時には、T 4 はオンであり、T 1、T 3 及び T 6 はオフのままである。その結果、図5に示すようなリプロダクション経路が生じ、T 2 は、C 1 によりバイアスされた VGS2 により電流源として動作し、電流を有機エレクトロルミネッセンス素子に供給する。リプロダクションステージの終了時には、T 4 はオフにされ、T 1、T 3 及び T 6 はオフのままとどまる。これにより1つのサイクルが終了する。この駆動波形は、図3に示されている。

20

【0031】

前述したように、プログラミングステージ中、図4に示すように、ダイオードとして動作する二つのトランジスタ T 2 あるいは T 5 を含む二つの副電流経路が生じる。従って、例えば、T 2 と T 5 の電流供給能力の比を 1 : 9 に設定すれば、図6に示すように、プロダクションステージにおいてエレクトロルミネッセンス素子へ供給される電流 IOEL が同じ 100 [nA] である場合、データ電流 IDAT が 100 [nA] となる図2で示した回路に比べて、本実施形態では、その 10 倍の 1 [μA] と大きくできる。その結果、図6に示すように、データ電流 IDAT を流すプログラミングステージの期間（プログラミングタイム）を、図2で示した回路の 100 [μS] に対して、40 [μS] と極めて短くできる。このため、プログラミング動作の大幅な高速化が図れる。図6で示される対比はあくまで一例である。

30

【0032】

有機エレクトロルミネッセンス素子装置において、図3の駆動回路を実装する際の一例を図7に表す。図7の回路では、共通の電流シンクに対し、多数の回路ブロック 10 が接続される。

【0033】

その他の実施形態としての回路例を図8及び図9に示す。図8の回路では、プログラミングステージ中において、トランジスタ T 1、T 6 がオンとなり、ダイオードとして動作する二つのトランジスタ T 2 あるいは T 5 を含む二つの副電流経路が生じることとなる。そして、リプロダクションステージの開始時には、T 4 はオンであり、T 1、T 6 はオフのままである。その結果、図8に示すように、T 4 は、C 1 によりバイアスされた VGS2 により電流源として動作し、電流を有機エレクトロルミネッセンス素子に供給する。リプロダクションステージの終了時には、T 4 はオフにされ、T 1、T 6 はオフのままとどまる。これにより1つのサイクルが終了する。この駆動波形は、図8に示されている。この図8の実施形態においても、前述した図3の回路と同様、データ電流 IDAT を大きくでき、プログラミング動作の大幅な高速化が図れる。ここで例えば、T 2、T 4、T 5 を同一特性のトランジスタで構成すれば、各トランジスタの特性が合わせ易く、かつ、IDAT : IOEL = 2 : 1 の状態が実現できる。

40

50

【0034】

図9の回路では、プログラミングステージ中において、トランジスタT1、T3、及びT6がオンとなり、ダイオードとして動作する二つのトランジスタT2あるいはT5をそれぞれ含む二つの副電流経路が生じることとなる。そして、リプロダクションステージの開始時には、T4はオンであり、T1、T3及びT6はオフのままである。その結果、図9に示すように、T4は、C1によりバイアスされたVGS2により電流源として動作し、電流を有機エレクトロルミネッセンス素子に供給する。リプロダクションステージの終了時には、T4はオフにされ、T1、T3及びT6はオフのままとどまる。これにより1つのサイクルが終了する。この駆動波形は、図9に示されている。この図9の実施形態においても、前述した図3の回路と同様、データ電流IDATを大きくでき、プログラミング動作の大幅な高速化が図れる。ここで例えば、T2、T5を同一特性のトランジスタで構成すれば、各トランジスタの特性が合わせ易く、かつ、IDAT:IOEL=2:1の状態が実現できる。

10

【0035】

図10は、ある有機エレクトロルミネッセンス素子装置の模式的断面図である。図10において、符号132は正孔輸送層を示し、符号133は有機エレクトロルミネッセンス層を示し、符号151は、絶縁膜などで形成される抵抗もしくは分離体を示す。スイッチング薄膜トランジスタ121及びpチャンネル型の電流薄膜トランジスタ(current thin film transistor)122には、例えば公知の薄膜トランジスタ液晶ディスプレイ装置などにおいて使用されるような、トップゲートストラクチャ(top-gate structure)や最高温度が摂氏600度以下の製造方法などの、低温ポリシリコン薄膜トランジスタに通常使用される構造及び方法を採用する。しかし、その他の構造や方法なども使用可能である。

20

【0036】

有機エレクトロルミネッセンスディスプレイ素子131は、アルミニウム製などの陰極116、ITO製陽極115、正孔輸送層132、及び有機エレクトロルミネッセンス層133から構成される。

【0037】

正孔輸送層132及び有機エレクトロルミネッセンス層は、抵抗151を画素間の分離構造体として利用しつつ、インクジェット法やマスク蒸着法などにより形成することができる。ITO製の対向する陽極115は、スパッタリングにより形成することができる。しかし、これらの構成要素すべてを形成するために、これ以外の方法を用いることも可能である。例えば、発光層と陰極との間に電子輸送層も配置することもできる。

30

【0038】

本発明を用いたディスプレイパネル全体の典型的なレイアウトを図11に模式的に示す。このパネルは、アナログ電流プログラム式画素を有するアクティブマトリクス型有機エレクトロルミネッセンス素子200、レベルシフトを有する一体化(integrated)薄膜トランジスタ走査ドライバ210、フレキシブルTABテープ220、及び一体化RAM/コントローラ(integrated RAM/controller)付き外部アナログドライバLSI230から構成される。もちろんこれは、本発明を利用して実現可能なパネル構成の一例に過ぎない。

40

【0039】

有機エレクトロルミネッセンスディスプレイ装置の構造は、上記のものに限定されるものではない。その他の構造も適用可能である。

【0040】

図3乃至図11に示した回路は、薄膜トランジスタ(薄膜トランジスタ)技術を用いて実現することが好ましく、最も好ましくはポリシリコン薄膜トランジスタである。

【0041】

本発明は、携帯電話、コンピュータ、CDプレーヤー、DVDプレーヤーなどの小型の、携帯電子機器に対して特に有効である。もちろんこれらに限られるものではない。

50

【0042】

上述の有機エレクトロルミネッセンスディスプレイ装置を使用した電子機器について幾つか以下に説明する。

【0043】

< 1 : モバイルコンピュータ >

上述の実施形態のうちの一つによるディスプレイ装置を適用したモバイルパーソナルコンピュータの例について次に説明する。

【0044】

図12は、このパーソナルコンピュータの構成を表す等角投影図である。図中、パーソナルコンピュータ1100は、キーボード1102を含む本体1104、及びディスプレイユニット1106を備える。このディスプレイユニット1106は、本発明により製造されたディスプレイパネルを用いて上述の様に実現されている。

10

【0045】

< 2 : 携帯電話 >

次に、携帯電話のディスプレイ部分に本発明のディスプレイ装置を適用した例について説明する。図13は、この携帯電話の構成を表す等角投影図である。図中、携帯電話1200は、複数の操作キー1202、スピーカ1204、マイク1206、及びディスプレイパネル100を備える。このディスプレイパネル100は、本発明により製造されたディスプレイパネルを用いて上述の様に実現されている。

【0046】

< 3 : デジタルスチルカメラ >

次に、有機エレクトロルミネッセンスディスプレイ装置をファインダーとして用いたデジタルスチルカメラについて説明する。図14はこのデジタルスチルカメラの構成、及び外部装置への接続の概要を表す等角投影図である。

20

【0047】

通常のカメラは、被写体の光学画像をフィルムに感光させるが、デジタルスチルカメラ1300は、例えば、電荷結合素子(CCD)を用いて光電変換により、被写体の光学画像から画像信号を生成する。このデジタルスチルカメラ1300は、ケース1302の後面に、CCDからの画像信号に基づき表示を行う有機エレクトロルミネッセンス素子100を備える。そのため、このディスプレイパネル100は、被写体を表示するファインダーとして機能する。光学レンズ及びCCDを有する受光ユニット(photo acceptance unit)1304が、ケース1302の前面(図の後方)に備わっている。

30

【0048】

撮影者が有機エレクトロルミネッセンス素子パネル100に表示された被写体画像を決定し、シャッターを開放するとCCDからの画像信号が伝送され、回路基板1308内のメモリに保存される。このデジタルスチルカメラ1300では、ケース1302の側面にビデオ信号出力端子1312及びデータ通信用入出力端子1314が設けられている。図に示されているように、必要に応じて、TVモニタ1430及びパーソナルコンピュータ1440を、それぞれ、ビデオ信号端子1312及び入出力端子1314に接続する。所定の操作により、回路基板1308のメモリに保存された画像信号が、TVモニタ1430及びパーソナルコンピュータ1440への出力となる。

40

【0049】

図12に示したパーソナルコンピュータ、図13の携帯電話、及び図14のデジタルスチルカメラ以外の電子機器の例としては、有機エレクトロルミネッセンス素子TVセット、ビューファインダー式及びモニタリング式のビデオテープ録画器、カーナビゲーションシステム、ポケットベル、電子ノート、電卓、ワードプロセッサ、ワークステーション、TV電話、POSシステム端末、及びタッチパネル付きデバイス等が挙げられる。無論、上述の有機エレクトロルミネッセンス装置はこれらの電子機器のディスプレイ部分に適用可能である。

50

【0050】

本発明の駆動回路は、ディスプレイユニットの画素内に配置するのみならず、ディスプレイユニット外に配置することも可能である。

【0051】

前述の説明では、本発明の駆動回路は種々のディスプレイ装置を例として説明した。本発明の駆動回路の用途は、ディスプレイ装置にとどまらず、例えば、磁気抵抗RAM、容量センサ (capacitance sensor)、電荷センサ (charge sensor)、DNAセンサ、暗視カメラ、及びその他多くの装置なども含まれる。

【0052】

図15は、本発明の駆動回路の磁気RAMへの応用を示している。図13では、磁気ヘッドを符号MHで示している。 10

【0053】

図16は、本発明の駆動回路の磁気抵抗素子への応用を示している。図14では、磁気ヘッドを符号MHで、磁気レジスタを符号MRで示している。

【0054】

図17は、本発明の駆動回路の容量センサ、又は電荷センサへの応用を示している。図17では、センス容量素子 (sense capacitor) を符号Csenseで示している。図17の回路は、指紋センサやDNAなどこの他の用途にも応用可能である。

【0055】

図18は、本発明の駆動回路の暗視カメラへの応用を示している。図18では、光伝導体を符号Rで示している。 20

【0056】

上述の特定された説明において示された実施形態では、各トランジスタはpチャンネル型トランジスタとして示された。このことは本発明の限定的要素ではない。例えば、駆動トランジスタをpチャンネル型のままとした以外、nチャンネル型のトランジスタを使用してもよい。

【0057】

図3から図18までに関して説明された構成には、本発明の範囲から逸脱することなく、種々の変更や改良が可能であることが当業者には明らかであろう。

【図面の簡単な説明】

30

【図1】2個のトランジスタを使用した、従来の有機エレクトロルミネッセンス素子画素駆動回路を示している。

【図2】先に発明された電流プログラム式有機エレクトロルミネッセンス素子駆動回路を示している。

【図3】本発明の第1の実施形態による画素駆動回路を示している。

【図4】本発明の一実施形態による画素駆動回路のプログラミングステージ中の等価回路を示している。

【図5】本発明の一実施形態による画素駆動回路のリプロダクションステージ中の等価回路を示している。

【図6】データ電流の値及びプログラミングステージの動作速度に関し、発明による一実施形態の画素駆動回路と図2の画素駆動回路とを比較した図表である。 40

【図7】本発明の一実施形態による有機エレクトロルミネッセンス素子及び画素駆動回路をディスプレイに適用した一例の回路図である。

【図8】本発明による画素駆動回路の別の実施形態を示している。

【図9】本発明による画素駆動回路の別の実施形態を示している。

【図10】本発明による有機エレクトロルミネッセンス素子装置における画素駆動回路の実装状態を表す模式的断面図である。

【図11】本発明による有機エレクトロルミネッセンスディスプレイパネルの概略平面図である。

【図12】本発明の画素駆動回路を有するディスプレイ装置を使用したモバイルパーソナ 50

ルコンピュータの模式図である。

【図13】本発明の画素駆動回路を有するディスプレイ装置を使用した携帯電話の模式図である。

【図14】本発明の画素駆動回路を有するディスプレイ装置を使用したデジタルカメラの模式図である。

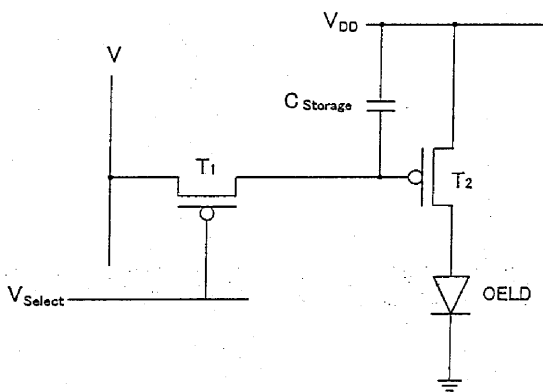
【図15】本発明の駆動回路の磁気RAMへの応用を示している。

【図16】本発明の駆動回路の磁気抵抗素子への応用を示している。

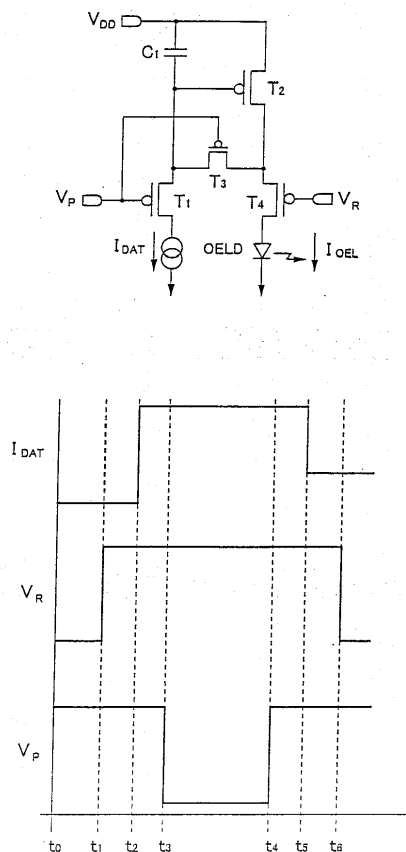
【図17】本発明の駆動回路の容量センサ又は電荷センサへの応用を示している。

【図18】本発明の駆動回路の暗視カメラへの応用を示している。

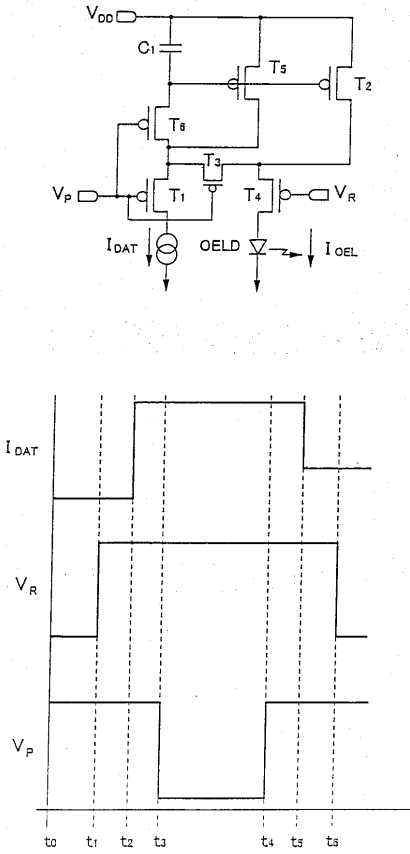
【図1】



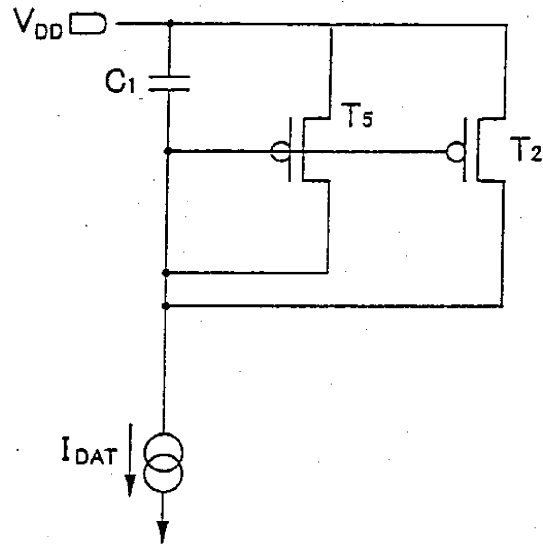
【図2】



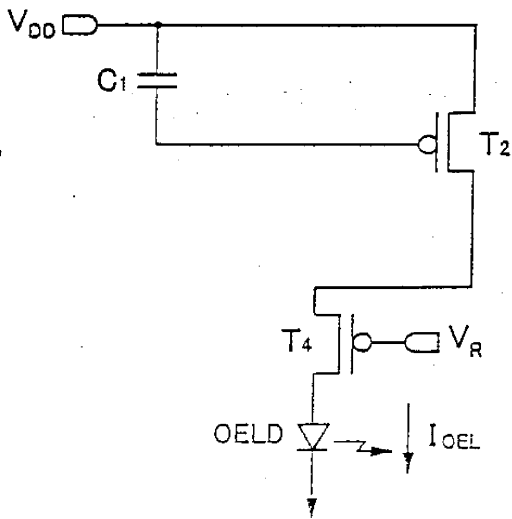
【図3】



【図4】



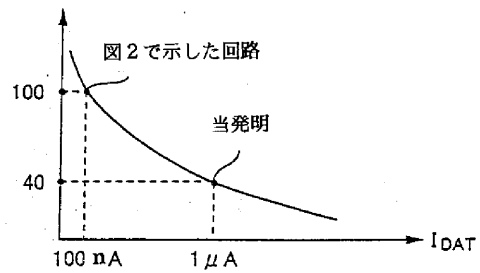
【図5】



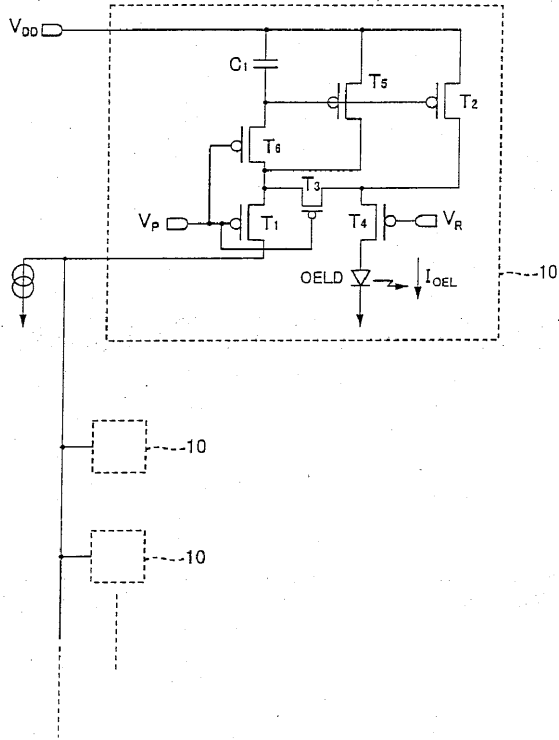
【図6】

	I _{DAT}	I _{OEL}
図2で示した回路	100 nA	100 nA
当発明	1 μA	

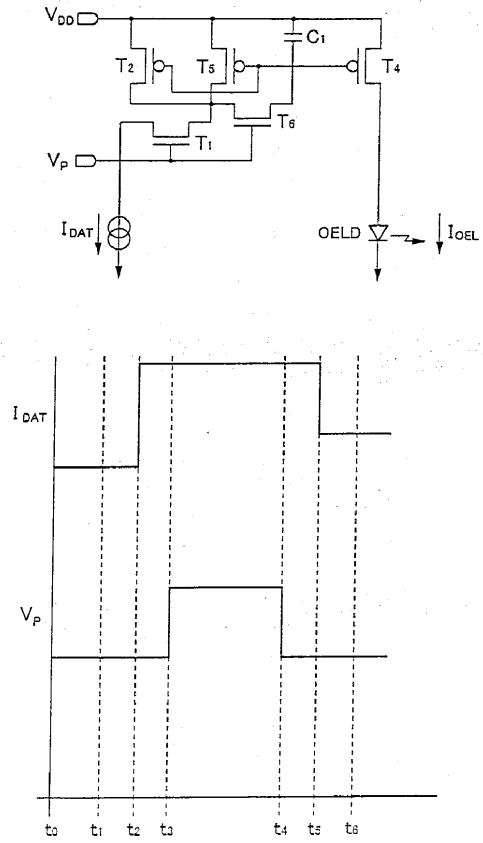
アログラミングタイム μs



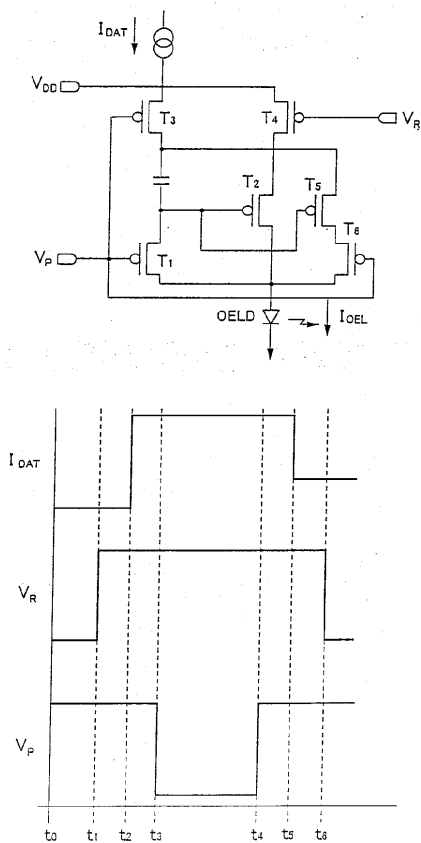
【 図 7 】



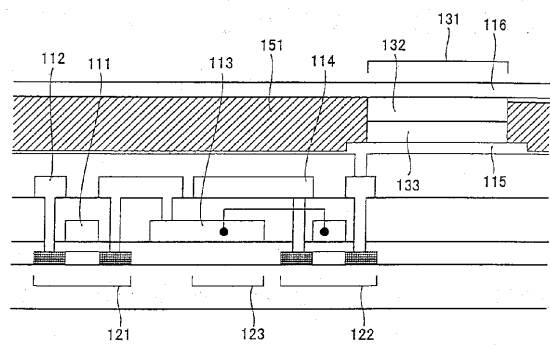
【 図 8 】



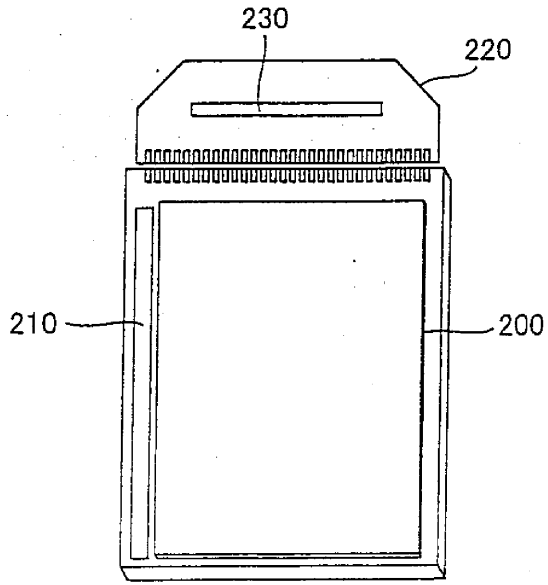
【 図 9 】



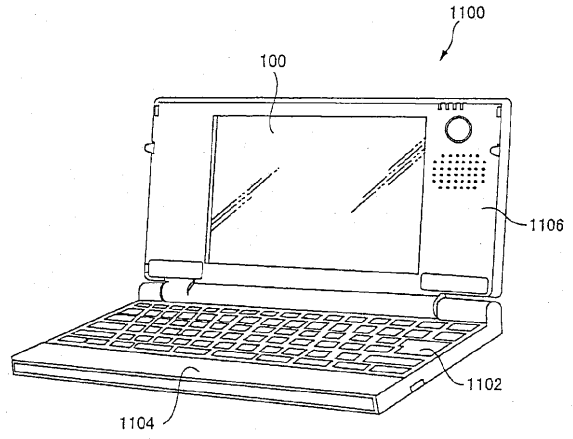
【 図 10 】



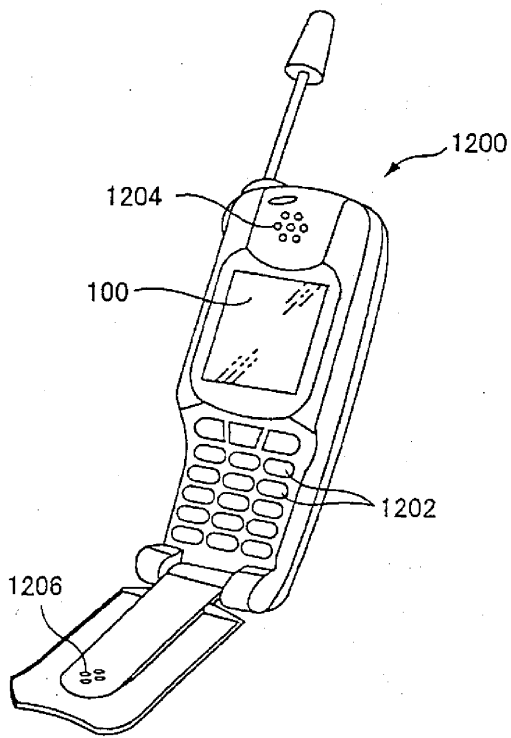
【 図 1 1 】



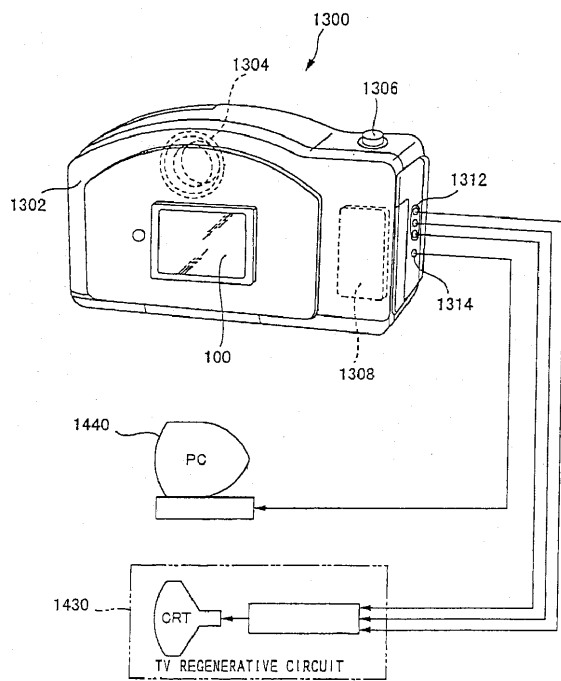
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 2 A

H 0 5 B 33/14 A

(72)発明者 サイモン タム

イギリス ケンブリッジ C B 4 0 F E 9 a ケンブリッジ サイエンスパーク ミルトンロ
ード エプソンケンブリッジ研究所内

Fターム(参考) 3K007 AB17 AB18 BA06 DB03 GA00 GA04

5C080 AA06 BB05 DD05 EE28 FF11 JJ03 JJ04 JJ06 KK07 KK43

KK47

专利名称(译)	电子电路，电致发光显示装置，电光装置，电子设备，控制向有机电致发光像素供电的方法，		
公开(公告)号	JP2004145241A	公开(公告)日	2004-05-20
申请号	JP2003003331	申请日	2003-01-09
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	河西利幸 サイモンタム		
发明人	河西 利幸 サイモン タム		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 G11C27/02 H05B33/14		
CPC分类号	G09G3/325 G09G2300/0842 G09G2300/0861 G09G2310/0248 G09G2310/0251 G09G2320/0252 G11C27/024		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.621.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/20.621.F G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK43 5C080/KK47 3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH02 3K107/HH04 5C080/DD08 5C380/AA01 5C380/AB06 5C380/AB23 5C380/AB24 5C380/AB28 5C380/AC01 5C380/AC08 5C380/AC09 5C380/AC10 5C380/AC11 5C380/AC20 5C380/BA01 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC02 5C380/CC13 5C380/CC14 5C380/CC15 5C380/CC16 5C380/CC19 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CF26 5C380/DA02 5C380/DA06		
代理人(译)	须泽 修		
优先权	2002000411 2002-01-09 GB		
其他公开文献	JP3952953B2		
外部链接	Espacenet		

摘要(译)

一种具有编程路径和再现路径的电子电路，该电路包括：电流驱动元件；生产路径中的晶体管，用于控制提供给电流驱动元件的电流一种电容元件，用于存储所述晶体管的工作电压；一个附加晶体管，与所述晶体管并联设置在所述生产路径中，以将所述工作电压存储在所述电容元件中；并且开关装置用于控制路线和再现路线。 点域

