

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/125107

発行日 平成25年7月8日(2013.7.8)

(43) 国際公開日 平成23年10月13日(2011.10.13)

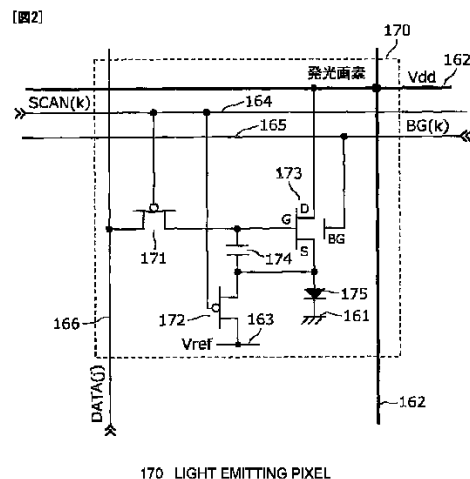
(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	5C080
G09G 3/20 (2006.01)	G09G 3/20 611J	5C380
	G09G 3/20 642A	
	G09G 3/20 611A	
	G09G 3/20 680H	
審査請求 有 予備審査請求 未請求 (全 111 頁) 最終頁に続く		

出願番号	特願2010-548317 (P2010-548317)	(71) 出願人	000005821
(21) 国際出願番号	PCT/JP2010/002471		パナソニック株式会社
(22) 国際出願日	平成22年4月5日(2010.4.5)		大阪府門真市大字門真1006番地
(81) 指定国	AP (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW	(74) 代理人	100109210 弁理士 新居 広守
		(72) 発明者	戎野 浩平 日本国大阪府門真市大字門真1006番地 パナソニック株式会社内
		Fターム(参考)	5C080 AA06 BB05 DD05 DD26 DD27 FF11 JJ02 JJ03 JJ04 JJ05 KK43
		最終頁に続く	

(54) 【発明の名称】 有機EL表示装置及びその制御方法

(57) 【要約】

本発明に係る有機EL表示装置は、駆動トランジスタ(173)と、走査トランジスタ(171)と、リセットトランジスタ(172)と、駆動トランジスタ(173)のゲート電極 - ソース電極間に挿入されたコンデンサ(174)と、駆動トランジスタ(173)のソース電極に接続された発光素子(175)とを備える発光画素(170)と、駆動回路とを備え、駆動トランジスタ(173)はバックゲート電極を有し、駆動回路は、所定のバイアス電圧をバックゲート電極に印加することにより、駆動トランジスタ(173)の閾値電圧をゲート電極及びソース電極間の電位差よりも大きくして駆動トランジスタ(173)を非導通とし、駆動トランジスタ(173)を非導通とした状態で、コンデンサ(174)に信号電圧に対応する電圧を保持させる。



【特許請求の範囲】

【請求項 1】

複数の画素部をマトリクス状に配置した有機 E L 表示装置であって、
前記複数の画素部の各々は、
第 1 電極と第 2 電極とを有する発光素子と、
電圧を保持するためのコンデンサと、
ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、
前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、
前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、
前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、
信号電圧を供給するためのデータ線と、
一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スイッチング素子と、
一方の端子が前記コンデンサの第 2 電極に接続され、他方の端子が前記第 3 電源線に接続され、前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、
前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、
前記有機 E L 表示装置は、さらに、
前記第 1 スイッチング素子の制御、前記第 2 スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、
前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、
前記駆動回路は、
前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、
前記所定のバイアス電圧を印加している期間内に前記第 1 スイッチング素子及び前記第 2 スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記コンデンサの第 1 電極に前記信号電圧を供給する、
有機 E L 表示装置。

【請求項 2】
前記有機 E L 表示装置は、さらに、
マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、
前記第 2 電源線は、
マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、
請求項 1 に記載の有機 E L 表示装置。

【請求項 3】
前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、
各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧

が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である、請求項 1 又は請求項 2 に記載の有機 E L 表示装置。

【請求項 4】

前記有機 E L 表示装置は、さらに、
前記第 1 スwitchング素子の導通及び非導通を制御する信号を供給する第 1 走査線と、
前記第 2 スwitchング素子の導通及び非導通を制御する信号を供給する第 2 走査線と、
を備える、
請求項 1 乃至請求項 3 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 5】

前記第 3 電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、
一の行に対応して配置された第 3 電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている、
請求項 1 乃至請求項 4 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 6】

前記駆動回路は、
前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する、
請求項 5 に記載の有機 E L 表示装置。

【請求項 7】

前記駆動回路は、
前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スwitchング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない、
請求項 6 に記載の有機 E L 表示装置。

【請求項 8】

前記第 1 走査線と前記第 2 走査線とを共通の制御線とする、
請求項 4 又は請求項 5 に記載の有機 E L 表示装置。

【請求項 9】

前記第 1 スwitchング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、
前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、
前記第 1 走査線と前記バイアス線とを共通の制御線とする、
請求項 4 又は請求項 5 に記載の有機 E L 表示装置。

【請求項 10】

前記駆動素子は N 型トランジスタである、
請求項 1 乃至請求項 9 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 11】

前記第 3 電源線から供給される前記所定の固定電圧は前記第 1 電源線の電位以下とする、
請求項 10 に記載の有機 E L 表示装置。

【請求項 12】

前記駆動回路は、
前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子を

10

20

30

40

50

非導通とし、

前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 10 に記載の有機 EL 表示装置。

【請求項 13】

前記駆動素子は P 型トランジスタである、

請求項 1 乃至請求項 9 のいずれか 1 項に記載の有機 EL 表示装置。

10

【請求項 14】

前記第 3 電源線から供給される前記所定の固定電位は前記第 1 電源線の電位以上とする

、
請求項 13 に記載の有機 EL 表示装置。

【請求項 15】

前記駆動回路は、

前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子をオフし、

前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

20

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 13 に記載の有機 EL 表示装置。

【請求項 16】

第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

30

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と

、
前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スイッチング素子と、

40

前記コンデンサの第 2 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、
を備える有機 EL 表示装置の制御方法であって、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

50

前記所定のバイアス電圧を印加している期間内に前記第 1 スイッチング素子及び前記第 2 スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 1 電極に供給させる、

有機 E L 表示装置の制御方法。

【請求項 17】

複数の画素部をマトリクス状に配置した有機 E L 表示装置であって、

前記複数の画素部の各々は、

第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と

、
前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スイッチング素子と、

一方の端子が前記コンデンサの第 1 電極に接続され、他方の端子が前記第 3 電源線に接続され、前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、

前記有機 E L 表示装置は、さらに、

前記第 1 スイッチング素子の制御、前記第 2 スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記駆動回路は、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第 1 スイッチング素子及び前記第 2 スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第 1 電極に前記所定の基準電圧を設定しつつ前記コンデンサの第 2 電極に前記信号電圧を供給する、

有機 E L 表示装置。

【請求項 18】

前記有機 E L 表示装置は、さらに、

マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、

前記第 2 電源線は、

マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、

10

20

30

40

50

請求項 17 に記載の有機 E L 表示装置。

【請求項 19】

前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、

各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である、

請求項 17 又は請求項 18 に記載の有機 E L 表示装置。

【請求項 20】

前記有機 E L 表示装置は、さらに、

前記第 1 スイッチング素子の導通及び非導通を制御する信号を供給する第 1 走査線と、
前記第 2 スイッチング素子の導通及び非導通を制御する信号を供給する第 2 走査線と、
を備える、

請求項 17 乃至請求項 19 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 21】

前記第 3 電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、

一の行に対応して配置された第 3 電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている、

請求項 17 乃至請求項 20 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 22】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する、

請求項 21 に記載の有機 E L 表示装置。

【請求項 23】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない、

請求項 22 に記載の有機 E L 表示装置。

【請求項 24】

前記第 1 走査線と前記第 2 走査線とを共通の制御線とする、

請求項 20 又は請求項 21 に記載の有機 E L 表示装置。

【請求項 25】

前記第 1 スイッチング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、

前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、

前記第 1 走査線と前記バイアス線とを共通の制御線とする、

請求項 20 又は請求項 21 に記載の有機 E L 表示装置。

【請求項 26】

前記駆動素子は N 型トランジスタである、

請求項 17 乃至請求項 25 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 27】

前記データ線から供給される前記信号電圧の最大値は前記第 1 電源線の電位以下とする

10

20

30

40

50

- 、
請求項 26 に記載の有機 EL 表示装置。
- 【請求項 28】
前記駆動回路は、
前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子を非導通とし、
前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、
前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、
請求項 26 に記載の有機 EL 表示装置。 10
- 【請求項 29】
前記駆動素子は P 型トランジスタである、
請求項 17 乃至請求項 25 のいずれか 1 項に記載の有機 EL 表示装置。
- 【請求項 30】
前記データ線から供給される前記信号電圧の最小値は前記第 1 電源線の電位以上とする、
- 、
請求項 29 に記載の有機 EL 表示装置。
- 【請求項 31】 20
前記駆動回路は、
前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子を非導通とし、
前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、
前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、
請求項 29 に記載の有機 EL 表示装置。
- 【請求項 32】 30
第 1 電極と第 2 電極とを有する発光素子と、
電圧を保持するためのコンデンサと、
ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、
前記発光素子を介して、前記駆動素子のドレイン電極に電氣的に接続された第 1 電源線と、
前記駆動素子のソース電極に電氣的に接続された第 2 電源線と、 40
前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、
信号電圧を供給するためのデータ線と、
一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スwitchング素子と、
前記コンデンサの第 1 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitchング素子と、
前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、
を備える有機 EL 表示装置の制御方法であって、 50

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電位であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第１スイッチング素子及び前記第２スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第１電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第２電極に供給させる、

有機ＥＬ表示装置の制御方法。

10

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、有機ＥＬ（Electro Luminescence）素子を用いたアクティブマトリクス方式の有機ＥＬ表示装置に関する。

【背景技術】

【０００２】

有機ＥＬ表示装置は、発光素子及びこの発光素子を駆動するための駆動素子を含む画素部をマトリクス状に配置した表示部を有し、表示部に含まれる各画素部に対応して複数の走査線及び複数のデータ線が配置されている。例えば、各画素部を２個のトランジスタ及び１個のコンデンサで構成し、駆動素子のソース電極に電氣的に接続された高電位側の電源線を、走査線に平行な方向及び垂直な方向の両方に網目状に配置する場合、コンデンサの第１電極に駆動素子のゲート電極が接続され、コンデンサの第２電極に駆動素子のソース電極が接続される（例えば、特許文献１参照）。この場合、コンデンサの第１電極に信号電圧が供給され、ソース電極に接続されているコンデンサの第２電極の電位は高電位側の電源線の電位によって決定される。

20

【先行技術文献】

【特許文献】

30

【０００３】

【特許文献１】特開２００２－１０８２５２号公報

【特許文献２】特開２００９－２７１３２０号公報

【特許文献３】特開２００９－６９５７１号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

しかし、上記従来技術では以下のような問題が生じていた。

【０００５】

即ち、走査線に平行な各ラインのうち発光動作を行っているラインでは、第１電源線に電流が流れることにより電圧降下が生じて電位が変動する。このとき、発光動作を行っているラインに隣接するラインの各画素部に、映像信号に対応する信号電圧を書き込む場合、第１電源線は網目状に配置されているので、走査線に垂直な方向に沿って設けられた配線を介して、発光動作を行っているラインに配置された第１電源線の電圧降下の影響が、信号電圧の書き込み動作を行っているラインに配置された第１電源線に伝わる。言い換えると、走査線に垂直な方向に配置された第１電源線を介して、走査線に平行な方向に配置され発光動作を行っているラインに対応する第１電源線の電圧降下が、走査線に平行な方向に配置され信号電圧の書き込み動作を行っているラインに対応する第１電源線に伝播する。その結果、信号電圧の書き込み動作を行っているラインに対応し、走査線に平行な方向に配置された第１電源線の電位が変動する。

40

50

【 0 0 0 6 】

さらに、発光動作を行っているラインにおいて、表示部の中央に向かって電圧降下の影響が大きくなるため、信号電圧の書き込み動作を行っているラインに配置された各画素部に第 1 電源線から供給される電位にばらつきが生じる。

【 0 0 0 7 】

このように、第 1 電源線の電位が電圧降下により低下している場合にコンデンサの第 1 電極に信号電圧の書き込みを行うと、コンデンサの第 2 電極の電位が低下した状態でコンデンサの第 1 電極に信号電圧が供給されるので、コンデンサには所望の電圧値よりも小さな電圧が保持される。また、コンデンサに保持される電圧が各画素部間でばらつく。その結果、表示部から発光される輝度が低下するとともに表示部に輝度ムラが発生し、表示部を所望の輝度で発光させることができないという問題が生じる。

10

【 0 0 0 8 】

また、信号電圧の書き込み期間中に、駆動素子が導通状態となって駆動素子の駆動電流が流れる場合がある。この場合、信号電圧の書き込み期間中に駆動電流が第 1 電源線を介して流れることにより第 1 電源線の電位が変動する。その結果、コンデンサには所望の電圧値よりも小さな電圧が保持される。

【 0 0 0 9 】

かかる問題を解決するために、第 1 電源線及び、第 2 電源線のいずれか一方、もしくは両方の電源線を走査線に平行なライン毎に走査し、発光素子の発光動作時と信号電圧の書き込み時とで駆動素子の導通、非導通状態を切り換えることで、コンデンサに所望の電圧値を書き込む方法がある（例えば、特許文献 2 参照）。この方法では、発光動作時には、発光素子に順バイアスが印加される向きに第 1 電源線及び第 2 電源線の電位を制御し、一方、信号電圧の供給期間には、発光素子に順バイアスが印加されないように第 1 電源線及び第 2 電源線の電位を制御する。これによって、信号電圧の供給期間内に第 1 電源線を介して発光素子に流れる駆動電流を防止できる。

20

【 0 0 1 0 】

しかしながら、この場合、第 1 電源線及び第 2 電源線の電位を変動させるための専用ドライバが別途必要となり、コスト高を招くという問題がある。

【 0 0 1 1 】

一方、第 1 電源線及び第 2 電源線と発光素子との間に別途スイッチ用のトランジスタを設け、信号電圧の供給期間内にこのトランジスタをオフすることで信号電圧の供給期間内の駆動電流を防止する方法もある（例えば、特許文献 3 参照）。しかしながら、この方法では、別途スイッチ用のトランジスタを設ける分だけ画素部を構成する素子の点数及びトランジスタを制御する為の配線が増加し、製造工程において歩留まりが低下するとともに電源部から供給する電源電圧が大きくなり消費電力の増加を招くという問題がある。

30

【 0 0 1 2 】

本発明は、上記課題に鑑みてなされたものであって、表示部に含まれる各画素部の構成を簡素化しつつ表示部を所望の輝度で発光させることができる有機 EL 表示装置を提供することを目的とする。

【課題を解決するための手段】

40

【 0 0 1 3 】

上記目的を達成するために、本発明の一態様に係る有機 EL 表示装置は、複数の画素部をマトリクス状に配置した有機 EL 表示装置であって、前記複数の画素部の各々は、第 1 電極と第 2 電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、前記第 1 電源線とは異なる電源線であ

50

って前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スイッチング素子と、一方の端子が前記コンデンサの第 2 電極に接続され、他方の端子が前記第 3 電源線に接続され、前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、前記有機 EL 表示装置は、さらに、前記第 1 スイッチング素子の制御、前記第 2 スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記駆動回路は、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第 1 スイッチング素子及び前記第 2 スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記コンデンサの第 1 電極に前記信号電圧を供給する。

【発明の効果】

【0014】

上述のように、前記コンデンサの第 2 電極を前記駆動素子のソース電極に電氣的に接続された前記第 1 電源線に接続した場合、前記コンデンサの第 2 電極の電位が前記第 1 電源線の電圧降下の影響を受ける。その結果、前記信号電圧の供給時に前記コンデンサに保持される電圧も変動する。

【0015】

そこで、本態様では、前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線を設けた。そして、前記コンデンサの固定電位側である第 2 電極を前記第 3 電源線に接続した。これにより、前記信号電圧の書き込み期間中、前記コンデンサの第 2 電極には前記第 3 電源線が接続されるので、コンデンサの第 2 電極の電位に対する前記第 1 電源線の電圧降下の影響を防ぐことができ、前記コンデンサに保持される電圧の変動を防止できる。

【0016】

その上で、本態様では、前記バックゲート電極を用いて前記駆動素子の駆動電流を停止し、前記駆動電流を停止させた状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 1 電極に供給する。これにより、前記駆動電流を停止させた状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記信号電圧を前記コンデンサの第 1 電極に供給するので、前記信号電圧の供給期間中に前記駆動電流が流れることによる前記コンデンサの第 2 電極の電位の変動を防止できる。その結果、前記コンデンサに所望の電圧を保持させることができ、前記表示部に含まれる各画素部を所望の輝度で発光させることができる。

【0017】

ここで、本態様では、前記バックゲート電極を、前記駆動素子の導通及び非導通を切り換えるためのスイッチとして用いている。前記所定のバイアス電圧は前記駆動素子のゲート電極及びソース電極間の電位差よりも前記駆動素子の閾値電圧を大きくするための電圧である。前記バイアス電圧の供給制御により、前記駆動素子の導通及び非導通の切り換えを制御することで、前記バックゲート電極をスイッチ素子として用いることができるので、前記信号電圧の書き込み期間中に前記駆動電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。その結果、各画素部の回路構成を簡素化でき、製造コストを削減することができる。

【0018】

つまり、本発明によれば、表示部に含まれる各画素部の構成を簡素化しつつ表示部を所

望の輝度で発光させることができる有機 E L 表示装置を実現する。

【図面の簡単な説明】

【0019】

【図1】図1は、実施の形態1に係る有機 E L 表示装置の構成を示すブロック図である。

【図2】図2は、発光画素の詳細な回路構成を示す回路図である。

【図3】図3は、駆動トランジスタの $V_{gs} - I_d$ 特性の一例を示すグラフである。

【図4A】図4Aは、最大階調での発光時の発光画素の状態を模式的に示す図である。

【図4B】図4Bは、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

【図5】図5は、有機 E L 表示装置の動作を示すタイミングチャートである。

【図6】図6は、実施の形態1の変形例に係る有機 E L 表示装置の構成を示すブロック図である。 10

【図7】図7は、発光画素の詳細な回路構成を示す回路図である。

【図8】図8は、有機 E L 表示装置の動作を示すタイミングチャートである。

【図9】図9は、実施の形態2に係る有機 E L 表示装置の構成を示すブロック図である。

【図10】図10は、発光画素の詳細な回路構成を示す回路図である。

【図11】図11は、駆動トランジスタの $V_{gs} - I_d$ 特性の他の一例を示すグラフである。

【図12A】図12Aは、最大階調での発光時の発光画素の状態を模式的に示す図である。

【図12B】図12Bは、信号電圧書き込み時の発光画素の状態を模式的に示す図である。 20

【図13】図13は、実施の形態2に係る有機 E L 表示装置の動作を示すタイミングチャートである。

【図14】図14は、実施の形態2の変形例に係る有機 E L 表示装置の動作を示すタイミングチャートである。

【図15】図15は、実施の形態3に係る有機 E L 表示装置が有する発光画素の詳細な回路構成を示す回路図である。

【図16A】図16Aは、最大階調での発光時の発光画素の状態を模式的に示す図である。

【図16B】図16Bは、信号電圧書き込み時の発光画素の状態を模式的に示す図である。 30

【図17】図17は、実施の形態3の変形例に係る有機 E L 表示装置が有する発光画素の詳細な構成を示す回路図である。

【図18A】図18Aは、最大階調での発光時の発光画素の状態を模式的に示す図である。

【図18B】図18Bは、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

【図19A】図19Aは、駆動トランジスタを P 型トランジスタとした場合の、発光画素の回路構成の一例を示す図である。

【図19B】図19Bは、駆動トランジスタを P 型トランジスタとした場合の、発光画素の回路構成の他の一例を示す図である。 40

【図20】図20は、本発明の有機 E L 表示装置を内蔵した薄型フラット TV の外観図である。

【発明を実施するための形態】

【0020】

請求項1記載の態様の有機 E L 表示装置は、複数の画素部をマトリクス状に配置した有機 E L 表示装置であって、前記複数の画素部の各々は、第1電極と第2電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる 50

駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スwitching素子と、一方の端子が前記コンデンサの第 2 電極に接続され、他方の端子が前記第 3 電源線に接続され、前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitching素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、前記有機 EL 表示装置は、さらに、前記第 1 スwitching素子の制御、前記第 2 スwitching素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記駆動回路は、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第 1 スwitching素子及び前記第 2 スwitching素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記コンデンサの第 1 電極に前記信号電圧を供給する。

【0021】

上述のように、前記コンデンサの第 2 電極を前記駆動素子のソース電極に電氣的に接続された前記第 1 電源線にした場合、前記コンデンサの第 2 電極の電位が前記第 1 電源線の電圧降下の影響を受ける。その結果、前記信号電圧の供給時に前記コンデンサに保持される電圧も変動する。

【0022】

そこで、本態様では、前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線を設けた。そして、前記コンデンサの固定電位側である第 2 電極を前記第 3 電源線に接続した。これにより、前記信号電圧の書き込み期間中、前記コンデンサの第 2 電極には前記第 3 電源線が接続されるので、コンデンサの第 2 電極の電位に対する前記第 1 電源線の電圧降下の影響を防ぐことができ、前記コンデンサに保持される電圧の変動を防止できる。

【0023】

その上で、本態様では、前記バックゲート電極を用いて前記駆動素子の駆動電流を停止し、前記駆動電流を停止させた状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 1 電極に供給する。これにより、前記駆動電流を停止させた状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記信号電圧を前記コンデンサの第 1 電極に供給するので、前記信号電圧の供給期間中に前記駆動電流が流れることによる前記コンデンサの第 2 電極の電位の変動を防止できる。その結果、前記コンデンサに所望の電圧を保持させることができ、前記表示部に含まれる各画素部を所望の輝度で発光させることができる。

【0024】

ここで、本態様では、前記バックゲート電極を、前記駆動素子の導通及び非導通を切り換えるためのスイッチとして用いている。前記所定のバイアス電圧は前記駆動素子のゲート電極及びソース電極間の電位差よりも前記駆動素子の閾値電圧を大きくするための電圧である。前記バイアス電圧の供給制御により、前記駆動素子の導通及び非導通の切り換えを制御することで、前記バックゲート電極をスイッチ素子として用いることができるので、前記信号電圧の書き込み期間中に前記駆動電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。その結果、各画素部の回路構成を簡素化でき、製造コストを削減することができる。

10

20

30

40

50

【 0 0 2 5 】

つまり、本態様によれば、表示部に含まれる各画素部の構成を簡素化しつつ表示部を所望の輝度で発光させることができる有機 E L 表示装置を実現する。

【 0 0 2 6 】

請求項 2 記載の態様の有機 E L 表示装置によれば、前記有機 E L 表示装置は、さらに、マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、前記第 2 電源線は、マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている。

【 0 0 2 7 】

本態様によると、マトリクス状に配置された複数の画素部の各行及び各列に対応させて第 2 電源線を網目状に配置する。これにより、各列に沿った第 2 電源線を配置せず、各行に沿って第 2 電源線を基幹電源線から分岐して 1 本ずつ設ける場合に比べて、各列に沿って配置された第 2 電源線の分だけ複数の第 2 電源線の抵抗の総和が小さくなる。よって、本態様によると、第 2 電源線で生じる電圧降下量は小さくなる。そのため、電源部から供給する固定電位を小さくすることができ、消費電力を低減することができる。

【 0 0 2 8 】

請求項 3 記載の態様の有機 E L 表示装置によれば、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である。

【 0 0 2 9 】

本態様によると、前記所定のバイアス電圧を、各画素部に含まれる前記発光素子において最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧が前記ゲート電極及びソース電極間の電位差よりも大きくなるように設定する。このように前記バイアス電圧を設定することによって、全ての表示階調において、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくすることができる。その結果、前記信号電圧の書き込みを行う際に、前記駆動素子を確実に非導通として、前記駆動電流を停止させることができる。

【 0 0 3 0 】

請求項 4 記載の態様の有機 E L 表示装置によれば、さらに、前記第 1 スイッチング素子の導通及び非導通を制御する信号を供給する第 1 走査線と、前記第 2 スイッチング素子の導通及び非導通を制御する信号を供給する第 2 走査線と、を備える。

【 0 0 3 1 】

請求項 5 記載の態様の有機 E L 表示装置によれば、前記第 3 電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、一の行に対応して配置された第 3 電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている。

【 0 0 3 2 】

本態様によると、一の行に配置された各画素に含まれる第 3 電源線と、前記一の行の前の行に配置された各画素に含まれるバイアス線とを共用する。これにより、駆動素子のバックゲートを用いてオンオフすることにより T F T を削減した上に、さらに、配線の本数まで削減できる。そのため、回路構成を大幅にコンパクトにして、電圧降下による影響を防止できる。

【 0 0 3 3 】

請求項 6 記載の態様の有機 E L 表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された

10

20

30

40

50

各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する。

【 0 0 3 4 】

本態様によると、前記一の行の前の行に配置された各画素部では発光期間であり、一方、一の行に配置された各画素部では非発光期間である。そのため、一の行に配置された各画素に含まれる第 3 電源線と、前記一の行の前の行に配置された各画素に含まれるバイアス線とを共用した場合、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極には、前記バイアス線と共用の前記第 3 電源線を介して、前記所定の基準電圧ではなく、前記所定のバイアス電圧が書き込まれることになる。その際、前記データ線から供給される信号電圧の範囲を、前記所定のバイアス電圧と前記所定の基準電圧の電圧差だけオフセットさせれば、前記コンデンサに所望の電圧を保持させることができる。従って、前記一の行に配置された各画素部の非発光期間において前記第 3 電源線と共用の前記バイアス線を介して前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に前記所定のバイアス電圧を供給しても動作上の影響はない。

10

【 0 0 3 5 】

請求項 7 記載の態様の有機 E L 表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スwitchング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない。

20

【 0 0 3 6 】

本態様によると、前記一の行の前の行に配置された各画素部では非発光期間であり、一方、前記一の行に配置された各画素部では発光期間である。そのため、一の行に配置された各画素に含まれる第 3 電源線と、前記一の行の前の行に配置された各画素に含まれるバイアス線とを共用した場合であっても、前記第 2 スwitchング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧が書き込まれないようにすれば、前記駆動素子のソース電極の電位が変動することはない。その結果、前記一の行に配置された各画素部の発光に影響を与えることはない。

30

【 0 0 3 7 】

請求項 8 記載の態様の有機 E L 表示装置によれば、前記第 1 走査線と前記第 2 走査線とを共通の制御線とする。

【 0 0 3 8 】

本態様によると、前記第 1 スwitchング素子を走査する第 1 走査線と前記第 2 スwitchング素子を走査する前記第 2 走査線とを共通の制御線としてもよい。

【 0 0 3 9 】

請求項 9 記載の態様の有機 E L 表示装置によれば、前記第 1 スwitchング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、前記第 1 走査線と前記バイアス線とを共通の制御線とする。

40

【 0 0 4 0 】

本態様によると、前記第 1 スwitchング素子と前記駆動素子とを互いに極性が逆のトランジスタで構成し、前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとする。この場合、前記第 1 スwitchング素子に供給される信号の極性が反転し、前記極性が前記バックゲート電極の極性と同じになるので、前記走査線と前記バイアス線とを共通の制御線とすることができる。そのため、前記表示部の配線数を削減することができ、回路構成を簡素化できる。

【 0 0 4 1 】

50

請求項 10 記載の態様の有機 EL 表示装置によれば、前記駆動素子は N 型トランジスタである。

【0042】

請求項 11 記載の態様の有機 EL 表示装置によれば、前記第 3 電源線から供給される前記所定の基準電圧は前記第 1 電源線の電位以下とする。

【0043】

本態様によると、前記駆動素子が N 型トランジスタの場合、前記第 3 電源線から供給される所定の固定電位の電圧値を、前記第 1 電源線の電位以下となるように設定する。これにより、前記コンデンサの第 2 電極に前記所定の固定電位を設定しているときに、前記発光素子の第 1 電極の電位は前記発光素子の第 2 電極の電位以下となるので、前記第 3 電源線から前記発光素子に流れる電流を防止できる。その結果、前記コンデンサに前記信号電圧を供給している期間に不要な発光が生じてコントラストが低下することを防ぐことが出来る。

10

【0044】

請求項 12 記載の態様の有機 EL 表示装置によれば、前記駆動回路は、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子を非導通とし、前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

20

【0045】

本態様によると、前記駆動素子が N 型トランジスタの場合、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記所定のバイアス電圧よりも大きな電位である逆バイアス電圧を前記バックゲート電極に供給する。その結果、前記駆動素子を非導通状態から導通状態へと遷移させて、前記コンデンサに保持されている電圧に対応する駆動電流を流して前記発光素子を発光させる。

【0046】

これにより、前記信号電圧の書き込み期間中に前記駆動電流が流れることによる電圧降下の発生を防止できるので、前記コンデンサに所望の電圧を保持することができる。その結果、前記駆動素子は前記所望の電圧に対応する前記駆動電流を流して前記発光素子を発光させることができる。

30

【0047】

請求項 13 記載の態様の有機 EL 表示装置によれば、前記駆動素子は P 型トランジスタである。

【0048】

請求項 14 記載の態様の有機 EL 表示装置によれば、前記第 3 電源線から供給される前記所定の基準電圧は前記第 1 電源線の電位以上とする。

【0049】

本態様によると、前記駆動素子が P 型トランジスタの場合、前記第 3 電源線から供給される所定の固定電位の電圧値を、前記第 1 電源線の電位以上となるように設定する。これにより、前記コンデンサの第 2 電極に前記所定の固定電位を設定しているときに、前記発光素子の第 2 電極の電位は前記発光素子の第 1 電極の電位以上となるので、前記発光素子から第 3 電源線に流れる電流を防止できる。その結果、前記コンデンサに前記信号電圧を供給している期間に不要な発光が生じてコントラストが低下することを防ぐことが出来る。

40

【0050】

請求項 15 記載の態様の有機 EL 表示装置によれば、前記駆動回路は、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子をオフし、前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極

50

及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

【0051】

本態様によると、前記駆動素子がN型トランジスタの場合、前記コンデンサの第1電極に前記信号電圧を供給した後、前記所定のバイアス電圧よりも大きな電位である逆バイアス電圧を前記バックゲート電極に供給する。そして、前記バックゲート電極への前記バイアス電圧の供給を停止させることにより前記駆動素子を非導通状態から導通状態へと遷移させて、前記コンデンサに保持されている電圧に対応する駆動電流を流して前記発光素子を発光させる。

10

【0052】

これにより、前記信号電圧の書き込み期間中に、前記第1電源線に前記駆動電流が流れることによる電圧降下を防止できるので、前記コンデンサに所望の電圧を保持することができる。その結果、前記駆動素子は前記所望の電圧に対応する前記駆動電流を流して前記発光素子を発光させることができる。

【0053】

請求項16記載の態様の有機EL表示装置の制御方法によれば、第1電極と第2電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、前記第1電源線とは異なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第1電極に接続され、前記データ線と前記コンデンサの第1電極との導通及び非導通を切り換える第1スイッチング素子と、前記コンデンサの第2電極と前記第3電源線との間に設けられ前記コンデンサの第2電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機EL表示装置の制御方法であって、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第1電極に供給させる。

20

30

【0054】

請求項17記載の態様の有機EL表示装置によれば、複数の画素部をマトリクス状に配置した有機EL表示装置であって、前記複数の画素部の各々は、第1電極と第2電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、前記第1電源線とは異なる電源線であって前記コンデンサの第1電極に所定の基準電圧を設定する第3電源線と、信号電圧を

40

50

供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第2電極に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第1スイッチング素子と、一方の端子が前記コンデンサの第1電極に接続され、他方の端子が前記第3電源線に接続され、前記コンデンサの第1電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、前記有機EL表示装置は、さらに、前記第1スイッチング素子の制御、前記第2スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記駆動回路は、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第1電極に前記所定の基準電圧を設定しつつ前記コンデンサの第2電極に前記信号電圧を供給する。

10

20

30

40

50

【0055】

請求項18記載の態様の有機EL表示装置によれば、前記有機EL表示装置は、さらに、マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、前記第2電源線は、マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている。

【0056】

請求項19記載の態様の有機EL表示装置によれば、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくなるように設定された電圧である。

【0057】

請求項20記載の態様の有機EL表示装置によれば、前記有機EL表示装置は、さらに、前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、を備える。

【0058】

請求項21記載の態様の有機EL表示装置によれば、前記第3電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、一の行に対応して配置された第3電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている。

【0059】

請求項22記載の態様の有機EL表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第3電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第1電極に、前記バイアス線と共用の前記第3電源線を介して前記所定の基準電圧を設定する。

【0060】

請求項23記載の態様の有機EL表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第3電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第2スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第

1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない。

【 0 0 6 1 】

請求項 2 4 記載の態様の有機 E L 表示装置によれば、前記第 1 走査線と前記第 2 走査線とを共通の制御線とする。

【 0 0 6 2 】

請求項 2 5 記載の態様の有機 E L 表示装置によれば、前記第 1 スwitchング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、前記第 1 走査線と前記バイアス線とを共通の制御線とする。

10

【 0 0 6 3 】

請求項 2 6 記載の態様の有機 E L 表示装置によれば、前記駆動素子は N 型トランジスタである。

【 0 0 6 4 】

請求項 2 7 記載の態様の有機 E L 表示装置によれば、前記データ線から供給される前記信号電圧の最大値は前記第 1 電源線の電位以下とする。

【 0 0 6 5 】

これにより、駆動素子が N 型トランジスタの場合、信号電圧が書き込まれているときに、前記データ線から前記発光素子に流れる電流を防止できる。よって、信号電圧の書き込み中に、発光素子を確実に消光できる。

20

【 0 0 6 6 】

請求項 2 8 記載の態様の有機 E L 表示装置によれば、前記駆動回路は、前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子を非導通とし、前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

【 0 0 6 7 】

請求項 2 9 記載の態様の有機 E L 表示装置によれば、前記駆動素子は P 型トランジスタである。

30

【 0 0 6 8 】

請求項 3 0 記載の態様の有機 E L 表示装置によれば、前記データ線から供給される前記信号電圧の最小値は前記第 1 電源線の電位以上とする。

【 0 0 6 9 】

これにより、駆動素子が P 型トランジスタの場合、信号電圧が書き込まれているときに、前記発光素子から前記データ線に流れる電流を防止できる。よって、信号電圧の書き込み中に、発光素子を確実に消光できる。

【 0 0 7 0 】

請求項 3 1 記載の態様の有機 E L 表示装置によれば、前記駆動回路は、前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子を非導通とし、前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

40

【 0 0 7 1 】

請求項 3 2 記載の態様の有機 E L 表示装置の制御方法によれば、第 1 電極と第 2 電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイア

50

ス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のドレイン電極に電氣的に接続された第１電源線と、前記駆動素子のソース電極に電氣的に接続された第２電源線と、前記第１電源線とは異なる電源線であって前記コンデンサの第１電極に所定の基準電圧を設定する第３電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第２電極に接続され、前記データ線と前記コンデンサの第２電極との導通及び非導通を切り換える第１スイッチング素子と、前記コンデンサの第１電極と前記第３電源線との間に設けられ前記コンデンサの第１電極と前記第３電源線との導通及び非導通を切り換える第２スイッチング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機ＥＬ表示装置の制御方法であって、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電位であり、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第１スイッチング素子及び前記第２スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第１電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第２電極に供給させる。

10

【００７２】

以下、本発明の好ましい実施の形態を図に基づき説明する。なお、以下では、全ての図を通じて同一又は相当する要素には同じ符号を付して、その重複する説明を省略する。

20

【００７３】

（実施の形態１）

以下、本発明の実施の形態１について、図面を用いて説明する。

【００７４】

図１は、本実施の形態に係る有機ＥＬ表示装置の構成を示すブロック図である。

【００７５】

同図に示す有機ＥＬ表示装置１００は、書き込み駆動回路１１０と、データ線駆動回路１２０と、バイアス電圧制御回路１３０と、基準電源１４０と、直流電源１５０と、表示パネル１６０とを備える。ここで、表示パネル１６０は、 n 行× m 列（ n 、 m は自然数）の行列状に配置された複数の発光画素１７０が配置された表示部１８０と、表示部１８０の外周に配置され、所定の固定電位 V_{dd} を表示部１８０に供給する基幹電源線１９０とを有し、書き込み駆動回路１１０、データ線駆動回路１２０、バイアス電圧制御回路１３０、基準電源１４０及び直流電源１５０に接続されている。

30

【００７６】

図２は、発光画素１７０の詳細な回路構成を示す回路図である。

【００７７】

同図に示す発光画素１７０は、本発明の画素部であって、第１電源線１６１、第２電源線１６２、基準電源線１６３、走査線１６４、バイアス配線１６５及びデータ線１６６と、走査トランジスタ１７１と、リセットトランジスタ１７２と、駆動トランジスタ１７３と、コンデンサ１７４と、発光素子１７５とを備える。なお、図２に示す発光画素１７０は、 k 行、 j 列（ $1 \leq k \leq n$ 、 $1 \leq j \leq m$ ）の発光画素１７０を例に示しているが、他の発光画素も同様の構成を有する。

40

【００７８】

以下、図１及び図２に記載した各構成要素について、その接続関係及び機能を説明する。

【００７９】

書き込み駆動回路１１０は、複数の発光画素１７０の行ごとに対応して設けられた複数の走査線１６４に接続され、複数の走査線１６４に走査パルス $SCAN(1) \sim SCAN(n)$ を供給することにより、複数の発光画素１７０を行単位で順次走査する。この走査

50

パルスSCAN(1)～SCAN(n)は、走査トランジスタ171のオン及びオフを制御する信号である。

【0080】

データ線駆動回路120は、複数の発光画素170の列ごとに対応して設けられた複数のデータ線166に接続され、複数のデータ線166にデータ線電圧DATA(1)～DATA(m)を供給する。各データ線電圧DATA(1)～DATA(m)は、対応する列の発光素子175の発光輝度に対応する信号電圧を時分割で含む。つまり、データ線駆動回路120は、複数のデータ線166に信号電圧を供給する。なお、データ線駆動回路120とバイアス電圧制御回路130とは、本発明の駆動回路に相当する。

【0081】

バイアス電圧制御回路130は、複数の発光画素170の行ごとに対応して設けられた複数のバイアス配線165に接続され、複数のバイアス配線165にバックゲートパルスBG(1)～BG(n)を供給することにより、複数の発光画素170の閾値電圧を行単位で制御する。言い換えると、複数の発光画素170の導通及び非導通を行単位で切り換える。なお、バックゲートパルスBG(1)～BG(n)により発光画素170の閾値電圧が制御されることについては後述する。

【0082】

基準電源140は、基準電源線163に接続され、基準電圧Vrefを基準電源線163に供給する。

【0083】

直流電源150は、基幹電源線190を介して第2電源線162に接続され、基幹電源線190に固定電位Vddを供給する。例えば、固定電位Vddは15Vである。

【0084】

第1電源線161は、本発明の第1電源線であって、発光素子175を介して駆動トランジスタ173のソース電極に接続されている。この第1電源線161は、例えば電位が0Vのグランド線である。

【0085】

第2電源線162は、本発明の第2電源線であって、直流電源150及び駆動トランジスタ173のドレイン電極に接続されている。この第2電源線は、例えば、行列状に配置された複数の発光画素170の各行及び各列に対応して、基幹電源線190から分岐して網目状に設けられている。

【0086】

基準電源線163は、本発明の第3電源線であって、基準電源140と、リセットトランジスタ172のソース電極及びドレイン電極の一方の電極とに接続され、基準電源140から基準電圧Vrefが供給される。この基準電圧Vrefは、例えば0Vである。

【0087】

走査線164は、複数の発光画素170の行ごとに対応して共通に設けられ、書き込み駆動回路110と、対応する発光画素170が有する走査トランジスタ171のゲート電極に接続されている。

【0088】

バイアス配線165は、複数の発光画素170の行ごとに対応して共通に設けられ、バイアス電圧制御回路130と、対応する発光画素170が有する駆動トランジスタ173のバックゲート電極BGに接続されている。

【0089】

データ線166は、複数の発光画素170の列ごとに対応して共通に設けられ、データ線駆動回路120からデータ線電圧DATA(1)～DATA(m)が供給される。

【0090】

走査トランジスタ171は、本発明の第1スイッチング素子であり、一方の端子がデータ線166に接続され、他方の端子がコンデンサ174の第1電極に接続され、データ線166とコンデンサ174の第1電極との導通及び非導通を切り換える。具体的には、走

10

20

30

40

50

走査トランジスタ 171 は、ゲート電極が走査線 164 に接続され、ソース電極及びドレイン電極の一方がデータ線 166 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 174 の第 1 電極に接続されている。そして、書き込み駆動回路 110 から走査線 164 を介してゲート電極に供給される走査パルス $SCAN(k)$ に応じてデータ線 166 とコンデンサ 174 の第 1 電極との導通及び非導通を切り換える。

【0091】

リセットトランジスタ 172 は、本発明の第 2 スイッチング素子であり、一方の端子がコンデンサ 174 の第 2 電極に接続され、他方の端子が基準電源線 163 に接続され、コンデンサ 174 の第 2 電極と基準電源線 163 との導通及び非導通を切り換える。具体的には、リセットトランジスタ 172 は、ゲート電極が走査線 164 を介して書き込み駆動回路 110 に接続され、ソース電極及びドレイン電極の一方が基準電源線 163 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 174 の第 2 電極に接続されている。そして、書き込み駆動回路 110 から走査線 164 を介してゲート電極に供給される走査パルス $SCAN(k)$ に応じて基準電源線 163 とコンデンサ 174 の第 2 電極との導通及び非導通を切り換える。

10

【0092】

駆動トランジスタ 173 は、本発明の駆動素子であり、ソース電極 S、ドレイン電極 D、ゲート電極 G 及びバックゲート電極 BG を有し、ゲート電極 G がコンデンサ 174 の第 1 電極に接続され、ソース電極 S がコンデンサ 174 の第 2 電極に接続され、コンデンサ 174 に保持された電圧に応じた駆動電流を発光素子 175 に流すことにより発光素子 175 を発光させ、バックゲート電極 BG に所定のバイアス電圧が供給されることにより駆動トランジスタ 173 を非導通とする。つまり、駆動トランジスタ 173 は、コンデンサ 174 に保持された電圧に応じたドレイン電流である駆動電流を発光素子 175 に供給する。この駆動トランジスタ 173 の詳細な説明は後述する。

20

【0093】

コンデンサ 174 は、発光画素 170 の発光素子 175 の発光輝度に対応する電圧を保持するためのコンデンサである。具体的には、コンデンサ 174 は、第 1 電極及び第 2 電極を有し、第 1 電極が駆動トランジスタ 173 のゲート電極及び走査トランジスタ 171 のソース電極及びドレイン電極の他方に接続され、第 2 電極が駆動トランジスタ 173 のソース電極と、リセットトランジスタ 172 のソース電極及びドレイン電極の他方とに接続されている。つまり、コンデンサ 174 の第 1 電極は、走査トランジスタ 171 が導通したときにデータ線 166 に供給されているデータ線電圧 $DATA(j)$ が設定される。一方、コンデンサ 174 の第 2 電極は、リセットトランジスタ 172 が導通状態のときに基準電源線 163 の固定電位である基準電圧 V_{ref} が設定され、リセットトランジスタ 172 が導通から非導通へと切り換わったときに基準電源線 163 から切り離される。言い換えると、コンデンサ 174 の第 2 電極は固定電位側の電極である。

30

【0094】

発光素子 175 は、第 1 電極と第 2 電極を有し、駆動トランジスタ 173 から供給されるドレイン電流により発光する発光素子であり、例えば、有機 EL 発光素子である。例えば、第 1 電極は発光素子 175 のアノードであり、第 2 電極は発光素子 175 のカソードである。

40

【0095】

走査トランジスタ 171 及びリセットトランジスタ 172 は、例えば P 型薄膜トランジスタ (P 型 TFT) であり、駆動トランジスタ 173 は N 型薄膜トランジスタ (N 型 TFT) である。

【0096】

次に、上述した駆動トランジスタ 173 の特性について説明する。

【0097】

図 3 は、駆動トランジスタ 173 のゲート - ソース間電圧に対するドレイン電流特性 ($V_{gs} - I_d$ 特性) の一例を示すグラフである。

50

【0098】

同図の横軸は、駆動トランジスタ173のゲート・ソース間電圧 V_{gs} を示し、同図の縦軸は、駆動トランジスタ173のドレイン電流 I_d を示す。具体的には、縦軸は、駆動トランジスタ173のソース電極の電圧を基準としたゲート電極の電圧を示し、ゲート電極の電圧がソース電極の電圧より高い場合に正、低い場合に負となる。

【0099】

同図には、異なる複数のバックゲート電圧に対応する V_{gs} - I_d 特性が示されており、具体的には、駆動トランジスタ173のバックゲート・ソース間電圧 V_{bs} を $-8V$ 、 $-4V$ 、 $0V$ 、 $4V$ 、 $8V$ 、 $12V$ とした場合の V_{gs} - I_d 特性が示されている。ここで、駆動トランジスタ173のバックゲート・ソース間電圧 V_{bs} は、駆動トランジスタ173のソース電極の電圧を基準としたバックゲート電極の電圧を示し、バックゲート電極の電圧がソース電極の電圧より高い場合に正、低い場合に負となる。

10

【0100】

図3に示す V_{gs} - I_d 特性から、 V_{gs} が同じ場合であっても V_{bs} に応じて I_d が異なることが分かる。ここで例えば、ドレイン電流 I_d が $100pA$ 以下の場合、駆動トランジスタ173は非導通、ドレイン電流が $1\mu A$ 以上の場合、駆動トランジスタ173は導通しているとする。例えば、 $V_{gs} = 6V$ の場合、 $V_{bs} = -8V$ 、 $-4V$ の場合は I_d が $100pA$ 以下であるので、駆動トランジスタ173は非導通となる。また、同様に $V_{gs} = 6V$ であっても $V_{bs} = 4V$ 、 $8V$ 、 $12V$ の場合は I_d が $1\mu A$ 以上となるので、駆動トランジスタ173は導通となる。

20

【0101】

これに対し、 $V_{gs} = 2V$ の場合、 $V_{bs} = -8V$ 、 $-4V$ 、 $0V$ の場合は I_d が $100pA$ 以下であるので、駆動トランジスタ173は非導通となる。また、同様に $V_{gs} = 2V$ であっても、 $V_{bs} = 12V$ の場合は I_d が $1\mu A$ 以上となるので、駆動トランジスタ173は導通となる。

【0102】

このように、駆動トランジスタ173は、 V_{gs} が同じであっても、 V_{bs} に応じて導通と非導通とが切り換わる。つまり、駆動トランジスタ173は、 V_{bs} に応じて閾値電圧が変化する。具体的には、 V_{bs} が低くなるほど、閾値電圧が高くなる。よって、駆動トランジスタ173は、ゲート・ソース間電圧が同じであっても、バイアス配線165を介してバイアス電圧制御回路130から供給されるバックゲートパルス $BG(1) \sim BG(n)$ に応じて導通及び非導通が切り換えられる。

30

【0103】

なお、駆動トランジスタ173の導通及び非導通を区別する電流量は、駆動トランジスタ173が組み込まれる回路によって規定され、上記の例に限らない。具体的には、駆動トランジスタ173が導通しているとは、駆動トランジスタ173のゲート・ソース間電圧が最大階調に対応する電圧の場合に、当該最大階調に対応するドレイン電流を供給可能な状態である。一方、駆動トランジスタ173が非導通であるとは、駆動トランジスタ173のゲート・ソース間電圧が最大階調に対応する電圧の場合に、ドレイン電流が許容電流以下となっている状態である。

40

【0104】

許容電流とは、第1電源線161に電圧降下が生じない程度のドレイン電流の最大値である。言い換えると、発光画素170に許容電流が流れても、その許容電流の電流量は十分に小さいので、第1電源線161に生じる電圧降下が十分に小さく影響はない。

【0105】

ここで、バイアス電圧制御回路130から供給されるバックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

【0106】

発光画素170の駆動トランジスタ173に要求される条件として、以下の2点が挙げられる。

50

【 0 1 0 7 】

(条件i) 最大階調での発光時に、最大階調に対応したドレイン電流を発光素子 1 7 5 に供給する。

【 0 1 0 8 】

(条件ii) 信号電圧の書き込み時に、発光素子 1 7 5 に供給するドレイン電流を許容電流以下とする。

【 0 1 0 9 】

例えば、最大階調に対応したドレイン電流を $3 \mu A$ 、書き込み期間の許容電流を $100 pA$ とする。

【 0 1 1 0 】

以下、図 3 に示した $V_{gs} - I_d$ 特性を用いて、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

【 0 1 1 1 】

まず、発光時のバックゲート - ソース間電圧の特性として、 $V_{bs} = 8 V$ を選択する。

【 0 1 1 2 】

次に、最大階調での発光時のゲート - ソース間電圧を決定する。具体的には、最大階調に対応したドレイン電流 I_d は $3 \mu A$ であるので、上述したように $V_{bs} = 8 V$ を選択すると、 $V_{gs} = 5.6 V$ と決まる。

【 0 1 1 3 】

次に、信号電圧の書き込み時に、ドレイン電流 I_d を許容電流以下とするようなバックゲート - ソース間電圧 V_{bs} を選択する。ここで、ドレイン電流 I_d は、いかなる階調に対応する信号電圧が発光画素 1 7 0 に書き込まれた場合であっても、許容電流以下となることが要求される。発光素子 1 7 5 の発光輝度の階調は、コンデンサ 1 7 4 に保持された電圧が大きいほど高くなる。よって、最大階調に対応する信号電圧に対応する電圧をコンデンサ 1 7 4 が保持していても、ドレイン電流 I_d が許容電流以下でなければならない。例えば、最大階調に対応する信号電圧を発光画素 1 7 0 に書き込んだときにコンデンサ 1 7 4 が保持する電圧は、上述した最大階調で発光したときの駆動トランジスタ 1 7 3 のゲート - ソース間電圧である $5.6 V$ である。

【 0 1 1 4 】

$V_{gs} = 5.6 V$ のときにドレイン電流 I_d が $100 pA$ 以下となるバックゲート - ソース間電圧 V_{bs} は、 $V_{bs} = -4 V$ である。したがって、信号電圧書き込み時のバックゲート - ソース間電圧 V_{bs} として $V_{bs} = -4 V$ を選択する。

【 0 1 1 5 】

以上のように、発光時のバックゲート - ソース間電圧が $V_{bs} = 8 V$ 、書き込み時のバックゲート - ソース間電圧が $V_{bs} = -4 V$ と決定される。

【 0 1 1 6 】

ところで、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧は、発光時のバックゲート - ソース間電圧にソース電位を足し合わせた電圧である。一方、バックゲートパルス $BG(1) \sim BG(n)$ のローレベル電圧は、書き込み時のバックゲート - ソース間電圧にソース電位を足し合わせた電圧である。そこで、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧とローレベル電圧を決定するためには、駆動トランジスタ 1 7 3 のソース電位を考慮しなければならない。

【 0 1 1 7 】

図 4 A は、最大階調での発光時の発光画素 1 7 0 の状態を模式的に示す図である。図 4 B は、信号電圧書き込み時の発光画素 1 7 0 の状態を模式的に示す図である。

【 0 1 1 8 】

図 4 A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3 \mu A$ の場合、駆動トランジスタ 1 7 3 のソース電位 V_s は $6 V$ となる。ソース電位 V_s が $6 V$ の場合、図 3 に示した $V_{bs} = 8 V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = 14 V$ と決定される。つまり、バックゲートパルス $BG(1) \sim$ バッ

10

20

30

40

50

クゲートパルス $BG(n)$ のハイレベル電圧は $14V$ と決定される。

【0119】

一方、図4Bに示す信号電圧書き込み時には、リセットトランジスタ172が導通することにより、駆動トランジスタ173のソースはリセットトランジスタ172を介して基準電源線163と接続されている。よって、駆動トランジスタ173のソース電位は基準電圧 V_{ref} である $0V$ となっている。ソース電位が $0V$ の場合、図3に示した $V_{bs} = -4V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -4V$ と決定される。つまり、バックゲートパルス $BG(1) \sim$ バックゲートパルス $BG(n)$ のローレベル電圧は $-4V$ と決定される。

【0120】

10

以上のように、図3に示した V_{bs} 毎の $V_{gs} - I_d$ 特性を用いて、(条件i) 最大階調での発光時に最大階調に対応した $3\mu A$ のドレイン電流を発光素子175に供給するようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧は $14V$ と決定される。また、(条件ii) 信号電圧の書き込み時に、発光素子175に供給するドレイン電流を許容電流以下とするようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $BG(1) \sim BG(n)$ のローレベル電圧は $-4V$ と決定される。つまり、バイアス電圧制御回路130は、ハイレベル電圧が $14V$ 、ローレベル電圧が $-4V$ 、振幅が $18V$ のバックゲートパルス $BG(1) \sim BG(n)$ をバイアス配線165に供給する。

【0121】

20

なお、駆動トランジスタ173のソース電位はドレイン電流 I_d の大きさに応じて変化する。具体的には、上述したように最大階調(例えば、階調値255)での発光時には駆動トランジスタ173のソース電位は $6V$ であるが、例えば、階調値1での発光時には駆動トランジスタ173のソース電位は $2V$ となる。よって、階調値1で発光している発光画素170の駆動トランジスタ173の $V_{gs} - I_d$ 特性は、 $V_{bs} = 12V$ 相当となる。

【0122】

以上のように構成された有機EL表示装置100は、第1電源線161とは異なる電源線であってコンデンサ174の第2電極に所定の基準電圧 V_{ref} を設定する基準電源線163を設けた。そして、コンデンサ174の固定電位側である第2電極を基準電源線163に接続した。これにより、例えば、走査トランジスタ171を導通してコンデンサ174の第1電極に信号電圧を書き込む期間中に、リセットトランジスタ172を導通状態とすれば、コンデンサ174の第2電極には基準電源線163が接続されるので、コンデンサ174に保持される電圧に対する第1電源線161の電圧降下の影響を防止でき、前記コンデンサに保持される電圧の変動を防止できる。

30

【0123】

その上で、例えば、バックゲートパルス $BG(1) \sim BG(n)$ により発光画素170の閾値電圧を制御することで、駆動トランジスタ173のドレイン電流 I_d である駆動電流を停止し、駆動電流を停止させた状態で、コンデンサ174の第2電極に所定の基準電圧 V_{ref} を設定し、コンデンサ174の第1電極に信号電圧を書き込む。これにより、コンデンサ174の第1電極に信号電圧を書き込む期間に、駆動電流が流れることによりコンデンサ174の第2電極の電位の変動を防止することが可能になる。つまり、第1電源線161の電圧降下の影響を受けることなく、コンデンサ174に所望の電圧を保持することが可能となり、表示部に含まれる各発光画素170を所望の輝度で発光させることが可能となる。

40

【0124】

ここで、本実施の形態に係る有機EL表示装置100では、駆動トランジスタ173のバックゲート電極を、駆動トランジスタ173の導通及び非導通を切り換えるためのスイッチとして用いている。

【0125】

50

言い換えると、バイアス電圧制御回路 130 は、バイアス配線 165 を介してバックゲート電極に供給するバックゲートパルス $BG(1) \sim BG(n)$ により、駆動トランジスタ 173 の閾値電圧を制御する。具体的には、バイアス電圧制御回路 130 は、書き込み駆動回路 110 が走査トランジスタ 171 を導通させてコンデンサ 174 の第 1 電極にデータ線 166 から信号電圧を書き込む期間中に、駆動トランジスタ 173 のドレイン電流が停止するようなバックゲートパルス $BG(1) \sim BG(n)$ を供給する。なお、駆動トランジスタ 173 のドレイン電流が停止するとは、ドレイン電流が許容電流以下となることである。

【0126】

つまり、駆動トランジスタ 173 のドレイン電流が停止するようなバックゲートパルス $BG(1) \sim BG(n)$ の電圧は、信号電圧の書き込み期間中に、駆動トランジスタ 173 のゲート - ソース間電圧よりも駆動トランジスタ 173 の閾値電圧を大きくするための電圧である。以降、本明細書において、駆動トランジスタ 173 のドレイン電流が停止するようなバックゲートパルス $BG(1) \sim BG(n)$ の電圧を、バイアス電圧として記載する場合がある。

【0127】

本実施の形態に係る有機 EL 表示装置 100 は、バイアス電圧制御回路 130 から供給されるバックゲートパルス $BG(1) \sim BG(n)$ により、駆動トランジスタ 173 の導通及び非導通を切り換えることができる。言い換えると、バイアス電圧の供給制御により、駆動トランジスタ 173 の導通及び非導通の切り換えを制御することで、バックゲート電極をスイッチ素子として用いることができるので、信号電圧の書き込み期間中にドレイン電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。その結果、発光画素 170 の回路構成を簡素化でき、製造コストを削減することができる。

【0128】

次に、上述した有機 EL 表示装置 100 の動作について説明する。

【0129】

図 5 は、実施の形態 1 に係る有機 EL 表示装置 100 の動作を示すタイミングチャートであり、具体的には、図 2 に示した k 行、 j 列の発光画素 170 の動作を中心に示している。同図において、横軸は時刻を示し、縦方向には上から順に、 j 列の発光画素 170 のデータ線 166 に供給されるデータ線電圧 $DATA(j)$ 、 $k-1$ 行の発光画素 170 の走査線 164 に供給される走査パルス $SCAN(k-1)$ 、 $k-1$ 行の発光画素 170 のバイアス配線 165 に供給されるバックゲートパルス $BG(k-1)$ が示され、さらに、 k 行及び $k+1$ 行の発光画素に供給される走査パルス $SCAN(k)$ 、バックゲートパルス $BG(k)$ 、走査パルス $SCAN(k+1)$ 、バックゲートパルス $BG(k+1)$ が示されている。

【0130】

ここで、例えば、最大階調の信号電圧に対応するデータ線電圧 V_{DH} を 6 V、最低階調（例えば、階調値 0）の信号電圧に対応するデータ線電圧 V_{DL} を 0 V とする。例えば、また、走査パルス $SCAN(1) \sim SCAN(n)$ のハイレベル電圧 V_{GH} を 20 V、ローレベル電圧 V_{GL} を -5 V とする。また、図 3 を用いて決定したように、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧 BGH を 14 V、ローレベル電圧 BGL を -4 V とする。

【0131】

時刻 t_0 より前において、走査パルス $SCAN(k)$ 及びバックゲートパルス $BG(k)$ はハイレベルであるので、 k 行の発光画素 170 は直前のフレーム期間の信号電圧に応じて発光している。

【0132】

次に、時刻 t_0 において、バックゲートパルス $BG(k)$ がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = 14$ V から $V_b = -4$ V へと低下する。つまり、駆動トランジスタ 173 の閾値電圧は、最大階

10

20

30

40

50

調に対応する信号電圧が発光画素 170 に書き込まれても、駆動トランジスタ 173 のドレイン電流が許容電流以下となるような値とする。言い換えると、最大階調に対応する信号電圧が発光画素 170 に書き込まれた場合にコンデンサ 174 に保持される電圧よりも、駆動トランジスタ 173 の閾値電圧が大きくなるようにする。

【0133】

次に、時刻 t_1 において、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 がオンする。これにより、データ線 166 とコンデンサ 174 の第 1 電極とが導通することにより、コンデンサ 174 の第 1 電極にデータ線電圧 $DATA(j)$ が供給される。また、このとき、同時にリセットトランジスタ 172 がオンする。これにより、基準電源線 163 とコンデンサ 174 の第 2 電極とが導通する。基準電源線 163 の基準電圧 V_{ref} は 0 V であるので、コンデンサ 174 の第 2 電極の電位は 0 V となる。

【0134】

ここで、例えばデータ線電圧 $DATA(j)$ が 5.6 V とすると、図 4 B に示すようにバックゲート - ソース間の電圧は $V_{bs} = -4$ V、ゲート - ソース間の電圧は $V_{gs} = 5.6$ V となる。ここで、図 3 に示すように $V_{bs} = -4$ V の $V_{gs} - I_d$ 特性より、 $V_{gs} = 5.6$ V に対応するドレイン電流 I_d は 100 pA となる。よって、ドレイン電流 I_d は許容電流以下であるので、書き込み時に第 1 電源線 161 の電圧降下を十分に抑制できる。これにより、第 1 電源線 161 の電圧降下の影響を受けずに、コンデンサ 174 に信号電圧に応じた電圧を保持させることができる。

【0135】

次に、時刻 t_2 において走査パルス $SCAN(k)$ がローレベルからハイレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオフする。これにより、コンデンサ 174 は、時刻 t_2 の直前の電圧を保持する。つまり、コンデンサ 174 は、第 1 電源線 161 の電圧降下の影響を受けずに信号電圧に応じた電圧を保持する。

【0136】

つまり、時刻 $t_1 \sim t_2$ は信号電圧の書き込み期間である。この信号電圧の書き込み期間において、バックゲートパルス $BG(k)$ は継続してローレベルであるので、最大階調に対応する信号電圧をコンデンサ 174 の第 1 電極に供給しても駆動トランジスタ 173 のドレイン電流 I_d が許容電流以下となる。よって、ドレイン電流 I_d を停止させた状態で、コンデンサ 174 の第 2 電極に $V_{ref} = 0$ V を供給するので、コンデンサ 174 の第 2 電極にドレイン電流 I_d が流れ込むことにより、信号電圧の書き込み期間中にコンデンサ 174 の第 2 電極の電位の変動を防止できる。

【0137】

なお、信号電圧は、階調が大きくなるにつれて高くなるので、最大階調以外に対応する信号電圧をコンデンサ 174 の第 1 電極に供給しても駆動トランジスタ 173 のドレイン電流 I_d が許容電流以下となることは明白である。

【0138】

次に、時刻 t_3 において、バックゲートパルス $BG(k)$ がローレベルからハイレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = -4$ V から $V_b = 12$ V へと上昇する。よって、駆動トランジスタ 173 の閾値電圧が低下し、信号電圧に対応するコンデンサ 174 に保持された電圧に応じたドレイン電流 I_d が供給されることにより、発光素子 175 の発光が開始される。例えば、信号電圧が 5.6 V の場合、コンデンサ 174 に保持された電圧は、信号電圧と基準電圧 V_{ref} (例えば、0 V) との差分である 5.6 V であり、図 3 に示すようにドレイン電流 I_d は 3 μ A となり、発光素子 175 は最大階調に対応した輝度で発光する。

【0139】

その後、時刻 $t_3 \sim t_4$ において、バックゲートパルス $BG(k)$ は、継続してハイレベルであるので、発光素子 175 は継続して発光する。つまり、時刻 $t_3 \sim t_4$ は、発光

10

20

30

40

50

期間である。

【0140】

次に、時刻 t_5 において、時刻 t_1 と同様に、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 がオンする。これにより、データ線 166 とコンデンサ 174 の第 1 電極とが導通することにより、コンデンサ 174 の第 1 電極にデータ線電圧 $DATA(j)$ が供給される。また、このとき、同時にリセットトランジスタ 172 がオンする。これにより、基準電源線 163 とコンデンサ 174 の第 2 電極とが導通する。基準電源線 163 の基準電圧 V_{ref} は 0 V であるので、コンデンサ 174 の第 2 電極の電位は 0 V となる。

【0141】

上述した時刻 $t_1 \sim t_5$ は、有機 EL 表示装置 100 の 1 フレーム期間に相当し、時刻 t_5 以降も時刻 $t_1 \sim t_5$ と同様の動作が繰り返し実行される。

【0142】

このように、有機 EL 表示装置 100 は、バックゲートパルス $BG(k)$ をローレベルとして駆動トランジスタ 173 のドレイン電流を許容電流以下とした状態で、コンデンサ 174 の第 2 電極に基準電圧 ($V_{ref} = 0 V$) を設定し、さらに、信号電圧をコンデンサ 174 の第 1 電極に供給する。これにより、ドレイン電流を停止させた状態で、コンデンサ 174 の第 2 電極に基準電圧を設定し、コンデンサ 174 の第 1 電極に信号電圧を供給するので、信号電圧の書き込み期間中にドレイン電流 I_d が流れることによりコンデンサ 174 の第 2 電極の電位の変動を防止できる。その結果、時刻 $t_3 \sim t_4$ の発光期間において、発光画素 170 は所望の発光輝度で発光できる。なお、駆動トランジスタ 173 のドレイン電流が許容電流以下のとき、当該駆動トランジスタ 173 は実質的に非導通である。

【0143】

以上のように、本実施の形態に係る有機 EL 表示装置 100 は、複数の発光画素 170 をマトリクス状に配置した有機 EL 表示装置であって、複数の発光画素 170 の各々は、第 1 電極と第 2 電極とを有する発光素子 175 と、電圧を保持するためのコンデンサ 174 と、ゲート電極がコンデンサ 174 の第 1 電極に接続され、ソース電極が前記コンデンサ 174 の第 2 電極に接続され、前記コンデンサ 174 に保持された電圧に応じたドレイン電流 I_d を前記発光素子 175 に流すことにより前記発光素子 175 を発光させる駆動トランジスタ 173 であって、バックゲートパルス $BG(1) \sim BG(n)$ のローレベル電圧 BGL が供給され、ローレベル電圧 BGL に応じて前記駆動トランジスタ 173 を非導通とするバックゲート電極を備えた駆動トランジスタ 173 と、発光素子 175 を介して、駆動トランジスタ 173 のソース電極に電氣的に接続された第 1 電源線 161 と、駆動トランジスタ 173 のドレイン電極に電氣的に接続された第 2 電源線 162 と、第 1 電源線 161 とは異なる電源線であってコンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定する基準電源線 163 と、信号電圧を供給するためのデータ線 166 と、一方の端子がデータ線 166 に接続され、他方の端子がコンデンサ 174 の第 1 電極に接続され、データ線 166 とコンデンサ 174 の第 1 電極との導通及び非導通を切り換える走査トランジスタ 171 と、一方の端子がコンデンサ 174 の第 2 電極に接続され、他方の端子が基準電源線 163 に接続され、コンデンサ 174 の第 2 電極と基準電源線 163 との導通及び非導通を切り換えるリセットトランジスタ 172 と、バックゲート電極に印加されるローレベル電圧 BGL を供給するバイアス線とを備え、有機 EL 表示装置は、さらに、走査トランジスタ 171 の制御、リセットトランジスタ 172 の制御、及びバックゲート電極へのバイアス電圧の供給制御を実行する書き込み駆動回路 110 及びバイアス電圧制御回路 130 を備え、ローレベル電圧 BGL は、駆動トランジスタ 173 の閾値電圧の絶対値を駆動トランジスタ 173 のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、バイアス電圧制御回路 130 は、ローレベル電圧 BGL をバックゲート電極に印加することにより、駆動トランジスタ 173 の閾値電圧をゲート電極及びソース電極間の電位差よりも大きくして駆動トランジスタ 173 を非導通とし、ローレベル

10

20

30

40

50

電圧 BGL を印加している期間内に走査トランジスタ 171 及びリセットトランジスタ 172 を導通させて、駆動トランジスタ 173 を非導通とした状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定しつつコンデンサ 174 の第 1 電極に信号電圧を供給する。

【0144】

仮に、コンデンサ 174 の第 2 電極が第 1 電源線 161 に直接接続されている場合、第 1 電源線 161 の電圧降下の影響を受けコンデンサ 174 に保持される電圧も変動する。

【0145】

そこで、本実施の形態では、第 1 電源線 161 とは異なる電源線であってコンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定する基準電源線 163 を設けた。そして、コンデンサ 174 の固定電位側である第 1 電極を第 1 電源線 161 から切り離し、基準電源線 163 に接続した。これにより、信号電圧の書き込み期間中、コンデンサ 174 の第 2 電極には基準電源線 163 が接続されるので、コンデンサ 174 の第 2 電極に対する第 1 電源線 161 の電圧降下の影響を防止でき、コンデンサ 174 に保持される電圧の変動を防止できる。

10

【0146】

その上で、本実施の形態では、バックゲート電極を用いて駆動トランジスタ 173 のドレイン電流 I_d を停止し、駆動電流 I_d を停止させた状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定し、信号電圧をコンデンサ 174 の第 1 電極に供給する。これにより、ドレイン電流 I_d を停止させた状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定しつつ信号電圧をコンデンサ 174 の第 1 電極に供給するので、信号電圧の供給期間中にドレイン電流 I_d が流れ、信号電圧の供給期間中にコンデンサ 174 の第 2 電極の電位の変動を防止できる。その結果、コンデンサ 174 に所望の電圧を保持させることができ、表示部に含まれる各発光画素 170 を所望の輝度で発光させることができる。

20

【0147】

ここで、本実施の形態では、駆動トランジスタ 173 のバックゲートを、駆動トランジスタ 173 の導通及び非導通を切り換えるためのスイッチとして用いている。バックゲート電極に印加されるローレベル電圧 BGL は、駆動トランジスタ 173 のゲート電極及びソース電極間の電位差よりも駆動トランジスタ 173 の閾値電圧を大きくするための電位である。バイアス電位の供給制御により、駆動トランジスタ 173 の導通及び非導通の切り換えを制御することで、バックゲート電極をスイッチ素子として用いることができるので、信号電圧の書き込み期間中に駆動電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。

30

【0148】

つまり、駆動トランジスタ 173 は、駆動トランジスタ 173 のバックゲートに供給されるバックゲートパルス $BG(k)$ に応じて導通及び非導通が切り換わる。具体的には、バックゲートパルス $BG(k)$ のローレベル電圧 ($BGL = -4V$) は、駆動トランジスタ 173 のゲート - ソース間電圧よりも駆動トランジスタ 173 の閾値電圧を大きくするための電位である。一方、バックゲートパルス $BG(k)$ のハイレベル電圧 ($BGH = 14V$) は、駆動トランジスタ 173 のゲート - ソース間電圧よりも駆動トランジスタ 173 の閾値電圧を小さくするための電位である。よって、有機 EL 表示装置 100 は、バックゲートパルス $BG(k)$ により駆動トランジスタ 173 の導通及び非導通の切り換えを制御できる。つまり、駆動トランジスタ 173 のバックゲートをスイッチ素子の代わりに用いている。

40

【0149】

したがって、有機 EL 表示装置 100 は、信号電圧の書き込み期間中のドレイン電流 I_d を遮断するためのスイッチ素子を別途設けることなく、発光画素を所望の発光輝度で発光させることができる。

【0150】

50

つまり、本実施の形態に係る有機EL表示装置100は、表示部180に含まれる各発光画素170の構成を簡素化しつつ表示部180を所望の輝度で発光させることができる。

【0151】

また、基幹電源線190は表示部180の外周に配置され、第2電源線162は複数の発光画素170の各行及び各列に対応して、基幹電源線190から分岐して網目状に設けられている。なお、表示部180の外周とは、マトリクス状に配置された複数の発光画素170を含む領域のうち最小となる領域と、表示パネル160の外縁との間の領域である。

【0152】

これにより、各列に沿った第2電源線162を配置せず、各行に沿って第2電源線162を基幹電源線190から分岐して1本ずつ設ける場合に比べて、各列に沿って配置された第2電源線162の分だけ複数の第2電源線162の抵抗の総和が小さくなる。よって、本実施の形態によると、第2電源線162で生じる電圧降下量は小さくなる。そのため、直流電源150から供給する固定電位Vddを小さくすることができ、消費電力を低減することができる。

【0153】

また、有機EL表示装置100は、図5の時刻 $t_1 \sim t_2$ において、コンデンサ174の第1電極に信号電圧を供給した後、時刻 t_2 において走査トランジスタ171を非導通とする。そして時刻 t_3 において、バックゲートパルスBG(k)のローレベル電圧(BGL = -4V)よりも大きなバックゲートパルスBG(k)のハイレベル電圧(BGH = 14V)をバックゲート電極に供給して駆動トランジスタ173の閾値電圧をゲート-ソース間電圧よりも小さくすることで駆動トランジスタ173を導通状態とし、コンデンサ174に保持されている電圧に対応するドレイン電流Idを発光素子175に流して発光素子175の発光を開始する。

【0154】

つまり、本実施の形態のように駆動トランジスタ173がN型トランジスタの場合、コンデンサ174の第1電極に信号電圧を供給した後、所定のバイアス電圧であるバックゲートパルスBG(k)のローレベル電圧よりも大きな電圧の逆バイアス電圧であるバックゲートパルスBG(k)のハイレベル電圧を駆動トランジスタ173のバックゲート電極に供給する。その結果、駆動トランジスタ173を非導通状態から導通状態へと遷移させて、コンデンサ174に保持されている電圧に対応するドレイン電流Idを流して発光素子175を発光させる。

【0155】

これにより、信号電圧の書き込み期間中にドレイン電流Idが流れることによる電圧降下の発生を防止できるので、コンデンサ174に所望の電圧を保持することができる。その結果、駆動トランジスタ173は所望の電圧に対応するドレイン電流Idを流して発光素子175を発光させることができる。

【0156】

また、走査トランジスタ171及びリセットトランジスタ172とは、共通の走査線164を介して供給される走査パルスSCAN(1)~SCAN(n)により導通及び非導通が切り換えられる。これにより、表示部180の配線数を削減することができ、回路構成を簡素化できる。

【0157】

また、基準電源線163から供給される基準電圧Vrefは、第1電源線の電位以下である。

【0158】

これにより、コンデンサ174の第2電極に基準電圧Vrefを設定しているときに、発光素子175のアノードの電位はカソードの電位以下となるので、基準電源線163から発光素子175に流れる電流を防止できる。その結果、信号電圧を書き込んでいる期間

10

20

30

40

50

に不要な発光が生じてコントラストが低下することを防ぐことが出来る。なお、上記説明では基準電圧 V_{ref} が 0 V、第 1 電源線の電位が 0 V、を例に挙げて説明したが、基準電圧 V_{ref} は第 1 電源線の電位以下であればよく、上記の例に限らない。

【0159】

(実施の形態 1 の変形例)

本変形例に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 とほぼ同じであるが、駆動トランジスタ 173 のバックゲートに所定のバイアス電位を供給している期間と、コンデンサ 174 の第 1 電極に信号電圧を供給している期間とを同じとし、走査線 164 とバイアス線とを共通の制御線とした点異なる。

【0160】

以下、実施の形態 1 の変形例について、実施の形態 1 と異なる点を中心に図面を用いて具体的に説明する。

【0161】

図 6 は、本変形例に係る有機 EL 表示装置の構成を示すブロック図であり、図 7 は、本変形例に係る有機 EL 表示装置が有する発光画素の詳細な回路構成を示す回路図である。

【0162】

図 6 に示すように、本変形例に係る有機 EL 表示装置 200 は、図 1 に示した実施の形態 1 に係る有機 EL 表示装置 100 と比較してバイアス電圧制御回路 130 およびバイアス配線 165 を備えず、発光画素 170 に代わり発光画素 270 を備える。また、有機 EL 表示装置 200 は、表示パネル 160 に代わり、複数の発光画素 270 が配置された表示部 280 を含む表示パネル 260 を備える。

【0163】

図 7 に示すように、発光画素 270 は、発光画素 170 と比較して、駆動トランジスタ 173 のバックゲート電極が走査線 164 に接続されている。つまり、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 と比較して、バイアス配線 165 がないので配線数を削減でき、回路構成を簡素化できる。

【0164】

図 8 は、実施の形態 1 の変形例に係る有機 EL 表示装置 200 の動作を示すタイミングチャートである。具体的には、図 6 に示した k 行、 j 列の発光画素 270 の動作を中心に示している。

【0165】

まず、時刻 t_{21} において、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオフする。

【0166】

ここで、走査パルス $SCAN(k)$ のハイレベル電圧 V_{GH} は 20 V、ローレベル電圧 V_{GL} は -5 V である。よって、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = 20$ V から $V_b = -5$ V へと低下する。つまり、駆動トランジスタ 173 の閾値電圧は、最大階調に対応する信号電圧が発光画素 270 に書き込まれても、駆動トランジスタ 173 のドレイン電流が許容電流以下となるような値となる。言い換えると、走査パルス $SCAN(k)$ のローレベル電圧 V_{GL} は、最大階調に対応する信号電圧が発光画素 270 に書き込まれた場合にコンデンサ 174 に保持される電圧よりも、駆動トランジスタ 173 の閾値電圧が大きくなるような電圧である。

【0167】

つまり、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 のように、駆動トランジスタ 173 のバックゲートの電位を所定のバイアス電位にするためのバイアス配線 165 を設けず、走査線 164 に供給される走査パルス $SCAN(k)$ のローレベル電圧 V_{GL} を所定のバイアス電位として利用している。

【0168】

10

20

30

40

50

次に、時刻 t_{22} において、走査パルス $SCAN(k)$ がローレベルからハイレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオフする。

【0169】

つまり、時刻 $t_{21} \sim t_{22}$ は信号電圧の書き込み期間である。この信号電圧の書き込み期間において、駆動トランジスタ 173 のバックゲートに供給される電圧は継続して走査パルス $SCAN(k)$ のローレベル電圧 V_{GL} であるので、最大階調に対応する信号電圧をコンデンサ 174 の第 1 電極に供給しても駆動トランジスタ 173 のドレイン電流 I_d が許容電流以下となる。よって、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 と同様に、信号電圧の書き込み期間中、コンデンサ 174 の第 2 電極の電位の変動を防止できる。

10

【0170】

ところで、時刻 t_{22} において、走査パルス $SCAN(k)$ のハイレベル電圧 ($V_{GH} = 20V$) が供給された場合の、駆動トランジスタ 173 のバックゲート - ソース間電圧 V_{bs} は $20V$ となる。実施の形態 1 において述べたように、発光素子 175 が最大階調で発光している場合の駆動トランジスタ 173 のソース電位は $6V$ であるので、発光素子 175 が最大階調で発光している場合の駆動トランジスタ 173 のバックゲート - ソース間電圧 V_{bs} は $14V$ となる。よって、図 3 に示した $V_{gs} - I_d$ 特性より、駆動トランジスタ 173 に要求される条件である (条件 i) 最大階調での発光時に、最大階調に対応したドレイン電流を発光素子 175 に供給する、を満たすことができる。

20

【0171】

つまり、本変形例に係る有機 EL 表示装置 200 は、走査線 164 に供給される走査パルス $SCAN(k)$ のハイレベル電圧 V_{GH} を、最大階調に対応したドレイン電流 I_d を流すバックゲート - ソース間電圧を得るためのバックゲート電位として利用している。

【0172】

次に、時刻 t_{23} において、時刻 t_{21} と同様に、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオンする。また、駆動トランジスタ 173 のバックゲート電位は $V_b = 20V$ から $V_b = -5V$ へと低下する。

【0173】

30

上述した時刻 $t_{21} \sim t_{23}$ は、有機 EL 表示装置 100 の 1 フレーム期間に相当し、時刻 t_{23} 以降も時刻 $t_{21} \sim t_{23}$ と同様の動作が繰り返し実行される。

【0174】

以上のように、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 と比較して、駆動トランジスタ 173 のバックゲートに所定のバイアス電位 ($V_{GL} = -5V$) を供給している期間と、コンデンサ 174 の第 1 電極に信号電圧を供給している期間とを同じとし、走査線 164 とバイアス配線 165 とを共通の制御線としてした。つまり、走査線 164 は、実施の形態 1 と比較してさらに、駆動トランジスタ 173 のバックゲートに接続されている。

【0175】

40

(実施の形態 2)

実施の形態 2 に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 とほぼ同じであるが、一の行に対応して配置された基準電源線と、当該一の行の前の行に対応して配置されたバイアス配線とが共用されている点異なる。以下、本実施の形態に係る有機 EL 表示装置について、実施の形態 1 に係る有機 EL 表示装置 100 と異なる点を中心に述べる。

【0176】

図 9 は、実施の形態 2 に係る有機 EL 表示装置の構成を示すブロック図である。

【0177】

同図に示す有機 EL 表示装置 300 は、図 1 に示す有機 EL 表示装置 100 と比較して

50

、
一の行に配置された複数の発光画素 370 が前の行の発光画素 370 に対応して配置されたバイアス配線 165 と接続されている点と、基準電圧 V_{ref} を供給する基準電源 140 を備えない点と、ダミーバイアス配線 365 を備える点とが異なる。また、有機 EL 表示装置 200 は、表示パネル 160 に代わり、複数の発光画素 370 が配置された表示部 380 を含む表示パネル 360 を備える。

【0178】

ダミーバイアス配線 365 は、複数の発光画素 370 の最前行に配置された発光画素 370 に接続され、バイアス配線 165 と同様にバイアス電圧制御回路 130 により、バックゲートパルス $BG(1)$ を 1 水平期間早めたバックゲートパルス $BG(0)$ が供給される。

10

【0179】

図 10 は、図 9 に示した発光画素 370 の詳細な回路構成を示す回路図である。なお、同図に示す発光画素 370 は k 行 j 列に設けられた発光画素 370 であり、同図には、 $k-1$ 行 j 列の発光画素 370 の構成の一部と、 $k+1$ 行 j 列の発光画素 370 の構成の一部も示されている。

【0180】

同図に示す発光画素 370 は、図 2 に示す発光画素 170 と比較して、リセットトランジスタ 172 が前の行の発光画素 370 に対応して配置されたバイアス配線 165 に接続されている点と、基準電圧 V_{ref} が供給されている基準電源線 163 を備えない点とが異なる。

20

【0181】

言い換えると、一の行に対応して配置された基準電源線と、当該一の行の前の行に対応して配置されたバイアス配線 165 とは共用されている。

【0182】

これにより、本実施の形態に係る有機 EL 表示装置 300 は、実施の形態 1 に係る有機 EL 表示装置 100 と比較して、配線本数を削減できるので、回路構成を大幅に簡素化できる。

【0183】

ここで、バイアス電圧制御回路 130 から供給されるバックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

30

【0184】

発光画素 370 の駆動トランジスタ 173 に要求される条件としては、実施の形態 1 で説明した（条件 i）及び（条件 ii）が挙げられる。また、最大階調に対応したドレイン電流、書き込み期間の許容電流も、実施の形態 1 と同様に、それぞれ $3 \mu A$ 、 $100 pA$ とする。

【0185】

図 11 は、駆動トランジスタ 173 のゲート - ソース間電圧に対するドレイン電流特性（ $V_{gs} - I_d$ 特性）の他の一例を示すグラフである。同図に示す $V_{gs} - I_d$ 特性は、図 3 に示す $V_{gs} - I_d$ 特性と比較して、 V_{gs} の範囲と、バックゲート - ソース間電圧 V_{bs} が異なる。具体的には、バックゲート - ソース間電圧 V_{bs} を $-2.2 V$ 、 $-1.8 V$ 、 $-1.4 V$ 、 $-1.0 V$ 、 $-6 V$ 、 $-2 V$ とした場合の $V_{gs} - I_d$ 特性が示されている。

40

【0186】

以下、図 11 に示した $V_{gs} - I_d$ 特性を用いて、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。なお、決定手順は実施の形態 1 と同じであり、ここでは詳しい説明を省略する。

【0187】

まず、発光時のバックゲート - ソース間電圧の特性として、 $V_{bs} = -6 V$ を選択する。

【0188】

50

次に、最大階調での発光時のゲート - ソース間電圧を決定する。具体的には、最大階調に対応したドレイン電流 I_d は $3 \mu A$ であるので、上述したように $V_{bs} = -6 V$ を選択すると、 $V_{gs} = 11.6 V$ と決まる。

【0189】

次に、信号電圧の書き込み時に、ドレイン電流 I_d を許容電流以下とするようなバックゲート - ソース間電圧 V_{bs} を選択する。ここで、ドレイン電流 I_d は、いかなる階調に対応する信号電圧が発光画素 370 に書き込まれた場合であっても、許容電流以下となることが要求される。 $V_{gs} = 11.6 V$ のときにドレイン電流 I_d が $100 pA$ 以下となるバックゲート - ソース間電圧 V_{bs} は、 $V_{bs} = -18 V$ である。したがって、信号電圧書き込み時のバックゲート - ソース間電圧 V_{bs} として $V_{bs} = -18 V$ を選択する。

10

【0190】

以上のように、発光時のバックゲート - ソース間電圧が $V_{bs} = -6 V$ 、書き込み時のバックゲート - ソース間電圧が $V_{bs} = -18 V$ と決定される。

【0191】

ところで上述したように、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧は、発光時のバックゲート - ソース間電圧にソース電位を足し合わせた電圧である。また、バックゲートパルス $BG(0) \sim BG(n)$ のローレベル電圧は、書き込み時のバックゲート - ソース間電圧にソース電位を足し合わせた電圧である。そこで、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧とローレベル電圧を決定するためには、駆動トランジスタ 173 のソース電位を考慮しなければならない。

20

【0192】

図 12A は、最大階調での発光時の発光画素 370 の状態を模式的に示す図である。図 12B は、信号電圧書き込み時の発光画素 370 の状態を模式的に示す図である。

【0193】

図 12A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3 \mu A$ の場合、駆動トランジスタ 173 のソース電位 V_s は $6 V$ となる。ソース電位 V_s が $6 V$ の場合、図 11 に示した $V_{bs} = -6 V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = 0 V$ と決定される。つまり、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧は $0 V$ と決定される。

30

【0194】

一方、図 12B に示す信号電圧書き込み時には、リセットトランジスタ 172 が導通することにより、駆動トランジスタ 173 のソースはリセットトランジスタ 172 を介して前の行に対応して配置されたバイアス配線 165 と接続されている。よって、駆動トランジスタ 173 のソース電位は、 k 行の発光画素 370 への信号電圧書き込み期間において $k-1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 の電位となる。

【0195】

ここで、 k 行の発光画素 370 の信号電圧書き込み期間において、 $k-1$ 行の発光画素 370 への信号電圧の書き込みは終了しているので、バックゲートパルス $BG(k-1)$ はハイレベルとなっている。つまり、 $k-1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 の電圧は、 $0 V$ となっている。

40

【0196】

したがって、 k 行の発光画素 370 の駆動トランジスタ 173 のソース電位は、 $0 V$ となる。ソース電位が $0 V$ の場合、図 11 に示した $V_{bs} = -18 V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -18 V$ と決定される。つまり、バックゲートパルス $BG(0) \sim BG(n)$ のローレベル電圧は $-18 V$ と決定される。

【0197】

以上のように、図 11 に示した V_{bs} 毎の $V_{gs} - I_d$ 特性を用いて、(条件 i) 最大階調での発光時に最大階調に対応した $3 \mu A$ のドレイン電流を発光素子 175 に供給するようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $BG(0) \sim BG(n)$

50

n) のハイレベル電圧は 0 V と決定される。また、(条件 ii) 信号電圧の書き込み時に、発光素子 175 に供給するドレイン電流 I_d を許容電流以下とするようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $BG(0) \sim BG(n)$ のローレベル電圧は - 18 V と決定される。つまり、本実施の形態において、バイアス電圧制御回路 130 は、ハイレベル電圧が 0 V、ローレベル電圧が - 18 V、振幅が 18 V のバックゲートパルス $BG(0) \sim BG(n)$ をバイアス配線 165 及びダミーバイアス配線 365 に供給する。

【0198】

次に、上述した有機 EL 表示装置 300 の動作について説明する。

【0199】

10

図 13 は、実施の形態 2 に係る有機 EL 表示装置 300 の動作を示すタイミングチャートであり、具体的には、図 10 に示した k 行、j 列の発光画素 370 の動作を中心に示している。同図において、横軸は時刻を示し、縦方向には上から順に、j 列の発光画素 370 のデータ線 166 に供給されるデータ線電圧 $DATA(j)$ 、k - 1 行の発光画素 370 の走査線 164 に供給される走査パルス $SCAN(k - 1)$ 、k - 1 行の発光画素 370 のバイアス配線 165 に供給されるバックゲートパルス $BG(k - 1)$ が示され、さらに、k 行及び k + 1 行の発光画素に供給される走査パルス $SCAN(k)$ 、バックゲートパルス $BG(k)$ 、走査パルス $SCAN(k + 1)$ 、バックゲートパルス $BG(k + 1)$ が示されている。

【0200】

20

ここで、例えば、最大階調の信号電圧に対応するデータ線電圧 V_{DH} を 11.6 V、最低階調の信号電圧に対応するデータ線電圧 V_{DL} を 6 V とする。また、走査パルス $SCAN(1) \sim SCAN(n)$ のハイレベル電圧 V_{GH} を 20 V、ローレベル電圧 V_{GL} を - 5 V とする。また、図 11 を用いて決定したように、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧 BGH を 0 V、ローレベル電圧 BGL を - 18 V とする。

【0201】

時刻 t_{30} より前において、走査パルス $SCAN(k)$ 及びバックゲートパルス $BG(k)$ はハイレベルであるので、k 行の発光画素 370 は直前のフレーム期間の信号電圧に応じて発光している。

【0202】

30

次に、時刻 t_{30} において、バックゲートパルス $BG(k)$ がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = 0$ V から $V_b = -18$ V へと低下する。よって、最大階調に対応する信号電圧が発光画素 370 に書き込まれた場合にコンデンサ 174 に保持される電圧よりも、駆動トランジスタ 173 の閾値電圧が大きくなるようにする。

【0203】

次に、時刻 t_{31} において、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 がオンする。これにより、データ線 166 とコンデンサ 174 の第 1 電極とが導通することにより、コンデンサ 174 の第 1 電極にデータ線電圧 $DATA(j)$ が供給される。また、このとき、同時にリセットトランジスタ 172 がオンする。これにより、k - 1 行の発光画素 370 に対応して配置されたバイアス配線 165 とコンデンサ 174 の第 2 電極とが導通する。k - 1 行の発光画素 370 に対応して配置されたバイアス配線 165 にはバックゲートパルス $BG(k - 1)$ が供給されている。時刻 t_{31} において、バックゲートパルス $BG(k - 1)$ の電位は - 18 V であるので、コンデンサ 174 の第 2 電極の電位は - 18 V となる。

40

【0204】

その後、時刻 t_{32} において、バックゲートパルス $BG(k - 1)$ がローレベルからハイレベルへと切り換わることにより、k - 1 行の発光画素 370 に対応して配置されたバイアス配線 165 の電位は - 18 V から 0 V へと切り換わる。よって、コンデンサ 174 の第 2 電極の電位も - 18 V から 0 V へと切り換わる。

50

【0205】

したがって、実施の形態1と同様に、最大階調に対応する信号電圧が書き込まれた場合であっても、図11に示す $V_{bs} = -1.8V$ の $V_{gs} - I_d$ 特性より、ドレイン電流 I_d は許容電流以下であるので、書き込み時に第1電源線161の電圧降下を十分に抑制できる。これにより、第1電源線161の電圧降下の影響を受けずに、コンデンサ174に信号電圧に応じた電圧を保持させることができる。

【0206】

次に、時刻 t_{33} において走査パルス $SCAN(k)$ がローレベルからハイレベルへと切り換わることにより、走査トランジスタ171及びリセットトランジスタ172がオフする。これにより、コンデンサ174は、時刻 t_{33} の直前の電圧を保持する。つまり、コンデンサ174は、第1電源線161の電圧降下の影響を受けずに信号電圧に応じた電圧を保持する。

10

【0207】

言い換えると、コンデンサ174に保持される電圧は、走査パルス $SCAN(k)$ をローレベルからハイレベルへと切り換えたときに、コンデンサ174の第1電極に供給されている電圧と、コンデンサ174の第2電極に供給されている電圧により確定する。よって、本実施の形態に係る有機EL表示装置300では、走査パルス $SCAN(k)$ がローレベルからハイレベルへと切り換わる時刻 t_{33} に、走査パルス $SCAN(k-1)$ がハイレベルとなっていることにより $k-1$ 行の発光画素370に対応するバイアス配線165の電位が0Vであることが必須である。

20

【0208】

次に、時刻 t_{34} において、バックゲートパルス $BG(k)$ がローレベルからハイレベルへと切り換わることにより、駆動トランジスタ173のバックゲート電位は $V_b = -1.8V$ から $V_b = 0V$ へと上昇する。よって、駆動トランジスタ173の閾値電圧が低下し、信号電圧に対応するコンデンサ174に保持された電圧に応じたドレイン電流 I_d が供給されることにより、発光素子175の発光が開始される。

【0209】

その後、時刻 $t_{34} \sim t_{35}$ において、バックゲートパルス $BG(k)$ は、継続してハイレベルであるので、発光素子175は継続して発光する。

30

【0210】

次に、時刻 t_{35} において、時刻 t_{31} と同様に、バックゲートパルス $BG(k)$ がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ173のバックゲート電位は $V_b = 0V$ から $V_b = -1.8V$ へと低下する。よって、最大階調に対応する信号電圧が発光画素370に書き込まれた場合にコンデンサ174に保持される電圧よりも、駆動トランジスタ173の閾値電圧が大きくなるようにする。

【0211】

上述した時刻 $t_{30} \sim t_{35}$ は、有機EL表示装置300の1フレーム期間に相当し、時刻 t_{35} 以降も時刻 $t_{30} \sim t_{35}$ と同様の動作が繰り返し実行される。

【0212】

以上のように、本実施の形態に係る有機EL表示装置300は、実施の形態1に係る有機EL表示装置100と比較して、 k 行の発光画素370のリセットトランジスタ172が基準電源線163に代わり、 $k-1$ 行の発光画素370に対応して配置されたバイアス配線165と接続されている。つまり、 k 行の発光画素370に対応して配置された基準電源線163と、 $k-1$ 行の発光画素370に対応して配置されたバイアス配線165とが共有されている。

40

【0213】

これにより、有機EL表示装置300は、有機EL表示装置100と比較して、さらに配線数を削減できるので、回路構成を大幅にコンパクトにできる。

【0214】

また、有機EL表示装置300は、 k 行の発光画素370に対応して配置された走査線

50

164に供給される走査パルスSCAN(k)をローレベルからハイレベルに切り換えるとき(時刻t33)に、k-1行の発光画素370に対応して配置されたバイアス配線165に供給されるバックゲートパルスBG(k-1)をハイレベルとすることで、コンデンサ174の第2電極に、実施の形態1に係る有機EL表示装置100と同様に、0Vを設定する。言い換えると、k-1行に対応して配置された発光画素370に含まれる駆動トランジスタ173を、k-1行に対応して配置されたバイアス配線165を介して所定の基準電圧を供給して導通状態としつつ、k行に配置された発光画素370に含まれるコンデンサ174の第2電極に、k-1行に対応して配置されたバイアス配線165を介して所定の基準電圧Vrefを設定する。

【0215】

時刻t33は、k-1行の発光画素370では発光期間であり、一方、k行の発光画素370では非発光期間である。そのため、k行の発光画素370に含まれるリセットトランジスタ172を、図1及び2に示す基準電源線163に代わり、k-1行の発光画素370に対応して配置されたバイアス配線165に接続しても、動作上の影響はない。つまり、k-1行の発光画素370を非発光期間とする際にバイアス配線165を介して所定のバイアス電圧を供給してk行の発光画素370の駆動トランジスタ173を導通状態とするので、k-1行の発光画素370の発光期間においてk-1行の発光画素370に対応して配置されたバイアス配線165を介して、k行の発光画素370のコンデンサ174の第2電極に所定の基準電圧Vrefを設定しても動作上の影響はない。

【0216】

また、有機EL表示装置300は、k-1行に配置された発光画素370に含まれる駆動トランジスタ173を、k-1行の発光画素370に対応して配置されたバイアス配線165を介して所定のバイアス電圧を供給して非導通状態としつつ、k行に配置された発光画素370に含まれるリセットトランジスタ172を非導通として、k行に配置された発光画素370に含まれるコンデンサ174の第2電極に、k-1行の発光画素370に対応して配置されたバイアス配線165を介して所定のバイアス電圧を書き込まない。

【0217】

k-1行に配置された発光画素370では非発光期間であり、一方、k行に配置された発光画素370では発光期間である。そのため、k行の発光画素370に含まれるリセットトランジスタ172を、図1及び2に示す基準電源線163に代わり、k-1行の発光画素370に対応して配置されたバイアス配線165に接続しても、動作上の影響はない。つまり、k行に配置された発光画素370に含まれるリセットトランジスタ172を非導通として、k行に配置された発光画素370に含まれるコンデンサ174の第2電極に、k-1行のバイアス配線165から所定のバイアス電圧であるVGL=-18Vが書き込まないようにすれば、k行に配置されたコンデンサ174の第2電極に設定された所定の基準電圧が変動することはない。その結果、k-1行に配置された発光画素370の発光に影響を与えることはない。

【0218】

(実施の形態2の変形例)

実施の形態2の変形例に係る有機EL表示装置は、実施の形態2に係る有機EL表示装置300とほぼ同じであるが、バックゲートパルスBG(0)~BG(n)のローレベルからハイレベルへと切り換わるタイミングが異なる。

【0219】

図14は、本変形例に係る有機EL表示装置の動作を示すタイミングチャートである。

【0220】

同図に示すように、本変形例に係る有機EL表示装置の動作は、図13に示す実施の形態2に係る有機EL表示装置300の動作と比較して、バックゲートパルスBG(0)~BG(k)がローレベルからハイレベルへと切り換わる時刻が異なる。以下、図13に示す実施の形態2に係る有機EL表示装置300の動作と異なる点を中心に説明する。

【0221】

時刻 t_{40} は、図 13 の時刻 t_{30} に対応し、バックゲートパルス $BG(k)$ がハイレベルからローレベルへと切り換わる。

【0222】

次に、時刻 t_{41} において、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 がオンする。この時刻 t_{41} において、図 13 の時刻 t_{31} と比較して、さらに、 $k-1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 に供給されるバックゲートパルス $BG(k-1)$ がローレベルからハイレベルへと切り換わる。

【0223】

次に、時刻 t_{42} において、走査パルス $SCAN(k)$ がローレベルからハイレベルへと切り換わり、同時に、バックゲートパルス $BG(k)$ もローレベルからハイレベルへと切り換わる。

【0224】

図 13 に示す実施の形態 2 に係る有機 EL 表示装置 300 の動作タイミングでは、時刻 t_{31} において走査パルス $SCAN(k)$ がローレベルとなり信号電圧の書き込みが開始されても、リセットトランジスタ 172 を介して接続された $k-1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 に供給されているバックゲートパルス $BG(k-1)$ がローレベルとなっている。そして、バックゲートパルス $BG(k-1)$ は時刻 t_{32} において、ローレベルからハイレベルへと切り換わることにより、 k 行の発光画素 370 のコンデンサ 174 の第 2 電極に所定の基準電圧である 0 V が供給される。言い換えると、時刻 $t_{31} \sim t_{32}$ においては、コンデンサ 174 に信号電圧に対応する電圧を書き込むことはできない。

【0225】

つまり、実施の形態 2 に係る有機 EL 表示装置 300 では、時刻 $t_{32} \sim t_{33}$ までの時間 Δt_1 が実際の信号電圧書き込み期間に相当する。

【0226】

これに対し、図 14 に示す本変形例に係る有機 EL 表示装置では、時刻 t_{41} において走査パルス $SCAN(k)$ がハイレベルからローレベルに切り換わるときに、同時にバックゲートパルス $BG(k-1)$ がローレベルからハイレベルへと切り換わるので、時刻 t_{41} からコンデンサ 174 の第 2 電極に所定の基準電圧である 0 V が供給される。

【0227】

つまり、本変形例に係る有機 EL 表示装置では、時刻 $t_{41} \sim t_{42}$ までの時間 Δt_2 が実際の信号書き込み期間に相当する。

【0228】

走査パルス $SCAN(k)$ がローレベルとなっている期間を一定とすると、 $\Delta t_1 < \Delta t_2$ となる。よって、本変形例に係る有機 EL 表示装置は、実施の形態 2 に係る有機 EL 表示装置 300 と比較して、信号電圧の書き込み期間を長く確保できる。

【0229】

以上のように、本変形例に係る有機 EL 表示装置は、実施の形態 2 に係る有機 EL 表示装置 300 と比較して、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わるタイミングと、バックゲートパルス $BG(k-1)$ がローレベルからハイレベルへと切り換わるタイミングとが同時である。

【0230】

これにより、本変形例に係る有機 EL 表示装置は、実施の形態 2 に係る有機 EL 表示装置 300 と比較して、実際の信号電圧の書き込み期間を長く確保できる。

【0231】

(実施の形態 3)

実施の形態 3 に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 と比較してほぼ同じであるが、第 1 スイッチング素子の一方の端子がデータ線に接続され、第 1 スイッチング素子の他方の端子がコンデンサの第 2 電極に接続されている点と、第

10

20

30

40

50

2 スイッチング素子の一方の端子がコンデンサの第 1 電極に接続され、第 2 スイッチング素子の他方の端子が第 3 基準電源線に接続されている点が異なる。以下、本実施の形態に係る有機 E L 表示装置について、実施の形態 1 に係る有機 E L 表示装置 1 0 0 と異なる点を中心に述べる。

【 0 2 3 2 】

図 1 5 は、本実施の形態に係る有機 E L 表示装置が有する発光画素の詳細な回路構成を示す回路図である。

【 0 2 3 3 】

同図に示す発光画素 4 7 0 は、図 2 に示す実施の形態 1 に係る有機 E L 表示装置が有する発光画素 1 7 0 と比較して、走査トランジスタ 1 7 1 に代わり走査トランジスタ 4 7 1 を有し、リセットトランジスタ 1 7 2 に代わりリセットトランジスタ 4 7 2 を備える。

10

【 0 2 3 4 】

走査トランジスタ 4 7 1 は、本実施の形態において本発明の第 1 スイッチング素子であり、一方の端子がデータ線 1 6 6 に接続され、他方の端子がコンデンサ 1 7 4 の第 2 電極に接続され、データ線 1 6 6 とコンデンサ 1 7 4 の第 2 電極との導通及び非導通を切り換える。具体的には、走査トランジスタ 4 7 1 は、ゲート電極が走査線 1 6 4 に接続され、ソース電極及びドレイン電極の一方がデータ線 1 6 6 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 1 7 4 の第 2 電極に接続されている。つまり、走査トランジスタ 4 7 1 は、図 2 に示す走査トランジスタ 1 7 1 と比較して、書き込み駆動回路 1 1 0 から走査線 1 6 4 を介してゲート電極に供給される走査パルス S C A N (k) に応じてデータ線 1 6 6 とコンデンサ 1 7 4 の第 2 電極との導通及び非導通を切り換える点が異なる。

20

【 0 2 3 5 】

リセットトランジスタ 4 7 2 は、本実施の形態において本発明の第 2 スイッチング素子であり、一方の端子がコンデンサ 1 7 4 の第 1 電極に接続され、他方の端子が基準電源線 1 6 3 に接続され、コンデンサ 1 7 4 の第 1 電極と、基準電源線 1 6 3 との導通及び非導通を切り換える。具体的には、リセットトランジスタ 4 7 2 は、ゲート電極が走査線 1 6 4 を介して書き込み駆動回路 1 1 0 に接続され、ソース電極及びドレイン電極の一方が基準電源線 1 6 3 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 1 7 4 の第 1 電極に接続されている。つまり、リセットトランジスタ 4 7 2 は、図 2 に示すリセットトランジスタ 1 7 2 と比較して、書き込み駆動回路 1 1 0 から走査線 1 6 4 を介してゲート電極に供給される走査パルス S C A N (k) に応じて基準電源線 1 6 3 とコンデンサ 1 7 4 の第 1 電極との導通及び非導通を切り換える点が異なる。

30

【 0 2 3 6 】

このように、本実施の形態に係る有機 E L 表示装置が有する発光画素 4 7 0 は、実施の形態 1 に係る有機 E L 表示装置 1 0 0 が有する発光画素 1 7 0 と比較して、コンデンサ 1 7 4 の第 1 電極及び第 2 電極のうち、駆動トランジスタ 1 7 3 のソース電極と接続されている第 2 電極に、データ線 1 6 6 及び走査トランジスタ 4 7 1 を介して供給される信号電圧が供給される。一方、駆動トランジスタ 1 7 3 のゲート電極と接続されている第 1 電極には、基準電源線 1 6 3 及びリセットトランジスタ 4 7 2 を介して供給される基準電圧 V r e f が供給される。

40

【 0 2 3 7 】

次に、このように構成された発光画素 4 7 0 にバイアス電圧制御回路 1 3 0 から供給されるバックゲートパルス B G (1) ~ B G (n) のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

【 0 2 3 8 】

発光画素 4 7 0 の駆動トランジスタ 1 7 3 に要求される条件としては、実施の形態 1 で説明した (条件 i) 及び (条件 i i) が挙げられる。また、最大階調に対応したドレイン電流、書き込み期間の許容電流も、実施の形態 1 と同様に、それぞれ 3 μ A 、 1 0 0 p A とする。

【 0 2 3 9 】

50

ただし、本実施の形態では、コンデンサ 174 の第 2 電極に信号電圧を書き込むので、実施の形態 1 と比較して、最大階調の信号電圧に対応するデータ線電圧 V_{DH} と、最低階調の信号電圧に対応するデータ線電圧 V_{DL} の絶対値が反転する。具体的には、 $V_{DH} = -5.6\text{ V}$ 、 $V_{DL} = 0\text{ V}$ である。言い換えると、データ線電圧 $DATA(j)$ は、 $V_{DL} = 0\text{ V}$ の場合に最大値の 0 V となり、 $V_{DH} = -5.6\text{ V}$ の場合に最小値の -5.6 V となる。

【0240】

図 16A は、最大階調での発光時の発光画素 470 の状態を模式的に示す図である。図 16B は、信号電圧書き込み時の発光画素 470 の状態を模式的に示す図である。

【0241】

図 16A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3\text{ }\mu\text{ A}$ の場合、駆動トランジスタ 173 のソース電位 V_s は 6 V となる。ソース電位 V_s が 6 V の場合、図 3 に示した $V_{bs} = 8\text{ V}$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = 14\text{ V}$ と決定される。つまり、本実施の形態では、バックゲートパルス $BG(1) \sim$ バックゲートパルス $BG(n)$ のハイレベル電圧は 14 V と決定される。

【0242】

一方、図 16B に示す信号電圧書き込み時には、リセットトランジスタ 472 が導通することにより、駆動トランジスタ 173 のゲートはリセットトランジスタ 472 を介して基準電源線 163 と接続されている。よって、駆動トランジスタ 173 のゲート電位は基準電圧 V_{ref} である 0 V となっている。また、駆動トランジスタ 173 のソース電位は、最大階調の信号電圧に対応するので、 $V_s = -5.6\text{ V}$ となっている。ソース電位が -6 V の場合、図 3 に示した $V_{bs} = -4\text{ V}$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -9.6\text{ V}$ と決定される。つまり、バックゲートパルス $BG(1) \sim$ バックゲートパルス $BG(n)$ のローレベル電圧は -9.6 V と決定される。

【0243】

以上のように、図 3 に示した V_{bs} 毎の $V_{gs} - I_d$ 特性を用いて、(条件 i) 最大階調での発光時に最大階調に対応した $3\text{ }\mu\text{ A}$ のドレイン電流を発光素子 175 に供給するようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧は 14 V と決定される。また、(条件 ii) 信号電圧の書き込み時に、発光素子 175 に供給するドレイン電流 I_d を許容電流以下とするようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $BG(1) \sim BG(n)$ のローレベル電圧は -9.6 V と決定される。つまり、本実施の形態において、バイアス電圧制御回路 130 は、ハイレベル電圧が 14 V 、ローレベル電圧が -9.6 V 、振幅が 23.6 V のバックゲートパルス $BG(1) \sim BG(n)$ をバイアス配線 165 に供給する。なお、発光画素 470 を有する本実施の形態に係る有機 EL 表示装置の動作は、図 5 に示す有機 EL 表示装置 100 の動作と同様である。

【0244】

以上のように、発光画素 470 を備える本実施の形態に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 と比較して、コンデンサ 174 の第 1 電極及び第 2 電極のうち、駆動トランジスタ 173 のソース電極と接続されている第 2 電極に、データ線 166 及び走査トランジスタ 471 を介して供給される信号電圧が供給される。一方、駆動トランジスタ 173 のゲート電極と接続されている第 1 電極には、基準電源線 163 及びリセットトランジスタ 472 を介して供給される基準電圧 V_{ref} が供給される。ここで、所定のバイアス電位である -10 V を駆動トランジスタ 173 のバックゲート電極に印加することにより、駆動トランジスタ 173 の閾値電圧をゲート電極及びソース電極間の電位差よりも大きくすることにより駆動トランジスタ 173 を非導通とし、所定のバイアス電圧を印加している期間内に走査トランジスタ 471 及びリセットトランジスタ 472 を導通して、コンデンサ 174 の第 1 電極に基準電圧 V_{ref} を設定し、信号電圧

10

20

30

40

50

をコンデンサ 174 の第 2 電極に供給する。

【0245】

これにより、実施の形態 3 に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 と同様の効果を奏する。

【0246】

なお、本実施の形態では、コンデンサ 174 の第 2 電極へ信号電圧を供給するときに、データ線 166 から供給される信号電圧の最大値は第 1 電源線 161 の電位以下とする。これにより、コンデンサ 174 の第 2 電極に信号電圧を供給しているときに、発光素子 175 のアノードの電位はカソードの電位以下となるので、基準電源線 163 から発光素子 175 に流れる電流を防止できる。

10

【0247】

その結果、信号電圧を書き込んでいる期間に不要な発光が生じてコントラストが低下することを防ぐことができる。なお、上記説明では信号電圧を V、第 1 電源線 161 の電位を 0 V として説明したが、信号電圧は第 1 電源線 161 の電位以下であればよく、上記の例に限らない。

【0248】

(実施の形態 3 の変形例)

本変形例に係る有機 EL 表示装置が有する発光画素は、実施の形態 3 に係る有機 EL 表示装置が有する発光画素 470 とほぼ同じであるが、リセットトランジスタ 472 のソース及びドレインの一方が基準電源線 163 に代わり、前の行の発光画素 570 に対応して配置されたバイアス配線 165 に接続されている点が異なる。つまり、本変形例に係る有機 EL 表示装置は、実施の形態 2 に係る有機 EL 表示装置 300 と実施の形態 3 に係る有機 EL 表示装置との組み合わせである。

20

【0249】

図 17 は、本変形例に係る有機 EL 表示装置が有する発光画素 570 の詳細な構成を示す回路図である。

【0250】

同図に示すように、発光画素 570 が有するリセットトランジスタ 472 は、図 10 に示したリセットトランジスタ 172 と同様に、前の行の発光画素 570 に対応して配置されたバイアス配線 165 に接続されている。

30

【0251】

次に、このように構成された発光画素 570 にバイアス電圧制御回路 130 から供給されるバックゲートパルス BG(0) ~ BG(n) のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

【0252】

発光画素 570 の駆動トランジスタ 173 に要求される条件としては、実施の形態 1 で説明した(条件 i)及び(条件 ii)が挙げられる。また、最大階調に対応したドレイン電流、書き込み期間の許容電流も、実施の形態 1 と同様に、それぞれ $3\mu A$ 、 $100pA$ とする。

【0253】

40

また、最大階調の信号電圧に対応するデータ線電圧 V_{DH} と、最低階調の信号電圧に対応するデータ線電圧 V_{DL} は、実施の形態 2 と正負が反転した電圧である $V_{DH} = -11.6V$ 、 $V_{DL} = -6V$ とする。

【0254】

図 18A は、最大階調での発光時の発光画素 570 の状態を模式的に示す図である。図 18B は、信号電圧書き込み時の発光画素 570 の状態を模式的に示す図である。

【0255】

図 18A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3\mu A$ の場合、駆動トランジスタ 173 のソース電位 V_s は $6V$ となる。ソース電位 V_s が $6V$ の場合、図 11 に示した $V_{bs} = -6V$ 相当の特性を得るためのバックゲート電位 V_b は、 V_b

50

$= V_s + V_{bs}$ より $V_b = 0\text{ V}$ と決定される。つまり、本実施の形態では、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧は 0 V と決定される。

【0256】

一方、図18Bに示す信号電圧書き込み時には、リセットトランジスタ472が導通することにより、駆動トランジスタ173のゲートはリセットトランジスタ472を介して前の行に対応して配置されたバイアス配線165と接続されている。よって、駆動トランジスタ173のゲート電位は、 k 行の発光画素570への信号電圧書き込み期間において $k-1$ 行の発光画素570に対応して配置されたバイアス配線165の電位となる。

【0257】

ここで、 k 行の発光画素570の信号電圧書き込み期間において、 $k-1$ 行の発光画素570への信号電圧の書き込みは終了しているので、バックゲートパルス $BG(k-1)$ はハイレベルとなっている。つまり、 $k-1$ 行の発光画素570に対応して配置されたバイアス配線165の電位は、 0 V となっている。

【0258】

したがって、 k 行の発光画素570の駆動トランジスタ173のゲート電位は、 0 V となる。ソース電位が -11.6 V の場合、図11に示した $V_{bs} = -18\text{ V}$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -29.6\text{ V}$ と決定される。つまり、バックゲートパルス $BG(0) \sim BG(n)$ のローレベル電圧は -29.6 V と決定される。つまり、本変形例において、バイアス電圧制御回路130は、ハイレベル電圧が 0 V 、ローレベル電圧が -29.6 V 、振幅が 29.6 V のバックゲートパルス $BG(0) \sim BG(n)$ をバイアス配線165及びダミーバイアス配線365に供給する。

【0259】

なお、発光画素570を有する本変形例に係る有機EL表示装置の動作は、図13に示す実施の形態2に係る有機EL表示装置の動作、又は、図14に示す実施の形態2の変形例に係る有機EL表示装置の動作と同様である。

【0260】

以上のように、発光画素570を備える実施の形態3の変形例に係る有機EL表示装置は、実施の形態3に係る有機EL表示装置と比較して、 k 行の発光画素570のリセットトランジスタ472が基準電源線163に代わり、 $k-1$ 行の発光画素570に対応して配置されたバイアス配線165と接続されている。つまり、 k 行の発光画素570に対応して配置された基準電源線163と、 $k-1$ 行の発光画素570に対応して配置されたバイアス配線165とが共有されている。

【0261】

これにより、本変形例に係る有機EL表示装置は、実施の形態3に係る有機EL表示装置と比較して、さらに配線数を削減できるので、回路構成を大幅にコンパクトにできる。

【0262】

以上、本発明の実施の形態及び変形例に基づいて説明したが、本発明は、これら実施の形態及び変形例に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及び変形例に施したものや、異なる実施の形態及び変形例における構成要素を組み合わせる構築される形態も、本発明の範囲内に含まれる。

【0263】

例えば、上記説明では、走査トランジスタ及びリセットトランジスタをゲート電極に印加されているパルスがローレベルのときに導通するP型トランジスタとし、駆動トランジスタをゲート電極に印加されているパルスがハイレベルのときにオンするN型トランジスタとしたが、これらを逆の極性のトランジスタで構成し、走査線164及びバイアス配線165の極性を反転させて、例えば図19A及び図19Bに示すような回路構成としてもよい。

【0264】

駆動トランジスタ 173 を P 型トランジスタで実現して図 19 A のような回路構成とする場合、第 3 電源線から供給される所定の基準電位 V_{ref} は、第 1 電源線の電位以上が望ましい。これにより、駆動トランジスタ 173 を P 型トランジスタとした場合でも、コンデンサ 174 の第 2 電極に基準電位 V_{ref} を設定しているときに、発光素子 175 のアノードの電位は発光素子のカソードの電位以下となるので、発光素子 175 から基準電源線 163 に流れる電流を防止できる。

【0265】

一方、駆動トランジスタ 173 を P 型トランジスタで実現して図 19 B のような回路構成とする場合、データ線 166 から供給される信号電圧の最小値は第 1 電源線の電位以上が望ましい。これにより、信号電圧の書き込み中に発光素子 175 からデータ線 166 に流れる電流を防止できる。よって、信号電圧の書き込み中に、発光素子 175 を確実に消光できる。

10

【0266】

また、駆動トランジスタ 173 の極性は、走査トランジスタ 171 及びリセットトランジスタ 172 の極性と同じでもよい。

【0267】

また、駆動トランジスタ、走査トランジスタ及びリセットトランジスタは、TFT であるとしたが、例えば接合型の電界効果トランジスタであってもよい。また、これらのトランジスタは、ベース、コレクタ及びエミッタを有するバイポーラトランジスタであってもよい。

20

【0268】

また、上記各実施の形態では、基準電源 140 と直流電源 150 とを別としたが、基準電源 140 及び直流電源 150 に代わり、複数の電圧を出力する 1 つの電源を設けてもよい。

【0269】

また、上記各実施の形態では、第 1 電源線 161 をグランド線としたが、第 1 電源線 161 が直流電源 150 に接続され、0 V 以外の電位（例えば、1 V）が供給されてもよい。さらに、この第 1 電源線 161 は、網目状に形成されていても、ベタ膜状に形成されていてもよい。

【0270】

また、第 2 電源線 162 は網目状に形成されていても（二次元配線）、走査線の配線方向及びデータ線の配線方向のいずれか 1 方と平行な方向に形成されていても（一次元配線）、ベタ膜状に形成されていてもよい。

30

【0271】

また、上記各実施の形態では、走査トランジスタ及びリセットトランジスタは、共通の走査線を介して供給される走査パルス $SCAN(1) \sim SCAN(n)$ により導通及び非導通が切り換えられていたが、走査トランジスタの導通及び非導通を制御する信号を供給するための配線である第 1 走査線と、リセットトランジスタの導通及び非導通を制御する信号を供給するための配線である第 2 走査線とを、独立に設けてもよい。

【0272】

また、例えば、本発明に係る有機 EL 表示装置は、図 20 に記載されたような薄型フラット TV に内蔵される。本発明に係る有機 EL 表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラット TV が実現される。

40

【産業上の利用可能性】

【0273】

本発明は、とりわけアクティブ型の有機 EL フラットパネルディスプレイに有用である。

【符号の説明】

【0274】

100、200、300 有機 EL 表示装置

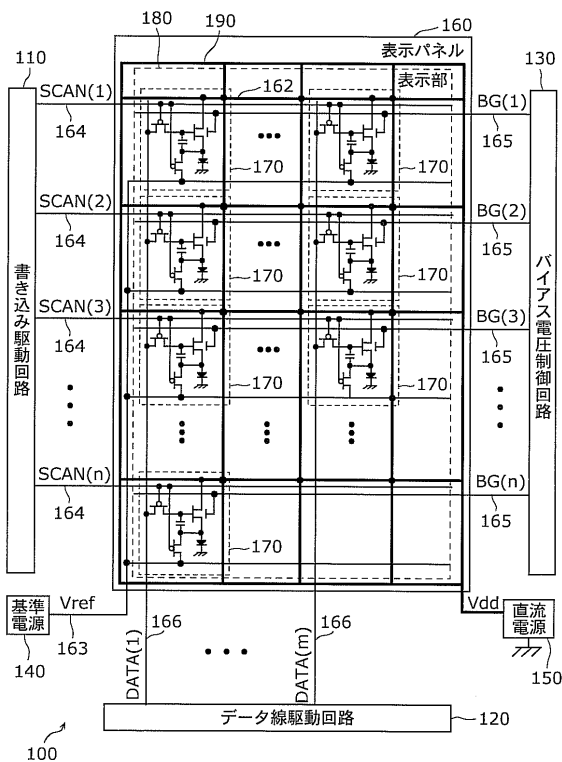
50

- 1 1 0 書き込み駆動回路
- 1 2 0 データ線駆動回路
- 1 3 0 バイアス電圧制御回路
- 1 4 0 基準電源
- 1 5 0 直流電源
- 1 6 0、2 6 0、3 6 0 表示パネル
- 1 6 1 第1電源線
- 1 6 2 第2電源線
- 1 6 3 基準電源線
- 1 6 4 走査線
- 1 6 5 バイアス配線
- 1 6 6 データ線
- 1 7 0、2 7 0、3 7 0、4 7 0、5 7 0 発光画素
- 1 7 1、4 7 1 走査トランジスタ
- 1 7 2、4 7 2 リセットトランジスタ
- 1 7 3 駆動トランジスタ
- 1 7 4 コンデンサ
- 1 7 5 発光素子
- 1 8 0、2 8 0、3 8 0 表示部
- 1 9 0 基幹電源線
- 3 6 5 ダミーバイアス配線

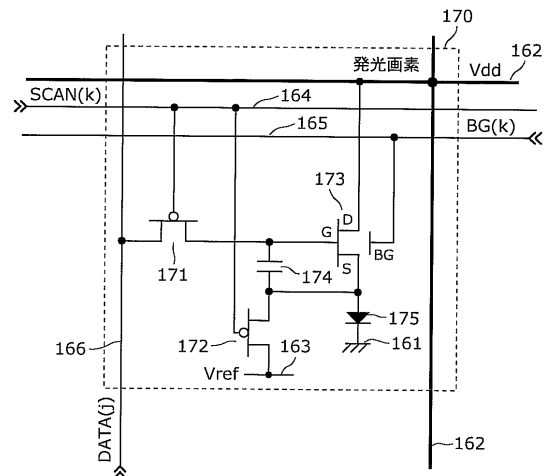
10

20

【図1】

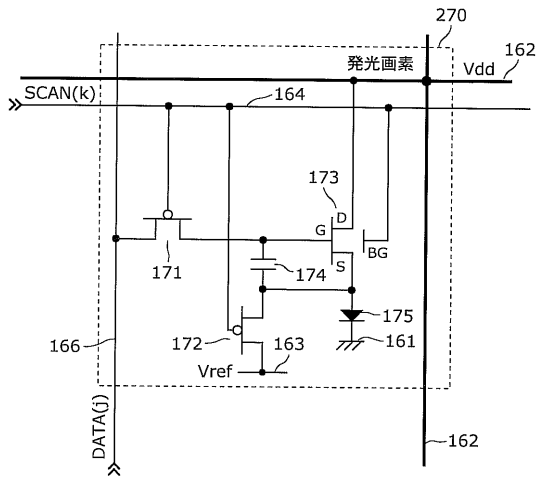


【図2】

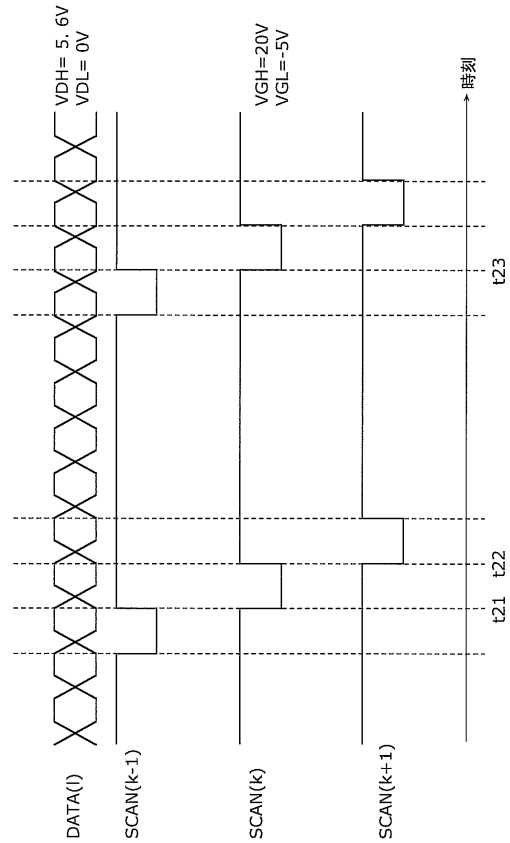


[illegible][illegible]

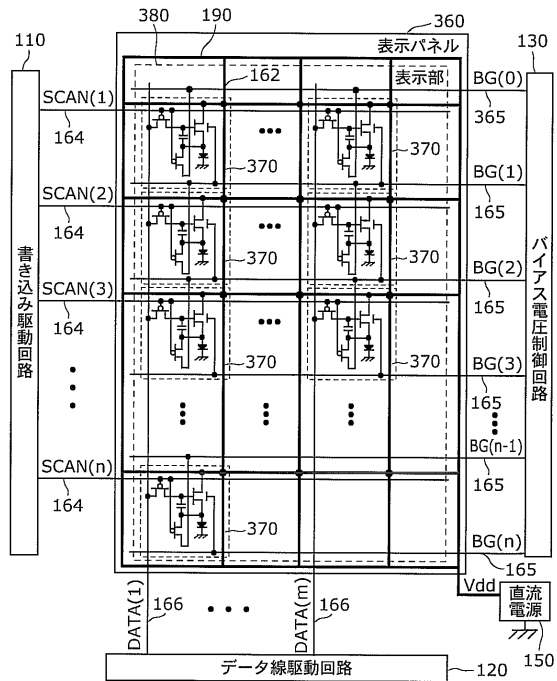
【図 7】



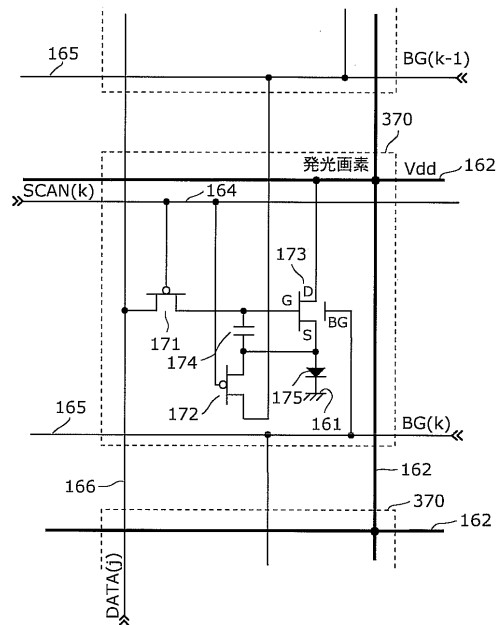
【図 8】



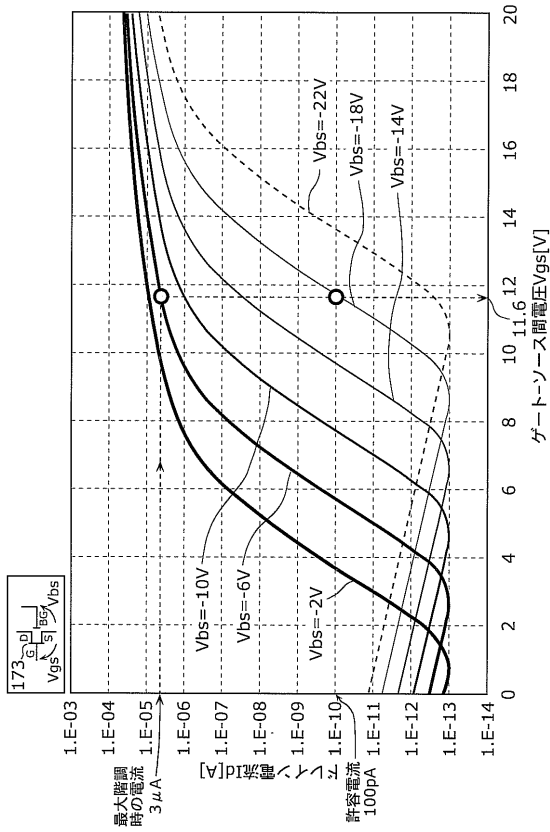
【図 9】



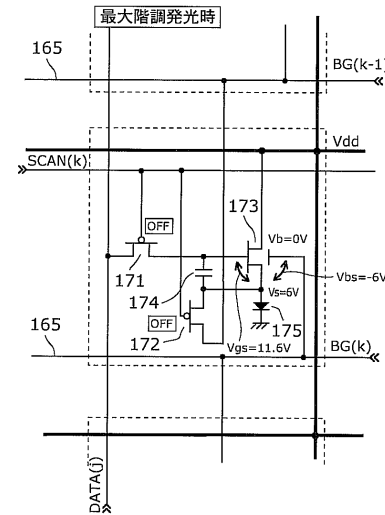
【図 10】



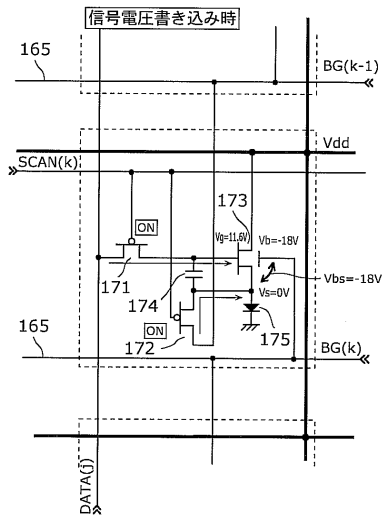
【図 1 1】



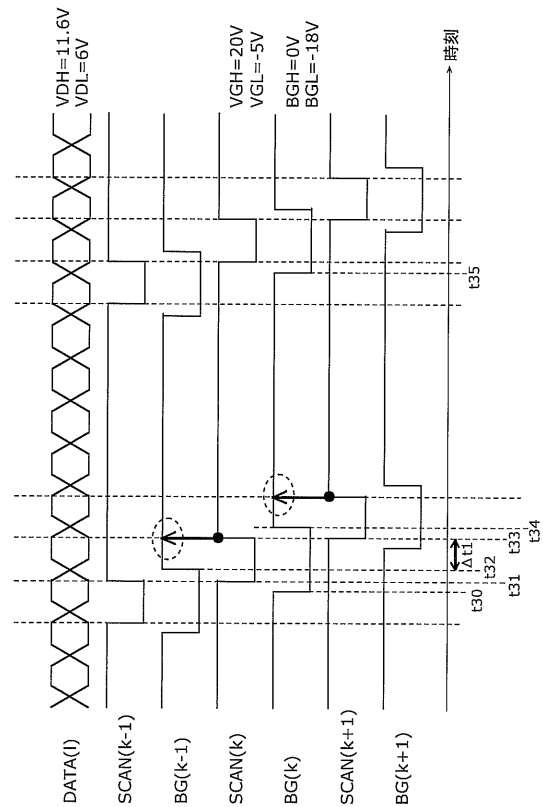
【図 1 2 A】



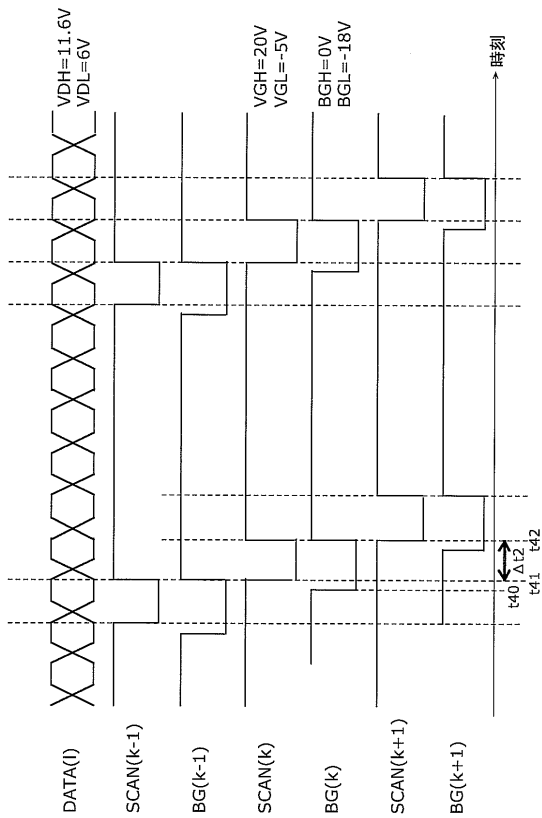
【図 1 2 B】



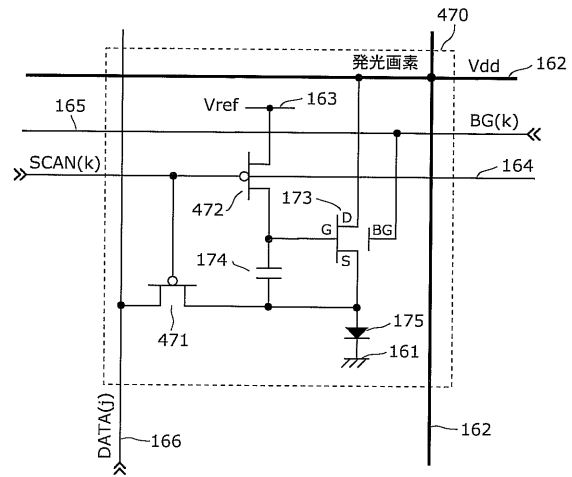
【図 1 3】



【図 1 4】

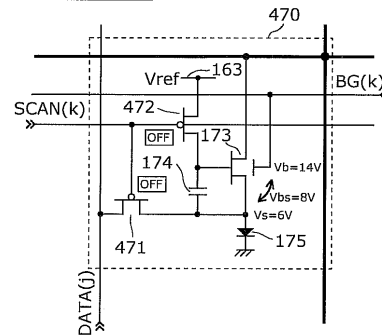


【図 1 5】



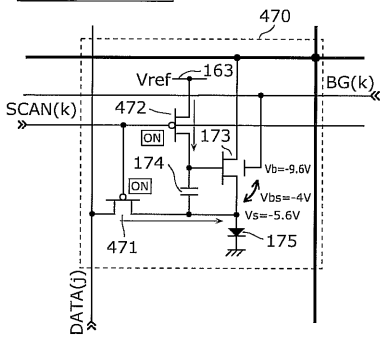
【図 1 6 A】

最大階調発光時

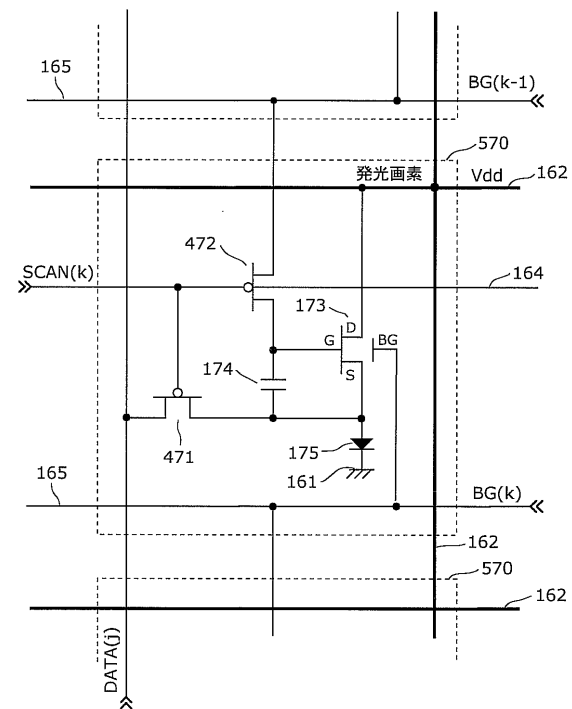


【図 1 6 B】

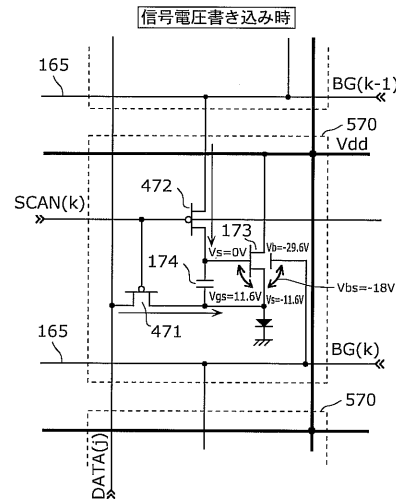
信号電圧書き込み時



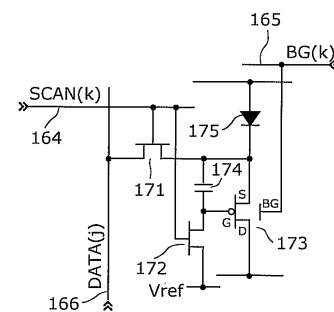
【図 1 7】



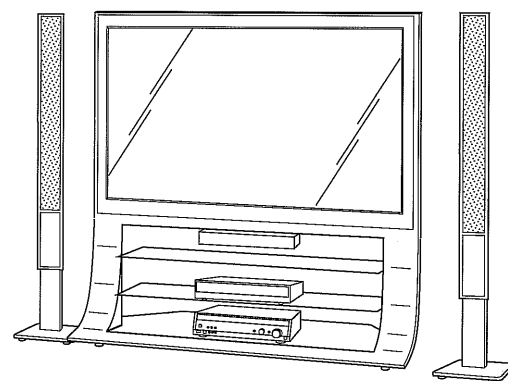
【 図 1 8 B 】



【 ㊦ 1 9 B 】



【 図 2 0 】



【手続補正書】

【提出日】平成22年7月27日(2010.7.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の画素部をマトリクス状に配置した有機 EL 表示装置であって、
前記複数の画素部の各々は、
第 1 電極と第 2 電極とを有する発光素子と、
電圧を保持するためのコンデンサと、
ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、
前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、
前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、
前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、
信号電圧を供給するためのデータ線と、
一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スイッチング素子と、
一方の端子が前記コンデンサの第 2 電極に接続され、他方の端子が前記第 3 電源線に接続され、前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、
前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、
前記有機 EL 表示装置は、さらに、
前記第 1 スイッチング素子の制御、前記第 2 スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、
前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、
前記駆動回路は、
前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、
前記所定のバイアス電圧を印加している期間内に前記第 1 スイッチング素子及び前記第 2 スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記コンデンサの第 1 電極に前記信号電圧を供給する、
有機 EL 表示装置。

【請求項 2】

前記有機 EL 表示装置は、さらに、
マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、
前記第 2 電源線は、

マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、

請求項 1 に記載の有機 E L 表示装置。

【請求項 3】

前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、

各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である、

請求項 1 又は請求項 2 に記載の有機 E L 表示装置。

【請求項 4】

前記有機 E L 表示装置は、さらに、

前記第 1 スイッチング素子の導通及び非導通を制御する信号を供給する第 1 走査線と、

前記第 2 スイッチング素子の導通及び非導通を制御する信号を供給する第 2 走査線と、を備える、

請求項 1 乃至請求項 3 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 5】

前記第 3 電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、

一の行に対応して配置された第 3 電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている、

請求項 1 乃至請求項 4 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 6】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する、

請求項 5 に記載の有機 E L 表示装置。

【請求項 7】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない、

請求項 6 に記載の有機 E L 表示装置。

【請求項 8】

前記第 1 走査線と前記第 2 走査線とを共通の制御線とする、

請求項 4 に記載の有機 E L 表示装置。

【請求項 9】

前記第 1 スイッチング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、

前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、

前記第 1 走査線と前記バイアス線とを共通の制御線とする、

請求項 4 に記載の有機 E L 表示装置。

【請求項 10】

前記駆動素子は N 型トランジスタである、

請求項 1 乃至請求項 9 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 1 1】

前記第 3 電源線から供給される前記所定の固定電圧は前記第 1 電源線の電位以下とする

、
請求項 1 0 に記載の有機 E L 表示装置。

【請求項 1 2】

前記駆動回路は、

前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子を非導通とし、

前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 1 0 に記載の有機 E L 表示装置。

【請求項 1 3】

前記駆動素子は P 型トランジスタである、

請求項 1 乃至請求項 9 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 1 4】

前記第 3 電源線から供給される前記所定の固定電位は前記第 1 電源線の電位以上とする

、
請求項 1 3 に記載の有機 E L 表示装置。

【請求項 1 5】

前記駆動回路は、

前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子をオフし、

前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 1 3 に記載の有機 E L 表示装置。

【請求項 1 6】

第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と

、
前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スwitchング素子と、

前記コンデンサの第 2 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitchング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、
を備える有機ＥＬ表示装置の制御方法であって、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第１スイッチング素子及び前記第２スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第２電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第１電極に供給させる、

有機ＥＬ表示装置の制御方法。

【請求項１７】

複数の画素部をマトリクス状に配置した有機ＥＬ表示装置であって、

前記複数の画素部の各々は、

第１電極と第２電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第１電極に接続され、ソース電極が前記コンデンサの第２電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第１電源線と、

前記駆動素子のドレイン電極に電氣的に接続された第２電源線と、

前記第１電源線とは異なる電源線であって前記コンデンサの第１電極に所定の基準電圧を設定する第３電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第２電極に接続され、前記データ線と前記コンデンサの第２電極との導通及び非導通を切り換える第１スイッチング素子と、

一方の端子が前記コンデンサの第１電極に接続され、他方の端子が前記第３電源線に接続され、前記コンデンサの第１電極と前記第３電源線との導通及び非導通を切り換える第２スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、

前記有機ＥＬ表示装置は、さらに、

前記第１スイッチング素子の制御、前記第２スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記駆動回路は、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第１スイッチング素子及び前記第２スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第１電極に前記所定の基準電圧を設定しつつ前記コンデンサの第２電極に前記信号電圧を供給する、

有機ＥＬ表示装置。

【請求項 18】

前記有機 EL 表示装置は、さらに、

マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、

前記第 2 電源線は、

マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、

請求項 17 に記載の有機 EL 表示装置。

【請求項 19】

前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、

各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である、

請求項 17 又は請求項 18 に記載の有機 EL 表示装置。

【請求項 20】

前記有機 EL 表示装置は、さらに、

前記第 1 スイッチング素子の導通及び非導通を制御する信号を供給する第 1 走査線と、

前記第 2 スイッチング素子の導通及び非導通を制御する信号を供給する第 2 走査線と、を備える、

請求項 17 乃至請求項 19 のいずれか 1 項に記載の有機 EL 表示装置。

【請求項 21】

前記第 3 電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、

一の行に対応して配置された第 3 電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている、

請求項 17 乃至請求項 20 のいずれか 1 項に記載の有機 EL 表示装置。

【請求項 22】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する、

請求項 21 に記載の有機 EL 表示装置。

【請求項 23】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない、

請求項 22 に記載の有機 EL 表示装置。

【請求項 24】

前記第 1 走査線と前記第 2 走査線とを共通の制御線とする、

請求項 20 に記載の有機 EL 表示装置。

【請求項 25】

前記第 1 スイッチング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、

前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 2 電極に前記信号電圧を供給している期間とを同じとし、

前記第 1 走査線と前記バイアス線とを共通の制御線とする、
請求項 20 に記載の有機 EL 表示装置。

【請求項 26】

前記駆動素子は N 型トランジスタである、
請求項 17 乃至請求項 25 のいずれか 1 項に記載の有機 EL 表示装置。

【請求項 27】

前記データ線から供給される前記信号電圧の最大値は前記第 1 電源線の電位以下とする、
請求項 26 に記載の有機 EL 表示装置。

【請求項 28】

前記駆動回路は、
前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子を非導通とし、
前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、
前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、
請求項 26 に記載の有機 EL 表示装置。

【請求項 29】

前記駆動素子は P 型トランジスタである、
請求項 17 乃至請求項 25 のいずれか 1 項に記載の有機 EL 表示装置。

【請求項 30】

前記データ線から供給される前記信号電圧の最小値は前記第 1 電源線の電位以上とする、
請求項 29 に記載の有機 EL 表示装置。

【請求項 31】

前記駆動回路は、
前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子を非導通とし、
前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、
前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、
請求項 29 に記載の有機 EL 表示装置。

【請求項 32】

第 1 電極と第 2 電極とを有する発光素子と、
電圧を保持するためのコンデンサと、
ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、
前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、
前記駆動素子のソース電極に電氣的に接続された第 2 電源線と、
前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、
信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第2電極に接続され、前記データ線と前記コンデンサの第2電極との導通及び非導通を切り換える第1スイッチング素子と、

前記コンデンサの第1電極と前記第3電源線との間に設けられ前記コンデンサの第1電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機EL表示装置の制御方法であって、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電位であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第1電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第2電極に供給させる、

有機EL表示装置の制御方法。

【手続補正書】

【提出日】平成22年12月8日(2010.12.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機EL(Electro Luminescence)素子を用いたアクティブマトリクス方式の有機EL表示装置に関する。

【背景技術】

【0002】

有機EL表示装置は、発光素子及びこの発光素子を駆動するための駆動素子を含む画素部をマトリクス状に配置した表示部を有し、表示部に含まれる各画素部に対応して複数の走査線及び複数のデータ線が配置されている。例えば、各画素部を2個のトランジスタ及び1個のコンデンサで構成し、駆動素子のソース電極に電気的に接続された高電位側の電源線を、走査線に平行な方向及び垂直な方向の両方に網目状に配置する場合、コンデンサの第1電極に駆動素子のゲート電極が接続され、コンデンサの第2電極に駆動素子のソース電極が接続される(例えば、特許文献1参照)。この場合、コンデンサの第1電極に信号電圧が供給され、ソース電極に接続されているコンデンサの第2電極の電位は高電位側の電源線の電位によって決定される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2002-108252号公報

【特許文献2】特開2009-271320号公報

【特許文献3】特開2009-69571号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、上記従来の技術では以下のような問題が生じていた。

【 0 0 0 5 】

即ち、走査線に平行な各ラインのうち発光動作を行っているラインでは、第 1 電源線に電流が流れることにより電圧降下が生じて電位が変動する。このとき、発光動作を行っているラインに隣接するラインの各画素部に、映像信号に対応する信号電圧を書き込む場合、第 1 電源線は網目状に配置されているので、走査線に垂直な方向に沿って設けられた配線を介して、発光動作を行っているラインに配置された第 1 電源線の電圧降下の影響が、信号電圧の書き込み動作を行っているラインに配置された第 1 電源線に伝わる。言い換えると、走査線に垂直な方向に配置された第 1 電源線を介して、走査線に平行な方向に配置され発光動作を行っているラインに対応する第 1 電源線の電圧降下が、走査線に平行な方向に配置され信号電圧の書き込み動作を行っているラインに対応する第 1 電源線に伝播する。その結果、信号電圧の書き込み動作を行っているラインに対応し、走査線に平行な方向に配置された第 1 電源線の電位が変動する。

【 0 0 0 6 】

さらに、発光動作を行っているラインにおいて、表示部の中央に向かって電圧降下の影響が大きくなるため、信号電圧の書き込み動作を行っているラインに配置された各画素部に第 1 電源線から供給される電位にばらつきが生じる。

【 0 0 0 7 】

このように、第 1 電源線の電位が電圧降下により低下している場合にコンデンサの第 1 電極に信号電圧の書き込みを行うと、コンデンサの第 2 電極の電位が低下した状態でコンデンサの第 1 電極に信号電圧が供給されるので、コンデンサには所望の電圧値よりも小さな電圧が保持される。また、コンデンサに保持される電圧が各画素部間でばらつく。その結果、表示部から発光される輝度が低下するとともに表示部に輝度ムラが発生し、表示部を所望の輝度で発光させることができないという問題が生じる。

【 0 0 0 8 】

また、信号電圧の書き込み期間中に、駆動素子が導通状態となって駆動素子の駆動電流が流れる場合がある。この場合、信号電圧の書き込み期間中に駆動電流が第 1 電源線を介して流れることにより第 1 電源線の電位が変動する。その結果、コンデンサには所望の電圧値よりも小さな電圧が保持される。

【 0 0 0 9 】

かかる問題を解決するために、第 1 電源線及び、第 2 電源線のいずれか一方、もしくは両方の電源線を走査線に平行なライン毎に走査し、発光素子の発光動作時と信号電圧の書き込み時とで駆動素子の導通、非導通状態を切り換えることで、コンデンサに所望の電圧値を書き込む方法がある（例えば、特許文献 2 参照）。この方法では、発光動作時には、発光素子に順バイアスが印加される向きに第 1 電源線及び第 2 電源線の電位を制御し、一方、信号電圧の供給期間には、発光素子に順バイアスが印加されないように第 1 電源線及び第 2 電源線の電位を制御する。これによって、信号電圧の供給期間内に第 1 電源線を介して発光素子に流れる駆動電流を防止できる。

【 0 0 1 0 】

しかしながら、この場合、第 1 電源線及び第 2 電源線の電位を変動させるための専用ドライバが別途必要となり、コスト高を招くという問題がある。

【 0 0 1 1 】

一方、第 1 電源線及び第 2 電源線と発光素子との間に別途スイッチ用のトランジスタを設け、信号電圧の供給期間内にこのトランジスタをオフすることで信号電圧の供給期間内の駆動電流を防止する方法もある（例えば、特許文献 3 参照）。しかしながら、この方法では、別途スイッチ用のトランジスタを設ける分だけ画素部を構成する素子の点数及びトランジスタを制御する為の配線が増加し、製造工程において歩留まりが低下するとともに電源部から供給する電源電圧が大きくなり消費電力の増加を招くという問題がある。

【 0 0 1 2 】

本発明は、上記課題に鑑みてなされたものであって、表示部に含まれる各画素部の構成を簡素化しつつ表示部を所望の輝度で発光させることができる有機 EL 表示装置を提供す

ることを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するために、本発明の一態様に係る有機EL表示装置は、複数の画素部をマトリクス状に配置した有機EL表示装置であって、前記複数の画素部の各々は、第1電極と第2電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第1電源線と、前記駆動素子のドレイン電極に電氣的に接続された第2電源線と、前記第1電源線とは異なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第1電極に接続され、前記データ線と前記コンデンサの第1電極との導通及び非導通を切り換える第1スイッチング素子と、一方の端子が前記コンデンサの第2電極に接続され、他方の端子が前記第3電源線に接続され、前記コンデンサの第2電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、前記有機EL表示装置は、さらに、前記第1スイッチング素子の制御、前記第2スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記駆動回路は、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定しつつ前記コンデンサの第1電極に前記信号電圧を供給する。

【発明の効果】

【0014】

上述のように、前記コンデンサの第2電極を前記駆動素子のソース電極に電氣的に接続された前記第1電源線に接続した場合、前記コンデンサの第2電極の電位が前記第1電源線の電圧降下の影響を受ける。その結果、前記信号電圧の供給時に前記コンデンサに保持される電圧も変動する。

【0015】

そこで、本態様では、前記第1電源線とは異なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線を設けた。そして、前記コンデンサの固定電位側である第2電極を前記第3電源線に接続した。これにより、前記信号電圧の書き込み期間中、前記コンデンサの第2電極には前記第3電源線が接続されるので、コンデンサの第2電極の電位に対する前記第1電源線の電圧降下の影響を防ぐことができ、前記コンデンサに保持される電圧の変動を防止できる。

【0016】

その上で、本態様では、前記バックゲート電極を用いて前記駆動素子の駆動電流を停止し、前記駆動電流を停止させた状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第1電極に供給する。これにより、前記駆動電流を停止させた状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定しつつ前記信号電圧を前記コンデンサの第1電極に供給するので、前記信号電圧の供給期間中に前記駆動電流が流れることによる前記コンデンサの第2電極の電位の変動を防止できる。その結果、前記コンデンサに所望の電圧を保持させることができ、前記表示部に含まれる

各画素部を所望の輝度で発光させることができる。

【 0 0 1 7 】

ここで、本態様では、前記バックゲート電極を、前記駆動素子の導通及び非導通を切り換えるためのスイッチとして用いている。前記所定のバイアス電圧は前記駆動素子のゲート電極及びソース電極間の電位差よりも前記駆動素子の閾値電圧を大きくするための電圧である。前記バイアス電圧の供給制御により、前記駆動素子の導通及び非導通の切り換えを制御することで、前記バックゲート電極をスイッチ素子として用いることができるので、前記信号電圧の書き込み期間中に前記駆動電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。その結果、各画素部の回路構成を簡素化でき、製造コストを削減することができる。

【 0 0 1 8 】

つまり、本発明によれば、表示部に含まれる各画素部の構成を簡素化しつつ表示部を所望の輝度で発光させることができる有機 E L 表示装置を実現する。

【図面の簡単な説明】

【 0 0 1 9 】

【図 1】図 1 は、実施の形態 1 に係る有機 E L 表示装置の構成を示すブロック図である。

【図 2】図 2 は、発光画素の詳細な回路構成を示す回路図である。

【図 3】図 3 は、駆動トランジスタの $V_{gs} - I_d$ 特性の一例を示すグラフである。

【図 4 A】図 4 A は、最大階調での発光時の発光画素の状態を模式的に示す図である。

【図 4 B】図 4 B は、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

【図 5】図 5 は、有機 E L 表示装置の動作を示すタイミングチャートである。

【図 6】図 6 は、実施の形態 1 の変形例に係る有機 E L 表示装置の構成を示すブロック図である。

【図 7】図 7 は、発光画素の詳細な回路構成を示す回路図である。

【図 8】図 8 は、有機 E L 表示装置の動作を示すタイミングチャートである。

【図 9】図 9 は、実施の形態 2 に係る有機 E L 表示装置の構成を示すブロック図である。

【図 1 0】図 1 0 は、発光画素の詳細な回路構成を示す回路図である。

【図 1 1】図 1 1 は、駆動トランジスタの $V_{gs} - I_d$ 特性の他の一例を示すグラフである。

【図 1 2 A】図 1 2 A は、最大階調での発光時の発光画素の状態を模式的に示す図である。

【図 1 2 B】図 1 2 B は、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

【図 1 3】図 1 3 は、実施の形態 2 に係る有機 E L 表示装置の動作を示すタイミングチャートである。

【図 1 4】図 1 4 は、実施の形態 2 の変形例に係る有機 E L 表示装置の動作を示すタイミングチャートである。

【図 1 5】図 1 5 は、実施の形態 3 に係る有機 E L 表示装置が有する発光画素の詳細な回路構成を示す回路図である。

【図 1 6 A】図 1 6 A は、最大階調での発光時の発光画素の状態を模式的に示す図である。

【図 1 6 B】図 1 6 B は、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

【図 1 7】図 1 7 は、実施の形態 3 の変形例に係る有機 E L 表示装置が有する発光画素の詳細な構成を示す回路図である。

【図 1 8 A】図 1 8 A は、最大階調での発光時の発光画素の状態を模式的に示す図である。

【図 1 8 B】図 1 8 B は、信号電圧書き込み時の発光画素の状態を模式的に示す図である。

【図 1 9 A】図 1 9 A は、駆動トランジスタを P 型トランジスタとした場合の、発光画素

の回路構成の一例を示す図である。

【図 19 B】図 19 B は、駆動トランジスタを P 型トランジスタとした場合の、発光画素の回路構成の他の一例を示す図である。

【図 20】図 20 は、本発明の有機 EL 表示装置を内蔵した薄型フラット TV の外観図である。

【発明を実施するための形態】

【0020】

請求項 1 記載の態様の有機 EL 表示装置は、複数の画素部をマトリクス状に配置した有機 EL 表示装置であって、前記複数の画素部の各々は、第 1 電極と第 2 電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スwitching 素子と、一方の端子が前記コンデンサの第 2 電極に接続され、他方の端子が前記第 3 電源線に接続され、前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitching 素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、前記有機 EL 表示装置は、さらに、前記第 1 スwitching 素子の制御、前記第 2 スwitching 素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記駆動回路は、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第 1 スwitching 素子及び前記第 2 スwitching 素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記コンデンサの第 1 電極に前記信号電圧を供給する。

【0021】

上述のように、前記コンデンサの第 2 電極を前記駆動素子のソース電極に電氣的に接続された前記第 1 電源線にした場合、前記コンデンサの第 2 電極の電位が前記第 1 電源線の電圧降下の影響を受ける。その結果、前記信号電圧の供給時に前記コンデンサに保持される電圧も変動する。

【0022】

そこで、本態様では、前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線を設けた。そして、前記コンデンサの固定電位側である第 2 電極を前記第 3 電源線に接続した。これにより、前記信号電圧の書き込み期間中、前記コンデンサの第 2 電極には前記第 3 電源線が接続されるので、コンデンサの第 2 電極の電位に対する前記第 1 電源線の電圧降下の影響を防ぐことができ、前記コンデンサに保持される電圧の変動を防止できる。

【0023】

その上で、本態様では、前記バックゲート電極を用いて前記駆動素子の駆動電流を停止し、前記駆動電流を停止させた状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 1 電極に供給する。これにより、前記駆動電流を停止させた状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記信号電圧を前記コンデンサの第 1 電極に供給するので、前記信号電圧の供給期間中に

前記駆動電流が流れることによる前記コンデンサの第2電極の電位の変動を防止できる。その結果、前記コンデンサに所望の電圧を保持させることができ、前記表示部に含まれる各画素部を所望の輝度で発光させることができる。

【0024】

ここで、本態様では、前記バックゲート電極を、前記駆動素子の導通及び非導通を切り換えるためのスイッチとして用いている。前記所定のバイアス電圧は前記駆動素子のゲート電極及びソース電極間の電位差よりも前記駆動素子の閾値電圧を大きくするための電圧である。前記バイアス電圧の供給制御により、前記駆動素子の導通及び非導通の切り換えを制御することで、前記バックゲート電極をスイッチ素子として用いることができるので、前記信号電圧の書き込み期間中に前記駆動電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。その結果、各画素部の回路構成を簡素化でき、製造コストを削減することができる。

【0025】

つまり、本態様によれば、表示部に含まれる各画素部の構成を簡素化しつつ表示部を所望の輝度で発光させることができる有機EL表示装置を実現する。

【0026】

請求項2記載の態様の有機EL表示装置によれば、前記有機EL表示装置は、さらに、マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、前記第2電源線は、マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている。

【0027】

本態様によると、マトリクス状に配置された複数の画素部の各行及び各列に対応させて第2電源線を網目状に配置する。これにより、各列に沿った第2電源線を配置せず、各行に沿って第2電源線を基幹電源線から分岐して1本ずつ設ける場合に比べて、各列に沿って配置された第2電源線の分だけ複数の第2電源線の抵抗の総和が小さくなる。よって、本態様によると、第2電源線で生じる電圧降下量は小さくなる。そのため、電源部から供給する固定電位を小さくすることができ、消費電力を低減することができる。

【0028】

請求項3記載の態様の有機EL表示装置によれば、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である。

【0029】

本態様によると、前記所定のバイアス電圧を、各画素部に含まれる前記発光素子において最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧が前記ゲート電極及びソース電極間の電位差よりも大きくなるように設定する。このように前記バイアス電圧を設定することによって、全ての表示階調において、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくすることができる。その結果、前記信号電圧の書き込みを行う際に、前記駆動素子を確実に非導通として、前記駆動電流を停止させることができる。

【0030】

請求項4記載の態様の有機EL表示装置によれば、さらに、前記第1スイッチング素子の導通及び非導通を制御する信号を供給する第1走査線と、前記第2スイッチング素子の導通及び非導通を制御する信号を供給する第2走査線と、を備える。

【0031】

請求項5記載の態様の有機EL表示装置によれば、前記第3電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、一の行に対応し

て配置された第3電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている。

【0032】

本態様によると、一の行に配置された各画素に含まれる第3電源線と、前記一の行の前の行に配置された各画素に含まれるバイアス線とを共用する。これにより、駆動素子のバックゲートを用いてオンオフすることによりTFTを削減した上に、さらに、配線の本数まで削減できる。そのため、回路構成を大幅にコンパクトにして、電圧降下による影響を防止できる。

【0033】

請求項6記載の態様の有機EL表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第3電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第2電極に、前記バイアス線と共用の前記第3電源線を介して前記所定の基準電圧を設定する。

【0034】

本態様によると、前記一の行の前の行に配置された各画素部では発光期間であり、一方、一の行に配置された各画素部では非発光期間である。そのため、一の行に配置された各画素に含まれる第3電源線と、前記一の行の前の行に配置された各画素に含まれるバイアス線とを共用した場合、前記一の行に配置された各画素部に含まれるコンデンサの第2電極には、前記バイアス線と共用の前記第3電源線を介して、前記所定の基準電圧ではなく、前記所定のバイアス電圧が書き込まれることになる。その際、前記データ線から供給される信号電圧の範囲を、前記所定のバイアス電圧と前記所定の基準電圧の電圧差だけオフセットさせれば、前記コンデンサに所望の電圧を保持させることができる。従って、前記一の行に配置された各画素部の非発光期間において前記第3電源線と共用の前記バイアス線を介して前記一の行に配置された各画素部に含まれるコンデンサの第2電極に前記所定のバイアス電圧を供給しても動作上の影響はない。

【0035】

請求項7記載の態様の有機EL表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第3電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第2スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第2電極に、前記バイアス線と共用の前記第3電源線を介して前記所定のバイアス電圧を書き込まない。

【0036】

本態様によると、前記一の行の前の行に配置された各画素部では非発光期間であり、一方、前記一の行に配置された各画素部では発光期間である。そのため、一の行に配置された各画素に含まれる第3電源線と、前記一の行の前の行に配置された各画素に含まれるバイアス線とを共用した場合であっても、前記第2スイッチング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第2電極に、前記バイアス線と共用の前記第3電源線を介して前記所定のバイアス電圧が書き込まれないようにすれば、前記駆動素子のソース電極の電位が変動することはない。その結果、前記一の行に配置された各画素部の発光に影響を与えることはない。

【0037】

請求項8記載の態様の有機EL表示装置によれば、前記第1走査線と前記第2走査線とを共通の制御線とする。

【0038】

本態様によると、前記第1スイッチング素子を走査する第1走査線と前記第2スイッチング素子を走査する前記第2走査線とを共通の制御線としてもよい。

【0039】

請求項9記載の態様の有機EL表示装置によれば、前記第1スイッチング素子と前記駆

動素子とを互いに逆の極性のトランジスタで構成し、前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、前記第 1 走査線と前記バイアス線とを共通の制御線とする。

【 0 0 4 0 】

本態様によると、前記第 1 スイッチング素子と前記駆動素子とを互いに極性が逆のトランジスタで構成し、前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとする。この場合、前記第 1 スイッチング素子に供給される信号の極性が反転し、前記極性が前記バックゲート電極の極性と同じになるので、前記走査線と前記バイアス線とを共通の制御線とすることができる。そのため、前記表示部の配線数を削減することができ、回路構成を簡素化できる。

【 0 0 4 1 】

請求項 1 0 記載の態様の有機 E L 表示装置によれば、前記駆動素子は N 型トランジスタである。

【 0 0 4 2 】

請求項 1 1 記載の態様の有機 E L 表示装置によれば、前記第 3 電源線から供給される前記所定の基準電圧は前記第 1 電源線の電位以下とする。

【 0 0 4 3 】

本態様によると、前記駆動素子が N 型トランジスタの場合、前記第 3 電源線から供給される所定の固定電位の電圧値を、前記第 1 電源線の電位以下となるように設定する。これにより、前記コンデンサの第 2 電極に前記所定の固定電位を設定しているときに、前記発光素子の第 1 電極の電位は前記発光素子の第 2 電極の電位以下となるので、前記第 3 電源線から前記発光素子に流れる電流を防止できる。その結果、前記コンデンサに前記信号電圧を供給している期間に不要な発光が生じてコントラストが低下することを防ぐことが出来る。

【 0 0 4 4 】

請求項 1 2 記載の態様の有機 E L 表示装置によれば、前記駆動回路は、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スイッチング素子を非導通とし、前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

【 0 0 4 5 】

本態様によると、前記駆動素子が N 型トランジスタの場合、前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記所定のバイアス電圧よりも大きな電位である逆バイアス電圧を前記バックゲート電極に供給する。その結果、前記駆動素子を非導通状態から導通状態へと遷移させて、前記コンデンサに保持されている電圧に対応する駆動電流を流して前記発光素子を発光させる。

【 0 0 4 6 】

これにより、前記信号電圧の書き込み期間中に前記駆動電流が流れることによる電圧降下の発生を防止できるので、前記コンデンサに所望の電圧を保持することができる。その結果、前記駆動素子は前記所望の電圧に対応する前記駆動電流を流して前記発光素子を発光させることができる。

【 0 0 4 7 】

請求項 1 3 記載の態様の有機 E L 表示装置によれば、前記駆動素子は P 型トランジスタである。

【 0 0 4 8 】

請求項 1 4 記載の態様の有機 E L 表示装置によれば、前記第 3 電源線から供給される前記所定の基準電圧は前記第 1 電源線の電位以上とする。

【 0 0 4 9 】

本態様によると、前記駆動素子がP型トランジスタの場合、前記第3電源線から供給される所定の固定電位の電圧値を、前記第1電源線の電位以上となるように設定する。これにより、前記コンデンサの第2電極に前記所定の固定電位を設定しているときに、前記発光素子の第2電極の電位は前記発光素子の第1電極の電位以上となるので、前記発光素子から第3電源線に流れる電流を防止できる。その結果、前記コンデンサに前記信号電圧を供給している期間に不要な発光が生じてコントラストが低下することを防ぐことが出来る。

【0050】

請求項15記載の態様の有機EL表示装置によれば、前記駆動回路は、前記コンデンサの第1電極に前記信号電圧を供給した後、前記コンデンサの第1電極に前記信号電圧を供給した後、前記第1スイッチング素子をオフし、前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

【0051】

本態様によると、前記駆動素子がN型トランジスタの場合、前記コンデンサの第1電極に前記信号電圧を供給した後、前記所定のバイアス電圧よりも大きな電位である逆バイアス電圧を前記バックゲート電極に供給する。そして、前記バックゲート電極への前記バイアス電圧の供給を停止させることにより前記駆動素子を非導通状態から導通状態へと遷移させて、前記コンデンサに保持されている電圧に対応する駆動電流を流して前記発光素子を発光させる。

【0052】

これにより、前記信号電圧の書き込み期間中に、前記第1電源線に前記駆動電流が流れることによる電圧降下を防止できるので、前記コンデンサに所望の電圧を保持することができる。その結果、前記駆動素子は前記所望の電圧に対応する前記駆動電流を流して前記発光素子を発光させることができる。

【0053】

請求項16記載の態様の有機EL表示装置の制御方法によれば、第1電極と第2電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第1電極に接続され、ソース電極が前記コンデンサの第2電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電気的に接続された第1電源線と、前記駆動素子のドレイン電極に電気的に接続された第2電源線と、前記第1電源線とは異なる電源線であって前記コンデンサの第2電極に所定の基準電圧を設定する第3電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第1電極に接続され、前記データ線と前記コンデンサの第1電極との導通及び非導通を切り換える第1スイッチング素子と、前記コンデンサの第2電極と前記第3電源線との間に設けられ前記コンデンサの第2電極と前記第3電源線との導通及び非導通を切り換える第2スイッチング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機EL表示装置の制御方法であって、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第1スイッチング素子及び前記第2スイッチング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第2電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第1電極に供給させる

。

【 0 0 5 4 】

請求項 1 7 記載の態様の有機 E L 表示装置によれば、複数の画素部をマトリクス状に配置した有機 E L 表示装置であって、前記複数の画素部の各々は、第 1 電極と第 2 電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スwitching 素子と、一方の端子が前記コンデンサの第 1 電極に接続され、他方の端子が前記第 3 電源線に接続され、前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitching 素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、前記有機 E L 表示装置は、さらに、前記第 1 スwitching 素子の制御、前記第 2 スwitching 素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、前記駆動回路は、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第 1 スwitching 素子及び前記第 2 スwitching 素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第 1 電極に前記所定の基準電圧を設定しつつ前記コンデンサの第 2 電極に前記信号電圧を供給する。

【 0 0 5 5 】

請求項 1 8 記載の態様の有機 E L 表示装置によれば、前記有機 E L 表示装置は、さらに、マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、前記第 2 電源線は、マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている。

【 0 0 5 6 】

請求項 1 9 記載の態様の有機 E L 表示装置によれば、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくなるように設定された電圧である。

【 0 0 5 7 】

請求項 2 0 記載の態様の有機 E L 表示装置によれば、前記有機 E L 表示装置は、さらに、前記第 1 スwitching 素子の導通及び非導通を制御する信号を供給する第 1 走査線と、前記第 2 スwitching 素子の導通及び非導通を制御する信号を供給する第 2 走査線と、を備える。

【 0 0 5 8 】

請求項 2 1 記載の態様の有機 E L 表示装置によれば、前記第 3 電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、一の行に対応して配置された第 3 電源線と、前記一の行の前の行に対応して配置されたバイアス線とは

共用されている。

【 0 0 5 9 】

請求項 2 2 記載の態様の有機 E L 表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する。

【 0 0 6 0 】

請求項 2 3 記載の態様の有機 E L 表示装置によれば、前記駆動回路は、前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スwitchング素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない。

【 0 0 6 1 】

請求項 2 4 記載の態様の有機 E L 表示装置によれば、前記第 1 走査線と前記第 2 走査線とを共通の制御線とする。

【 0 0 6 2 】

請求項 2 5 記載の態様の有機 E L 表示装置によれば、前記第 1 スwitchング素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、前記第 1 走査線と前記バイアス線とを共通の制御線とする。

【 0 0 6 3 】

請求項 2 6 記載の態様の有機 E L 表示装置によれば、前記駆動素子は N 型トランジスタである。

【 0 0 6 4 】

請求項 2 7 記載の態様の有機 E L 表示装置によれば、前記データ線から供給される前記信号電圧の最大値は前記第 1 電源線の電位以下とする。

【 0 0 6 5 】

これにより、駆動素子が N 型トランジスタの場合、信号電圧が書き込まれているときに、前記データ線から前記発光素子に流れる電流を防止できる。よって、信号電圧の書き込み中に、発光素子を確実に消光できる。

【 0 0 6 6 】

請求項 2 8 記載の態様の有機 E L 表示装置によれば、前記駆動回路は、前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子を非導通とし、前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

【 0 0 6 7 】

請求項 2 9 記載の態様の有機 E L 表示装置によれば、前記駆動素子は P 型トランジスタである。

【 0 0 6 8 】

請求項 3 0 記載の態様の有機 E L 表示装置によれば、前記データ線から供給される前記信号電圧の最小値は前記第 1 電源線の電位以上とする。

【 0 0 6 9 】

これにより、駆動素子が P 型トランジスタの場合、信号電圧が書き込まれているときに、前記発光素子から前記データ線に流れる電流を防止できる。よって、信号電圧の書き込み中に、発光素子を確実に消光できる。

【 0 0 7 0 】

請求項 3 1 記載の態様の有機 E L 表示装置によれば、前記駆動回路は、前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子を非導通とし、前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧の絶対値を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる。

【 0 0 7 1 】

請求項 3 2 記載の態様の有機 E L 表示装置の制御方法によれば、第 1 電極と第 2 電極とを有する発光素子と、電圧を保持するためのコンデンサと、ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、前記発光素子を介して、前記駆動素子のドレイン電極に電氣的に接続された第 1 電源線と、前記駆動素子のソース電極に電氣的に接続された第 2 電源線と、前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、信号電圧を供給するためのデータ線と、一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スwitchング素子と、前記コンデンサの第 1 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitchング素子と、前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機 E L 表示装置の制御方法であって、前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電位であり、前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、前記所定のバイアス電圧を印加している期間内に前記第 1 スwitchング素子及び前記第 2 スwitchング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第 1 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 2 電極に供給させる。

【 0 0 7 2 】

以下、本発明の好ましい実施の形態を図に基づき説明する。なお、以下では、全ての図を通じて同一又は相当する要素には同じ符号を付して、その重複する説明を省略する。

【 0 0 7 3 】

(実施の形態 1)

以下、本発明の実施の形態 1 について、図面を用いて説明する。

【 0 0 7 4 】

図 1 は、本実施の形態に係る有機 E L 表示装置の構成を示すブロック図である。

【 0 0 7 5 】

同図に示す有機 E L 表示装置 1 0 0 は、書き込み駆動回路 1 1 0 と、データ線駆動回路 1 2 0 と、バイアス電圧制御回路 1 3 0 と、基準電源 1 4 0 と、直流電源 1 5 0 と、表示パネル 1 6 0 とを備える。ここで、表示パネル 1 6 0 は、 n 行 $\times$ m 列 (n 、 m は自然数) の行列状に配置された複数の発光画素 1 7 0 が配置された表示部 1 8 0 と、表示部 1 8 0 の外周に配置され、所定の固定電位 V_{dd} を表示部 1 8 0 に供給する基幹電源線 1 9 0 とを有し、書き込み駆動回路 1 1 0、データ線駆動回路 1 2 0、バイアス電圧制御回路 1 3 0、基準電源 1 4 0 及び直流電源 1 5 0 に接続されている。

【 0 0 7 6 】

図 2 は、発光画素 1 7 0 の詳細な回路構成を示す回路図である。

【 0 0 7 7 】

同図に示す発光画素 1 7 0 は、本発明の画素部であって、第 1 電源線 1 6 1、第 2 電源

線 1 6 2、基準電源線 1 6 3、走査線 1 6 4、バイアス配線 1 6 5 及びデータ線 1 6 6 と、走査トランジスタ 1 7 1 と、リセットトランジスタ 1 7 2 と、駆動トランジスタ 1 7 3 と、コンデンサ 1 7 4 と、発光素子 1 7 5 とを備える。なお、図 2 に示す発光画素 1 7 0 は、 k 行、 j 列 ($1 \leq k \leq n$ 、 $1 \leq j \leq m$) の発光画素 1 7 0 を例に示しているが、他の発光画素も同様の構成を有する。

【0078】

以下、図 1 及び図 2 に記載した各構成要素について、その接続関係及び機能を説明する。

【0079】

書き込み駆動回路 1 1 0 は、複数の発光画素 1 7 0 の行ごとに対応して設けられた複数の走査線 1 6 4 に接続され、複数の走査線 1 6 4 に走査パルス $SCAN(1) \sim SCAN(n)$ を供給することにより、複数の発光画素 1 7 0 を行単位で順次走査する。この走査パルス $SCAN(1) \sim SCAN(n)$ は、走査トランジスタ 1 7 1 のオン及びオフを制御する信号である。

【0080】

データ線駆動回路 1 2 0 は、複数の発光画素 1 7 0 の列ごとに対応して設けられた複数のデータ線 1 6 6 に接続され、複数のデータ線 1 6 6 にデータ線電圧 $DATA(1) \sim DATA(m)$ を供給する。各データ線電圧 $DATA(1) \sim DATA(m)$ は、対応する列の発光素子 1 7 5 の発光輝度に対応する信号電圧を時分割で含む。つまり、データ線駆動回路 1 2 0 は、複数のデータ線 1 6 6 に信号電圧を供給する。なお、データ線駆動回路 1 2 0 とバイアス電圧制御回路 1 3 0 とは、本発明の駆動回路に相当する。

【0081】

バイアス電圧制御回路 1 3 0 は、複数の発光画素 1 7 0 の行ごとに対応して設けられた複数のバイアス配線 1 6 5 に接続され、複数のバイアス配線 1 6 5 にバックゲートパルス $BG(1) \sim BG(n)$ を供給することにより、複数の発光画素 1 7 0 の閾値電圧を行単位で制御する。言い換えると、複数の発光画素 1 7 0 の導通及び非導通を行単位で切り換える。なお、バックゲートパルス $BG(1) \sim BG(n)$ により発光画素 1 7 0 の閾値電圧が制御されることについては後述する。

【0082】

基準電源 1 4 0 は、基準電源線 1 6 3 に接続され、基準電圧 V_{ref} を基準電源線 1 6 3 に供給する。

【0083】

直流電源 1 5 0 は、基幹電源線 1 9 0 を介して第 2 電源線 1 6 2 に接続され、基幹電源線 1 9 0 に固定電位 V_{dd} を供給する。例えば、固定電位 V_{dd} は 1.5 V である。

【0084】

第 1 電源線 1 6 1 は、本発明の第 1 電源線であって、発光素子 1 7 5 を介して駆動トランジスタ 1 7 3 のソース電極に接続されている。この第 1 電源線 1 6 1 は、例えば電位が 0 V のグランド線である。

【0085】

第 2 電源線 1 6 2 は、本発明の第 2 電源線であって、直流電源 1 5 0 及び駆動トランジスタ 1 7 3 のドレイン電極に接続されている。この第 2 電源線は、例えば、行列状に配置された複数の発光画素 1 7 0 の各行及び各列に対応して、基幹電源線 1 9 0 から分岐して網目状に設けられている。

【0086】

基準電源線 1 6 3 は、本発明の第 3 電源線であって、基準電源 1 4 0 と、リセットトランジスタ 1 7 2 のソース電極及びドレイン電極の一方の電極とに接続され、基準電源 1 4 0 から基準電圧 V_{ref} が供給される。この基準電圧 V_{ref} は、例えば 0 V である。

【0087】

走査線 1 6 4 は、複数の発光画素 1 7 0 の行ごとに対応して共通に設けられ、書き込み駆動回路 1 1 0 と、対応する発光画素 1 7 0 が有する走査トランジスタ 1 7 1 のゲート電

極に接続されている。

【0088】

バイアス配線165は、複数の発光画素170の行ごとに対応して共通に設けられ、バイアス電圧制御回路130と、対応する発光画素170が有する駆動トランジスタ173のバックゲート電極BGに接続されている。

【0089】

データ線166は、複数の発光画素170の列ごとに対応して共通に設けられ、データ線駆動回路120からデータ線電圧DATA(1)～DATA(m)が供給される。

【0090】

走査トランジスタ171は、本発明の第1スイッチング素子であり、一方の端子がデータ線166に接続され、他方の端子がコンデンサ174の第1電極に接続され、データ線166とコンデンサ174の第1電極との導通及び非導通を切り換える。具体的には、走査トランジスタ171は、ゲート電極が走査線164に接続され、ソース電極及びドレイン電極の一方がデータ線166に接続され、ソース電極及びドレイン電極の他方がコンデンサ174の第1電極に接続されている。そして、書き込み駆動回路110から走査線164を介してゲート電極に供給される走査パルスSCAN(k)に応じてデータ線166とコンデンサ174の第1電極との導通及び非導通を切り換える。

【0091】

リセットトランジスタ172は、本発明の第2スイッチング素子であり、一方の端子がコンデンサ174の第2電極に接続され、他方の端子が基準電源線163に接続され、コンデンサ174の第2電極と基準電源線163との導通及び非導通を切り換える。具体的には、リセットトランジスタ172は、ゲート電極が走査線164を介して書き込み駆動回路110に接続され、ソース電極及びドレイン電極の一方が基準電源線163に接続され、ソース電極及びドレイン電極の他方がコンデンサ174の第2電極に接続されている。そして、書き込み駆動回路110から走査線164を介してゲート電極に供給される走査パルスSCAN(k)に応じて基準電源線163とコンデンサ174の第2電極との導通及び非導通を切り換える。

【0092】

駆動トランジスタ173は、本発明の駆動素子であり、ソース電極S、ドレイン電極D、ゲート電極G及びバックゲート電極BGを有し、ゲート電極Gがコンデンサ174の第1電極に接続され、ソース電極Sがコンデンサ174の第2電極に接続され、コンデンサ174に保持された電圧に応じた駆動電流を発光素子175に流すことにより発光素子175を発光させ、バックゲート電極BGに所定のバイアス電圧が供給されることにより駆動トランジスタ173を非導通とする。つまり、駆動トランジスタ173は、コンデンサ174に保持された電圧に応じたドレイン電流である駆動電流を発光素子175に供給する。この駆動トランジスタ173の詳細な説明は後述する。

【0093】

コンデンサ174は、発光画素170の発光素子175の発光輝度に対応する電圧を保持するためのコンデンサである。具体的には、コンデンサ174は、第1電極及び第2電極を有し、第1電極が駆動トランジスタ173のゲート電極及び走査トランジスタ171のソース電極及びドレイン電極の他方に接続され、第2電極が駆動トランジスタ173のソース電極と、リセットトランジスタ172のソース電極及びドレイン電極の他方とに接続されている。つまり、コンデンサ174の第1電極は、走査トランジスタ171が導通したときにデータ線166に供給されているデータ線電圧DATA(j)が設定される。一方、コンデンサ174の第2電極は、リセットトランジスタ172が導通状態のときに基準電源線163の固定電位である基準電圧Vrefが設定され、リセットトランジスタ172が導通から非導通へと切り換わったときに基準電源線163から切り離される。言い換えると、コンデンサ174の第2電極は固定電位側の電極である。

【0094】

発光素子175は、第1電極と第2電極を有し、駆動トランジスタ173から供給され

るドレイン電流により発光する発光素子であり、例えば、有機EL発光素子である。例えば、第1電極は発光素子175のアノードであり、第2電極は発光素子175のカソードである。

【0095】

走査トランジスタ171及びリセットトランジスタ172は、例えばP型薄膜トランジスタ(P型TFT)であり、駆動トランジスタ173はN型薄膜トランジスタ(N型TFT)である。

【0096】

次に、上述した駆動トランジスタ173の特性について説明する。

【0097】

図3は、駆動トランジスタ173のゲート-ソース間電圧に対するドレイン電流特性($V_{gs} - I_d$ 特性)の一例を示すグラフである。

【0098】

同図の横軸は、駆動トランジスタ173のゲート-ソース間電圧 V_{gs} を示し、同図の縦軸は、駆動トランジスタ173のドレイン電流 I_d を示す。具体的には、縦軸は、駆動トランジスタ173のソース電極の電圧を基準としたゲート電極の電圧を示し、ゲート電極の電圧がソース電極の電圧より高い場合に正、低い場合に負となる。

【0099】

同図には、異なる複数のバックゲート電圧に対応する $V_{gs} - I_d$ 特性が示されており、具体的には、駆動トランジスタ173のバックゲート-ソース間電圧 V_{bs} を-8V、-4V、0V、4V、8V、12Vとした場合の $V_{gs} - I_d$ 特性が示されている。ここで、駆動トランジスタ173のバックゲート-ソース間電圧 V_{bs} は、駆動トランジスタ173のソース電極の電圧を基準としたバックゲート電極の電圧を示し、バックゲート電極の電圧がソース電極の電圧より高い場合に正、低い場合に負となる。

【0100】

図3に示す $V_{gs} - I_d$ 特性から、 V_{gs} が同じ場合であっても V_{bs} に応じて I_d が異なることが分かる。ここで例えば、ドレイン電流 I_d が100pA以下の場合、駆動トランジスタ173は非導通、ドレイン電流が1 μ A以上の場合、駆動トランジスタ173は導通しているとする。例えば、 $V_{gs} = 6V$ の場合、 $V_{bs} = -8V$ 、-4Vの場合は I_d が100pA以下であるので、駆動トランジスタ173は非導通となる。また、同様に $V_{gs} = 6V$ であっても $V_{bs} = 4V$ 、8V、12Vの場合は I_d が1 μ A以上となるので、駆動トランジスタ173は導通となる。

【0101】

これに対し、 $V_{gs} = 2V$ の場合、 $V_{bs} = -8V$ 、-4V、0Vの場合は I_d が100pA以下であるので、駆動トランジスタ173は非導通となる。また、同様に $V_{gs} = 2V$ であっても、 $V_{bs} = 12V$ の場合は I_d が1 μ A以上となるので、駆動トランジスタ173は導通となる。

【0102】

このように、駆動トランジスタ173は、 V_{gs} が同じであっても、 V_{bs} に応じて導通と非導通とが切り換わる。つまり、駆動トランジスタ173は、 V_{bs} に応じて閾値電圧が変化する。具体的には、 V_{bs} が低くなるほど、閾値電圧が高くなる。よって、駆動トランジスタ173は、ゲート-ソース間電圧が同じであっても、バイアス配線165を介してバイアス電圧制御回路130から供給されるバックゲートパルスBG(1)~BG(n)に応じて導通及び非導通が切り換えられる。

【0103】

なお、駆動トランジスタ173の導通及び非導通を区別する電流量は、駆動トランジスタ173が組み込まれる回路によって規定され、上記の例に限らない。具体的には、駆動トランジスタ173が導通しているとは、駆動トランジスタ173のゲート-ソース間電圧が最大階調に対応する電圧の場合に、当該最大階調に対応するドレイン電流を供給可能な状態である。一方、駆動トランジスタ173が非導通であるとは、駆動トランジスタ1

73のゲート - ソース間電圧が最大階調に対応する電圧の場合に、ドレイン電流が許容電流以下となっている状態である。

【0104】

許容電流とは、第1電源線161に電圧降下が生じない程度のドレイン電流の最大値である。言い換えると、発光画素170に許容電流が流れても、その許容電流の電流量は十分に小さいので、第1電源線161に生じる電圧降下が十分に小さく影響はない。

【0105】

ここで、バイアス電圧制御回路130から供給されるバックゲートパルスBG(1) ~ BG(n)のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

【0106】

発光画素170の駆動トランジスタ173に要求される条件として、以下の2点が挙げられる。

【0107】

(条件i) 最大階調での発光時に、最大階調に対応したドレイン電流を発光素子175に供給する。

【0108】

(条件ii) 信号電圧の書き込み時に、発光素子175に供給するドレイン電流を許容電流以下とする。

【0109】

例えば、最大階調に対応したドレイン電流を $3\mu\text{A}$ 、書き込み期間の許容電流を 100pA とする。

【0110】

以下、図3に示した $V_{gs} - I_d$ 特性を用いて、バックゲートパルスBG(1) ~ BG(n)のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

【0111】

まず、発光時のバックゲート - ソース間電圧の特性として、 $V_{bs} = 8\text{V}$ を選択する。

【0112】

次に、最大階調での発光時のゲート - ソース間電圧を決定する。具体的には、最大階調に対応したドレイン電流 I_d は $3\mu\text{A}$ であるので、上述したように $V_{bs} = 8\text{V}$ を選択すると、 $V_{gs} = 5.6\text{V}$ と決まる。

【0113】

次に、信号電圧の書き込み時に、ドレイン電流 I_d を許容電流以下とするようなバックゲート - ソース間電圧 V_{bs} を選択する。ここで、ドレイン電流 I_d は、いかなる階調に対応する信号電圧が発光画素170に書き込まれた場合であっても、許容電流以下となることが要求される。発光素子175の発光輝度の階調は、コンデンサ174に保持された電圧が大きいほど高くなる。よって、最大階調に対応する信号電圧に対応する電圧をコンデンサ174が保持していても、ドレイン電流 I_d が許容電流以下でなければならない。例えば、最大階調に対応する信号電圧を発光画素170に書き込んだときにコンデンサ174が保持する電圧は、上述した最大階調で発光したときの駆動トランジスタ173のゲート - ソース間電圧である 5.6V である。

【0114】

$V_{gs} = 5.6\text{V}$ のときにドレイン電流 I_d が 100pA 以下となるバックゲート - ソース間電圧 V_{bs} は、 $V_{bs} = -4\text{V}$ である。したがって、信号電圧書き込み時のバックゲート - ソース間電圧 V_{bs} として $V_{bs} = -4\text{V}$ を選択する。

【0115】

以上のように、発光時のバックゲート - ソース間電圧が $V_{bs} = 8\text{V}$ 、書き込み時のバックゲート - ソース間電圧が $V_{bs} = -4\text{V}$ と決定される。

【0116】

ところで、バックゲートパルスBG(1) ~ BG(n)のハイレベル電圧は、発光時のバックゲート - ソース間電圧にソース電位を足し合わせた電圧である。一方、バックゲー

トパルス $B G(1) \sim B G(n)$ のローレベル電圧は、書き込み時のバックゲート - ソース間電圧にソース電位を足し合わせた電圧である。そこで、バックゲートパルス $B G(1) \sim B G(n)$ のハイレベル電圧とローレベル電圧を決定するためには、駆動トランジスタ 173 のソース電位を考慮しなければならない。

【0117】

図 4 A は、最大階調での発光時の発光画素 170 の状態を模式的に示す図である。図 4 B は、信号電圧書き込み時の発光画素 170 の状態を模式的に示す図である。

【0118】

図 4 A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3 \mu A$ の場合、駆動トランジスタ 173 のソース電位 V_s は 6 V となる。ソース電位 V_s が 6 V の場合、図 3 に示した $V_{bs} = 8 V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = 14 V$ と決定される。つまり、バックゲートパルス $B G(1) \sim$ バックゲートパルス $B G(n)$ のハイレベル電圧は 14 V と決定される。

【0119】

一方、図 4 B に示す信号電圧書き込み時には、リセットトランジスタ 172 が導通することにより、駆動トランジスタ 173 のソースはリセットトランジスタ 172 を介して基準電源線 163 と接続されている。よって、駆動トランジスタ 173 のソース電位は基準電圧 V_{ref} である 0 V となっている。ソース電位が 0 V の場合、図 3 に示した $V_{bs} = -4 V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -4 V$ と決定される。つまり、バックゲートパルス $B G(1) \sim$ バックゲートパルス $B G(n)$ のローレベル電圧は -4 V と決定される。

【0120】

以上のように、図 3 に示した V_{bs} 毎の $V_{gs} - I_d$ 特性を用いて、(条件 i) 最大階調での発光時に最大階調に対応した $3 \mu A$ のドレイン電流を発光素子 175 に供給するようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $B G(1) \sim B G(n)$ のハイレベル電圧は 14 V と決定される。また、(条件 ii) 信号電圧の書き込み時に、発光素子 175 に供給するドレイン電流を許容電流以下とするようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $B G(1) \sim B G(n)$ のローレベル電圧は -4 V と決定される。つまり、バイアス電圧制御回路 130 は、ハイレベル電圧が 14 V、ローレベル電圧が -4 V、振幅が 18 V のバックゲートパルス $B G(1) \sim B G(n)$ をバイアス配線 165 に供給する。

【0121】

なお、駆動トランジスタ 173 のソース電位はドレイン電流 I_d の大きさに応じて変化する。具体的には、上述したように最大階調 (例えば、階調値 255) での発光時には駆動トランジスタ 173 のソース電位は 6 V であるが、例えば、階調値 1 での発光時には駆動トランジスタ 173 のソース電位は 2 V となる。よって、階調値 1 で発光している発光画素 170 の駆動トランジスタ 173 の $V_{gs} - I_d$ 特性は、 $V_{bs} = 12 V$ 相当となる。

【0122】

以上のように構成された有機 EL 表示装置 100 は、第 1 電源線 161 とは異なる電源線であってコンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定する基準電源線 163 を設けた。そして、コンデンサ 174 の固定電位側である第 2 電極を基準電源線 163 に接続した。これにより、例えば、走査トランジスタ 171 を導通してコンデンサ 174 の第 1 電極に信号電圧を書き込む期間中に、リセットトランジスタ 172 を導通状態とすれば、コンデンサ 174 の第 2 電極には基準電源線 163 が接続されるので、コンデンサ 174 に保持される電圧に対する第 1 電源線 161 の電圧降下の影響を防止でき、前記コンデンサに保持される電圧の変動を防止できる。

【0123】

その上で、例えば、バックゲートパルス $B G(1) \sim B G(n)$ により発光画素 170 の閾値電圧を制御することで、駆動トランジスタ 173 のドレイン電流 I_d である駆動電

流を停止し、駆動電流を停止させた状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定し、コンデンサ 174 の第 1 電極に信号電圧を書き込む。これにより、コンデンサ 174 の第 1 電極に信号電圧を書き込む期間に、駆動電流が流れることによりコンデンサ 174 の第 2 電極の電位の変動を防止することが可能になる。つまり、第 1 電源線 161 の電圧降下の影響を受けることなく、コンデンサ 174 に所望の電圧を保持することが可能となり、表示部に含まれる各発光画素 170 を所望の輝度で発光させることが可能となる。

【0124】

ここで、本実施の形態に係る有機 EL 表示装置 100 では、駆動トランジスタ 173 のバックゲート電極を、駆動トランジスタ 173 の導通及び非導通を切り換えるためのスイッチとして用いている。

【0125】

言い換えると、バイアス電圧制御回路 130 は、バイアス配線 165 を介してバックゲート電極に供給するバックゲートパルス $BG(1) \sim BG(n)$ により、駆動トランジスタ 173 の閾値電圧を制御する。具体的には、バイアス電圧制御回路 130 は、書き込み駆動回路 110 が走査トランジスタ 171 を導通させてコンデンサ 174 の第 1 電極にデータ線 166 から信号電圧を書き込む期間中に、駆動トランジスタ 173 のドレイン電流が停止するようなバックゲートパルス $BG(1) \sim BG(n)$ を供給する。なお、駆動トランジスタ 173 のドレイン電流が停止するとは、ドレイン電流が許容電流以下となることである。

【0126】

つまり、駆動トランジスタ 173 のドレイン電流が停止するようなバックゲートパルス $BG(1) \sim BG(n)$ の電圧は、信号電圧の書き込み期間中に、駆動トランジスタ 173 のゲート - ソース間電圧よりも駆動トランジスタ 173 の閾値電圧を大きくするための電圧である。以降、本明細書において、駆動トランジスタ 173 のドレイン電流が停止するようなバックゲートパルス $BG(1) \sim BG(n)$ の電圧を、バイアス電圧として記載する場合がある。

【0127】

本実施の形態に係る有機 EL 表示装置 100 は、バイアス電圧制御回路 130 から供給されるバックゲートパルス $BG(1) \sim BG(n)$ により、駆動トランジスタ 173 の導通及び非導通を切り換えることができる。言い換えると、バイアス電圧の供給制御により、駆動トランジスタ 173 の導通及び非導通の切り換えを制御することで、バックゲート電極をスイッチ素子として用いることができるので、信号電圧の書き込み期間中にドレイン電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。その結果、発光画素 170 の回路構成を簡素化でき、製造コストを削減することができる。

【0128】

次に、上述した有機 EL 表示装置 100 の動作について説明する。

【0129】

図 5 は、実施の形態 1 に係る有機 EL 表示装置 100 の動作を示すタイミングチャートであり、具体的には、図 2 に示した k 行、 j 列の発光画素 170 の動作を中心に示している。同図において、横軸は時刻を示し、縦方向には上から順に、 j 列の発光画素 170 のデータ線 166 に供給されるデータ線電圧 $DAT A(j)$ 、 $k-1$ 行の発光画素 170 の走査線 164 に供給される走査パルス $SCAN(k-1)$ 、 $k-1$ 行の発光画素 170 のバイアス配線 165 に供給されるバックゲートパルス $BG(k-1)$ が示され、さらに、 k 行及び $k+1$ 行の発光画素に供給される走査パルス $SCAN(k)$ 、バックゲートパルス $BG(k)$ 、走査パルス $SCAN(k+1)$ 、バックゲートパルス $BG(k+1)$ が示されている。

【0130】

ここで、例えば、最大階調の信号電圧に対応するデータ線電圧 V_{DH} を 6 V、最低階調（例えば、階調値 0）の信号電圧に対応するデータ線電圧 V_{DL} を 0 V とする。例えば、

また、走査パルス $SCAN(1) \sim SCAN(n)$ のハイレベル電圧 V_{GH} を $20V$ 、ローレベル電圧 V_{GL} を $-5V$ とする。また、図3を用いて決定したように、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧 B_{GH} を $14V$ 、ローレベル電圧 B_{GL} を $-4V$ とする。

【0131】

時刻 t_0 より前において、走査パルス $SCAN(k)$ 及びバックゲートパルス $BG(k)$ はハイレベルであるので、 k 行の発光画素170は直前のフレーム期間の信号電圧に応じて発光している。

【0132】

次に、時刻 t_0 において、バックゲートパルス $BG(k)$ がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ173のバックゲート電位は $V_b = 14V$ から $V_b = -4V$ へと低下する。つまり、駆動トランジスタ173の閾値電圧は、最大階調に対応する信号電圧が発光画素170に書き込まれても、駆動トランジスタ173のドレイン電流が許容電流以下となるような値とする。言い換えると、最大階調に対応する信号電圧が発光画素170に書き込まれた場合にコンデンサ174に保持される電圧よりも、駆動トランジスタ173の閾値電圧が大きくなるようにする。

【0133】

次に、時刻 t_1 において、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ171がオンする。これにより、データ線166とコンデンサ174の第1電極とが導通することにより、コンデンサ174の第1電極にデータ線電圧 $DATA(j)$ が供給される。また、このとき、同時にリセットトランジスタ172がオンする。これにより、基準電源線163とコンデンサ174の第2電極とが導通する。基準電源線163の基準電圧 V_{ref} は $0V$ であるので、コンデンサ174の第2電極の電位は $0V$ となる。

【0134】

ここで、例えばデータ線電圧 $DATA(j)$ が $5.6V$ とすると、図4Bに示すようにバックゲート・ソース間の電圧は $V_{bs} = -4V$ 、ゲート・ソース間の電圧は $V_{gs} = 5.6V$ となる。ここで、図3に示すように $V_{bs} = -4V$ の $V_{gs} - I_d$ 特性より、 $V_{gs} = 5.6V$ に対応するドレイン電流 I_d は $100pA$ となる。よって、ドレイン電流 I_d は許容電流以下であるので、書き込み時に第1電源線161の電圧降下を十分に抑制できる。これにより、第1電源線161の電圧降下の影響を受けずに、コンデンサ174に信号電圧に応じた電圧を保持させることができる。

【0135】

次に、時刻 t_2 において走査パルス $SCAN(k)$ がローレベルからハイレベルへと切り換わることにより、走査トランジスタ171及びリセットトランジスタ172がオフする。これにより、コンデンサ174は、時刻 t_2 の直前の電圧を保持する。つまり、コンデンサ174は、第1電源線161の電圧降下の影響を受けずに信号電圧に応じた電圧を保持する。

【0136】

つまり、時刻 $t_1 \sim t_2$ は信号電圧の書き込み期間である。この信号電圧の書き込み期間において、バックゲートパルス $BG(k)$ は継続してローレベルであるので、最大階調に対応する信号電圧をコンデンサ174の第1電極に供給しても駆動トランジスタ173のドレイン電流 I_d が許容電流以下となる。よって、ドレイン電流 I_d を停止させた状態で、コンデンサ174の第2電極に $V_{ref} = 0V$ を供給するので、コンデンサ174の第2電極にドレイン電流 I_d が流れ込むことにより、信号電圧の書き込み期間中にコンデンサ174の第2電極の電位の変動を防止できる。

【0137】

なお、信号電圧は、階調が大きくなるにつれて高くなるので、最大階調以外に対応する信号電圧をコンデンサ174の第1電極に供給しても駆動トランジスタ173のドレイン電流 I_d が許容電流以下となることは明白である。

【 0 1 3 8 】

次に、時刻 t_3 において、バックゲートパルス $BG(k)$ がローレベルからハイレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = -4V$ から $V_b = 12V$ へと上昇する。よって、駆動トランジスタ 173 の閾値電圧が低下し、信号電圧に対応するコンデンサ 174 に保持された電圧に応じたドレイン電流 I_d が供給されることにより、発光素子 175 の発光が開始される。例えば、信号電圧が $5.6V$ の場合、コンデンサ 174 に保持された電圧は、信号電圧と基準電圧 V_{ref} (例えば、 $0V$) との差分である $5.6V$ であり、図 3 に示すようにドレイン電流 I_d は $3\mu A$ となり、発光素子 175 は最大階調に対応した輝度で発光する。

【 0 1 3 9 】

その後、時刻 $t_3 \sim t_4$ において、バックゲートパルス $BG(k)$ は、継続してハイレベルであるので、発光素子 175 は継続して発光する。つまり、時刻 $t_3 \sim t_4$ は、発光期間である。

【 0 1 4 0 】

次に、時刻 t_5 において、時刻 t_1 と同様に、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 がオンする。これにより、データ線 166 とコンデンサ 174 の第 1 電極とが導通することにより、コンデンサ 174 の第 1 電極にデータ線電圧 $DATA(j)$ が供給される。また、このとき、同時にリセットトランジスタ 172 がオンする。これにより、基準電源線 163 とコンデンサ 174 の第 2 電極とが導通する。基準電源線 163 の基準電圧 V_{ref} は $0V$ であるので、コンデンサ 174 の第 2 電極の電位は $0V$ となる。

【 0 1 4 1 】

上述した時刻 $t_1 \sim t_5$ は、有機 EL 表示装置 100 の 1 フレーム期間に相当し、時刻 t_5 以降も時刻 $t_1 \sim t_5$ と同様の動作が繰り返し実行される。

【 0 1 4 2 】

このように、有機 EL 表示装置 100 は、バックゲートパルス $BG(k)$ をローレベルとして駆動トランジスタ 173 のドレイン電流を許容電流以下とした状態で、コンデンサ 174 の第 2 電極に基準電圧 ($V_{ref} = 0V$) を設定し、さらに、信号電圧をコンデンサ 174 の第 1 電極に供給する。これにより、ドレイン電流を停止させた状態で、コンデンサ 174 の第 2 電極に基準電圧を設定し、コンデンサ 174 の第 1 電極に信号電圧を供給するので、信号電圧の書き込み期間中にドレイン電流 I_d が流れることによりコンデンサ 174 の第 2 電極の電位の変動を防止できる。その結果、時刻 $t_3 \sim t_4$ の発光期間において、発光画素 170 は所望の発光輝度で発光できる。なお、駆動トランジスタ 173 のドレイン電流が許容電流以下のとき、当該駆動トランジスタ 173 は実質的に非導通である。

【 0 1 4 3 】

以上のように、本実施の形態に係る有機 EL 表示装置 100 は、複数の発光画素 170 をマトリクス状に配置した有機 EL 表示装置であって、複数の発光画素 170 の各々は、第 1 電極と第 2 電極とを有する発光素子 175 と、電圧を保持するためのコンデンサ 174 と、ゲート電極がコンデンサ 174 の第 1 電極に接続され、ソース電極が前記コンデンサ 174 の第 2 電極に接続され、前記コンデンサ 174 に保持された電圧に応じたドレイン電流 I_d を前記発光素子 175 に流すことにより前記発光素子 175 を発光させる駆動トランジスタ 173 であって、バックゲートパルス $BG(1) \sim BG(n)$ のローレベル電圧 BGL が供給され、ローレベル電圧 BGL に応じて前記駆動トランジスタ 173 を非導通とするバックゲート電極を備えた駆動トランジスタ 173 と、発光素子 175 を介して、駆動トランジスタ 173 のソース電極に電氣的に接続された第 1 電源線 161 と、駆動トランジスタ 173 のドレイン電極に電氣的に接続された第 2 電源線 162 と、第 1 電源線 161 とは異なる電源線であってコンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定する基準電源線 163 と、信号電圧を供給するためのデータ線 166 と、一方の端子がデータ線 166 に接続され、他方の端子がコンデンサ 174 の第 1 電極に接続さ

れ、データ線 166 とコンデンサ 174 の第 1 電極との導通及び非導通を切り換える走査トランジスタ 171 と、一方の端子がコンデンサ 174 の第 2 電極に接続され、他方の端子が基準電源線 163 に接続され、コンデンサ 174 の第 2 電極と基準電源線 163 との導通及び非導通を切り換えるリセットトランジスタ 172 と、バックゲート電極に印加されるローレベル電圧 BGL を供給するバイアス線とを備え、有機 EL 表示装置は、さらに、走査トランジスタ 171 の制御、リセットトランジスタ 172 の制御、及びバックゲート電極へのバイアス電圧の供給制御を実行する書き込み駆動回路 110 及びバイアス電圧制御回路 130 を備え、ローレベル電圧 BGL は、駆動トランジスタ 173 の閾値電圧の絶対値を駆動トランジスタ 173 のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、バイアス電圧制御回路 130 は、ローレベル電圧 BGL をバックゲート電極に印加することにより、駆動トランジスタ 173 の閾値電圧をゲート電極及びソース電極間の電位差よりも大きくして駆動トランジスタ 173 を非導通とし、ローレベル電圧 BGL を印加している期間内に走査トランジスタ 171 及びリセットトランジスタ 172 を導通させて、駆動トランジスタ 173 を非導通とした状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定しつつコンデンサ 174 の第 1 電極に信号電圧を供給する。

【0144】

仮に、コンデンサ 174 の第 2 電極が第 1 電源線 161 に直接接続されている場合、第 1 電源線 161 の電圧降下の影響を受けコンデンサ 174 に保持される電圧も変動する。

【0145】

そこで、本実施の形態では、第 1 電源線 161 とは異なる電源線であってコンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定する基準電源線 163 を設けた。そして、コンデンサ 174 の固定電位側である第 1 電極を第 1 電源線 161 から切り離し、基準電源線 163 に接続した。これにより、信号電圧の書き込み期間中、コンデンサ 174 の第 2 電極には基準電源線 163 が接続されるので、コンデンサ 174 の第 2 電極に対する第 1 電源線 161 の電圧降下の影響を防止でき、コンデンサ 174 に保持される電圧の変動を防止できる。

【0146】

その上で、本実施の形態では、バックゲート電極を用いて駆動トランジスタ 173 のドレイン電流 I_d を停止し、駆動電流 I_d を停止させた状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定し、信号電圧をコンデンサ 174 の第 1 電極に供給する。これにより、ドレイン電流 I_d を停止させた状態で、コンデンサ 174 の第 2 電極に所定の基準電圧 V_{ref} を設定しつつ信号電圧をコンデンサ 174 の第 1 電極に供給するので、信号電圧の供給期間中にドレイン電流 I_d が流れ、信号電圧の供給期間中にコンデンサ 174 の第 2 電極の電位の変動を防止できる。その結果、コンデンサ 174 に所望の電圧を保持させることができ、表示部に含まれる各発光画素 170 を所望の輝度で発光させることができる。

【0147】

ここで、本実施の形態では、駆動トランジスタ 173 のバックゲートを、駆動トランジスタ 173 の導通及び非導通を切り換えるためのスイッチとして用いている。バックゲート電極に印加されるローレベル電圧 BGL は、駆動トランジスタ 173 のゲート電極及びソース電極間の電位差よりも駆動トランジスタ 173 の閾値電圧を大きくするための電位である。バイアス電位の供給制御により、駆動トランジスタ 173 の導通及び非導通の切り換えを制御することで、バックゲート電極をスイッチ素子として用いることができるので、信号電圧の書き込み期間中に駆動電流を遮断するためのスイッチ素子を別途設ける必要がなくなる。

【0148】

つまり、駆動トランジスタ 173 は、駆動トランジスタ 173 のバックゲートに供給されるバックゲートパルス $BG(k)$ に応じて導通及び非導通が切り換わる。具体的には、バックゲートパルス $BG(k)$ のローレベル電圧 ($BGL = -4V$) は、駆動トランジス

タ 1 7 3 のゲート - ソース間電圧よりも駆動トランジスタ 1 7 3 の閾値電圧を大きくするための電位である。一方、バックゲートパルス $BG(k)$ のハイレベル電圧 ($BGH = 14V$) は、駆動トランジスタ 1 7 3 のゲート - ソース間電圧よりも駆動トランジスタ 1 7 3 の閾値電圧を小さくするための電位である。よって、有機 EL 表示装置 1 0 0 は、バックゲートパルス $BG(k)$ により駆動トランジスタ 1 7 3 の導通及び非導通の切り換えを制御できる。つまり、駆動トランジスタ 1 7 3 のバックゲートをスイッチ素子の代わりに用いている。

【 0 1 4 9 】

したがって、有機 EL 表示装置 1 0 0 は、信号電圧の書き込み期間中のドレイン電流 I_d を遮断するためのスイッチ素子を別途設けることなく、発光画素を所望の発光輝度で発光させることができる。

【 0 1 5 0 】

つまり、本実施の形態に係る有機 EL 表示装置 1 0 0 は、表示部 1 8 0 に含まれる各発光画素 1 7 0 の構成を簡素化しつつ表示部 1 8 0 を所望の輝度で発光させることができる。

【 0 1 5 1 】

また、基幹電源線 1 9 0 は表示部 1 8 0 の外周に配置され、第 2 電源線 1 6 2 は複数の発光画素 1 7 0 の各行及び各列に対応して、基幹電源線 1 9 0 から分岐して網目状に設けられている。なお、表示部 1 8 0 の外周とは、マトリクス状に配置された複数の発光画素 1 7 0 を含む領域のうち最小となる領域と、表示パネル 1 6 0 の外縁との間の領域である。

【 0 1 5 2 】

これにより、各列に沿った第 2 電源線 1 6 2 を配置せず、各行に沿って第 2 電源線 1 6 2 を基幹電源線 1 9 0 から分岐して 1 本ずつ設ける場合に比べて、各列に沿って配置された第 2 電源線 1 6 2 の分だけ複数の第 2 電源線 1 6 2 の抵抗の総和が小さくなる。よって、本実施の形態によると、第 2 電源線 1 6 2 で生じる電圧降下量は小さくなる。そのため、直流電源 1 5 0 から供給する固定電位 V_{dd} を小さくすることができ、消費電力を低減することができる。

【 0 1 5 3 】

また、有機 EL 表示装置 1 0 0 は、図 5 の時刻 $t_1 \sim t_2$ において、コンデンサ 1 7 4 の第 1 電極に信号電圧を供給した後、時刻 t_2 において走査トランジスタ 1 7 1 を非導通とする。そして時刻 t_3 において、バックゲートパルス $BG(k)$ のローレベル電圧 ($BGL = -4V$) よりも大きなバックゲートパルス $BG(k)$ のハイレベル電圧 ($BGH = 14V$) をバックゲート電極に供給して駆動トランジスタ 1 7 3 の閾値電圧をゲート - ソース間電圧よりも小さくすることで駆動トランジスタ 1 7 3 を導通状態とし、コンデンサ 1 7 4 に保持されている電圧に対応するドレイン電流 I_d を発光素子 1 7 5 に流して発光素子 1 7 5 の発光を開始する。

【 0 1 5 4 】

つまり、本実施の形態のように駆動トランジスタ 1 7 3 が N 型トランジスタの場合、コンデンサ 1 7 4 の第 1 電極に信号電圧を供給した後、所定のバイアス電圧であるバックゲートパルス $BG(k)$ のローレベル電圧よりも大きな電圧の逆バイアス電圧であるバックゲートパルス $BG(k)$ のハイレベル電圧を駆動トランジスタ 1 7 3 のバックゲート電極に供給する。その結果、駆動トランジスタ 1 7 3 を非導通状態から導通状態へと遷移させて、コンデンサ 1 7 4 に保持されている電圧に対応するドレイン電流 I_d を流して発光素子 1 7 5 を発光させる。

【 0 1 5 5 】

これにより、信号電圧の書き込み期間中にドレイン電流 I_d が流れることによる電圧降下の発生を防止できるので、コンデンサ 1 7 4 に所望の電圧を保持することができる。その結果、駆動トランジスタ 1 7 3 は所望の電圧に対応するドレイン電流 I_d を流して発光素子 1 7 5 を発光させることができる。

【 0 1 5 6 】

また、走査トランジスタ 1 7 1 及びリセットトランジスタ 1 7 2 とは、共通の走査線 1 6 4 を介して供給される走査パルス $SCAN(1) \sim SCAN(n)$ により導通及び非導通が切り換えられる。これにより、表示部 1 8 0 の配線数を削減することができ、回路構成を簡素化できる。

【 0 1 5 7 】

また、基準電源線 1 6 3 から供給される基準電圧 V_{ref} は、第 1 電源線の電位以下である。

【 0 1 5 8 】

これにより、コンデンサ 1 7 4 の第 2 電極に基準電圧 V_{ref} を設定しているときに、発光素子 1 7 5 のアノードの電位はカソードの電位以下となるので、基準電源線 1 6 3 から発光素子 1 7 5 に流れる電流を防止できる。その結果、信号電圧を書き込んでいる期間に不要な発光が生じてコントラストが低下することを防ぐことが出来る。なお、上記説明では基準電圧 V_{ref} が 0 V、第 1 電源線の電位が 0 V、を例に挙げて説明したが、基準電圧 V_{ref} は第 1 電源線の電位以下であればよく、上記の例に限らない。

【 0 1 5 9 】

(実施の形態 1 の変形例)

本変形例に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 1 0 0 とほぼ同じであるが、駆動トランジスタ 1 7 3 のバックゲートに所定のバイアス電位を供給している期間と、コンデンサ 1 7 4 の第 1 電極に信号電圧を供給している期間とを同じとし、走査線 1 6 4 とバイアス線とを共通の制御線とした点が異なる。

【 0 1 6 0 】

以下、実施の形態 1 の変形例について、実施の形態 1 と異なる点を中心に図面を用いて具体的に説明する。

【 0 1 6 1 】

図 6 は、本変形例に係る有機 EL 表示装置の構成を示すブロック図であり、図 7 は、本変形例に係る有機 EL 表示装置が有する発光画素の詳細な回路構成を示す回路図である。

【 0 1 6 2 】

図 6 に示すように、本変形例に係る有機 EL 表示装置 2 0 0 は、図 1 に示した実施の形態 1 に係る有機 EL 表示装置 1 0 0 と比較してバイアス電圧制御回路 1 3 0 およびバイアス配線 1 6 5 を備えず、発光画素 1 7 0 に代わり発光画素 2 7 0 を備える。また、有機 EL 表示装置 2 0 0 は、表示パネル 1 6 0 に代わり、複数の発光画素 2 7 0 が配置された表示部 2 8 0 を含む表示パネル 2 6 0 を備える。

【 0 1 6 3 】

図 7 に示すように、発光画素 2 7 0 は、発光画素 1 7 0 と比較して、駆動トランジスタ 1 7 3 のバックゲート電極が走査線 1 6 4 に接続されている。つまり、本変形例に係る有機 EL 表示装置 2 0 0 は、実施の形態 1 に係る有機 EL 表示装置 1 0 0 と比較して、バイアス配線 1 6 5 がないので配線数を削減でき、回路構成を簡素化できる。

【 0 1 6 4 】

図 8 は、実施の形態 1 の変形例に係る有機 EL 表示装置 2 0 0 の動作を示すタイミングチャートである。具体的には、図 6 に示した k 行、 j 列の発光画素 2 7 0 の動作を中心に示している。

【 0 1 6 5 】

まず、時刻 t_{21} において、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 1 7 1 及びリセットトランジスタ 1 7 2 がオフする。

【 0 1 6 6 】

ここで、走査パルス $SCAN(k)$ のハイレベル電圧 V_{GH} は 2 0 V、ローレベル電圧 V_{GL} は - 5 V である。よって、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ 1 7 3 のバックゲート電位は $V_b = 2 0 V$

から $V_b = -5\text{ V}$ へと低下する。つまり、駆動トランジスタ 173 の閾値電圧は、最大階調に対応する信号電圧が発光画素 270 に書き込まれても、駆動トランジスタ 173 のドレイン電流が許容電流以下となるような値となる。言い換えると、走査パルス $SCAN(k)$ のローレベル電圧 V_{GL} は、最大階調に対応する信号電圧が発光画素 270 に書き込まれた場合にコンデンサ 174 に保持される電圧よりも、駆動トランジスタ 173 の閾値電圧が大きくなるような電圧である。

【0167】

つまり、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 のように、駆動トランジスタ 173 のバックゲートの電位を所定のバイアス電位にするためのバイアス配線 165 を設けず、走査線 164 に供給される走査パルス $SCAN(k)$ のローレベル電圧 V_{GL} を所定のバイアス電位として利用している。

【0168】

次に、時刻 t_{22} において、走査パルス $SCAN(k)$ がローレベルからハイレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオフする。

【0169】

つまり、時刻 $t_{21} \sim t_{22}$ は信号電圧の書き込み期間である。この信号電圧の書き込み期間において、駆動トランジスタ 173 のバックゲートに供給される電圧は継続して走査パルス $SCAN(k)$ のローレベル電圧 V_{GL} であるので、最大階調に対応する信号電圧をコンデンサ 174 の第 1 電極に供給しても駆動トランジスタ 173 のドレイン電流 I_d が許容電流以下となる。よって、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 と同様に、信号電圧の書き込み期間中、コンデンサ 174 の第 2 電極の電位の変動を防止できる。

【0170】

ところで、時刻 t_{22} において、走査パルス $SCAN(k)$ のハイレベル電圧 ($V_{GH} = 20\text{ V}$) が供給された場合の、駆動トランジスタ 173 のバックゲート - ソース間電圧 V_{bs} は 20 V となる。実施の形態 1 において述べたように、発光素子 175 が最大階調で発光している場合の駆動トランジスタ 173 のソース電位は 6 V であるので、発光素子 175 が最大階調で発光している場合の駆動トランジスタ 173 のバックゲート - ソース間電圧 V_{bs} は 14 V となる。よって、図 3 に示した $V_{gs} - I_d$ 特性より、駆動トランジスタ 173 に要求される条件である (条件 i) 最大階調での発光時に、最大階調に対応したドレイン電流を発光素子 175 に供給する、を満たすことができる。

【0171】

つまり、本変形例に係る有機 EL 表示装置 200 は、走査線 164 に供給される走査パルス $SCAN(k)$ のハイレベル電圧 V_{GH} を、最大階調に対応したドレイン電流 I_d を流すバックゲート - ソース間電圧を得るためのバックゲート電位として利用している。

【0172】

次に、時刻 t_{23} において、時刻 t_{21} と同様に、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオンする。また、駆動トランジスタ 173 のバックゲート電位は $V_b = 20\text{ V}$ から $V_b = -5\text{ V}$ へと低下する。

【0173】

上述した時刻 $t_{21} \sim t_{23}$ は、有機 EL 表示装置 100 の 1 フレーム期間に相当し、時刻 t_{23} 以降も時刻 $t_{21} \sim t_{23}$ と同様の動作が繰り返し実行される。

【0174】

以上のように、本変形例に係る有機 EL 表示装置 200 は、実施の形態 1 に係る有機 EL 表示装置 100 と比較して、駆動トランジスタ 173 のバックゲートに所定のバイアス電位 ($V_{GL} = -5\text{ V}$) を供給している期間と、コンデンサ 174 の第 1 電極に信号電圧を供給している期間とを同じとし、走査線 164 とバイアス配線 165 とを共通の制御線としてした。つまり、走査線 164 は、実施の形態 1 と比較してさらに、駆動トランジス

タ 1 7 3 のバックゲートに接続されている。

【 0 1 7 5 】

(実施の形態 2)

実施の形態 2 に係る有機 E L 表示装置は、実施の形態 1 に係る有機 E L 表示装置 1 0 0 とほぼ同じであるが、一の行に対応して配置された基準電源線と、当該一の行の前の行に対応して配置されたバイアス配線とが共用されている点異なる。以下、本実施の形態に係る有機 E L 表示装置について、実施の形態 1 に係る有機 E L 表示装置 1 0 0 と異なる点を中心に述べる。

【 0 1 7 6 】

図 9 は、実施の形態 2 に係る有機 E L 表示装置の構成を示すブロック図である。

【 0 1 7 7 】

同図に示す有機 E L 表示装置 3 0 0 は、図 1 に示す有機 E L 表示装置 1 0 0 と比較して、一の行に配置された複数の発光画素 3 7 0 が前の行の発光画素 3 7 0 に対応して配置されたバイアス配線 1 6 5 と接続されている点と、基準電圧 V_{ref} を供給する基準電源 1 4 0 を備えない点と、ダミーバイアス配線 3 6 5 を備える点とが異なる。また、有機 E L 表示装置 2 0 0 は、表示パネル 1 6 0 に代わり、複数の発光画素 3 7 0 が配置された表示部 3 8 0 を含む表示パネル 3 6 0 を備える。

【 0 1 7 8 】

ダミーバイアス配線 3 6 5 は、複数の発光画素 3 7 0 の最前行に配置された発光画素 3 7 0 に接続され、バイアス配線 1 6 5 と同様にバイアス電圧制御回路 1 3 0 により、バックゲートパルス $BG(1)$ を 1 水平期間早めたバックゲートパルス $BG(0)$ が供給される。

【 0 1 7 9 】

図 1 0 は、図 9 に示した発光画素 3 7 0 の詳細な回路構成を示す回路図である。なお、同図に示す発光画素 3 7 0 は k 行 j 列に設けられた発光画素 3 7 0 であり、同図には、 $k - 1$ 行 j 列の発光画素 3 7 0 の構成の一部と、 $k + 1$ 行 j 列の発光画素 3 7 0 の構成の一部も示されている。

【 0 1 8 0 】

同図に示す発光画素 3 7 0 は、図 2 に示す発光画素 1 7 0 と比較して、リセットトランジスタ 1 7 2 が前の行の発光画素 3 7 0 に対応して配置されたバイアス配線 1 6 5 に接続されている点と、基準電圧 V_{ref} が供給されている基準電源線 1 6 3 を備えない点異なる。

【 0 1 8 1 】

言い換えると、一の行に対応して配置された基準電源線と、当該一の行の前の行に対応して配置されたバイアス配線 1 6 5 とは共用されている。

【 0 1 8 2 】

これにより、本実施の形態に係る有機 E L 表示装置 3 0 0 は、実施の形態 1 に係る有機 E L 表示装置 1 0 0 と比較して、配線本数を削減できるので、回路構成を大幅に簡素化できる。

【 0 1 8 3 】

ここで、バイアス電圧制御回路 1 3 0 から供給されるバックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

【 0 1 8 4 】

発光画素 3 7 0 の駆動トランジスタ 1 7 3 に要求される条件としては、実施の形態 1 で説明した(条件 i)及び(条件 ii)が挙げられる。また、最大階調に対応したドレイン電流、書き込み期間の許容電流も、実施の形態 1 と同様に、それぞれ $3 \mu A$ 、 $100 pA$ とする。

【 0 1 8 5 】

図 1 1 は、駆動トランジスタ 1 7 3 のゲート - ソース間電圧に対するドレイン電流特性 ($V_{gs} - I_d$ 特性)の他の一例を示すグラフである。同図に示す $V_{gs} - I_d$ 特性は、

図 3 に示す $V_{gs} - I_d$ 特性と比較して、 V_{gs} の範囲と、バックゲート - ソース間電圧 V_{bs} が異なる。具体的には、バックゲート - ソース間電圧 V_{bs} を -22 V 、 -18 V 、 -14 V 、 -10 V 、 -6 V 、 -2 V とした場合の $V_{gs} - I_d$ 特性が示されている。

【0186】

以下、図 11 に示した $V_{gs} - I_d$ 特性を用いて、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。なお、決定手順は実施の形態 1 と同じであり、ここでは詳しい説明を省略する。

【0187】

まず、発光時のバックゲート - ソース間電圧の特性として、 $V_{bs} = -6\text{ V}$ を選択する。

【0188】

次に、最大階調での発光時のゲート - ソース間電圧を決定する。具体的には、最大階調に対応したドレイン電流 I_d は $3\text{ }\mu\text{ A}$ であるので、上述したように $V_{bs} = -6\text{ V}$ を選択すると、 $V_{gs} = 11.6\text{ V}$ と決まる。

【0189】

次に、信号電圧の書き込み時に、ドレイン電流 I_d を許容電流以下とするようなバックゲート - ソース間電圧 V_{bs} を選択する。ここで、ドレイン電流 I_d は、いかなる階調に対応する信号電圧が発光画素 370 に書き込まれた場合であっても、許容電流以下となることが要求される。 $V_{gs} = 11.6\text{ V}$ のときにドレイン電流 I_d が 100 p A 以下となるバックゲート - ソース間電圧 V_{bs} は、 $V_{bs} = -18\text{ V}$ である。したがって、信号電圧書き込み時のバックゲート - ソース間電圧 V_{bs} として $V_{bs} = -18\text{ V}$ を選択する。

【0190】

以上のように、発光時のバックゲート - ソース間電圧が $V_{bs} = -6\text{ V}$ 、書き込み時のバックゲート - ソース間電圧が $V_{bs} = -18\text{ V}$ と決定される。

【0191】

ところで上述したように、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧は、発光時のバックゲート - ソース間電圧にソース電位を足し合わせた電圧である。また、バックゲートパルス $BG(0) \sim BG(n)$ のローレベル電圧は、書き込み時のバックゲート - ソース間電圧にソース電位を足し合わせた電圧である。そこで、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧とローレベル電圧を決定するためには、駆動トランジスタ 173 のソース電位を考慮しなければならない。

【0192】

図 12 A は、最大階調での発光時の発光画素 370 の状態を模式的に示す図である。図 12 B は、信号電圧書き込み時の発光画素 370 の状態を模式的に示す図である。

【0193】

図 12 A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3\text{ }\mu\text{ A}$ の場合、駆動トランジスタ 173 のソース電位 V_s は 6 V となる。ソース電位 V_s が 6 V の場合、図 11 に示した $V_{bs} = -6\text{ V}$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = 0\text{ V}$ と決定される。つまり、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧は 0 V と決定される。

【0194】

一方、図 12 B に示す信号電圧書き込み時には、リセットトランジスタ 172 が導通することにより、駆動トランジスタ 173 のソースはリセットトランジスタ 172 を介して前の行に対応して配置されたバイアス配線 165 と接続されている。よって、駆動トランジスタ 173 のソース電位は、 k 行の発光画素 370 への信号電圧書き込み期間において $k - 1$ 行の発光画素 370 に対応して配置されたバイアス配線 165 の電位となる。

【0195】

ここで、 k 行の発光画素 370 の信号電圧書き込み期間において、 $k - 1$ 行の発光画素 370 への信号電圧の書き込みは終了しているので、バックゲートパルス $BG(k - 1)$ はハイレベルとなっている。つまり、 $k - 1$ 行の発光画素 370 に対応して配置されたバ

イアス配線 165 の電圧は、0 V となっている。

【0196】

したがって、k 行の発光画素 370 の駆動トランジスタ 173 のソース電位は、0 V となる。ソース電位が 0 V の場合、図 11 に示した $V_{bs} = -1.8\text{ V}$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -1.8\text{ V}$ と決定される。つまり、バックゲートパルス $BG(0) \sim BG(n)$ のローレベル電圧は -1.8 V と決定される。

【0197】

以上のように、図 11 に示した V_{bs} 毎の $V_{gs} - I_d$ 特性を用いて、(条件 i) 最大階調での発光時に最大階調に対応した $3\text{ }\mu\text{A}$ のドレイン電流を発光素子 175 に供給するようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧は 0 V と決定される。また、(条件 ii) 信号電圧の書き込み時に、発光素子 175 に供給するドレイン電流 I_d を許容電流以下とするようなバックゲート - ソース間電圧 V_{bs} から、バックゲートパルス $BG(0) \sim BG(n)$ のローレベル電圧は -1.8 V と決定される。つまり、本実施の形態において、バイアス電圧制御回路 130 は、ハイレベル電圧が 0 V、ローレベル電圧が -1.8 V 、振幅が 1.8 V のバックゲートパルス $BG(0) \sim BG(n)$ をバイアス配線 165 及びダミーバイアス配線 365 に供給する。

【0198】

次に、上述した有機 EL 表示装置 300 の動作について説明する。

【0199】

図 13 は、実施の形態 2 に係る有機 EL 表示装置 300 の動作を示すタイミングチャートであり、具体的には、図 10 に示した k 行、j 列の発光画素 370 の動作を中心に示している。同図において、横軸は時刻を示し、縦方向には上から順に、j 列の発光画素 370 のデータ線 166 に供給されるデータ線電圧 $DAT A(j)$ 、k - 1 行の発光画素 370 の走査線 164 に供給される走査パルス $SCAN(k - 1)$ 、k - 1 行の発光画素 370 のバイアス配線 165 に供給されるバックゲートパルス $BG(k - 1)$ が示され、さらに、k 行及び k + 1 行の発光画素に供給される走査パルス $SCAN(k)$ 、バックゲートパルス $BG(k)$ 、走査パルス $SCAN(k + 1)$ 、バックゲートパルス $BG(k + 1)$ が示されている。

【0200】

ここで、例えば、最大階調の信号電圧に対応するデータ線電圧 V_{DH} を 11.6 V 、最低階調の信号電圧に対応するデータ線電圧 V_{DL} を 6 V とする。また、走査パルス $SCAN(1) \sim SCAN(n)$ のハイレベル電圧 V_{GH} を 20 V 、ローレベル電圧 V_{GL} を -5 V とする。また、図 11 を用いて決定したように、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧 BGH を 0 V、ローレベル電圧 BGL を -1.8 V とする。

【0201】

時刻 t_{30} より前において、走査パルス $SCAN(k)$ 及びバックゲートパルス $BG(k)$ はハイレベルであるので、k 行の発光画素 370 は直前のフレーム期間の信号電圧に応じて発光している。

【0202】

次に、時刻 t_{30} において、バックゲートパルス $BG(k)$ がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = 0\text{ V}$ から $V_b = -1.8\text{ V}$ へと低下する。よって、最大階調に対応する信号電圧が発光画素 370 に書き込まれた場合にコンデンサ 174 に保持される電圧よりも、駆動トランジスタ 173 の閾値電圧が大きくなるようにする。

【0203】

次に、時刻 t_{31} において、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 171 がオンする。これにより、データ線 166 とコンデンサ 174 の第 1 電極とが導通することにより、コンデンサ 174 の第 1 電

極にデータ線電圧 DATA (j) が供給される。また、このとき、同時にリセットトランジスタ 172 がオンする。これにより、k - 1 行の発光画素 370 に対応して配置されたバイアス配線 165 とコンデンサ 174 の第 2 電極とが導通する。k - 1 行の発光画素 370 に対応して配置されたバイアス配線 165 にはバックゲートパルス BG (k - 1) が供給されている。時刻 t 31 において、バックゲートパルス BG (k - 1) の電位は - 18 V であるので、コンデンサ 174 の第 2 電極の電位は - 18 V となる。

【0204】

その後、時刻 t 32 において、バックゲートパルス BG (k - 1) がローレベルからハイレベルへと切り換わることにより、k - 1 行の発光画素 370 に対応して配置されたバイアス配線 165 の電位は - 18 V から 0 V へと切り換わる。よって、コンデンサ 174 の第 2 電極の電位も - 18 V から 0 V へと切り換わる。

【0205】

したがって、実施の形態 1 と同様に、最大階調に対応する信号電圧が書き込まれた場合であっても、図 11 に示す $V_{bs} = -18\text{ V}$ の $V_{gs} - I_d$ 特性より、ドレイン電流 I_d は許容電流以下であるので、書き込み時に第 1 電源線 161 の電圧降下を十分に抑制できる。これにより、第 1 電源線 161 の電圧降下の影響を受けずに、コンデンサ 174 に信号電圧に応じた電圧を保持させることができる。

【0206】

次に、時刻 t 33 において走査パルス SCAN (k) がローレベルからハイレベルへと切り換わることにより、走査トランジスタ 171 及びリセットトランジスタ 172 がオフする。これにより、コンデンサ 174 は、時刻 t 33 の直前の電圧を保持する。つまり、コンデンサ 174 は、第 1 電源線 161 の電圧降下の影響を受けずに信号電圧に応じた電圧を保持する。

【0207】

言い換えると、コンデンサ 174 に保持される電圧は、走査パルス SCAN (k) をローレベルからハイレベルへと切り換えたときに、コンデンサ 174 の第 1 電極に供給されている電圧と、コンデンサ 174 の第 2 電極に供給されている電圧により確定する。よって、本実施の形態に係る有機 EL 表示装置 300 では、走査パルス SCAN (k) がローレベルからハイレベルへと切り換わる時刻 t 33 に、走査パルス SCAN (k - 1) がハイレベルとなっていることにより k - 1 行の発光画素 370 に対応するバイアス配線 165 の電位が 0 V であることが必須である。

【0208】

次に、時刻 t 34 において、バックゲートパルス BG (k) がローレベルからハイレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = -18\text{ V}$ から $V_b = 0\text{ V}$ へと上昇する。よって、駆動トランジスタ 173 の閾値電圧が低下し、信号電圧に対応するコンデンサ 174 に保持された電圧に応じたドレイン電流 I_d が供給されることにより、発光素子 175 の発光が開始される。

【0209】

その後、時刻 t 34 ~ t 35 において、バックゲートパルス BG (k) は、継続してハイレベルであるので、発光素子 175 は継続して発光する。

【0210】

次に、時刻 t 35 において、時刻 t 31 と同様に、バックゲートパルス BG (k) がハイレベルからローレベルへと切り換わることにより、駆動トランジスタ 173 のバックゲート電位は $V_b = 0\text{ V}$ から $V_b = -18\text{ V}$ へと低下する。よって、最大階調に対応する信号電圧が発光画素 370 に書き込まれた場合にコンデンサ 174 に保持される電圧よりも、駆動トランジスタ 173 の閾値電圧が大きくなるようにする。

【0211】

上述した時刻 t 30 ~ t 35 は、有機 EL 表示装置 300 の 1 フレーム期間に相当し、時刻 t 35 以降も時刻 t 30 ~ t 35 と同様の動作が繰り返し実行される。

【0212】

以上のように、本実施の形態に係る有機EL表示装置300は、実施の形態1に係る有機EL表示装置100と比較して、k行の発光画素370のリセットトランジスタ172が基準電源線163に代わり、k-1行の発光画素370に対応して配置されたバイアス配線165と接続されている。つまり、k行の発光画素370に対応して配置された基準電源線163と、k-1行の発光画素370に対応して配置されたバイアス配線165とが共有されている。

【0213】

これにより、有機EL表示装置300は、有機EL表示装置100と比較して、さらに配線数を削減できるので、回路構成を大幅にコンパクトにできる。

【0214】

また、有機EL表示装置300は、k行の発光画素370に対応して配置された走査線164に供給される走査パルスSCAN(k)をローレベルからハイレベルに切り換えるとき(時刻t33)に、k-1行の発光画素370に対応して配置されたバイアス配線165に供給されるバックゲートパルスBG(k-1)をハイレベルとすることで、コンデンサ174の第2電極に、実施の形態1に係る有機EL表示装置100と同様に、0Vを設定する。言い換えると、k-1行に対応して配置された発光画素370に含まれる駆動トランジスタ173を、k-1行に対応して配置されたバイアス配線165を介して所定の基準電圧を供給して導通状態としつつ、k行に配置された発光画素370に含まれるコンデンサ174の第2電極に、k-1行に対応して配置されたバイアス配線165を介して所定の基準電圧Vrefを設定する。

【0215】

時刻t33は、k-1行の発光画素370では発光期間であり、一方、k行の発光画素370では非発光期間である。そのため、k行の発光画素370に含まれるリセットトランジスタ172を、図1及び2に示す基準電源線163に代わり、k-1行の発光画素370に対応して配置されたバイアス配線165に接続しても、動作上の影響はない。つまり、k-1行の発光画素370を非発光期間とする際にバイアス配線165を介して所定のバイアス電圧を供給してk行の発光画素370の駆動トランジスタ173を導通状態とするので、k-1行の発光画素370の発光期間においてk-1行の発光画素370に対応して配置されたバイアス配線165を介して、k行の発光画素370のコンデンサ174の第2電極に所定の基準電圧Vrefを設定しても動作上の影響はない。

【0216】

また、有機EL表示装置300は、k-1行に配置された発光画素370に含まれる駆動トランジスタ173を、k-1行の発光画素370に対応して配置されたバイアス配線165を介して所定のバイアス電圧を供給して非導通状態としつつ、k行に配置された発光画素370に含まれるリセットトランジスタ172を非導通として、k行に配置された発光画素370に含まれるコンデンサ174の第2電極に、k-1行の発光画素370に対応して配置されたバイアス配線165を介して所定のバイアス電圧を書き込まない。

【0217】

k-1行に配置された発光画素370では非発光期間であり、一方、k行に配置された発光画素370では発光期間である。そのため、k行の発光画素370に含まれるリセットトランジスタ172を、図1及び2に示す基準電源線163に代わり、k-1行の発光画素370に対応して配置されたバイアス配線165に接続しても、動作上の影響はない。つまり、k行に配置された発光画素370に含まれるリセットトランジスタ172を非導通として、k行に配置された発光画素370に含まれるコンデンサ174の第2電極に、k-1行のバイアス配線165から所定のバイアス電圧である $V_{GL} = -1.8V$ が書き込まないようにすれば、k行に配置されたコンデンサ174の第2電極に設定された所定の基準電圧が変動することはない。その結果、k-1行に配置された発光画素370の発光に影響を与えることはない。

【0218】

(実施の形態2の変形例)

実施の形態 2 の変形例に係る有機 E L 表示装置は、実施の形態 2 に係る有機 E L 表示装置 3 0 0 とほぼ同じであるが、バックゲートパルス B G (0) ~ B G (n) のローレベルからハイレベルへと切り換わるタイミングが異なる。

【 0 2 1 9 】

図 1 4 は、本変形例に係る有機 E L 表示装置の動作を示すタイミングチャートである。

【 0 2 2 0 】

同図に示すように、本変形例に係る有機 E L 表示装置の動作は、図 1 3 に示す実施の形態 2 に係る有機 E L 表示装置 3 0 0 の動作と比較して、バックゲートパルス B G (0) ~ B G (k) がローレベルからハイレベルへと切り換わる時刻が異なる。以下、図 1 3 に示す実施の形態 2 に係る有機 E L 表示装置 3 0 0 の動作と異なる点を中心に説明する。

【 0 2 2 1 】

時刻 t_{40} は、図 1 3 の時刻 t_{30} に対応し、バックゲートパルス B G (k) がハイレベルからローレベルへと切り換わる。

【 0 2 2 2 】

次に、時刻 t_{41} において、走査パルス S C A N (k) がハイレベルからローレベルへと切り換わることにより、走査トランジスタ 1 7 1 がオンする。この時刻 t_{41} において、図 1 3 の時刻 t_{31} と比較して、さらに、 $k - 1$ 行の発光画素 3 7 0 に対応して配置されたバイアス配線 1 6 5 に供給されるバックゲートパルス B G (k - 1) がローレベルからハイレベルへと切り換わる。

【 0 2 2 3 】

次に、時刻 t_{42} において、走査パルス S C A N (k) がローレベルからハイレベルへと切り換わり、同時に、バックゲートパルス B G (k) もローレベルからハイレベルへと切り換わる。

【 0 2 2 4 】

図 1 3 に示す実施の形態 2 に係る有機 E L 表示装置 3 0 0 の動作タイミングでは、時刻 t_{31} において走査パルス S C A N (k) がローレベルとなり信号電圧の書き込みが開始されても、リセットトランジスタ 1 7 2 を介して接続された $k - 1$ 行の発光画素 3 7 0 に対応して配置されたバイアス配線 1 6 5 に供給されているバックゲートパルス B G (k - 1) がローレベルとなっている。そして、バックゲートパルス B G (k - 1) は時刻 t_{32} において、ローレベルからハイレベルへと切り換わることにより、 k 行の発光画素 3 7 0 のコンデンサ 1 7 4 の第 2 電極に所定の基準電圧である 0 V が供給される。言い換えると、時刻 $t_{31} \sim t_{32}$ においては、コンデンサ 1 7 4 に信号電圧に対応する電圧を書き込むことはできない。

【 0 2 2 5 】

つまり、実施の形態 2 に係る有機 E L 表示装置 3 0 0 では、時刻 $t_{32} \sim t_{33}$ までの時間 Δt_1 が実際の信号電圧書き込み期間に相当する。

【 0 2 2 6 】

これに対し、図 1 4 に示す本変形例に係る有機 E L 表示装置では、時刻 t_{41} において走査パルス S C A N (k) がハイレベルからローレベルに切り換わるときに、同時にバックゲートパルス B G (k - 1) がローレベルからハイレベルへと切り換わるので、時刻 t_{41} からコンデンサ 1 7 4 の第 2 電極に所定の基準電圧である 0 V が供給される。

【 0 2 2 7 】

つまり、本変形例に係る有機 E L 表示装置では、時刻 $t_{41} \sim t_{42}$ までの時間 Δt_2 が実際の信号書き込み期間に相当する。

【 0 2 2 8 】

走査パルス S C A N (k) がローレベルとなっている期間を一定とすると、 $\Delta t_1 < \Delta t_2$ となる。よって、本変形例に係る有機 E L 表示装置は、実施の形態 2 に係る有機 E L 表示装置 3 0 0 と比較して、信号電圧の書き込み期間を長く確保できる。

【 0 2 2 9 】

以上のように、本変形例に係る有機 E L 表示装置は、実施の形態 2 に係る有機 E L 表示

装置 300 と比較して、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わるタイミングと、バックゲートパルス $BG(k-1)$ がローレベルからハイレベルへと切り換わるタイミングとが同時である。

【0230】

これにより、本変形例に係る有機 EL 表示装置は、実施の形態 2 に係る有機 EL 表示装置 300 と比較して、実際の信号電圧の書き込み期間を長く確保できる。

【0231】

(実施の形態 3)

実施の形態 3 に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 と比較してほぼ同じであるが、第 1 スイッチング素子の一方の端子がデータ線に接続され、第 1 スイッチング素子の他方の端子がコンデンサの第 2 電極に接続されている点と、第 2 スイッチング素子の一方の端子がコンデンサの第 1 電極に接続され、第 2 スイッチング素子の他方の端子が第 3 基準電源線に接続されている点と異なる。以下、本実施の形態に係る有機 EL 表示装置について、実施の形態 1 に係る有機 EL 表示装置 100 と異なる点を中心に述べる。

【0232】

図 15 は、本実施の形態に係る有機 EL 表示装置が有する発光画素の詳細な回路構成を示す回路図である。

【0233】

同図に示す発光画素 470 は、図 2 に示す実施の形態 1 に係る有機 EL 表示装置が有する発光画素 170 と比較して、走査トランジスタ 171 に代わり走査トランジスタ 471 を有し、リセットトランジスタ 172 に代わりリセットトランジスタ 472 を備える。

【0234】

走査トランジスタ 471 は、本実施の形態において本発明の第 1 スイッチング素子であり、一方の端子がデータ線 166 に接続され、他方の端子がコンデンサ 174 の第 2 電極に接続され、データ線 166 とコンデンサ 174 の第 2 電極との導通及び非導通を切り換える。具体的には、走査トランジスタ 471 は、ゲート電極が走査線 164 に接続され、ソース電極及びドレイン電極の一方がデータ線 166 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 174 の第 2 電極に接続されている。つまり、走査トランジスタ 471 は、図 2 に示す走査トランジスタ 171 と比較して、書き込み駆動回路 110 から走査線 164 を介してゲート電極に供給される走査パルス $SCAN(k)$ に応じてデータ線 166 とコンデンサ 174 の第 2 電極との導通及び非導通を切り換える点と異なる。

【0235】

リセットトランジスタ 472 は、本実施の形態において本発明の第 2 スイッチング素子であり、一方の端子がコンデンサ 174 の第 1 電極に接続され、他方の端子が基準電源線 163 に接続され、コンデンサ 174 の第 1 電極と、基準電源線 163 との導通及び非導通を切り換える。具体的には、リセットトランジスタ 472 は、ゲート電極が走査線 164 を介して書き込み駆動回路 110 に接続され、ソース電極及びドレイン電極の一方が基準電源線 163 に接続され、ソース電極及びドレイン電極の他方がコンデンサ 174 の第 1 電極に接続されている。つまり、リセットトランジスタ 472 は、図 2 に示すリセットトランジスタ 172 と比較して、書き込み駆動回路 110 から走査線 164 を介してゲート電極に供給される走査パルス $SCAN(k)$ に応じて基準電源線 163 とコンデンサ 174 の第 1 電極との導通及び非導通を切り換える点と異なる。

【0236】

このように、本実施の形態に係る有機 EL 表示装置が有する発光画素 470 は、実施の形態 1 に係る有機 EL 表示装置 100 が有する発光画素 170 と比較して、コンデンサ 174 の第 1 電極及び第 2 電極のうち、駆動トランジスタ 173 のソース電極と接続されている第 2 電極に、データ線 166 及び走査トランジスタ 471 を介して供給される信号電圧が供給される。一方、駆動トランジスタ 173 のゲート電極と接続されている第 1 電極には、基準電源線 163 及びリセットトランジスタ 472 を介して供給される基準電圧 V

r e f が供給される。

【 0 2 3 7 】

次に、このように構成された発光画素 4 7 0 にバイアス電圧制御回路 1 3 0 から供給されるバックゲートパルス $B G (1) \sim B G (n)$ のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

【 0 2 3 8 】

発光画素 4 7 0 の駆動トランジスタ 1 7 3 に要求される条件としては、実施の形態 1 で説明した (条件 i) 及び (条件 ii) が挙げられる。また、最大階調に対応したドレイン電流、書き込み期間の許容電流も、実施の形態 1 と同様に、それぞれ $3 \mu A$ 、 $100 p A$ とする。

【 0 2 3 9 】

ただし、本実施の形態では、コンデンサ 1 7 4 の第 2 電極に信号電圧を書き込むので、実施の形態 1 と比較して、最大階調の信号電圧に対応するデータ線電圧 $V D H$ と、最低階調の信号電圧に対応するデータ線電圧 $V D L$ の絶対値が反転する。具体的には、 $V D H = -5.6 V$ 、 $V D L = 0 V$ である。言い換えると、データ線電圧 $D A T A (j)$ は、 $V D L = 0 V$ の場合に最大値の $0 V$ となり、 $V D H = -5.6 V$ の場合に最小値の $-5.6 V$ となる。

【 0 2 4 0 】

図 1 6 A は、最大階調での発光時の発光画素 4 7 0 の状態を模式的に示す図である。図 1 6 B は、信号電圧書き込み時の発光画素 4 7 0 の状態を模式的に示す図である。

【 0 2 4 1 】

図 1 6 A に示す最大階調での発光時に、上述のようにドレイン電流 $I d = 3 \mu A$ の場合、駆動トランジスタ 1 7 3 のソース電位 $V s$ は $6 V$ となる。ソース電位 $V s$ が $6 V$ の場合、図 3 に示した $V b s = 8 V$ 相当の特性を得るためのバックゲート電位 $V b$ は、 $V b = V s + V b s$ より $V b = 14 V$ と決定される。つまり、本実施の形態では、バックゲートパルス $B G (1) \sim$ バックゲートパルス $B G (n)$ のハイレベル電圧は $14 V$ と決定される。

【 0 2 4 2 】

一方、図 1 6 B に示す信号電圧書き込み時には、リセットトランジスタ 4 7 2 が導通することにより、駆動トランジスタ 1 7 3 のゲートはリセットトランジスタ 4 7 2 を介して基準電源線 1 6 3 と接続されている。よって、駆動トランジスタ 1 7 3 のゲート電位は基準電圧 $V r e f$ である $0 V$ となっている。また、駆動トランジスタ 1 7 3 のソース電位は、最大階調の信号電圧に対応するので、 $V s = -5.6 V$ となっている。ソース電位が $-6 V$ の場合、図 3 に示した $V b s = -4 V$ 相当の特性を得るためのバックゲート電位 $V b$ は、 $V b = V s + V b s$ より $V b = -9.6 V$ と決定される。つまり、バックゲートパルス $B G (1) \sim$ バックゲートパルス $B G (n)$ のローレベル電圧は $-9.6 V$ と決定される。

【 0 2 4 3 】

以上のように、図 3 に示した $V b s$ 毎の $V g s - I d$ 特性を用いて、(条件 i) 最大階調での発光時に最大階調に対応した $3 \mu A$ のドレイン電流を発光素子 1 7 5 に供給するようなバックゲート - ソース間電圧 $V b s$ から、バックゲートパルス $B G (1) \sim B G (n)$ のハイレベル電圧は $14 V$ と決定される。また、(条件 ii) 信号電圧の書き込み時に、発光素子 1 7 5 に供給するドレイン電流 $I d$ を許容電流以下とするようなバックゲート - ソース間電圧 $V b s$ から、バックゲートパルス $B G (1) \sim B G (n)$ のローレベル電圧は $-9.6 V$ と決定される。つまり、本実施の形態において、バイアス電圧制御回路 1 3 0 は、ハイレベル電圧が $14 V$ 、ローレベル電圧が $-9.6 V$ 、振幅が $23.6 V$ のバックゲートパルス $B G (1) \sim B G (n)$ をバイアス配線 1 6 5 に供給する。なお、発光画素 4 7 0 を有する本実施の形態に係る有機 E L 表示装置の動作は、図 5 に示す有機 E L 表示装置 1 0 0 の動作と同様である。

【 0 2 4 4 】

以上のように、発光画素 470 を備える本実施の形態に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 と比較して、コンデンサ 174 の第 1 電極及び第 2 電極のうち、駆動トランジスタ 173 のソース電極と接続されている第 2 電極に、データ線 166 及び走査トランジスタ 471 を介して供給される信号電圧が供給される。一方、駆動トランジスタ 173 のゲート電極と接続されている第 1 電極には、基準電源線 163 及びリセットトランジスタ 472 を介して供給される基準電圧 V_{ref} が供給される。ここで、所定のバイアス電位である $-10V$ を駆動トランジスタ 173 のバックゲート電極に印加することにより、駆動トランジスタ 173 の閾値電圧をゲート電極及びソース電極間の電位差よりも大きくすることにより駆動トランジスタ 173 を非導通とし、所定のバイアス電圧を印加している期間内に走査トランジスタ 471 及びリセットトランジスタ 472 を導通して、コンデンサ 174 の第 1 電極に基準電圧 V_{ref} を設定し、信号電圧をコンデンサ 174 の第 2 電極に供給する。

【0245】

これにより、実施の形態 3 に係る有機 EL 表示装置は、実施の形態 1 に係る有機 EL 表示装置 100 と同様の効果を奏する。

【0246】

なお、本実施の形態では、コンデンサ 174 の第 2 電極へ信号電圧を供給するときに、データ線 166 から供給される信号電圧の最大値は第 1 電源線 161 の電位以下とする。これにより、コンデンサ 174 の第 2 電極に信号電圧を供給しているときに、発光素子 175 のアノードの電位はカソードの電位以下となるので、基準電源線 163 から発光素子 175 に流れる電流を防止できる。

【0247】

その結果、信号電圧を書き込んでいる期間に不要な発光が生じてコントラストが低下することを防ぐことができる。なお、上記説明では信号電圧を V 、第 1 電源線 161 の電位を $0V$ として説明したが、信号電圧は第 1 電源線 161 の電位以下であればよく、上記の例に限らない。

【0248】

(実施の形態 3 の変形例)

本変形例に係る有機 EL 表示装置が有する発光画素は、実施の形態 3 に係る有機 EL 表示装置が有する発光画素 470 とほぼ同じであるが、リセットトランジスタ 472 のソース及びドレインの一方が基準電源線 163 に代わり、前の行の発光画素 570 に対応して配置されたバイアス配線 165 に接続されている点異なる。つまり、本変形例に係る有機 EL 表示装置は、実施の形態 2 に係る有機 EL 表示装置 300 と実施の形態 3 に係る有機 EL 表示装置との組み合わせである。

【0249】

図 17 は、本変形例に係る有機 EL 表示装置が有する発光画素 570 の詳細な構成を示す回路図である。

【0250】

同図に示すように、発光画素 570 が有するリセットトランジスタ 472 は、図 10 に示したリセットトランジスタ 172 と同様に、前の行の発光画素 570 に対応して配置されたバイアス配線 165 に接続されている。

【0251】

次に、このように構成された発光画素 570 にバイアス電圧制御回路 130 から供給されるバックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧及びローレベル電圧の電圧値の決定について説明する。

【0252】

発光画素 570 の駆動トランジスタ 173 に要求される条件としては、実施の形態 1 で説明した(条件 i)及び(条件 ii)が挙げられる。また、最大階調に対応したドレイン電流、書き込み期間の許容電流も、実施の形態 1 と同様に、それぞれ $3\mu A$ 、 $100pA$ とする。

【 0 2 5 3 】

また、最大階調の信号電圧に対応するデータ線電圧 V_{DH} と、最低階調の信号電圧に対応するデータ線電圧 V_{DL} は、実施の形態 2 と正負が反転した電圧である $V_{DH} = -11.6V$ 、 $V_{DL} = -6V$ とする。

【 0 2 5 4 】

図 18A は、最大階調での発光時の発光画素 570 の状態を模式的に示す図である。図 18B は、信号電圧書き込み時の発光画素 570 の状態を模式的に示す図である。

【 0 2 5 5 】

図 18A に示す最大階調での発光時に、上述のようにドレイン電流 $I_d = 3\mu A$ の場合、駆動トランジスタ 173 のソース電位 V_s は $6V$ となる。ソース電位 V_s が $6V$ の場合、図 11 に示した $V_{bs} = -6V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = 0V$ と決定される。つまり、本実施の形態では、バックゲートパルス $BG(0) \sim BG(n)$ のハイレベル電圧は $0V$ と決定される。

【 0 2 5 6 】

一方、図 18B に示す信号電圧書き込み時には、リセットトランジスタ 472 が導通することにより、駆動トランジスタ 173 のゲートはリセットトランジスタ 472 を介して前の行に対応して配置されたバイアス配線 165 と接続されている。よって、駆動トランジスタ 173 のゲート電位は、 k 行の発光画素 570 への信号電圧書き込み期間において $k-1$ 行の発光画素 570 に対応して配置されたバイアス配線 165 の電位となる。

【 0 2 5 7 】

ここで、 k 行の発光画素 570 の信号電圧書き込み期間において、 $k-1$ 行の発光画素 570 への信号電圧の書き込みは終了しているので、バックゲートパルス $BG(k-1)$ はハイレベルとなっている。つまり、 $k-1$ 行の発光画素 570 に対応して配置されたバイアス配線 165 の電位は、 $0V$ となっている。

【 0 2 5 8 】

したがって、 k 行の発光画素 570 の駆動トランジスタ 173 のゲート電位は、 $0V$ となる。ソース電位が $-11.6V$ の場合、図 11 に示した $V_{bs} = -18V$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -29.6V$ と決定される。つまり、バックゲートパルス $BG(0) \sim BG(n)$ のローレベル電圧は $-29.6V$ と決定される。つまり、本変形例において、バイアス電圧制御回路 130 は、ハイレベル電圧が $0V$ 、ローレベル電圧が $-29.6V$ 、振幅が $29.6V$ のバックゲートパルス $BG(0) \sim BG(n)$ をバイアス配線 165 及びダミーバイアス配線 365 に供給する。

【 0 2 5 9 】

なお、発光画素 570 を有する本変形例に係る有機 EL 表示装置の動作は、図 13 に示す実施の形態 2 に係る有機 EL 表示装置の動作、又は、図 14 に示す実施の形態 2 の変形例に係る有機 EL 表示装置の動作と同様である。

【 0 2 6 0 】

以上のように、発光画素 570 を備える実施の形態 3 の変形例に係る有機 EL 表示装置は、実施の形態 3 に係る有機 EL 表示装置と比較して、 k 行の発光画素 570 のリセットトランジスタ 472 が基準電源線 163 に代わり、 $k-1$ 行の発光画素 570 に対応して配置されたバイアス配線 165 と接続されている。つまり、 k 行の発光画素 570 に対応して配置された基準電源線 163 と、 $k-1$ 行の発光画素 570 に対応して配置されたバイアス配線 165 とが共有されている。

【 0 2 6 1 】

これにより、本変形例に係る有機 EL 表示装置は、実施の形態 3 に係る有機 EL 表示装置と比較して、さらに配線数を削減できるので、回路構成を大幅にコンパクトにできる。

【 0 2 6 2 】

以上、本発明の実施の形態及び変形例に基づいて説明したが、本発明は、これら実施の

形態及び変形例に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態及び変形例に施したものや、異なる実施の形態及び変形例における構成要素を組み合わせて構築される形態も、本発明の範囲内に含まれる。

【0263】

例えば、上記説明では、走査トランジスタ及びリセットトランジスタをゲート電極に印加されているパルスがローレベルのときに導通するP型トランジスタとし、駆動トランジスタをゲート電極に印加されているパルスがハイレベルのときにオンするN型トランジスタとしたが、これらを逆の極性のトランジスタで構成し、走査線164及びバイアス配線165の極性を反転させて、例えば図19A及び図19Bに示すような回路構成としてもよい。

【0264】

駆動トランジスタ173をP型トランジスタで実現して図19Aのような回路構成とする場合、第3電源線から供給される所定の基準電位 V_{ref} は、第1電源線の電位以上が望ましい。これにより、駆動トランジスタ173をP型トランジスタとした場合でも、コンデンサ174の第2電極に基準電位 V_{ref} を設定しているときに、発光素子175のアノードの電位は発光素子のカソードの電位以下となるので、発光素子175から基準電源線163に流れる電流を防止できる。

【0265】

一方、駆動トランジスタ173をP型トランジスタで実現して図19Bのような回路構成とする場合、データ線166から供給される信号電圧の最小値は第1電源線の電位以上が望ましい。これにより、信号電圧の書き込み中に発光素子175からデータ線166に流れる電流を防止できる。よって、信号電圧の書き込み中に、発光素子175を確実に消光できる。

【0266】

また、駆動トランジスタ173の極性は、走査トランジスタ171及びリセットトランジスタ172の極性と同じでもよい。

【0267】

また、駆動トランジスタ、走査トランジスタ及びリセットトランジスタは、TFETであるとしたが、例えば接合型の電界効果トランジスタであってもよい。また、これらのトランジスタは、ベース、コレクタ及びエミッタを有するバイポーラトランジスタであってもよい。

【0268】

また、上記各実施の形態では、基準電源140と直流電源150とを別としたが、基準電源140及び直流電源150に代わり、複数の電圧を出力する1つの電源を設けてもよい。

【0269】

また、上記各実施の形態では、第1電源線161をグランド線としたが、第1電源線161が直流電源150に接続され、0V以外の電位（例えば、1V）が供給されてもよい。さらに、この第1電源線161は、網目状に形成されていても、ベタ膜状に形成されていてもよい。

【0270】

また、第2電源線162は網目状に形成されていても（二次元配線）、走査線の配線方向及びデータ線の配線方向のいずれか1方と平行な方向に形成されていても（一次元配線）、ベタ膜状に形成されていてもよい。

【0271】

また、上記各実施の形態では、走査トランジスタ及びリセットトランジスタは、共通の走査線を介して供給される走査パルス $SCAN(1) \sim SCAN(n)$ により導通及び非導通が切り換えられていたが、走査トランジスタの導通及び非導通を制御する信号を供給するための配線である第1走査線と、リセットトランジスタの導通及び非導通を制御する信号を供給するための配線である第2走査線とを、独立に設けてもよい。

【 0 2 7 2 】

また、例えば、本発明に係る有機 E L 表示装置は、図 2 0 に記載されたような薄型フラット T V に内蔵される。本発明に係る有機 E L 表示装置が内蔵されることにより、映像信号を反映した高精度な画像表示が可能な薄型フラット T V が実現される。

【産業上の利用可能性】

【 0 2 7 3 】

本発明は、とりわけアクティブ型の有機 E L フラットパネルディスプレイに有用である。

【符号の説明】

【 0 2 7 4 】

1 0 0、2 0 0、3 0 0	有機 E L 表示装置
1 1 0	書き込み駆動回路
1 2 0	データ線駆動回路
1 3 0	バイアス電圧制御回路
1 4 0	基準電源
1 5 0	直流電源
1 6 0、2 6 0、3 6 0	表示パネル
1 6 1	第 1 電源線
1 6 2	第 2 電源線
1 6 3	基準電源線
1 6 4	走査線
1 6 5	バイアス配線
1 6 6	データ線
1 7 0、2 7 0、3 7 0、4 7 0、5 7 0	発光画素
1 7 1、4 7 1	走査トランジスタ
1 7 2、4 7 2	リセットトランジスタ
1 7 3	駆動トランジスタ
1 7 4	コンデンサ
1 7 5	発光素子
1 8 0、2 8 0、3 8 0	表示部
1 9 0	基幹電源線
3 6 5	ダミーバイアス配線

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の画素部をマトリクス状に配置した有機 E L 表示装置であって、
前記複数の画素部の各々は、
第 1 電極と第 2 電極とを有する発光素子と、
電圧を保持するためのコンデンサと、
ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給されることにより前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、
前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、
前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スイッチング素子と、

一方の端子が前記コンデンサの第 2 電極に接続され、他方の端子が前記第 3 電源線に接続され、前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、

前記有機 EL 表示装置は、さらに、

前記第 1 スイッチング素子の制御、前記第 2 スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記駆動回路は、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第 1 スイッチング素子及び前記第 2 スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しつつ前記コンデンサの第 1 電極に前記信号電圧を供給する、

有機 EL 表示装置。

【請求項 2】

前記有機 EL 表示装置は、さらに、

マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、

前記第 2 電源線は、

マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、

請求項 1 に記載の有機 EL 表示装置。

【請求項 3】

前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、

各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である、

請求項 1 又は請求項 2 に記載の有機 EL 表示装置。

【請求項 4】

前記有機 EL 表示装置は、さらに、

前記第 1 スイッチング素子の導通及び非導通を制御する信号を供給する第 1 走査線と、

前記第 2 スイッチング素子の導通及び非導通を制御する信号を供給する第 2 走査線と、を備える、

請求項 1 乃至請求項 3 のいずれか 1 項に記載の有機 EL 表示装置。

【請求項 5】

前記第 3 電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、

一の行に対応して配置された第 3 電源線と、前記一の行の前の行に対応して配置された

バイアス線とは共用されている、

請求項 1 乃至請求項 4 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 6】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する、

請求項 5 に記載の有機 E L 表示装置。

【請求項 7】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スwitching 素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 2 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない、

請求項 6 に記載の有機 E L 表示装置。

【請求項 8】

前記第 1 走査線と前記第 2 走査線とを共通の制御線とする、

請求項 4 に記載の有機 E L 表示装置。

【請求項 9】

前記第 1 スwitching 素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し

、

前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 1 電極に前記信号電圧を供給している期間とを同じとし、

前記第 1 走査線と前記バイアス線とを共通の制御線とする、

請求項 4 に記載の有機 E L 表示装置。

【請求項 10】

前記駆動素子は N 型トランジスタである、

請求項 1 乃至請求項 9 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 11】

前記第 3 電源線から供給される前記所定の固定電圧は前記第 1 電源線の電位以下とする

、

請求項 10 に記載の有機 E L 表示装置。

【請求項 12】

前記駆動回路は、

前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スwitching 素子を非導通とし、

前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 10 に記載の有機 E L 表示装置。

【請求項 13】

前記駆動素子は P 型トランジスタである、

請求項 1 乃至請求項 9 のいずれか 1 項に記載の有機 E L 表示装置。

【請求項 14】

前記第 3 電源線から供給される前記所定の固定電位は前記第 1 電源線の電位以上とする

、

請求項 13 に記載の有機 EL 表示装置。

【請求項 15】

前記駆動回路は、

前記コンデンサの第 1 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子をオフし、

前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 13 に記載の有機 EL 表示装置。

【請求項 16】

第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と、

前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 2 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 1 電極に接続され、前記データ線と前記コンデンサの第 1 電極との導通及び非導通を切り換える第 1 スwitchング素子と、

前記コンデンサの第 2 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 2 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitchング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機 EL 表示装置の制御方法であって、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第 1 スwitchング素子及び前記第 2 スwitchング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第 2 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 1 電極に供給させる、

有機 EL 表示装置の制御方法。

【請求項 17】

複数の画素部をマトリクス状に配置した有機 EL 表示装置であって、

前記複数の画素部の各々は、

第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給

され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と

、

前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スイッチング素子と、

一方の端子が前記コンデンサの第 1 電極に接続され、他方の端子が前記第 3 電源線に接続され、前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線とを備え、

前記有機 EL 表示装置は、さらに、

前記第 1 スイッチング素子の制御、前記第 2 スイッチング素子の制御、及び前記バックゲート電極への前記バイアス電圧の供給制御を実行する駆動回路を備え、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧の絶対値を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電圧であり、

前記駆動回路は、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第 1 スイッチング素子及び前記第 2 スイッチング素子を導通させて、前記駆動素子を非導通とした状態で、前記コンデンサの第 1 電極に前記所定の基準電圧を設定しつつ前記コンデンサの第 2 電極に前記信号電圧を供給する、

有機 EL 表示装置。

【請求項 18】

前記有機 EL 表示装置は、さらに、

マトリクス状に配置された前記複数の画素部を含む表示部の外周に配置され、所定の固定電位を前記表示部に供給する基幹電源線を含み、

前記第 2 電源線は、

マトリクス状に配置された複数の画素部の各行および各列に対応して、前記基幹電源線から分岐して網目状に設けられている、

請求項 17 に記載の有機 EL 表示装置。

【請求項 19】

前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくするための前記所定のバイアス電圧とは、

各画素部に含まれる前記発光素子を最大階調で発光させるために必要な所定の信号電圧が前記駆動素子のゲート電極に印加されたときに、前記駆動素子の閾値電圧の絶対値を前記ゲート電極及びソース電極間の電位差よりも大きくするように設定された電圧である、

請求項 17 又は請求項 18 に記載の有機 EL 表示装置。

【請求項 20】

前記有機 EL 表示装置は、さらに、

前記第 1 スイッチング素子の導通及び非導通を制御する信号を供給する第 1 走査線と、

前記第 2 スイッチング素子の導通及び非導通を制御する信号を供給する第 2 走査線と、を備える、

請求項 17 乃至請求項 19 のいずれか 1 項に記載の有機 EL 表示装置。

【請求項 21】

前記第 3 電源線及び前記バイアス線は、マトリクス状に配置された複数の画素部の各行に対応して配置され、

一の行に対応して配置された第 3 電源線と、前記一の行の前の行に対応して配置されたバイアス線とは共用されている、

請求項 17 乃至請求項 20 のいずれか 1 項に記載の有機 EL 表示装置。

【請求項 22】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定の基準電圧を供給して導通状態としつつ、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定の基準電圧を設定する、

請求項 21 に記載の有機 EL 表示装置。

【請求項 23】

前記駆動回路は、

前記一の行の前の行に配置された各画素部に含まれる前記駆動素子を、前記第 3 電源線と共用の前記バイアス線を介して前記所定のバイアス電圧を供給して非導通状態としつつ、前記第 2 スwitching 素子を非導通として、前記一の行に配置された各画素部に含まれるコンデンサの第 1 電極に、前記バイアス線と共用の前記第 3 電源線を介して前記所定のバイアス電圧を書き込まない、

請求項 22 に記載の有機 EL 表示装置。

【請求項 24】

前記第 1 走査線と前記第 2 走査線とを共通の制御線とする、

請求項 20 に記載の有機 EL 表示装置。

【請求項 25】

前記第 1 スwitching 素子と前記駆動素子とを互いに逆の極性のトランジスタで構成し、

前記バックゲート電極に前記所定のバイアス電圧を供給している期間と、前記コンデンサの第 2 電極に前記信号電圧を供給している期間とを同じとし、

前記第 1 走査線と前記バイアス線とを共通の制御線とする、

請求項 20 に記載の有機 EL 表示装置。

【請求項 26】

前記駆動素子は N 型トランジスタである、

請求項 17 乃至請求項 25 のいずれか 1 項に記載の有機 EL 表示装置。

【請求項 27】

前記データ線から供給される前記信号電圧の最大値は前記第 1 電源線の電位以下とする、

請求項 26 に記載の有機 EL 表示装置。

【請求項 28】

前記駆動回路は、

前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スwitching 素子を非導通とし、

前記所定のバイアス電圧よりも大きな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 26 に記載の有機 EL 表示装置。

【請求項 29】

前記駆動素子は P 型トランジスタである、

請求項 17 乃至請求項 25 のいずれか 1 項に記載の有機 EL 表示装置。

【請求項 30】

前記データ線から供給される前記信号電圧の最小値は前記第 1 電源線の電位以上とする

、

請求項 29 に記載の有機 EL 表示装置。

【請求項 31】

前記駆動回路は、

前記コンデンサの第 2 電極に前記信号電圧を供給した後、前記第 1 スwitchング素子を非導通とし、

前記所定のバイアス電圧よりも小さな電位を前記バックゲート電極に供給して前記駆動素子の閾値電圧を前記ゲート電極及び前記ソース電極の間の電位差よりも小さくすることで前記駆動素子を導通状態とし、

前記コンデンサに保持されている電圧に対応する駆動電流を前記発光素子に流して前記発光素子を発光させる、

請求項 29 に記載の有機 EL 表示装置。

【請求項 32】

第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と

、

前記駆動素子のソース電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スwitchング素子と、

前記コンデンサの第 1 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スwitchング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機 EL 表示装置の制御方法であって、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電位であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第 1 スwitchング素子及び前記第 2 スwitchング素子をオンして、前記駆動電流を非導通とした状態で、前記コンデンサの第 1 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 2 電極に供給させる、

有機 EL 表示装置の制御方法。

【手続補正 3】

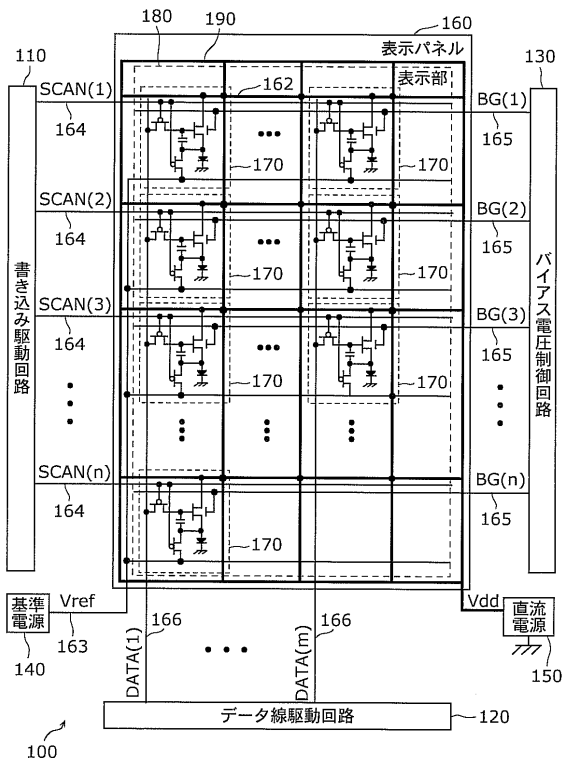
【補正対象書類名】図面

【補正対象項目名】全図

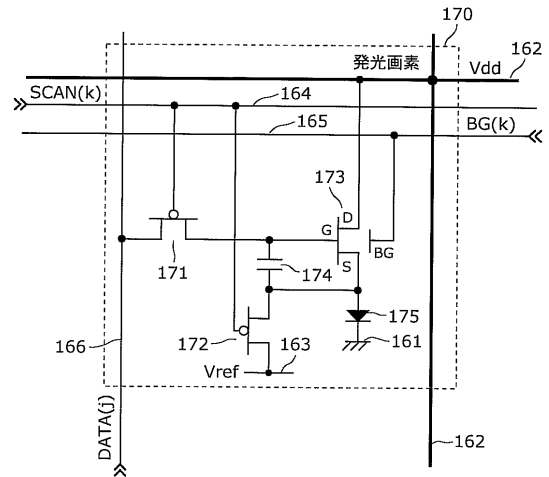
【補正方法】変更

【補正の内容】

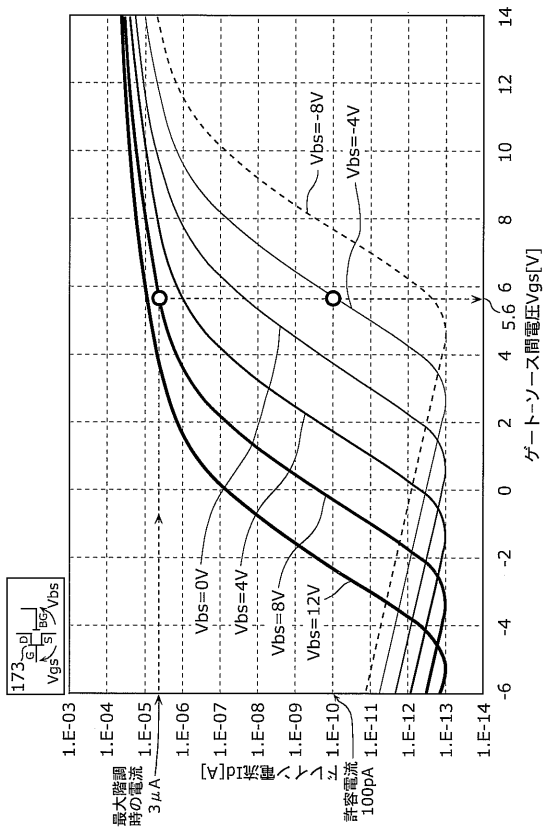
【図 1】



【図 2】

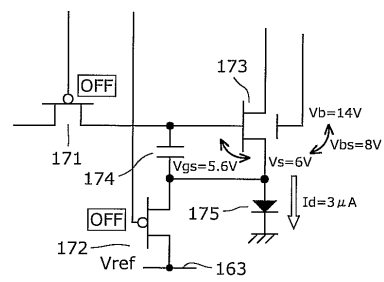


【図 3】



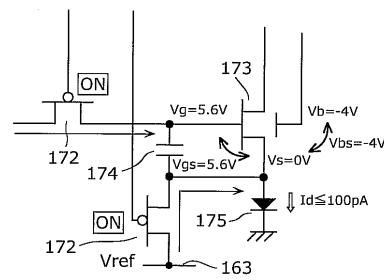
【図 4 A】

最大階調発光時

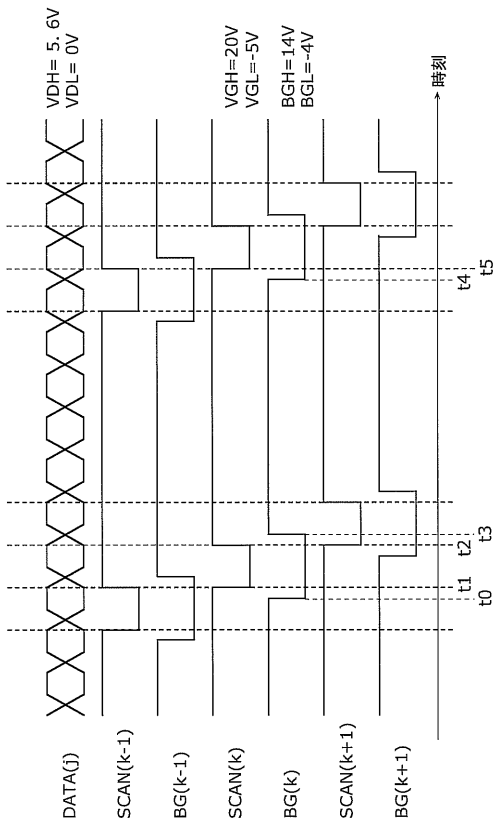


【図 4 B】

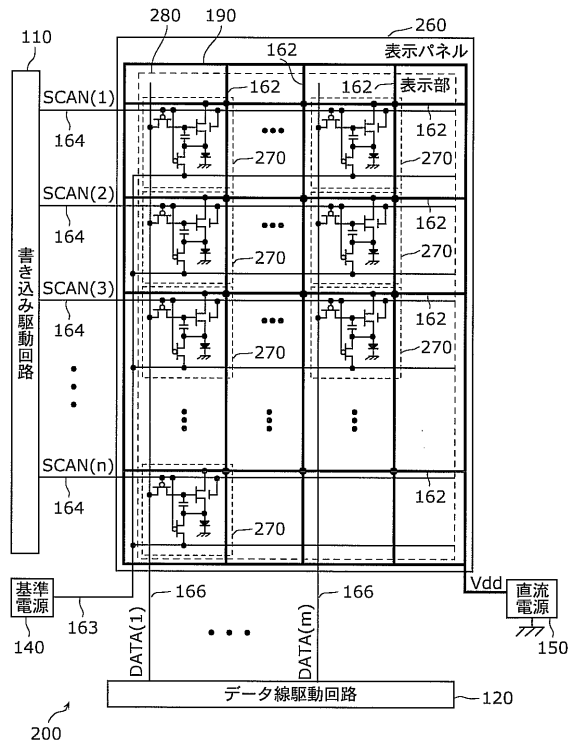
信号電圧書き込み時



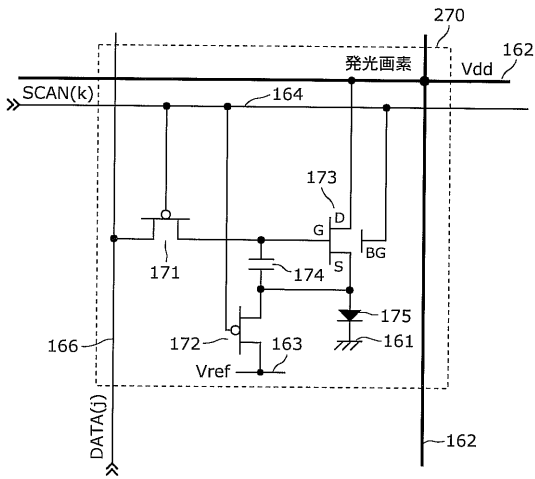
【図 5】



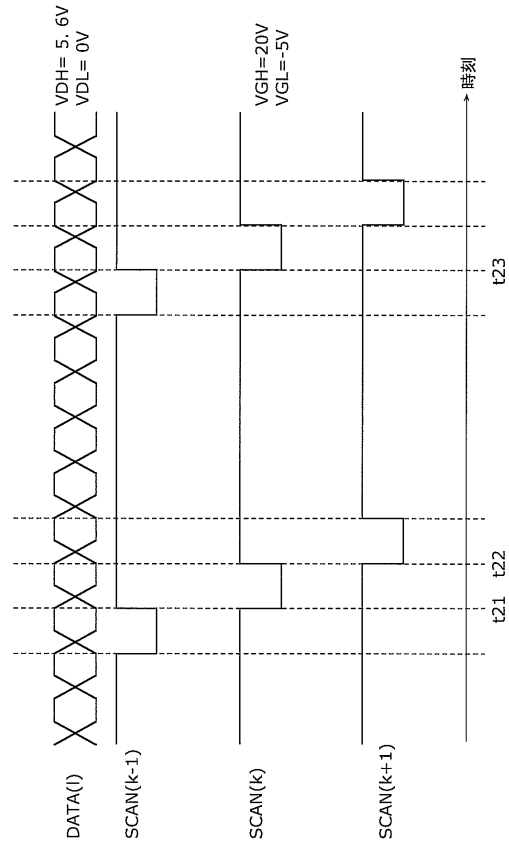
【図 6】



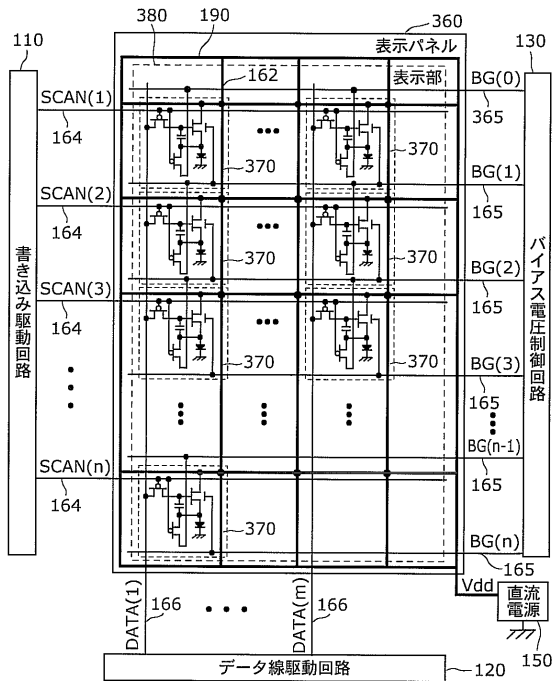
【図 7】



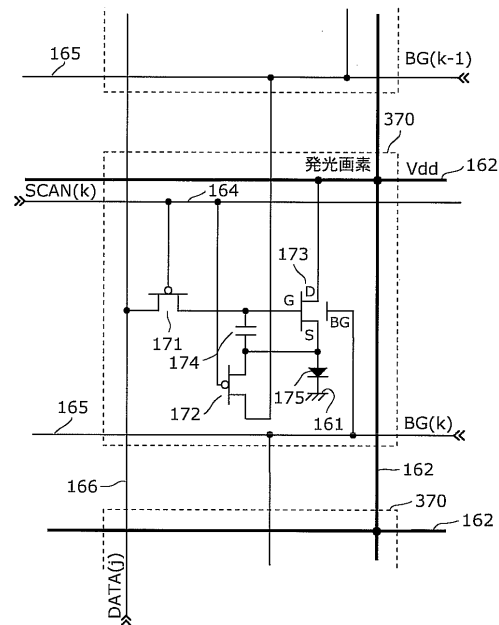
【図 8】



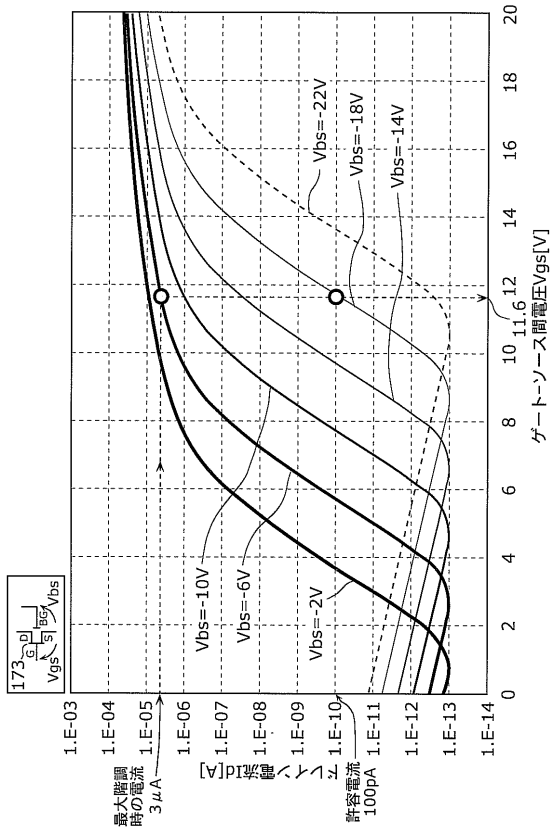
【図 9】



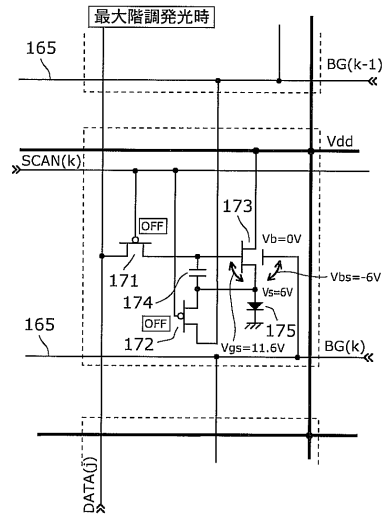
【図 10】



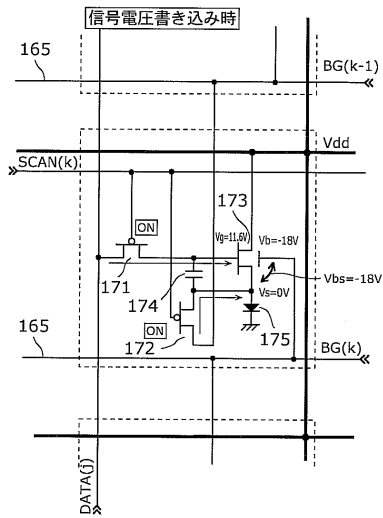
【図 1 1】



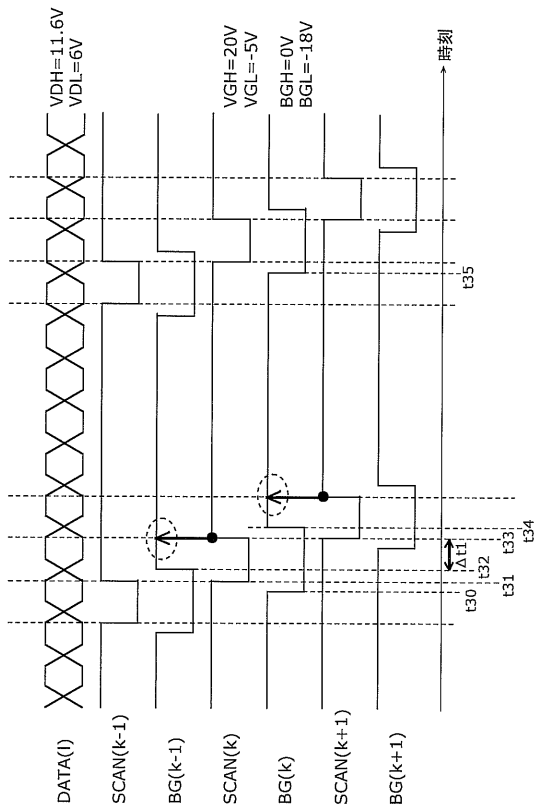
【図 1 2 A】



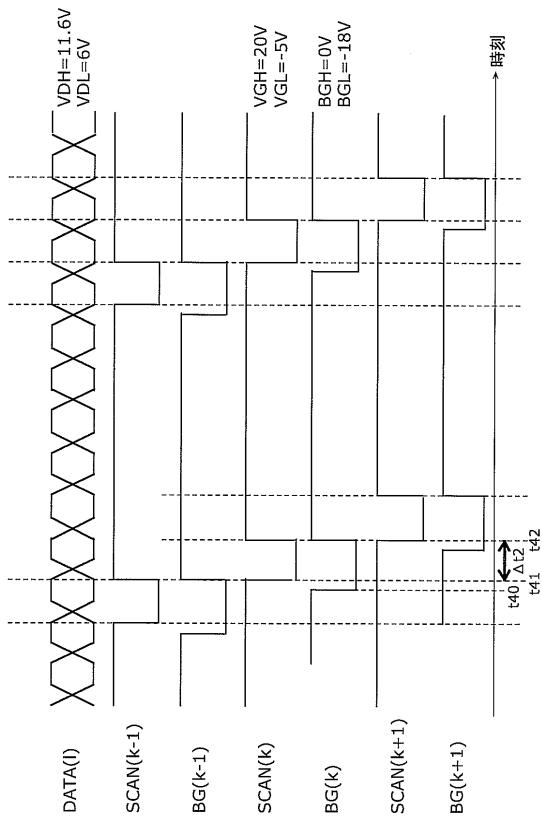
【図 1 2 B】



【図 1 3】

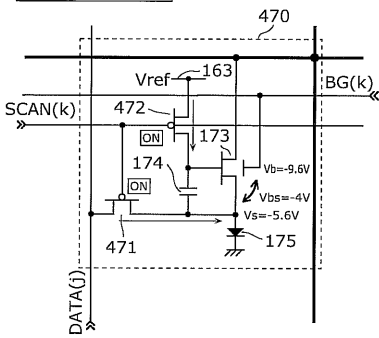


【図 1 4】

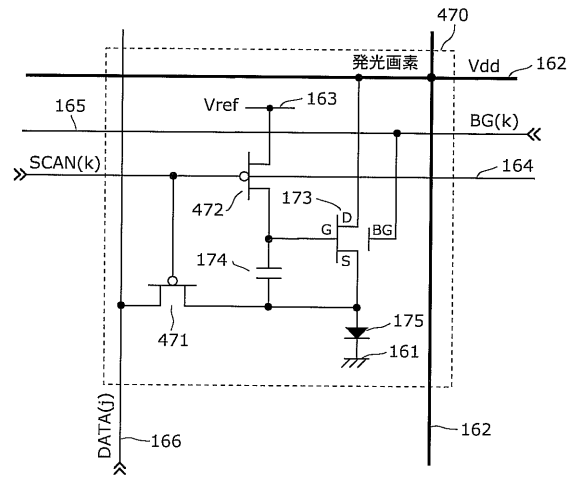


【図 1 6 B】

信号電圧書き込み時

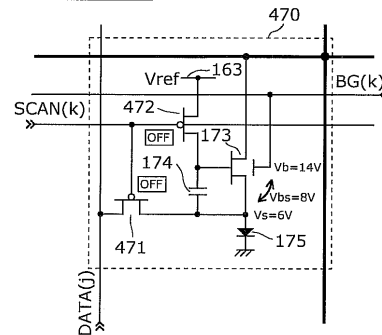


【図 1 5】

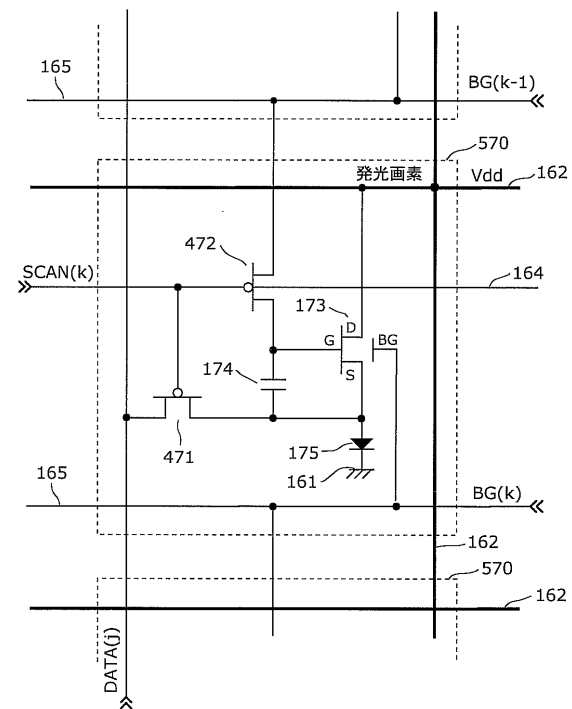


【図 1 6 A】

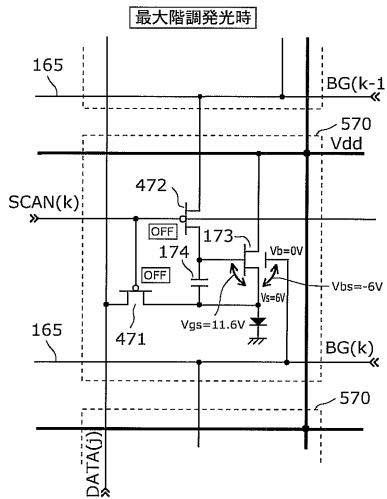
最大階調発光時



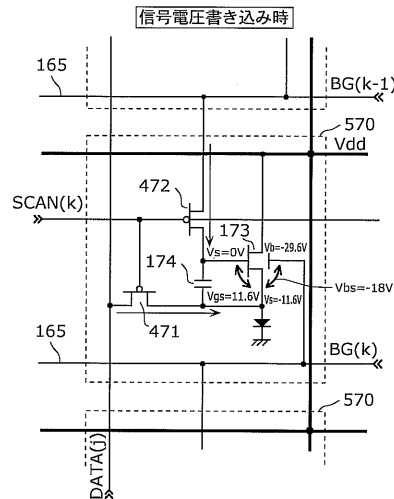
【図 1 7】



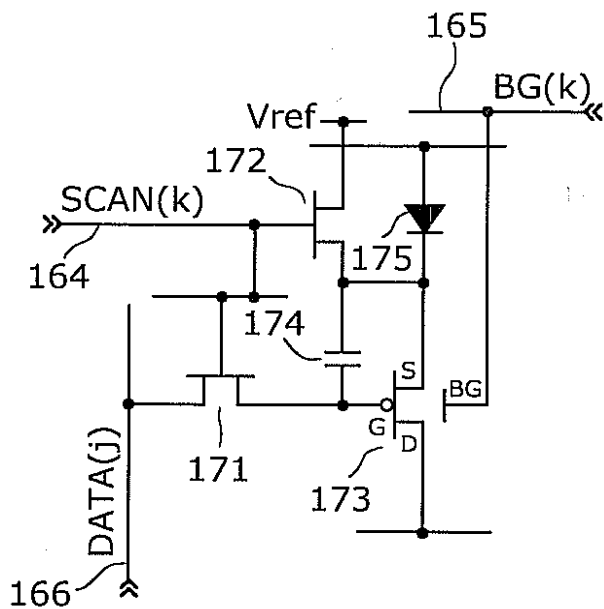
【 図 1 8 A 】



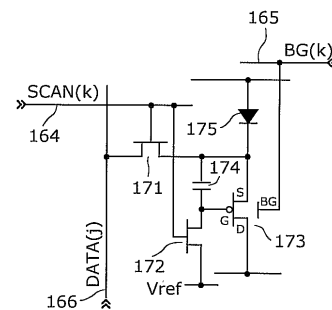
【 図 1 8 B 】



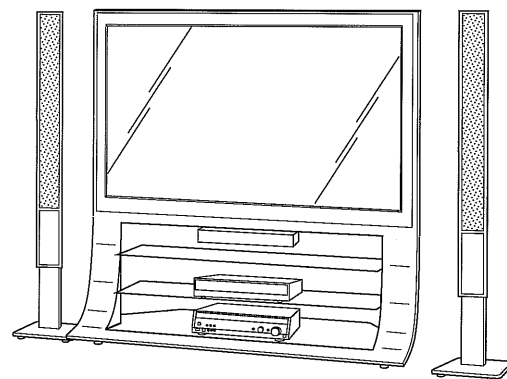
【 ㊦ 1 9 A 】



【 ㊦ 1 9 B 】



【 図 2 0 】



【手続補正書】

【提出日】平成22年12月27日(2010.12.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1 1

【補正方法】変更

【補正の内容】

【請求項 1 1】

前記第 3 電源線から供給される前記所定の基準電圧は前記第 1 電源線の電位以下とする

、

請求項 1 0 に記載の有機 E L 表示装置。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 1 4

【補正方法】変更

【補正の内容】

【請求項 1 4】

前記第 3 電源線から供給される前記所定の基準電圧は前記第 1 電源線の電位以上とする

、

請求項 1 3 に記載の有機 E L 表示装置。

【手続補正 3】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 3 2

【補正方法】変更

【補正の内容】

【請求項 3 2】

第 1 電極と第 2 電極とを有する発光素子と、

電圧を保持するためのコンデンサと、

ゲート電極が前記コンデンサの第 1 電極に接続され、ソース電極が前記コンデンサの第 2 電極に接続され、前記コンデンサに保持された電圧に応じた駆動電流を前記発光素子に流すことにより前記発光素子を発光させる駆動素子であって、所定のバイアス電圧が供給され、前記所定のバイアス電圧に応じて前記駆動素子を非導通とするバックゲート電極を備えた駆動素子と、

前記発光素子を介して、前記駆動素子のソース電極に電氣的に接続された第 1 電源線と

、

前記駆動素子のドレイン電極に電氣的に接続された第 2 電源線と、

前記第 1 電源線とは異なる電源線であって前記コンデンサの第 1 電極に所定の基準電圧を設定する第 3 電源線と、

信号電圧を供給するためのデータ線と、

一方の端子が前記データ線に接続され、他方の端子が前記コンデンサの第 2 電極に接続され、前記データ線と前記コンデンサの第 2 電極との導通及び非導通を切り換える第 1 スイッチング素子と、

前記コンデンサの第 1 電極と前記第 3 電源線との間に設けられ前記コンデンサの第 1 電極と前記第 3 電源線との導通及び非導通を切り換える第 2 スイッチング素子と、

前記バックゲート電極に印加される前記所定のバイアス電圧を供給するバイアス線と、を備える有機 E L 表示装置の制御方法であって、

前記所定のバイアス電圧は、前記駆動素子の閾値電圧を前記駆動素子のゲート電極及びソース電極間の電位差よりも大きくするための電位であり、

前記所定のバイアス電圧を前記バックゲート電極に印加することにより、前記駆動素子の閾値電圧を前記ゲート電極及びソース電極間の電位差よりも大きくして前記駆動素子を

非導通とし、

前記所定のバイアス電圧を印加している期間内に前記第 1 スイッチング素子及び前記第 2 スイッチング素子をオンして、前記駆動素子を非導通とした状態で、前記コンデンサの第 1 電極に前記所定の基準電圧を設定し、前記信号電圧を前記コンデンサの第 2 電極に供給させる、

有機 EL 表示装置の制御方法。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

本態様によると、前記駆動素子が N 型トランジスタの場合、前記第 3 電源線から供給される所定の基準電圧の電圧値を、前記第 1 電源線の電位以下となるように設定する。これにより、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しているときに、前記発光素子の第 1 電極の電位は前記発光素子の第 2 電極の電位以下となるので、前記第 3 電源線から前記発光素子に流れる電流を防止できる。その結果、前記コンデンサに前記信号電圧を供給している期間に不要な発光が生じてコントラストが低下することを防ぐことが出来る。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正の内容】

【0049】

本態様によると、前記駆動素子が P 型トランジスタの場合、前記第 3 電源線から供給される所定の基準電圧の電圧値を、前記第 1 電源線の電位以上となるように設定する。これにより、前記コンデンサの第 2 電極に前記所定の基準電圧を設定しているときに、前記発光素子の第 2 電極の電位は前記発光素子の第 1 電極の電位以上となるので、前記発光素子から第 3 電源線に流れる電流を防止できる。その結果、前記コンデンサに前記信号電圧を供給している期間に不要な発光が生じてコントラストが低下することを防ぐことが出来る。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0098

【補正方法】変更

【補正の内容】

【0098】

同図の横軸は、駆動トランジスタ 173 のゲート - ソース間電圧 V_{gs} を示し、同図の縦軸は、駆動トランジスタ 173 のドレイン電流 I_d を示す。具体的には、横軸は、駆動トランジスタ 173 のソース電極の電圧を基準としたゲート電極の電圧を示し、ゲート電極の電圧がソース電極の電圧より高い場合に正、低い場合に負となる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0130

【補正方法】変更

【補正の内容】

【0130】

ここで、例えば、最大階調の信号電圧に対応するデータ線電圧 V_{DH} を 5.6 V、最低階調（例えば、階調値 0）の信号電圧に対応するデータ線電圧 V_{DL} を 0 V とする。例え

ば、また、走査パルス $SCAN(1) \sim SCAN(n)$ のハイレベル電圧 V_{GH} を $20V$ 、ローレベル電圧 V_{GL} を $-5V$ とする。また、図3を用いて決定したように、バックゲートパルス $BG(1) \sim BG(n)$ のハイレベル電圧 BGH を $14V$ 、ローレベル電圧 BGL を $-4V$ とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0145

【補正方法】変更

【補正の内容】

【0145】

そこで、本実施の形態では、第1電源線161とは異なる電源線であってコンデンサ174の第2電極に所定の基準電圧 V_{ref} を設定する基準電源線163を設けた。そして、コンデンサ174の固定電位側である第2電極を第1電源線161から切り離し、基準電源線163に接続した。これにより、信号電圧の書き込み期間中、コンデンサ174の第2電極には基準電源線163が接続されるので、コンデンサ174の第2電極に対する第1電源線161の電圧降下の影響を防止でき、コンデンサ174に保持される電圧の変動を防止できる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0165

【補正方法】変更

【補正の内容】

【0165】

まず、時刻 t_{21} において、走査パルス $SCAN(k)$ がハイレベルからローレベルへと切り換わることにより、走査トランジスタ171及びリセットトランジスタ172がオンする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0170

【補正方法】変更

【補正の内容】

【0170】

ところで、時刻 t_{22} において、走査パルス $SCAN(k)$ のハイレベル電圧 ($V_{GH} = 20V$) が供給された場合の、駆動トランジスタ173のバックゲート電位 V_b は $20V$ となる。実施の形態1において述べたように、発光素子175が最大階調で発光している場合の駆動トランジスタ173のソース電位は $6V$ であるので、発光素子175が最大階調で発光している場合の駆動トランジスタ173のバックゲート-ソース間電圧 V_{bs} は $14V$ となる。よって、図3に示した $V_{gs} - I_d$ 特性より、駆動トランジスタ173に要求される条件である(条件i)最大階調での発光時に、最大階調に対応したドレイン電流を発光素子175に供給する、を満たすことができる。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0177

【補正方法】変更

【補正の内容】

【0177】

同図に示す有機EL表示装置300は、図1に示す有機EL表示装置100と比較して、一の行に配置された複数の発光画素370が前の行の発光画素370に対応して配置されたバイアス配線165と接続されている点と、基準電圧 V_{ref} を供給する基準電源140を備えない点と、ダミーバイアス配線365を備える点とが異なる。また、有機EL

表示装置 3 0 0 は、表示パネル 1 6 0 に代わり、複数の発光画素 3 7 0 が配置された表示部 3 8 0 を含む表示パネル 3 6 0 を備える。

【手続補正 1 2】

【補正対象書類名】明細書

【補正対象項目名】0 2 0 7

【補正方法】変更

【補正の内容】

【0 2 0 7】

言い換えると、コンデンサ 1 7 4 に保持される電圧は、走査パルス $SCAN(k)$ をローレベルからハイレベルへと切り換えたときに、コンデンサ 1 7 4 の第 1 電極に供給されている電圧と、コンデンサ 1 7 4 の第 2 電極に供給されている電圧により確定する。よって、本実施の形態に係る有機 EL 表示装置 3 0 0 では、走査パルス $SCAN(k)$ がローレベルからハイレベルへと切り換わる時刻 t_{33} に、バックゲート $BG(k-1)$ がハイレベルとなっていることにより $k-1$ 行の発光画素 3 7 0 に対応するバイアス配線 1 6 5 の電位が 0 V であることが必須である。

【手続補正 1 3】

【補正対象書類名】明細書

【補正対象項目名】0 2 4 2

【補正方法】変更

【補正の内容】

【0 2 4 2】

一方、図 1 6 B に示す信号電圧書き込み時には、リセットトランジスタ 4 7 2 が導通することにより、駆動トランジスタ 1 7 3 のゲートはリセットトランジスタ 4 7 2 を介して基準電源線 1 6 3 と接続されている。よって、駆動トランジスタ 1 7 3 のゲート電位は基準電圧 V_{ref} である 0 V となっている。また、駆動トランジスタ 1 7 3 のソース電位は、最大階調の信号電圧に対応するので、 $V_s = -5.6\text{ V}$ となっている。ソース電位が -5.6 V の場合、図 3 に示した $V_{bs} = -4\text{ V}$ 相当の特性を得るためのバックゲート電位 V_b は、 $V_b = V_s + V_{bs}$ より $V_b = -9.6\text{ V}$ と決定される。つまり、バックゲートパルス $BG(1) \sim$ バックゲートパルス $BG(n)$ のローレベル電圧は -9.6 V と決定される。

【手続補正 1 4】

【補正対象書類名】明細書

【補正対象項目名】0 2 4 7

【補正方法】変更

【補正の内容】

【0 2 4 7】

その結果、信号電圧を書き込んでいる期間に不要な発光が生じてコントラストが低下することを防ぐことができる。なお、上記説明では信号電圧を $-5.6\text{ V} \sim 0\text{ V}$ 、第 1 電源線 1 6 1 の電位を 0 V として説明したが、信号電圧は第 1 電源線 1 6 1 の電位以下であればよく、上記の例に限らない。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002471

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32
(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-060816 A (Canon Inc.), 18 March 2010 (18.03.2010), entire text; all drawings (Family: none)	1-32
A	WO 2009/041061 A1 (Panasonic Corp.), 02 April 2009 (02.04.2009), entire text; all drawings (Family: none)	1-32
A	JP 2009-251205 A (Sony Corp.), 29 October 2009 (29.10.2009), entire text; all drawings (Family: none)	1-32

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 June, 2010 (10.06.10)Date of mailing of the international search report
22 June, 2010 (22.06.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/002471

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-195028 A (Rohm Co., Ltd.), 19 July 2001 (19.07.2001), entire text; all drawings & US 2001/0007447 A1	1-32
A	JP 2009-063607 A (Seiko Epson Corp.), 26 March 2009 (26.03.2009), entire text; all drawings (Family: none)	1-32
A	JP 2005-208346 A (Seiko Epson Corp.), 04 August 2005 (04.08.2005), entire text; all drawings & US 2005/0162353 A1 & US 2009/0091521 A1 & EP 1557815 A2 & KR 10-2005-0076734 A & CN 1645445 A & TW 286728 B	1-32
A	JP 2003-216110 A (Semiconductor Energy Laboratory Co., Ltd.), 30 July 2003 (30.07.2003), paragraphs [0052] to [0065]; fig. 1, 3 & JP 2009-163268 A & US 2003/0090481 A1 & EP 1310937 A1 & KR 10-2003-0040056 A & CN 1419228 A & CN 101042840 A & KR 10-2007-0110242 A & KR 10-2007-0116763 A & CN 101127188 A	1-16
E,A	WO 2010/041426 A1 (Panasonic Corp.), 15 April 2010 (15.04.2010), entire text; all drawings (Family: none)	1-32

国際調査報告		国際出願番号 PCT/JP2010/002471									
A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G09G3/30(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G09G3/30, G09F9/30, G09G3/20, H01L27/32, H01L51/50											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 2010-060816 A（キヤノン株式会社）2010.03.18, 全文全図（ファミリーなし）	1-32									
A	W0 2009/041061 A1（パナソニック株式会社）2009.04.02, 全文全図（ファミリーなし）	1-32									
A	JP 2009-251205 A（ソニー株式会社）2009.10.29, 全文全図（ファミリーなし）	1-32									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
<table border="0"> <tr> <td> * 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 </td> <td> の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献 </td> </tr> </table>				* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献						
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願	の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献										
国際調査を完了した日 10.06.2010		国際調査報告の発送日 22.06.2010									
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 奈良田 新一 電話番号 03-3581-1101 内線 3226	2G 3805								

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 0 2 4 7 1
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-195028 A (ローム株式会社) 2001.07.19, 全文全図 & US 2001/0007447 A1	1-32
A	JP 2009-063607 A (セイコーエプソン株式会社) 2009.03.26, 全文全図 (ファミリーなし)	1-32
A	JP 2005-208346 A (セイコーエプソン株式会社) 2005.08.04, 全文全図 & US 2005/0162353 A1 & US 2009/0091521 A1 & EP 1557815 A2 & KR 10-2005-0076734 A & CN 1645445 A & TW 286728 B	1-32
A	JP 2003-216110 A (株式会社半導体エネルギー研究所) 2003.07.30, 段落【0052】 - 【0065】, 図1, 3 & JP 2009-163268 A & US 2003/0090481 A1 & EP 1310937 A1 & KR 10-2003-0040056 A & CN 1419228 A & CN 101042840 A & KR 10-2007-0110242 A & KR 10-2007-0116763 A & CN 101127188 A	1-16
E, A	WO 2010/041426 A1 (パナソニック株式会社) 2010.04.15, 全文全図 (ファミリーなし)	1-32

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 9 G 3/20 6 2 4 B

F ターム(参考) 5C380 AA01 AB06 AB46 AC07 BA01 BA19 BA28 BA29 BB02 BB23
CA12 CB01 CB17 CB26 CB31 CC01 CC26 CC27 CC33 CC52
CC55 CC62 CC63 CD013 CE01 CE04 DA02 DA06

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	有机EL显示装置及其控制方法		
公开(公告)号	JPWO2011125107A1	公开(公告)日	2013-07-08
申请号	JP2010548317	申请日	2010-04-05
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	戎野浩平		
发明人	戎野 浩平		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/325 G09G2300/0861 G09G2310/06 G09G2320/0233		
FI分类号	G09G3/30.J G09G3/20.611.J G09G3/20.642.A G09G3/20.611.A G09G3/20.680.H G09G3/20.624.B		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK43 5C380/AA01 5C380/AB06 5C380/AB46 5C380/AC07 5C380/BA01 5C380/BA19 5C380/BA28 5C380/BA29 5C380/BB02 5C380/BB23 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC01 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC52 5C380/CC55 5C380/CC62 5C380/CC63 5C380/CD013 5C380/CE01 5C380/CE04 5C380/DA02 5C380/DA06		
代理人(译)	新居 広守		
其他公开文献	JP5560206B2		
外部链接	Espacenet		

摘要(译)

有机电致发光显示器包括像素。每个像素包括驱动器，在驱动器的栅极和源极之间的电容器，连接到该源极的发光元件以及第一和第二开关。第一开关在数据线和电容器的第一电极之间。第二开关在电源线和电容器的第二电极之间。驱动电路向驱动器的背栅电极提供偏置电压，使得驱动器的阈值电压的绝对值大于驱动器的栅极-源极电压以将驱动器置于非导通状态，并且向电容器的第一电极提供信号电压，并向电容器的第二电极设置参考电压。

