

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5016862号
(P5016862)

(45) 発行日 平成24年9月5日(2012.9.5)

(24) 登録日 平成24年6月15日(2012.6.15)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 624B
HO1L 51/50 (2006.01)	G09G 3/20 641D
	G09G 3/20 622A
	G09G 3/20 621M
請求項の数 3 (全 17 頁) 最終頁に続く	

(21) 出願番号	特願2006-180188 (P2006-180188)	(73) 特許権者	501426046
(22) 出願日	平成18年6月29日 (2006.6.29)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2007-11371 (P2007-11371A)		ミテッド
(43) 公開日	平成19年1月18日 (2007.1.18)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成18年6月29日 (2006.6.29)		イドードン 20
(31) 優先権主張番号	10-2005-0058029	(74) 代理人	100110423
(32) 優先日	平成17年6月30日 (2005.6.30)		弁理士 曾我 道治
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順
最終頁に続く			

(54) 【発明の名称】 有機発光ダイオード表示装置

(57) 【特許請求の範囲】

【請求項1】

m (mは、正の整数である)本のデータラインと、前記データラインと交差するn (nは、正の整数である)本のゲートラインと、高電位の電源電圧が供給され、前記データライン間で前記データラインと平行に配置されるk ($k = m / 2$)本の電源電圧供給ラインと、それぞれに前記ゲートラインと対を成すリセットラインと、前記電源供給ラインに共通して接続される第1及び第2の有機発光ダイオードと、前記第1の有機発光ダイオード、前記ゲートラインからのスキャン信号に応じて、奇数番目の前記データラインからのデータ電圧により前記第1の有機発光ダイオードを駆動し、リセットラインからのリセット信号に応じて初期化される第1の有機発光ダイオード駆動回路を含む第1の画素と、前記第2の有機発光ダイオード、前記ゲートラインからのスキャン信号に応じて、偶数番目の前記データラインからのデータ電圧により前記第2の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第2の有機発光ダイオード駆動回路を含む第2の画素と、前記ゲートラインに前記スキャン信号を順次供給するゲート駆動回路と、前記データラインに前記データ電圧をそれぞれ供給するデータ駆動回路と、前記リセットラインに前記リセット信号を供給するリセット駆動回路と、を備え、

前記第1の有機発光ダイオード駆動回路は、前記ゲートラインからのスキャン信号に応じて、前記奇数番目のデータラインからのデータ電圧を第1のノードに供給する第1のトランジスタと、前記第1のノード上の電圧により前記第1の有機発光ダイオードに流れる電流量を制御する第2のトランジスタと、前記第1のノードと低電位電圧源との間に接続

されて前記リセットラインからのリセット信号に応じて、前記第1のノードを放電させる第3のトランジスタと、を備え、

前記第2の有機発光ダイオード駆動回路は、前記ゲートラインからのスキャン信号に応じて、前記偶数番目のデータラインからのデータ電圧を第2のノードに供給する第4のトランジスタと、前記第2のノード上の電圧により前記第2の有機発光ダイオードに流れる電流量を制御する第4のトランジスタと、前記第2のノードと前記低電位電圧源との間に接続されて前記リセットラインからのリセット信号に応じて、前記第2のノードを放電させる第6のトランジスタと、を備え、

第*i*リセットライン R_i と第 $i + 1$ リセットライン $R_{i + 1}$ に共通に供給されるリセット信号は、第 i ゲートライン G_i に供給されるスキャン信号より $1 / 2$ フレーム期間以上遅く発生し、

10

前記ゲート駆動回路は、予め設定されたクロック周波数によって発生するクロック信号に応じて、前記スキャン信号を順次発生するシフトレジスタを備え、前記リセット信号は、 $(1 / 2 \times \text{前記クロック周波数})$ の周波数により発生し、2本の前記リセットラインに同時に供給されることを特徴とする有機発光ダイオード表示装置。

【請求項2】

前記リセット駆動回路は、前記リセットラインに前記リセット信号を順次供給することを特徴とする請求項1に記載の有機発光ダイオード表示装置。

【請求項3】

前記ゲート駆動回路及び前記リセット駆動回路は、前記データライン、前記ゲートライン、前記電源電圧供給ライン、前記リセットライン、前記有機発光ダイオード、前記有機発光ダイオード駆動回路が形成された基板上に形成されることを特徴とする請求項1に記載の有機発光ダイオード表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機発光ダイオード表示装置に関し、特に、有機発光ダイオードパネルのライン数を減らすことによって、開口率を増加させ、輝度を向上させることができる有機発光ダイオード表示装置に関する。

【背景技術】

30

【0002】

近年、陰極線管(Cathode Ray Tube)の短所である重量及び体積を減少できる各種の平板表示装置が登場している。このような平板表示装置としては、液晶表示装置(Liquid Crystal Display)、電界放出表示装置(Field Emission Display)、プラズマディスプレイパネル(Plasma Display Panel)及び発光ダイオード(Light Emitting Diode: 以下、LEDという)表示装置などがある。

それらのうち、LED表示装置は、電子と正孔との再結合により蛍光体を発光させるLEDを利用し、このようなLEDは、蛍光体として無機化合物を使用する無機LED(Inorganic Light Emitting Diode)表示装置と、有機化合物を使用する有機LED(Organic Light Emitting Diode: 以下、OLEDという)表示装置とに区分される。このようなOLED表示装置は、低電圧駆動、自己発光、薄膜型、広い視野角、速い応答速度及び高いコントラストなどの多くの長所を有し、次世代の表示装置として期待されている。

40

【0003】

発光素子としてのOLEDは、通常、負極(Cathode)と正極(Anode)との間に積層された電子注入層、電子輸送層、発光層、正孔輸送層及び正孔注入層から構成される。このようなOLEDでは、正極と負極との間に所定の電圧を印加する場合、負極から発生した電子が電子注入層及び電子輸送層を通じて発光層側に移動し、正極から発生した正孔が正孔注入層及び正孔輸送層を通じて発光層側に移動する。これにより、発光層では、

50

電子輸送層及び正孔輸送層から供給された電子と正孔との再結合により光を放出する。

このようなO L E Dを利用するアクティブマトリックスタイプのO L E D表示装置は、
 図1に示したように、 n 本のゲートライン G_1 乃至 G_n (n は、正の整数である)と m 本の
 データライン D_1 乃至 D_m (m は、正の整数である)との交差で定義された領域に、 $n \times m$
 マトリックス形態で配列された $n \times m$ 個の画素 $P[i, j]$ を含むO L E Dパネル13と
 、O L E Dパネル13のゲートライン G_1 乃至 G_n を駆動するゲート駆動回路12と、O
 L E Dパネル13のデータライン D_1 乃至 D_m を駆動するデータ駆動回路11と、データ
 ライン D_1 乃至 D_m と並んで配列され、高電位の電源電圧 V_{DD} を各画素 $P[i, j]$ に
 供給する m 本の電源電圧供給ライン S_1 乃至 S_m と、を備える。但し、 $P[i, j]$ は、
 i 行、 j 列に位置した画素、 i は、 n より小さいか、または同じ正の整数、 j は、 m より
 小さいか、または同じ正の整数を意味する。

10

【0004】

ゲート駆動回路12は、ゲートライン G_1 乃至 G_n にスキャン信号を供給し、ゲートラ
 イン G_1 乃至 G_n を順次駆動する。データ駆動回路11は、外部から入力されたデジタル
 データ電圧をアナログデータ電圧に変換する。そして、データ駆動回路11は、アナログ
 データ電圧をスキャン信号が供給される度にデータライン D_1 乃至 D_m に供給する。画素
 $P[i, j]$ のそれぞれは、第 i のゲートライン G_i にスキャン信号が供給される時、第
 j のデータライン D_j からのデータ電圧が供給され、そのデータ電圧に相応する光を発生
 させる。

このために、各画素 $P[i, j]$ は、第 j の電源電圧供給ライン S_j に正極が接続され
 たO L E Dと、O L E Dを駆動するためにO L E Dの負極に接続されると共に、第 i のゲ
 ートライン G_i 及び第 j のデータライン D_j と接続し、低電位の電源電圧 V_{SS} が供給さ
 れるO L E D駆動回路15と、を備える。

20

【0005】

このようなO L E D駆動回路15は、第 i のゲートライン G_i からのスキャン信号に応
 じて、第 j のデータライン D_j からのデータ電圧を第1のノード N_1 に供給する第1のト
 ランジスタ T_1 と、第1のノード N_1 の電圧に応じて、O L E Dに流れる電流量を制御す
 る第2のトランジスタ T_2 と、第1のノード N_1 上の電圧が充電されるストレージキャパ
 シタ C_s と、を備える。

第1のトランジスタ T_1 は、ゲートライン G_i を通じてスキャン信号が供給されると、
 ターンオンされ、データライン D_j から供給されたデータ電圧を第1のノード N_1 に供給
 する。第1のノード N_1 に供給されたデータ電圧は、ストレージキャパシタ C_s に充電さ
 れると共に、第2のトランジスタ T_2 のゲート電極に供給される。このように供給される
 データ電圧により第2のトランジスタ T_2 がターンオンされると、O L E Dを通じて電流
 が流れる。このとき、O L E Dを通じて流れる電流は、第 j の電源電圧供給ライン S_j か
 ら供給される高電位の電源電圧 V_{DD} により発生し、電流量は、第2のトランジスタ T_2
 に印加されるデータ電圧の大きさに比例する。そして、第1のトランジスタ T_1 がター
 ンオフされても、第2のトランジスタ T_2 は、データ電圧が充電されたストレージキャパシ
 タ C_s による第1のノード上の電圧によりターンオン状態を維持し、次のフレームのデー
 タ電圧が供給されるまでO L E Dを経て流れる電流量を制御する。

30

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところが、前記のようなO L E D表示装置は、次のような問題点がある。図1に示され
 ているように、有機発光ダイオードパネルには、各画素に高電位の電源電圧 V_{DD} を供給
 するための電源電圧供給ライン S_j が形成される。例えば、 800×600 の解像度を有
 するS V G Aの場合には、 800 本の電源電圧供給ライン S_j が、 1024×768 の解
 像度を有するX G Aの場合には、 1024 本の電源電圧供給ライン S_j が形成される。こ
 のような多数のラインは、有機発光ダイオードパネルの開口率を減少させ、輝度を低下さ
 せる。

50

【 0 0 0 7 】

従って、本発明の目的は、ライン数を減すことができる O L E D パネルと、これを利用した O L E D 表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

前記目的を達成するために、本発明による O L E D 表示装置は、 m (m は、正の整数である)本のデータラインと、前記データラインと交差する n (n は、正の整数である)本のゲートラインと、高電位の電源電圧が供給され、前記データライン間で前記データラインと平行に配置される k ($k = m / 2$)本の電源電圧供給ラインと、それぞれに前記ゲートラインと対を成すリセットラインと、前記電源供給ラインに共通して接続される第 1 及び第 2 の有機発光ダイオードと、前記第 1 の有機発光ダイオード、前記ゲートラインからのスキャン信号に応じて、奇数番目の前記データラインからのデータ電圧により前記第 1 の有機発光ダイオードを駆動し、リセットラインからのリセット信号に応じて初期化される第 1 の有機発光ダイオード駆動回路を含む第 1 の画素と、前記第 2 の有機発光ダイオード、前記ゲートラインからのスキャン信号に応じて、偶数番目の前記データラインからのデータ電圧により前記第 2 の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第 2 の有機発光ダイオード駆動回路を含む第 2 の画素と、前記ゲートラインに前記スキャン信号を順次供給するゲート駆動回路と、前記データラインに前記データ電圧をそれぞれ供給するデータ駆動回路と、前記リセットラインに前記リセット信号を供給するリセット駆動回路と、を備え、前記第 1 の有機発光ダイオード駆動回路は、前記ゲートラインからのスキャン信号に応じて、前記奇数番目のデータラインからのデータ電圧を第 1 のノードに供給する第 1 のトランジスタと、前記第 1 のノード上の電圧により前記第 1 の有機発光ダイオードに流れる電流量を制御する第 2 のトランジスタと、前記第 1 のノードと低電位電圧源との間に接続されて前記リセットラインからのリセット信号に応じて、前記第 1 のノードを放電させる第 3 のトランジスタと、を備え、前記第 2 の有機発光ダイオード駆動回路は、前記ゲートラインからのスキャン信号に応じて、前記偶数番目のデータラインからのデータ電圧を第 2 のノードに供給する第 4 のトランジスタと、前記第 2 のノード上の電圧により前記第 2 の有機発光ダイオードに流れる電流量を制御する第 4 のトランジスタと、前記第 2 のノードと前記低電位電圧源との間に接続されて前記リセットラインからのリセット信号に応じて、前記第 2 のノードを放電させる第 6 のトランジスタと、を備え、第 i リセットライン R_i と第 $i + 1$ リセットライン R_{i+1} に共通に供給されるリセット信号は、第 i ゲートライン G_i に供給されるスキャン信号より $1 / 2$ フレーム期間以上遅く発生し、前記ゲート駆動回路は、予め設定されたクロック周波数によって発生するクロック信号に応じて、前記スキャン信号を順次発生するシフトレジスタを備え、前記リセット信号は、 $(1 / 2 \times \text{前記クロック周波数})$ の周波数により発生し、2 本の前記リセットラインに同時に供給されることを特徴とする。

【発明の効果】

【 0 0 1 1 】

本発明は、O L E D パネルにおいて、隣接した画素に信号ラインを共有させることによって、O L E D パネルのライン数を減少させ、開口率と輝度を向上させることができる。なお、O L E D を周期的にリセットさせ、O L E D 駆動の信頼性を向上させることができる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

前記目的以外の本発明の他の目的及び特徴は、添付の図面を参照した実施の形態の説明により明白になるだろう。以下、図 2 乃至図 1 2 を参照して、本発明の望ましい実施の形態について説明する。

【 0 0 1 3 】

実施の形態 1 .

本発明の第 1 の実施の形態による O L E D 表示装置は、図 2 に示されているように、 n

本のゲートライン G_1 乃至 G_n 、 m 本のデータライン D_1 乃至 D_m 及び $m/2$ 本の電源電圧供給ライン S_1 乃至 $S_{m/2}$ により領域が定義され、 $n \times m$ マトリックス形態で配列された $n \times m$ 個の画素($P[i, j]$:但し、 $P[i, j]$ は、 i 行、 j 列に位置した画素、 i は、 n より小さいか、または同じ正の整数、 j は、 m より小さいか、または同じ正の整数である)を含むOLEDパネル103と、OLEDパネル103のゲートライン G_1 乃至 G_n を駆動するゲート駆動回路102及びOLEDパネル103のデータライン D_1 乃至 D_m を駆動するデータ駆動回路101と、を備える。

【0014】

ゲート駆動回路102は、ゲートライン G_1 乃至 G_n にスキャン信号を供給し、ゲートライン G_1 乃至 G_n を順次駆動する。

10

データ駆動回路101は、外部から入力されたデジタルデータ信号をアナログデータ信号に変換する。そして、データ駆動回路101は、アナログデータ信号をスキャン信号が供給される度にデータライン D_1 乃至 D_m に供給する。

OLEDパネル103において、奇数番目のデータライン D_1 、 D_3 、 \dots 、 D_{m-1} と偶数番目のデータライン D_2 、 D_4 、 \dots 、 D_m との間に電源電圧供給ライン S_1 乃至 $S_{m/2}$ が一本ずつ配置される。即ち、隣合うデータライン間に電源電圧供給ラインが配置される。

【0015】

画素 $P[i, j]$ は、隣合う二本のゲートライン、即ち、一本のデータラインと一本の電源電圧供給ラインとの間により定義される画素領域に形成される。このような画素 $P[i, j]$ のそれぞれは、 i 番目のゲートライン G_i にスキャン信号が供給される時、 j 番目のデータラインからのデータ信号を供給され、そのデータ信号に相応する光を発生する。

20

画素 $P[i, j]$ のそれぞれは、電源電圧供給ライン S_1 乃至 $S_{m/2}$ に正極が接続されたOLEDと、OLEDを駆動するために、OLEDの負極に接続されると共に、ゲートライン G_i 及びデータライン D_j と接続され、低電位の電源電圧 V_{SS} が供給されるOLED駆動回路105と、を備える。

【0016】

奇数列の画素を" $P[i, 2k-1]$ (k は、 m 以下の正の整数である)"とし、偶数列の画素を" $P[i, 2k]$ "とすると、奇数列の画素 $P[i, 2k-1]$ 、及びそれと隣合う偶数列の画素 $P[i, 2k]$ のそれぞれに形成されたOLEDは、同一の電源電圧供給ライン S_1 乃至 $S_{m/2}$ から高電位の電源電圧 V_{DD} を供給される。

30

OLED駆動回路105は、ゲートライン G_1 乃至 G_n からのスキャン信号に応じて、データライン D_1 乃至 D_m からのデータ電圧を第1のノード N_1 に供給する第1のトランジスタ T_1 と、第1のノード N_1 の電圧に応じて、OLEDに流れる電流量を制御する第2のトランジスタ T_2 と、第1のノード N_1 の電圧と低電位の電源電圧 V_{SS} の差電圧を充電するストレージキャパシタ C_s と、を備える。このような第1及び第2のトランジスタ T_1 及び T_2 は、非晶質シリコンまたはポリシリコンを半導体層として利用することができる。

【0017】

40

第1のトランジスタ T_1 は、ゲートライン G_1 乃至 G_n からのスキャン信号に応じて、ターンオンされ、データライン D_1 乃至 D_m から供給されたデータ電圧を第1のノード N_1 に供給する。第1のノード N_1 に供給されたデータ電圧は、ストレージキャパシタ C_s に充電されると共に第2のトランジスタ T_2 のゲート電極に供給される。第1のノード N_1 に供給されるデータ電圧により第2のトランジスタ T_2 がターンオンされると、データ電圧に相応する電流がOLEDを通じて流れる。この時、OLEDを通して流れる電流は、第 k の電源電圧供給ライン S_k から供給される高電位の電源電圧 V_{DD} により発生し、電流量は、第2のトランジスタ T_2 に印加されるデータ電圧の大きさに比例する。そして、第1のトランジスタ T_1 がターンオフされても、第2のトランジスタ T_2 は、データ電圧が充電されたストレージキャパシタ C_s によりターンオン状態を維持し、次のフレーム

50

のデータ電圧が供給されるまで、O L E Dを経て流れる電流量を制御する。

【 0 0 1 8 】

このように、本発明の第 1 の実施の形態による O L E D 表示装置では、O L E D パネル 1 0 3 の隣接した二つの画素が、高電位の電源電圧を供給される電源供給ラインを共有することで、電源供給ラインの数が 1 / 2 に減少する。

【 0 0 1 9 】

実施の形態 2 .

図 3 は、本発明の第 2 の実施の形態による O L E D 表示装置を示すものである。本発明の第 2 の実施の形態による O L E D 表示装置は、図 3 に示されているように、n 本のゲートライン G 1 乃至 G n、m 本のデータライン D 1 乃至 D m 及び m / 2 本の電源電圧供給ライン S 1 乃至 S m / 2 により領域が定義され、n × m マトリクス形態で配列された n × m 個の画素 P [i、j] 及び各画素 P [i、j] にリセット信号を供給するための n 本のリセットライン R 1 乃至 R n を含む O L E D パネル 2 0 3 と、O L E D パネル 2 0 3 のゲートライン G 1 乃至 G n を駆動するゲート駆動回路 2 0 2 と、O L E D パネル 2 0 3 のデータライン D 1 乃至 D m を駆動するデータ駆動回路 2 0 1 及びリセット駆動回路 2 0 6 と、を備える。

10

【 0 0 2 0 】

ゲート駆動回路 2 0 2 は、ゲートライン G 1 乃至 G n にスキャン信号を供給し、ゲートライン G 1 乃至 G n を順次駆動する。

データ駆動回路 2 0 1 は、外部から入力されたデジタルデータ信号をアナログデータ信号に変換する。そして、データ駆動回路 2 0 1 は、アナログデータ信号をスキャン信号が供給される度にデータライン D 1 乃至 D m に供給する。

20

リセット駆動回路 2 0 6 は、スキャン信号に続いてリセット信号を発生し、そのリセット信号をリセットライン R 1 乃至 R n に順次供給する。

【 0 0 2 1 】

O L E D パネル 2 0 3 において、データライン D 1 乃至 D m 及び電源供給ライン S 1 乃至 S m / 2 は、前述の実施の形態と同様に、奇数データライン D 1、D 3、・・・、D m - 1 と偶数データライン D 2、D 4、・・・、D m との間に電源供給ライン S 1 乃至 S m / 2 が一本ずつ配置される。

ゲートライン G 1 乃至 G n 及びリセットライン R 1 乃至 R n は、データライン D 1 乃至 D m 及び電源電圧供給ライン S 1 乃至 S m / 2 と交差する。このようなゲートライン G 1 乃至 G n とリセットライン R 1 乃至 R n は、相互配置され、一本のゲートラインと一本のリセットラインとが一对を成し、一对のゲートラインとリセットラインが垂直に隣合う画素間に配置される。

30

前述の第 1 の実施の形態と同様に、奇数列の画素 P [i、2 k - 1]、及びそれと隣合う偶数列の画素 P [i、2 k] のそれぞれに形成された O L E D は、同一の電源電圧供給ライン S 1 乃至 S m / 2 から高電位の電源電圧 V D D を供給される。

【 0 0 2 2 】

O L E D 駆動回路 2 0 5 は、ゲートライン G 1 乃至 G n からのスキャン信号に応じて、データライン D 1 乃至 D m からのデータ電圧を第 1 のノード N 1 に供給する第 1 のトランジスタ T 1 と、第 1 のノード N 1 上の電圧に応じて、O L E D に流れる電流量を制御する第 2 のトランジスタ T 2 と、リセットライン R 1 乃至 R n からのリセット信号に応じて、第 1 のノード N 1 を放電させる第 3 のトランジスタ T 3 と、を備える。

40

第 1 のトランジスタ T 1 のゲート電極は、ゲートライン G 1 乃至 G n に接続され、ソース電極は、一本のデータライン D 1 乃至 D m に接続される。そして、第 1 のトランジスタ T 1 のドレイン電極は、第 1 のノード N 1 に接続される。

第 2 のトランジスタ T 2 のゲート電極は、第 1 のノード N 1 に接続され、ソース電極は、O L E D の負極に接続される。そして、第 2 のトランジスタ T 2 のドレイン電極は、低電位の電源電圧源 V S S に接続される。

第 3 のトランジスタ T 3 のゲート電極は、リセットライン R 1 乃至 R n に接続され、ソ

50

ース電極は、第1のノードN1に接続される。そして、第3のトランジスタT3のドレーン電極は、低電位の電源電圧源VSSに接続される。

このようなトランジスタT1乃至T3は、N型のMOSトランジスタで具現化される。

【0023】

スキャン信号に応じて、第1のトランジスタT1がターンオンされると、データラインD1乃至Dmからのデータ電圧が第1のノードN1に供給される。第1のノードN1に供給されたデータ電圧は、第2のトランジスタT2のゲート電極に供給される。このように供給されるデータ電圧により第2のトランジスタT2がターンオンされると、OLEDを通して電流が流れる。この時、OLEDを通して流れる電流は、高電位の電源電圧VDDにより発生し、その電流量は、第2のトランジスタT2のゲート電極に印加されるデータ電圧の大きさに比例する。そして、第1のトランジスタT1がターンオフされても、第1のノードN1上にフローティング(Floating)されたデータ電圧により第2のトランジスタT2は、ターンオン状態を維持し、リセット信号により第3のトランジスタT3がターンオンされ、第1のノードN1が放電するまで第2のトランジスタは、ターンオン状態を維持する。このようなOLED駆動回路205は、OLED駆動素子(第2のトランジスタ)の制御ノード(第1のノード)を一定週期ごとに放電させ、OLED駆動素子のゲートバイアスストレスによる劣化を減少させ、OLED駆動素子の劣化による特性変化を防止することで、OLED駆動回路205の動作の信頼性を確保する。

【0024】

図4は、スキャン信号及びリセット信号を供給するためのゲート駆動回路202及びリセット駆動回路206を概略的に示すものである。

図4を参照すると、ゲート駆動回路202は、従属的に接続されたn個のステージから構成されるシフトレジスタを含む。このようなシフトレジスタにおいて、第1のステージには、第1のスタート信号Vst1が入力され、第2乃至第nのステージには、スタート信号として前段の出力信号が入力される。また、各ステージは、同一の回路構成を有し、クロック信号に応じて、スタート信号Vst1または前段の出力信号をシフトさせることで、1水平期間のパルス幅を有するスキャン信号を発生する。このように発生するスキャン信号は、ゲートラインG1乃至Gnに順次供給される。

【0025】

リセット駆動回路206は、n個のステージから構成されるシフトレジスタを含み、各ステージは、ゲート駆動回路202のシフトレジスタステージと同一の回路構成を有する。このリセット駆動回路206に供給されるクロック信号は、ゲート駆動回路202に供給されるクロック信号と同様の周期及び持続時間を有する。

一方、第iのリセットラインRiに供給されるリセット信号は、第iのゲートラインGiに供給されるスキャン信号よりも遅れて供給される。スキャン信号よりも遅れるリセット信号を供給するためには、第1のスタート信号Vst1と第2のスタート信号Vst2との時間差を置けば良く、リセット信号が供給されるタイミングは、第iのゲートラインGiに供給されるスキャン信号よりも1/2フレーム期間程度遅れるのが適当である。また、このようなリセット信号は、毎フレーム期間単位で供給されることもでき、数フレーム期間単位で1回ずつ供給されることもできる。

【0026】

図5は、図4のリセット駆動回路206と異なるリセット駆動回路207を示すものである。

図5のリセット駆動回路207は、一つのステージで二つのリセットラインRi、R+1にリセット信号を供給することを特徴とする。これのために、図5のリセット駆動回路207に供給されるクロック信号は、図4のリセット駆動回路206に供給されるクロック信号に比べて、2倍の週期及び持続時間を有する。その外に、一つのステージで三つ以上のリセットラインに同時にリセット信号を供給する方法も可能である。

上述したように、本発明の第2の実施の形態によるOLED表示装置では、OLEDパネル203の隣接した二つの画素が、高電位の電源電圧を供給される電源供給ラインを共

10

20

30

40

50

有することで、電源供給ラインの数が $1/2$ に減少すると共に、リセット信号により O L E D 駆動素子の制御ノードを放電させることで、O L E D 駆動素子の劣化による特性変化を防止し、O L E D 駆動回路の動作の信頼性が向上できる。

【 0 0 2 7 】

実施の形態 3 .

図 6 は、本発明の第 3 の実施の形態による O L E D 表示装置を示すものである。

本発明の第 3 の実施の形態による O L E D 表示装置は、図 6 に示されているように、 n 本のゲートライン G_1 乃至 G_n 、 m 本のデータライン D_1 乃至 D_m 及び $m/2$ 本の電源電圧供給ライン S_1 乃至 $S_{m/2}$ 及び $n/2$ 本のリセットライン R_1 乃至 $R_{n/2}$ により領域が定義され、 $n \times m$ マトリックス形態で配列された $n \times m$ 個の画素 $P[i, j]$ を含む O L E D パネル 303 と、O L E D パネル 303 のゲートライン G_1 乃至 G_n を駆動するゲート駆動回路 302 と、O L E D パネル 303 のデータライン D_1 乃至 D_m を駆動するデータ駆動回路 301 及びリセット駆動回路 306 と、を備える。ここで、 $P[i, j]$ は、 i 行、 j 列に位置した画素、 i は、 n よりも小さいか、または同じ正の整数、 j は、 m よりも小さいか、または同じ正の整数を意味する。

【 0 0 2 8 】

ゲート駆動回路 302 は、ゲートライン G_1 乃至 G_n にスキャン信号を供給し、ゲートライン G_1 乃至 G_n を順次駆動する。

リセット駆動回路 306 は、スキャン信号に続いてリセット信号を発生し、そのリセット信号をリセットライン R_1 乃至 $R_{n/2}$ に順次供給する。ここで、リセット信号は、ゲート駆動回路 302 に供給されるクロック周波数の $1/c$ 周波数(但し、 c は、正の整数である)により発生し、 c 個のリセットラインに同時または順次供給される。

データ駆動回路 301 は、外部から入力されたデジタルデータ信号をアナログデータ信号に変換する。そして、データ駆動回路 301 は、アナログデータ信号をスキャン信号が供給される度にデータライン D_1 乃至 D_m に供給する。

【 0 0 2 9 】

ゲートライン G_1 乃至 G_n 及びリセットライン R_1 乃至 $R_{n/2}$ は、データライン D_1 乃至 D_m 及び電源供給ライン S_1 乃至 $S_{m/2}$ と交差する。奇数データライン D_1 、 D_3 、 \dots 、 D_{m-1} と、それと隣合う偶数データライン D_2 、 D_4 、 \dots 、 D_m との間には、一本の電源電圧供給ライン S_1 乃至 $S_{m/2}$ が配置される。奇数ゲートライン G_1 、 G_3 、 \dots 、 G_{n-1} と、それと隣合う偶数ゲートライン G_2 、 G_4 、 \dots 、 G_n との間には、一本のリセットライン R_1 乃至 $R_{n/2}$ が配置される。

奇数列の画素 $P[i, 2k-1]$ 及びそれと隣合う偶数列の画素 $P[i, 2k]$ のそれぞれに形成された O L E D は、同一の電源電圧供給ライン S_1 乃至 $S_{m/2}$ から高電位の電源電圧 V_{DD} を供給される。

このような画素 $P[i, j]$ のそれぞれは、第 i のゲートライン G_i にスキャン信号が供給される時、第 j のデータライン D_j からのデータ信号を供給され、そのデータ信号に相応する光を発生する。

【 0 0 3 0 】

O L E D 駆動回路 305 は、ゲートライン G_1 乃至 G_n からのスキャン信号に応じて、データライン D_1 乃至 D_m からのデータ電圧を第 1 のノード N_1 に供給する第 1 のトランジスタ T_1 と、第 1 のノード N_1 上の電圧に応じて、O L E D に流れる電流量を制御する第 2 のトランジスタ T_2 と、リセットライン R_1 乃至 $R_{n/2}$ からのリセット信号に応じて、第 1 のノード N_1 を放電させる第 3 のトランジスタ T_3 と、を備える。

【 0 0 3 1 】

$4i+1$ 行に配置され、 $4j+1$ 列に配置される画素 $P[4i+1, 4j+1]$ において、第 1 のトランジスタ T_1 のゲート電極は、第 $4i+1$ のゲートライン G_1 、 G_5 、 \dots 、 G_{n-3} に接続され、ソース電極は、第 $4j+1$ のデータライン D_1 、 D_5 、 \dots 、 D_{m-3} に接続される。そして、第 1 のトランジスタ T_1 のドレイン電極は、第 1 のノード N_1 に接続される。この画素 $P[4i+1, 4j+1]$ において、第 2 のトランジスタ

10

20

30

40

50

T 2 のゲート電極は、第 1 のノード N 1 に接続され、ソース電極は、O L E D の負極に接続される。そして、第 2 のトランジスタ T 2 のドレーン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 1 , 4 j + 1] において、第 3 のトランジスタ T 3 のゲート電極は、奇数リセットライン R 1 , R 3 , . . . , R n / 2 - 1 に接続され、ソース電極は、第 1 のノード N 1 に接続される。そして、第 3 のトランジスタ T 3 のドレーン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 1 , 4 j + 1] において、O L E D の正極は、奇数電源電圧供給ライン S 1 , S 3 , . . . , S m / 2 - 1 に接続される。

【 0 0 3 2 】

4 i + 1 行に配置され、4 j + 2 列に配置される画素 P [4 i + 1 , 4 j + 2] において、第 1 のトランジスタ T 1 のゲート電極は、第 4 i + 1 のゲートライン G 1 , G 5 , . . . , G n - 3 に接続され、ソース電極は、第 4 j + 2 のデータライン D 2 , D 6 , . . . , D m - 2 に接続される。そして、第 1 のトランジスタ T 1 のドレーン電極は、第 1 のノード N 1 に接続される。この画素 P [4 i + 1 , 4 j + 2] において、第 2 のトランジスタ T 2 のゲート電極は、第 1 のノード N 1 に接続され、ソース電極は、O L E D の負極に接続される。そして、第 2 のトランジスタ T 2 のドレーン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 1 , 4 j + 2] において、第 3 のトランジスタ T 3 のゲート電極は、奇数リセットライン R 1 , R 3 , . . . , R n / 2 - 1 に接続され、ソース電極は、第 1 のノード N 1 に接続される。そして、第 3 のトランジスタ T 3 のドレーン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 1 , 4 j + 2] において、O L E D の正極は、奇数電源電圧供給ライン S 1 , S 3 , . . . , S m / 2 - 1) に接続される。

【 0 0 3 3 】

4 i + 1 行に配置され、4 j + 3 列に配置される画素 P [4 i + 1 , 4 j + 3] において、第 1 のトランジスタ T 1 のゲート電極は、第 4 i + 1 のゲートライン G 1 , G 5 , . . . , G n - 3 に接続され、ソース電極は、第 4 j + 3 のデータライン D 3 , D 7 , . . . , D m - 1 に接続される。そして、第 1 のトランジスタ T 1 のドレーン電極は、第 1 のノード N 1 に接続される。この画素 P [4 i + 1 , 4 j + 3] において、第 2 のトランジスタ T 2 のゲート電極は、第 1 のノード N 1 に接続され、ソース電極は、O L E D の負極に接続される。そして、第 2 のトランジスタ T 2 のドレーン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 1 , 4 j + 3] において、第 3 のトランジスタ T 3 のゲート電極は、奇数リセットライン R 1 , R 3 , . . . , R n / 2 - 1 に接続され、ソース電極は、第 1 のノード N 1 に接続される。そして、第 3 のトランジスタ T 3 のドレーン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 1 , 4 j + 3] において、O L E D の正極は、偶数電源電圧供給ライン S 2 , S 4 , . . . , S m / 2 に接続される。

【 0 0 3 4 】

4 i + 1 行に配置され、4 j + 4 列に配置される画素 P [4 i + 1 , 4 j + 4] において、第 1 のトランジスタ T 1 のゲート電極は、第 4 i + 1 のゲートライン G 1 , G 5 , . . . , G n - 3 に接続され、ソース電極は、第 4 j + 4 のデータライン D 4 , D 8 , . . . , D m に接続される。そして、第 1 のトランジスタ T 1 のドレーン電極は、第 1 のノード N 1 に接続される。この画素 P [4 i + 1 , 4 j + 4] において、第 2 のトランジスタ T 2 のゲート電極は、第 1 のノード N 1 に接続され、ソース電極は、O L E D の負極に接続される。そして、第 2 のトランジスタ T 2 のドレーン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 1 , 4 j + 4] において、第 3 のトランジスタ T 3 のゲート電極は、奇数リセットライン R 1 , R 3 , . . . , R n / 2 - 1 に接続され、ソース電極は、第 1 のノード N 1 に接続される。そして、第 3 のトランジスタ T 3 のドレーン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 1 , 4 j + 4] において、O L E D の正極は、偶数電源電圧供給ライン S 2 , S 4 , . . . , S m / 2 に接続される。

10

20

30

40

50

【 0 0 3 5 】

4 i + 2 行に配置され、4 j + 1 列に配置される画素 P [4 i + 2、4 j + 1] において、第 1 のトランジスタ T 1 のゲート電極は、第 4 i + 2 のゲートライン G 2、G 6、 \dots 、G n - 2 に接続され、ソース電極は、第 4 j + 1 のデータライン D 1、D 5、 \dots 、D m - 3 に接続される。そして、第 1 のトランジスタ T 1 のドレイン電極は、第 1 のノード N 1 に接続される。この画素 P [4 i + 2、4 j + 1] において、第 2 のトランジスタ T 2 のゲート電極は、第 1 のノード N 1 に接続され、ソース電極は、O L E D の負極に接続される。そして、第 2 のトランジスタ T 2 のドレイン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 2、4 j + 1] において、第 3 のトランジスタ T 3 のゲート電極は、奇数リセットライン R 1、R 3、 \dots 、R n / 2 - 1 に接続され、ソース電極は、第 1 のノード N 1 に接続される。そして、第 3 のトランジスタ T 3 のドレイン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 2、4 j + 1] において、O L E D の正極は、奇数電源電圧供給ライン S 1、S 3、 \dots 、S m / 2 - 1 に接続される。

10

【 0 0 3 6 】

4 i + 3 行に配置され、4 j + 1 列に配置される画素 P [4 i + 3、4 j + 1] において、第 1 のトランジスタ T 1 のゲート電極は、第 4 i + 3 のゲートライン G 3、G 7、 \dots 、G n - 1 に接続され、ソース電極は、第 4 j + 1 のデータライン D 1、D 5、 \dots 、D m - 3 に接続される。そして、第 1 のトランジスタ T 1 のドレイン電極は、第 1 のノード N 1 に接続される。この画素 P [4 i + 3、4 j + 1] において、第 2 のトランジスタ T 2 のゲート電極は、第 1 のノード N 1 に接続され、ソース電極は、O L E D の負極に接続される。そして、第 2 のトランジスタ T 2 のドレイン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 3、4 j + 1] において、第 3 のトランジスタ T 3 のゲート電極は、偶数リセットライン R 2、R 4、 \dots 、R n / 2 に接続され、ソース電極は、第 1 のノード N 1 に接続される。そして、第 3 のトランジスタ T 3 のドレイン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 3、4 j + 1] において、O L E D の正極は、奇数電源電圧供給ライン S 1、S 3、 \dots 、S m / 2 - 1 に接続される。

20

【 0 0 3 7 】

4 i + 4 行に配置され、4 j + 1 列に配置される画素 P [4 i + 4、4 j + 1] において、第 1 のトランジスタ T 1 のゲート電極は、第 4 i + 4 のゲートライン G 4、G 8、 \dots 、G n に接続され、ソース電極は、第 4 j + 1 のデータライン D 1、D 5、 \dots 、D m - 3 に接続される。そして、第 1 のトランジスタ T 1 のドレイン電極は、第 1 のノード N 1 に接続される。この画素 P [4 i + 4、4 j + 1] において、第 2 のトランジスタ T 2 のゲート電極は、第 1 のノード N 1 に接続され、ソース電極は、O L E D の負極に接続される。そして、第 2 のトランジスタ T 2 のドレイン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 3、4 j + 1] において、第 3 のトランジスタ T 3 のゲート電極は、偶数リセットライン R 2、R 4、 \dots 、R n / 2 に接続され、ソース電極は、第 1 のノード N 1 に接続される。そして、第 3 のトランジスタ T 3 のドレイン電極は、低電位の電源電圧源 V S S に接続される。この画素 P [4 i + 4、4 j + 1] において、O L E D の正極は、奇数電源電圧供給ライン S 1、S 3、 \dots 、S m / 2 - 1 に接続される。

30

40

【 0 0 3 8 】

各画素において、第 1 乃至第 3 のトランジスタ T 1 乃至 T 3 は、非晶質シリコンまたはポリシリコンで形成されることができ、N 型の M O S トランジスタで具現化される。

結果として、図 6 のように水平に隣合う二つの画素は、同一の電源電圧供給ライン S 1 乃至 S m / 2 を共有し、垂直に隣合う画素は、同一のリセットライン R 1 乃至 R n / 2 を共有する。

【 0 0 3 9 】

それぞれの O L E D 駆動回路 3 0 5 において、スキャン信号に応じて、第 1 のトランジ

50

スタ T 1 がターンオンされると、第 j のデータライン D j から供給されたデータ電圧を第 1 のノード N 1 に供給する。第 1 のノード N 1 に供給されたデータ電圧は、第 2 のトランジスタのゲート電極に供給される。このように供給されるデータ電圧により第 2 のトランジスタ T 2 がターンオンされると、O L E D を通じて電流が流れる。この時、O L E D を通じて流れる電流は、高電位の電源電圧 V D D により発生し、その電流量は、第 2 のトランジスタ T 2 のゲート電極に印加されるデータ電圧の大きさに比例する。そして、第 1 のトランジスタ T 1 がターンオフされても、第 1 のノード N 1 上にフローティング(F l o a t i n g)されたデータ電圧により第 2 のトランジスタ T 2 は、ターンオン状態を維持し、リセット信号により第 3 のトランジスタ T 3 がターンオンされ、第 1 のノード N 1 が放電するまで、第 2 のトランジスタはターンオン状態を維持する。このような O L E D 駆動回路 3 0 5 は、O L E D 駆動素子(第 2 のトランジスタ)の制御ノード(第 1 のノード)を一定週期ごとに放電させ、O L E D 駆動素子のゲートバイアスストレスによる劣化を減少させ、O L E D 駆動素子の劣化による特性変化を防止することで、O L E D 駆動回路 3 0 5 の動作の信頼性を確保する。

10

【 0 0 4 0 】

図 7 は、ゲート駆動回路 3 0 2 及びリセット駆動回路 3 0 6 を概略的に示すものである。図 7 を参照すると、ゲート駆動回路 3 0 2 は、従属的に接続された n 個のステージから構成されるシフトレジスタを含む。このようなシフトレジスタにおいて、第 1 のステージには、第 1 のスタート信号 V s t 1 が入力され、第 2 乃至第 n のステージには、スタート信号として前段の出力信号が入力される。また、各ステージは、同一の回路構成を有し、クロック信号 C L K s に応じて、第 1 のスタート信号 V s t 1 または前段の出力信号をシフトさせることで、1 水平期間のパルス幅を有するスキャン信号を発生する。このように発生するスキャン信号は、ゲートライン G 1 乃至 G n に順次供給される。

20

【 0 0 4 1 】

リセット駆動回路 3 0 6 は、n / 2 個のステージから構成されるシフトレジスタを含み、各ステージは、ゲート駆動回路 3 0 2 のシフトレジスタステージと同一の回路構成を有し、リセット駆動回路 3 0 6 に供給されるクロック信号 C L K s は、ゲート駆動回路 3 0 2 に供給されるクロック信号 C L K s に比べて、2 倍の週期及び持続時間を有する。このリセット駆動回路 3 0 6 の各ステージで発生するリセット信号のそれぞれは、2 行の画素を同時にリセットさせる。

30

【 0 0 4 2 】

一方、同一の行から発生するスキャン信号とリセット信号との間の時間差を見ると、リセット信号は、スキャン信号よりも約 1 / 2 フレーム期間以上遅れる。スキャン信号に比べて、リセット信号をさらに遅く発生させるために、第 1 のスタート信号 V s t 1 と第 2 のスタート信号 V s t 2 との時間差を置く。よって、リセット駆動回路 3 0 6 に供給されるスタートパルス V s t 2 は、ゲート駆動回路 3 0 5 に供給されるスタートパルス V s t 1 に比べて、約 1 / 2 フレーム期間後に発生する。

【 0 0 4 3 】

このようなリセット信号は、毎フレーム期間単位で 1 回以上リセットライン R 1 乃至 R n / 2 に順次供給されることもでき、数フレーム期間単位でリセットライン R 1 乃至 R n / 2 に供給されることもできる。また、リセットライン R 1 乃至 R n / 2 が共通して接続されると、リセット信号は、すべてのリセットライン R 1 乃至 R n / 2 にリセット信号が同時に供給されることもできる。

40

【 0 0 4 4 】

図 8 は、他の例によるリセット駆動回路 3 0 7 を示すものである。図 8 を参照すると、リセット駆動回路 3 0 7 は、従属的に接続された n / 4 個のステージを含み、それぞれのステージで発生したリセット信号は、隣合う二本のリセットライン R 1 乃至 R n / 2 に同時に供給される。このようなステージの動作タイミングを指示するためのクロック信号 C L K s は、前述した図 7 のリセット駆動回路 3 0 6 に供給されるクロック信号 C L K s に比べて、2 倍の週期及び持続時間を有する。その他に、1 個のステージで三つ以上のリセ

50

ットラインに同時にリセット信号を供給する方法も可能である。

【0045】

上述したように、本発明の第3の実施の形態によるOLED表示装置では、OLEDパネル303において、横に隣接した二つの画素が、高電位の電源電圧を供給される電源供給ラインを共有することで、電源供給ラインの数が1/2に減少し、垂直に隣合う二つの画素が、リセット信号を供給されるリセットラインを共有することで、リセットラインの数が1/2に減少する。また、リセット信号によりOLED駆動素子の制御ノードを放電させることで、OLED駆動素子の劣化による特性変化を防止し、OLED駆動回路の動作の信頼性が向上できる。

【0046】

一方、第1乃至第3の実施の形態では、各画素P[i, j]のOLED駆動回路105、205、305が、OLEDの負極に接続されていると説明したが、これは選択的な事項であり、図9及び図10に示されているように、OLED駆動回路が、OLEDの正極に接続される構造も可能である。図9は、第2の実施の形態に対して、図10は、第3の実施の形態に対して、画素P[i, j]の構成を例として示している。図9及び図10において、“403, 503”はOLEDパネルを、“401, 501”はデータ駆動回路を、“402, 502”はゲート駆動回路を、“406, 506”はリセット駆動回路を、“405, 505”はOLED駆動回路をそれぞれ示す。

【0047】

また、第1の実施の形態によるゲート駆動回路は、図11に示されているように、OLEDパネル(画像表示領域)の下部又は側部基板内に形成されることができ、第2及び第3の実施の形態によるゲート駆動回路及びリセット駆動回路は、図12に示されているように、OLEDパネルの下部又は側部基板内に形成されることができる。このように、OLEDパネル内に形成される駆動回路の各トランジスタは、非晶質シリコンまたはポリシリコンを用いたトランジスタから構成されることができる。

【0048】

上述したように、本発明は、OLEDパネルにおいて、隣接した画素に信号ラインを共有させることによって、OLEDパネルのライン数を減少させ、開口率と輝度を向上させることができる。なお、OLEDを周期的にリセットさせ、OLED駆動の信頼性を向上させることができる。

【図面の簡単な説明】

【0049】

【図1】従来の有機発光ダイオード表示装置を示す図である。

【図2】本発明の第1の実施の形態による有機発光ダイオード表示装置を示す図である。

【図3】本発明の第2の実施の形態による有機発光ダイオード表示装置を示す図である。

【図4】図3に示されているゲート駆動回路とリセット駆動回路を示す図である。

【図5】図3に示されているゲート駆動回路とリセット駆動回路の他の例を簡単に示す図である。

【図6】本発明の第3の実施の形態による有機発光ダイオード表示装置を示す図である。

【図7】図6に示されているゲート駆動回路とリセット駆動回路を示す図である。

【図8】図6に示されているゲート駆動回路とリセット駆動回路の他の例を簡単に示す図である。

【図9】本発明の別の变形例による有機発光ダイオード駆動回路を有する有機発光ダイオード表示装置を示す図である。

【図10】本発明のさらに別の变形例による有機発光ダイオード駆動回路を有する有機発光ダイオード表示装置を示す図である。

【図11】図2に示されている有機発光ダイオード表示装置において、駆動回路が内蔵された構成例を示す図である。

【図12】図3及び図6に示されている有機発光ダイオード表示装置において、駆動回路が内蔵された構成例を示す図である。

10

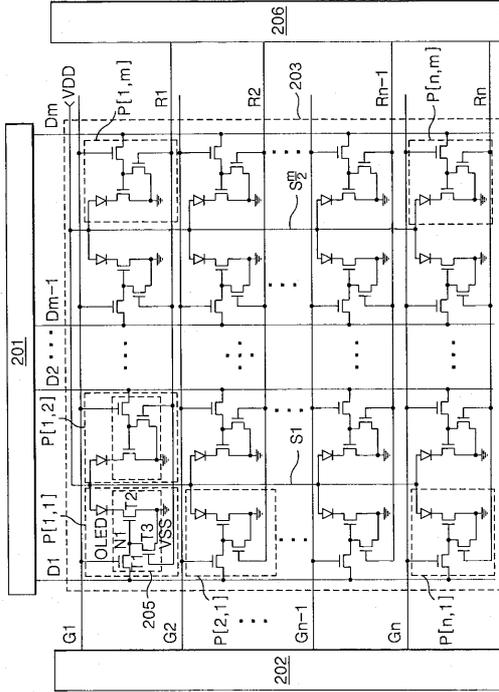
20

30

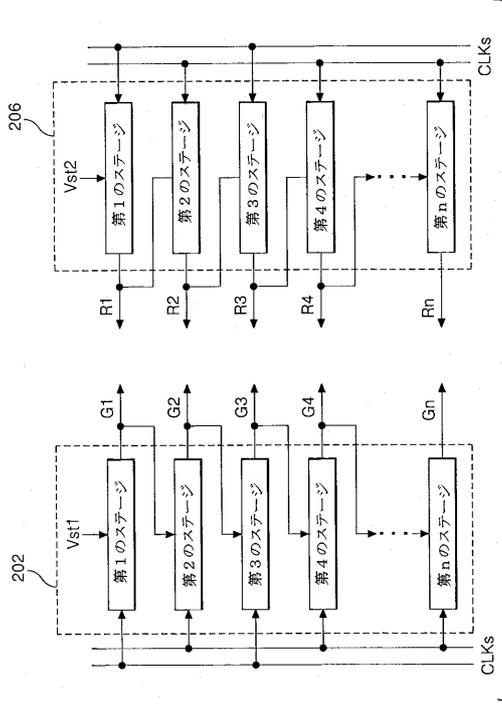
40

50

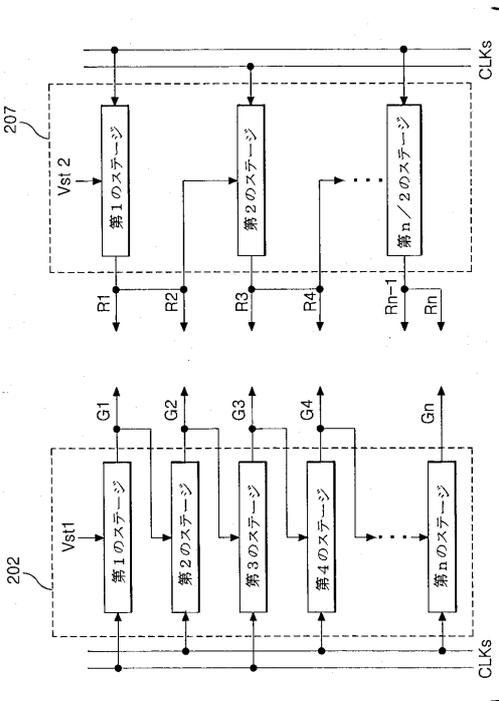
【図 3】



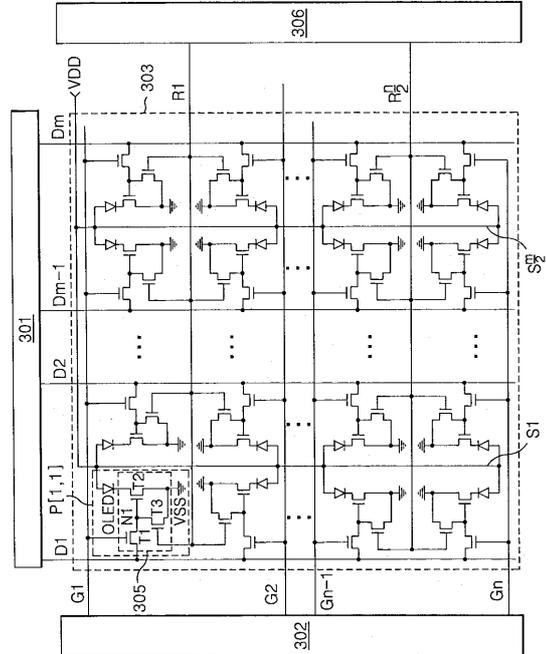
【図 4】



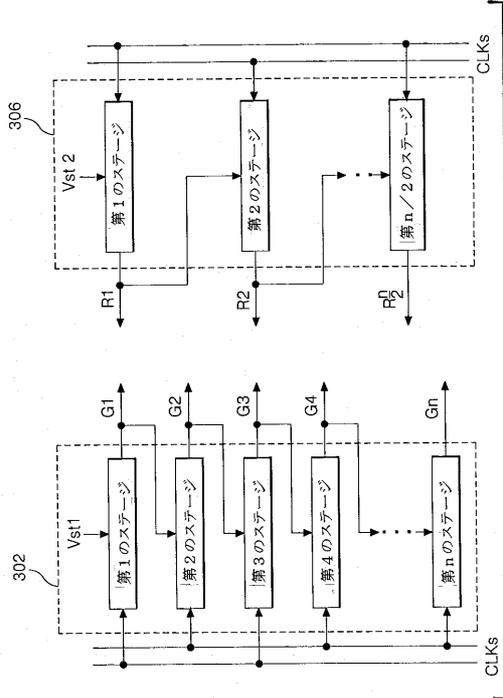
【図 5】



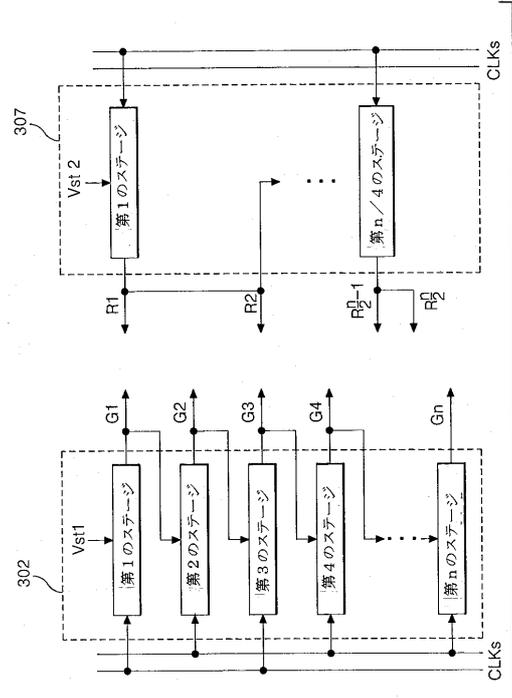
【図 6】



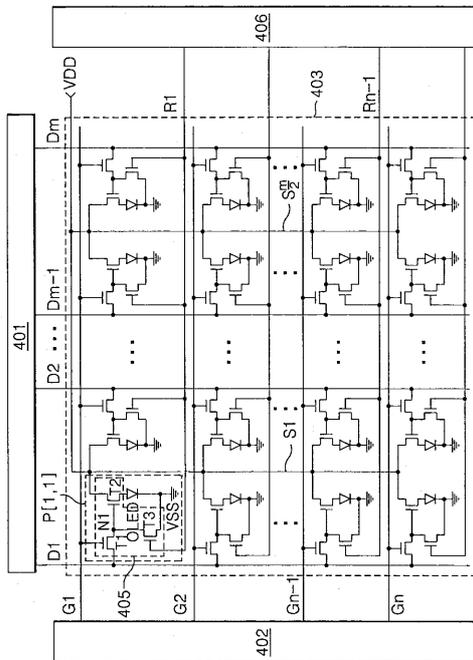
【図 7】



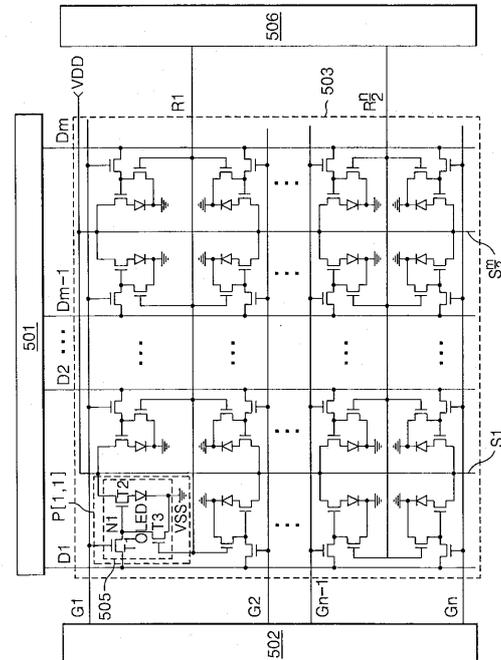
【図 8】



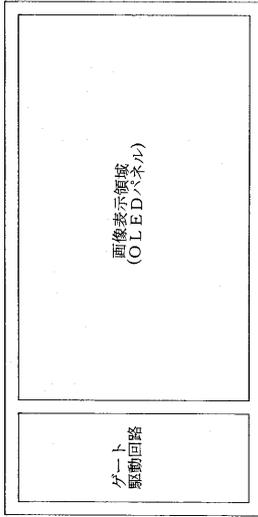
【図 9】



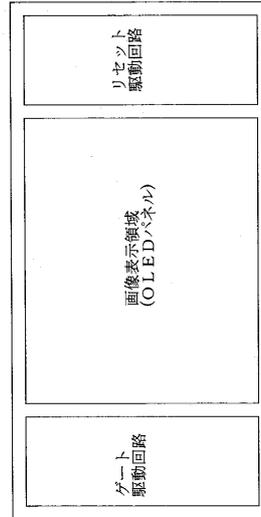
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 8 0 G
 G 0 9 G 3/20 6 2 3 W
 G 0 9 G 3/20 6 2 1 A
 G 0 9 G 3/20 6 2 2 E
 G 0 9 G 3/20 6 4 2 D
 H 0 5 B 33/14 A

- (72)発明者 クォンシク・パク
 大韓民国、ソウル、カンナム - グム、ドゴク・2 - ドン、ゲボ・ハンシン・アパートメント 5 -
 4 0 6
- (72)発明者 スヨン・ユン
 大韓民国、キョンギ - ド、コヤン - シ、ドキャン - グ、ヘン・シン・2 - ドン、ムウォン・ミョル
 、10ダンチ・アパートメント 1010 - 802
- (72)発明者 ミンドウ・チョン
 大韓民国、ソウル、ドンデムン - グ、チャンアン - ドン 417 - 3、ヒョン - イン・ハーブヴィ
 ル 101 - 802

審査官 佐野 潤一

- (56)参考文献 特開2002 - 050484 (JP, A)
 特開平11 - 024604 (JP, A)
 特開平11 - 024606 (JP, A)
 特開平11 - 272233 (JP, A)
 特開2000 - 235370 (JP, A)
 特開2001 - 052864 (JP, A)
 特開2001 - 109432 (JP, A)
 特開2002 - 366076 (JP, A)
 特開2003 - 186437 (JP, A)
 特開2004 - 004708 (JP, A)
 特開2004 - 151501 (JP, A)
 特開2004 - 341359 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0
 G 0 9 G 3 / 2 0

专利名称(译)	有机发光二极管显示装置		
公开(公告)号	JP5016862B2	公开(公告)日	2012-09-05
申请号	JP2006180188	申请日	2006-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	クオンシクパク スヨンユン ミンドウチョン		
发明人	クオンシク・パク スヨン・ユン ミンドウ・チョン		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0465 G09G2310/0251 G09G2320/043 H01L27/3276		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.622.A G09G3/20.621.M G09G3/20.680.G G09G3/20.623.W G09G3/20.621.A G09G3/20.622.E G09G3/20.642.D H05B33/14.A G09G3/20.623.V G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC36 3K107/CC45 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB06 5C080/DD03 5C080/DD23 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB45 5C380/AB46 5C380/BA12 5C380/BB22 5C380/BB23 5C380/BD02 5C380/BD07 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC38 5C380/CC51 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC77 5C380/CD012 5C380/CD073 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA47		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	佐野纯一		
优先权	1020050058029 2005-06-30 KR		
其他公开文献	JP2007011371A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有机发光二极管显示装置，其通过减少有机发光二极管面板中的线数来增加孔径比并且可以提高亮度。
 ŽSOLUTION：有机发光二极管显示装置包括第一和第二数据线；电源电压供应线，提供高电位电源电压；与第一数据线，第二数据线和电源电压线交叉的栅极线；栅极驱动电路，用于向栅极线提供扫描信号；数据驱动电路，分别用于向数据线提供数据电压；第一和第二有机发光二极管，通常连接到电源电压供应线；第一有机发光二极管驱动电路，用于响应来自栅极线的扫描信号，利用来自第一数据线的的数据电压驱动第一有机发光二极管；第二有机发光二极管驱动电路，用于响应来自栅极线的扫描信号，利用来自第二数据线的的数据电压驱动第二有机发光二极管。 Ž

