

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2020-514821

(P2020-514821A)

(43) 公表日 令和2年5月21日(2020.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3233 (2016.01)	G09G 3/3233	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	5C094
H01L 27/32 (2006.01)	G09G 3/20 611H	5C380
G09F 9/30 (2006.01)	G09G 3/20 670K	
審査請求 有 予備審査請求 未請求 (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2019-550839 (P2019-550839)	(71) 出願人	516010618
(86) (22) 出願日	平成29年4月20日 (2017. 4. 20)		深▲せん▼市華星光電技術有限公司
(85) 翻訳文提出日	令和1年11月12日 (2019. 11. 12)		SHENZHEN CHINA STAR
(86) 国際出願番号	PCT/CN2017/081248		OPTOELECTRONICS TE
(87) 国際公開番号	W02018/166037		CHNOLOGY CO., LTD.
(87) 国際公開日	平成30年9月20日 (2018. 9. 20)		中国広東省深▲せん▼市光明新区塘明大道
(31) 優先権主張番号	201710156977.6		9-2号
(32) 優先日	平成29年3月16日 (2017. 3. 16)		No. 9-2 Tangming Roa
(33) 優先権主張国・地域又は機関	中国 (CN)		d, Guangming, Shenzhe
			n, Guangdong 518132,
			China
		(74) 代理人	100080089
			弁理士 牛木 護
		(74) 代理人	100161665
			弁理士 高橋 知之
		最終頁に続く	

(54) 【発明の名称】 ピクセル駆動回路及びOLEDディスプレイ装置

(57) 【要約】

【課題】本発明は、ピクセル駆動回路（100、200、2）及びOLEDディスプレイ装置（1）を提供するものである。

【解決手段】ピクセル駆動回路（100、200、2）は、第1、第2、第3及び第4薄膜トランジスタ（T1、T2、T3、T4）と、キャパシタ（C1）と、有機発光ダイオード（D1）とを含み；ここで、第3薄膜トランジスタ（T3）のゲート電極は走査信号（Vsel1）に接続されており、ソース電極は第4薄膜トランジスタ（T4）のドレイン電極に接続されており、ドレイン電極は第1薄膜トランジスタ（T1）のソース電極に接続されており；第4薄膜トランジスタ（T4）のゲート電極はデータ信号（Vdata1）に接続されており、ソース電極は第2基準電圧信号（Vref2）に接続されている。ピクセル駆動回路（100、200、2）は第4薄膜トランジスタ（T4）を取り入れることで、閾値電圧補償ステージ（S1）においてデータ信号（Vdata1）及び第2基準電圧信号（Vref2）を利用して第1薄膜トランジスタ（T1）を流れる電流を制

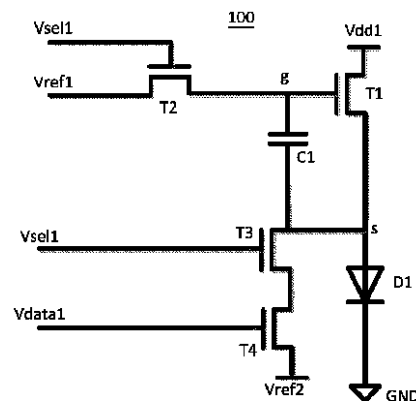


図 3

【特許請求の範囲】

【請求項 1】

第 1 薄膜トランジスタと、第 2 薄膜トランジスタと、第 3 薄膜トランジスタと、第 4 薄膜トランジスタと、キャパシタと、有機発光ダイオードとを含むピクセル駆動回路において、

前記第 1 薄膜トランジスタのゲート電極は第 1 ノードに電氣的に接続されており、ソース電極は第 2 ノードに電氣的に接続されており、ドレイン電極は電源信号に電氣的に接続されており；

前記第 2 薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は第 1 基準電圧信号に電氣的に接続されており、ドレイン電極は前記第 1 ノードに電氣的に接続されており；

前記第 3 薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は前記第 4 薄膜トランジスタのドレイン電極に電氣的に接続されており、ドレイン電極は前記第 2 ノードに電氣的に接続されており；

前記第 4 薄膜トランジスタのゲート電極はデータ信号に電氣的に接続されており、ソース電極は第 2 基準電圧信号に電氣的に接続されており；

前記キャパシタの一方の端子は前記第 1 ノードに電氣的に接続されており、他方の端子は前記第 2 ノードに電氣的に接続されており；

前記発光ダイオードのアノードは前記第 2 ノードに電氣的に接続されており、前記発光ダイオードのカソードは接地端子に電氣的に接続されており；

前記第 1 基準電圧信号は前記電源信号であり；

発光ステージにおいて、前記第 1 薄膜トランジスタのゲートソース電圧は以下の式を満たし、

【数 1】

$$V_{gs} = \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - V_b - V_{th3}) + V_{th1}$$

V_{gs} は前記第 1 薄膜トランジスタのゲートソース電圧であり、 V_b は前記第 2 基準電圧信号が提供する第 2 基準電圧であり、

【数 2】

$$\left(\frac{W}{L} \right)_{T4}$$

は前記第 4 薄膜トランジスタのチャネルの幅と長さの比であり、

【数 3】

$$\left(\frac{W}{L} \right)_{T1}$$

は前記第 1 薄膜トランジスタのチャネルの幅と長さの比であり、 V_{DATA1} は前記データ信号が提供する高電位の表示データ信号であり、 V_{th3} は前記第 3 薄膜トランジスタの閾値電圧であり、 V_{th1} は前記第 1 薄膜トランジスタの閾値電圧であることを特徴とするピクセル駆動回路。

【請求項 2】

前記第 2 基準電圧信号は一定の低電圧であり、前記電源信号と、前記走査信号と、前記データ信号を組み合わせて、閾値電圧補償ステージ及び発光ステージに相次いで対応し；

前記閾値電圧補償ステージにおいて、前記電源信号は基準低電位にあり、前記データ信号は高電位の表示データ信号にあり、前記走査信号は高電位にあり；

前記発光ステージにおいて、前記電源信号は高電位にあり、前記データ信号は低電位に

あり、前記走査信号は低電位にあることを特徴とする請求項 1 に記載のピクセル駆動回路。

【請求項 3】

第 1 薄膜トランジスタと、第 2 薄膜トランジスタと、第 3 薄膜トランジスタと、第 4 薄膜トランジスタと、キャパシタと、有機発光ダイオードとを含むピクセル駆動回路において、

前記第 1 薄膜トランジスタのゲート電極は第 1 ノードに電氣的に接続されており、ソース電極は第 2 ノードに電氣的に接続されており、ドレイン電極は電源信号に電氣的に接続されており；

前記第 2 薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は第 1 基準電圧信号に電氣的に接続されており、ドレイン電極は前記第 1 ノードに電氣的に接続されており；

前記第 3 薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は前記第 4 薄膜トランジスタのドレイン電極に電氣的に接続されており、ドレイン電極は前記第 2 ノードに電氣的に接続されており；

前記第 4 薄膜トランジスタのゲート電極はデータ信号に電氣的に接続されており、ソース電極は第 2 基準電圧信号に電氣的に接続されており；

前記キャパシタの一方の端子は前記第 1 ノードに電氣的に接続されており、他方の端子は前記第 2 ノードに電氣的に接続されており；

前記発光ダイオードのアノードは前記第 2 ノードに電氣的に接続されており、前記発光ダイオードのカソードは接地端子に電氣的に接続されていることを特徴とするピクセル駆動回路。

【請求項 4】

前記第 1 基準電圧信号及び前記第 2 基準電圧信号は一定の低電圧であり、前記電源信号は一定の高電圧であり、前記データ信号及び前記走査信号を組み合わせ、閾値電圧補償ステージ及び発光ステージに相次いで対応し；

前記閾値電圧補償ステージにおいて、前記データ信号は高電位の表示データ信号にあり、前記走査信号は高電位にあり；

前記発光ステージにおいて、前記データ信号は低電位にあり、前記走査信号は低電位にあることを特徴とする請求項 3 に記載のピクセル駆動回路。

【請求項 5】

前記データ信号及び前記走査信号は外部のタイミングコントローラによって生成されることを特徴とする請求項 4 に記載のピクセル駆動回路。

【請求項 6】

前記第 1 基準電圧信号は前記電源信号であることを特徴とする請求項 3 に記載のピクセル駆動回路。

【請求項 7】

前記第 2 基準電圧信号は一定の低電圧であり、前記電源信号と、前記走査信号と、前記データ信号を組み合わせ、閾値電圧補償ステージ及び発光ステージに相次いで対応し；

前記閾値電圧補償ステージにおいて、前記電源信号は基準低電位にあり、前記データ信号は高電位の表示データ信号にあり、前記走査信号は高電位にあり；

前記発光ステージにおいて、前記電源信号は高電位にあり、前記データ信号は低電位にあり、前記走査信号は低電位にあることを特徴とする請求項 6 に記載のピクセル駆動回路。

【請求項 8】

前記電源信号、前記データ信号及び前記走査信号は外部のタイミングコントローラによって生成されることを特徴とする請求項 7 に記載のピクセル駆動回路。

【請求項 9】

発光ステージにおいて、前記第 1 薄膜トランジスタのゲートソース電圧は以下の式を満たし、

10

20

30

40

50

【数 4】

$$V_{gs} = \left[\frac{\left(\frac{W}{L}\right)_{T4}}{\left(\frac{W}{L}\right)_{T1}} \right]^{\frac{1}{2}} (V_{DATA1} - V_b - V_{th3}) + V_{th1}$$

V_{gs} は前記第 1 薄膜トランジスタのゲートソース電圧であり、 V_b は前記第 2 基準電圧信号が提供する第 2 基準電圧であり、

【数 5】

$$\left(\frac{W}{L}\right)_{T4}$$

10

は前記第 4 薄膜トランジスタのチャネルの幅と長さの比であり、

【数 6】

$$\left(\frac{W}{L}\right)_{T1}$$

は前記第 1 薄膜トランジスタのチャネルの幅と長さの比であり、 V_{DATA1} は前記データ信号が提供する高電位の表示データ信号であり、 V_{th3} は前記第 3 薄膜トランジスタの閾値電圧であり、 V_{th1} は前記第 1 薄膜トランジスタの閾値電圧であることを特徴とする請求項 3 に記載のピクセル駆動回路。

20

【請求項 10】

前記第 2 基準電圧信号が提供する第 2 基準電圧 V_b は以下の式を満たし、

【数 7】

$$V_b < V_{DATA1} - V_{th3}$$

V_{DATA1} は前記データ信号が提供する高電位の表示データ信号であり、 V_{th3} は前記第 3 薄膜トランジスタの閾値電圧であることを特徴とする請求項 3 に記載のピクセル駆動回路。

30

【請求項 11】

前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタ、前記第 3 薄膜トランジスタ及び前記第 4 薄膜トランジスタはいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタであることを特徴とする請求項 3 に記載のピクセル駆動回路。

【請求項 12】

ピクセル駆動回路を含む O L E D ディスプレイ装置において、前記ピクセル駆動回路は、

第 1 薄膜トランジスタと、第 2 薄膜トランジスタと、第 3 薄膜トランジスタと、第 4 薄膜トランジスタと、キャパシタと、有機発光ダイオードとを含み；

40

前記第 1 薄膜トランジスタのゲート電極は第 1 ノードに電氣的に接続されており、ソース電極は第 2 ノードに電氣的に接続されており、ドレイン電極は電源信号に電氣的に接続されており；

前記第 2 薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は第 1 基準電圧信号に電氣的に接続されており、ドレイン電極は前記第 1 ノードに電氣的に接続されており；

前記第 3 薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は前記第 4 薄膜トランジスタのドレイン電極に電氣的に接続されており、ドレイン電極は前記第 2 ノードに電氣的に接続されており；

前記第 4 薄膜トランジスタのゲート電極はデータ信号に電氣的に接続されており、ソー

50

ス電極は第 2 基準電圧信号に電氣的に接続されており；

前記キャパシタの一方の端子は前記第 1 ノードに電氣的に接続されており、他方の端子は前記第 2 ノードに電氣的に接続されており；

前記発光ダイオードのアノードは前記第 2 ノードに電氣的に接続されており、前記発光ダイオードのカソードは接地端子に電氣的に接続されていることを特徴とする O L E D ディスプレイ装置。

【請求項 1 3】

前記第 1 基準電圧信号及び前記第 2 基準電圧信号は一定の低電圧であり、前記電源信号は一定の高電圧であり、前記データ信号及び前記走査信号を組み合わせて、閾値電圧補償ステージ及び発光ステージに相次いで対応し；

前記閾値電圧補償ステージにおいて、前記データ信号は高電位の表示データ信号にあり、前記走査信号は高電位にあり；

前記発光ステージにおいて、前記データ信号は低電位にあり、前記走査信号は低電位にあることを特徴とする請求項 1 2 に記載の O L E D ディスプレイ装置。

【請求項 1 4】

前記データ信号及び前記走査信号は外部のタイミングコントローラによって生成されることを特徴とする請求項 1 3 に記載の O L E D ディスプレイ装置。

【請求項 1 5】

前記第 1 基準電圧信号は前記電源信号であることを特徴とする請求項 1 2 に記載の O L E D ディスプレイ装置。

【請求項 1 6】

前記第 2 基準電圧信号は一定の低電圧であり、前記電源信号と、前記走査信号と、前記データ信号を組み合わせて、閾値電圧補償ステージ及び発光ステージに相次いで対応し；

前記閾値電圧補償ステージにおいて、前記電源信号は基準低電位にあり、前記データ信号は高電位の表示データ信号にあり、前記走査信号は高電位にあり、

前記発光ステージにおいて、前記電源信号は高電位にあり、前記データ信号は低電位にあり、前記走査信号は低電位にあることを特徴とする請求項 1 5 に記載の O L E D ディスプレイ装置。

【請求項 1 7】

前記電源信号、前記データ信号及び前記走査信号は外部のタイミングコントローラによって生成されることを特徴とする請求項 1 6 に記載の O L E D ディスプレイ装置。

【請求項 1 8】

発光ステージにおいて、前記第 1 薄膜トランジスタのゲートソース電圧は以下の式を満たし、

【数 8】

$$V_{gs} = \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - V_b - V_{th3}) + V_{th1}$$

V_{gs} は前記第 1 薄膜トランジスタのゲートソース電圧であり、 V_b は前記第 2 基準電圧信号が提供する第 2 基準電圧であり、

【数 9】

$$\left(\frac{W}{L} \right)_{T4}$$

は前記第 4 薄膜トランジスタのチャネルの幅と長さの比であり、

10

20

30

40

【数 1 0】

$$\left(\frac{W}{L}\right)_{T1}$$

は前記第 1 薄膜トランジスタのチャネルの幅と長さの比であり、 $VDATA1$ は前記データ信号が提供する高電位の表示データ信号であり、 $Vth3$ は前記第 3 薄膜トランジスタの閾値電圧であり、 $Vth1$ は前記第 1 薄膜トランジスタの閾値電圧であることを特徴とする請求項 12 に記載の OLED ディスプレイ装置。

【請求項 19】

前記第 2 基準電圧信号が提供する第 2 基準電圧 Vb は以下の式を満たし、

10

【数 11】

$$Vb < VDATA1 - Vth3$$

$VDATA1$ は前記データ信号が提供する高電位の表示データ信号であり、 $Vth3$ は前記第 3 薄膜トランジスタの閾値電圧であることを特徴とする請求項 12 に記載の OLED ディスプレイ装置。

【請求項 20】

前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタ、前記第 3 薄膜トランジスタ及び前記第 4 薄膜トランジスタはいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタであることを特徴とする請求項 12 に記載の OLED ディスプレイ装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイの分野に関するものであり、特にピクセル駆動回路及び OLED ディスプレイ装置に関する。

【背景技術】

【0002】

30

現存する有機発光ダイオード (Organic Light Emitting Diode、OLED) ディスプレイ装置は、小体積、簡易構造、自発光、高輝度、大視野角、短応答時間等の様々な優れた点を有しており、業界では最も潜在的な可能性のある液晶表示装置であると公認されている。

【0003】

OLED ディスプレイ装置は電流駆動装置であり、電流が有機発光ダイオードを流れた際に、有機発光ダイオードは発光し、且つ発光輝度は有機発光ダイオード自身を流れる電流によって定まる。現存する集積回路の多くは電圧信号のみを伝送するため、OLED ディスプレイ装置のピクセル駆動回路は電圧信号を電流信号に変換するというタスクを完了させる必要がある。従来のピクセル駆動回路は 2T1C であり、即ち、2つの薄膜トランジスタと 1つのキャパシタとを備えた構造で、電圧から電流への変換を実現するが、従来の 2T1C 型ピクセル駆動回路は一般的に補償機能を有しない。

40

【0004】

図 1 は、現存する 2T1C 型ピクセル駆動回路の回路図である。図 1 に示すように、当該 2T1C 型ピクセル駆動回路は、第 1 薄膜トランジスタ $T10$ と、第 2 薄膜トランジスタ $T20$ と、キャパシタ Cs とを含む。ここで、第 1 薄膜トランジスタ $T10$ は駆動用薄膜トランジスタであり、第 2 薄膜トランジスタ $T20$ はスイッチ用薄膜トランジスタであり、キャパシタ Cs は蓄積キャパシタである。具体的には、第 2 薄膜トランジスタ $T20$ のゲート電極は走査信号 $Vsel$ に電氣的に接続されており、ソース電極はデータ信号 $Vdata$ に電氣的に接続されており、ドレイン電極は第 1 薄膜トランジスタ $T10$ のゲー

50

ト電極に電氣的に接続されている。第1薄膜トランジスタT10のドレイン電極は電源信号V_{dd}に電氣的に接続されており、ソース電極は有機発光ダイオードDのアノードに電氣的に接続されている。有機発光ダイオードDのカソードは接地端子に電氣的に接続されている。キャパシタC_sの一方の端子は第2薄膜トランジスタT20のドレイン電極に電氣的に接続されており、他方の端子は第1薄膜トランジスタT10のソース電極に電氣的に接続されている。

【0005】

図2を共に参照して、図2は、図1に示す2T1C型ピクセル駆動回路の動作タイミング図である。図2に示すように、2T1C型ピクセル駆動回路の動作過程は、第1動作ステージS10と、第2動作ステージS20とに分けられる。ここで、第1動作ステージS10において、データ信号V_{data}は高電位の表示データ信号V_{DATA}にあり、走査信号V_{sel}は高電位にある。第2動作ステージS20では、データ信号V_{data}は低電位にあり、走査信号V_{sel}も低電位にある。ここで、第1動作ステージS10及び第2動作ステージS20において、電源信号V_{dd}は一定の高電圧である。

10

【0006】

本実施形態では、第2動作ステージS20において、有機発光ダイオードDが発光する。その際、有機発光ダイオードDを駆動して発光させる第1薄膜トランジスタT10のゲートソース電圧V_{gs}は、以下の式を満たす。

【0007】

【数1】

20

$$V_{gs} = V_{DATA} - V_{OLED}$$

【0008】

ここで、V_{DATA}は高電位のデータ信号であり、V_{OLED}は有機発光ダイオードDのアノード点の電位を示す。

【0009】

上記式からわかるように、有機発光ダイオードDを駆動して発光させるゲートソース電圧V_{gs}においては、第1薄膜トランジスタT10の閾値電圧は関与せず、そのため、当該2T1C型ピクセル駆動回路は駆動用薄膜トランジスタ（即ち、第1薄膜トランジスタT10）の閾値電圧を補償することができない。

30

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明で解決しようとする主な技術課題は、駆動用薄膜トランジスタの閾値電圧の変化を効果的に補償することができる、ピクセル駆動回路及びOLEDディスプレイ装置を提供することである。

【課題を解決するための手段】

【0011】

上記の技術課題を解決するために、本発明が採用する技術案の一つとして、ピクセル駆動回路が提供される。当該ピクセル駆動回路は、

40

第1薄膜トランジスタと、第2薄膜トランジスタと、第3薄膜トランジスタと、第4薄膜トランジスタと、キャパシタと、有機発光ダイオードとを含み；

第1薄膜トランジスタのゲート電極は第1ノードに電氣的に接続されており、ソース電極は第2ノードに電氣的に接続されており、ドレイン電極は電源信号に電氣的に接続されており；

第2薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は第1基準電圧信号に電氣的に接続されており、ドレイン電極は第1ノードに電氣的に接続されており；

第3薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極

50

は第4薄膜トランジスタのドレイン電極に電氣的に接続されており、ドレイン電極は第2ノードに電氣的に接続されており；

第4薄膜トランジスタのゲート電極はデータ信号に電氣的に接続されており、ソース電極は第2基準電圧信号に電氣的に接続されており；

キャパシタの一方の端子は第1ノードに電氣的に接続されており、他方の端子は第2ノードに電氣的に接続されており；

発光ダイオードのアノードは第2ノードに電氣的に接続されており、発光ダイオードのカソードは接地端子に電氣的に接続されており；

ここで、第1基準電圧信号は電源信号であり；

ここで、発光ステージにおいて、第1薄膜トランジスタのゲートソース電圧は以下の式を満たし、

【0012】

【数2】

$$V_{gs} = \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - V_b - V_{th3}) + V_{th1}$$

【0013】

ここで、 V_{gs} は第1薄膜トランジスタのゲートソース電圧であり、 V_b は第2基準電圧信号が提供する第2基準電圧であり、

【0014】

【数3】

$$\left(\frac{W}{L} \right)_{T4}$$

【0015】

は第4薄膜トランジスタのチャンネルの幅と長さの比であり、

【0016】

【数4】

$$\left(\frac{W}{L} \right)_{T1}$$

【0017】

は第1薄膜トランジスタのチャンネルの幅と長さの比であり、 V_{DATA1} はデータ信号が提供する高電位の表示データ信号であり、 V_{th3} は第3薄膜トランジスタの閾値電圧であり、 V_{th1} は第1薄膜トランジスタの閾値電圧である。

【0018】

上記の技術課題を解決するために、本発明が採用するさらなる技術案の一つとして、ピクセル駆動回路が提供される。当該ピクセル駆動回路は、

第1薄膜トランジスタと、第2薄膜トランジスタと、第3薄膜トランジスタと、第4薄膜トランジスタと、キャパシタと、有機発光ダイオードとを含み；

第1薄膜トランジスタのゲート電極は第1ノードに電氣的に接続されており、ソース電極は第2ノードに電氣的に接続されており、ドレイン電極は電源信号に電氣的に接続されており；

第2薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は第1基準電圧信号に電氣的に接続されており、ドレイン電極は第1ノードに電氣的に接続されており；

第3薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は第4薄膜トランジスタのドレイン電極に電氣的に接続されており、ドレイン電極は第2

10

20

30

40

50

ノードに電氣的に接続されており；

第4薄膜トランジスタのゲート電極はデータ信号に電氣的に接続されており、ソース電極は第2基準電圧信号に電氣的に接続されており；

キャパシタの一方の端子は第1ノードに電氣的に接続されており、他方の端子は第2ノードに電氣的に接続されており；

発光ダイオードのアノードは第2ノードに電氣的に接続されており、発光ダイオードのカソードは接地端子に電氣的に接続されている。

【0019】

上記の技術課題を解決するために、本発明が採用するさらなる技術案の一つとして、OLEDディスプレイ装置が提供される。当該OLEDディスプレイ装置はピクセル駆動回路を含んでおり、当該ピクセル駆動回路は、

第1薄膜トランジスタと、第2薄膜トランジスタと、第3薄膜トランジスタと、第4薄膜トランジスタと、キャパシタと、有機発光ダイオードとを含み；

第1薄膜トランジスタのゲート電極は第1ノードに電氣的に接続されており、ソース電極は第2ノードに電氣的に接続されており、ドレイン電極は電源信号に電氣的に接続されており；

第2薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は第1基準電圧信号に電氣的に接続されており、ドレイン電極は第1ノードに電氣的に接続されており；

第3薄膜トランジスタのゲート電極は走査信号に電氣的に接続されており、ソース電極は第4薄膜トランジスタのドレイン電極に電氣的に接続されており、ドレイン電極は第2ノードに電氣的に接続されており；

第4薄膜トランジスタのゲート電極はデータ信号に電氣的に接続されており、ソース電極は第2基準電圧信号に電氣的に接続されており；

キャパシタの一方の端子は第1ノードに電氣的に接続されており、他方の端子は第2ノードに電氣的に接続されており；

発光ダイオードのアノードは第2ノードに電氣的に接続されており、発光ダイオードのカソードは接地端子に電氣的に接続されている。

【図面の簡単な説明】

【0020】

【図1】従来技術における2T1C型ピクセル駆動回路の回路概略図である。

【図2】図1に示す2T1C型ピクセル駆動回路の動作タイミング図である。

【図3】本発明の第1実施形態に係るピクセル駆動回路の回路概略図である。

【図4】図3に示すピクセル駆動回路の動作タイミング図である。

【図5】本発明の第2実施形態に係るピクセル駆動回路の回路概略図である。

【図6】図5に示すピクセル駆動回路の動作タイミング図である。

【図7】従来の2T1C型ピクセル駆動回路中の駆動用薄膜トランジスタの閾値電圧ドリフト時に対応する、有機発光ダイオードを流れる電流を示した模擬データ図である。

【図8】本発明のピクセル駆動回路中の駆動用薄膜トランジスタの閾値電圧ドリフト時に対応する、有機発光ダイオードを流れる電流を示した模擬データ図である。

【図9】本発明の実施形態に係るOLEDディスプレイ装置の構造概略図である。

【発明を実施するための形態】

【0021】

明細書及び特許請求の範囲において、何らかの用語を用いて特定の構成要素を表しているが、当業者であれば、製造業者が異なる名詞を用いて同様の構成要素を表す場合もあるということが理解できる。本明細書及び特許請求の範囲では、名称の差異を以って構成要素を区別しているわけではなく、機能上の差異を基準として構成要素を区別することとしている。以下において、添付の図面と実施形態とを組み合わせ、本発明を詳述する。

【0022】

図3は、本発明の第1実施形態に係るピクセル駆動回路の回路概略図である。図3に示

10

20

30

40

50

すように、ピクセル駆動回路100は、第1薄膜トランジスタT1と、第2薄膜トランジスタT2と、第3薄膜トランジスタT3と、第4薄膜トランジスタT4と、キャパシタC1と、有機発光ダイオードD1とを含む。ここで、第1薄膜トランジスタT1は駆動用薄膜トランジスタであり、第2薄膜トランジスタT2及び第3薄膜トランジスタT3はスイッチ用薄膜トランジスタであり、キャパシタC1は蓄積キャパシタである。

【0023】

具体的には、第1薄膜トランジスタT1のゲート電極は第1ノードgに電氣的に接続されており、ソース電極は第2ノードsに電氣的に接続されており、ドレイン電極は電源信号Vdd1に電氣的に接続されている。第2薄膜トランジスタT2のゲート電極は走査信号Vsel1に電氣的に接続されており、ソース電極は第1基準電圧信号Vref1に電氣的に接続されており、ドレイン電極は第1ノードgに電氣的に接続されている。第3薄膜トランジスタT3のゲート電極は走査信号Vsel1に電氣的に接続されており、ソース電極は第4薄膜トランジスタT4のドレイン電極に電氣的に接続されており、ドレイン電極は第2ノードsに電氣的に接続されている。第4薄膜トランジスタT4のゲート電極はデータ信号Vdata1に電氣的に接続されており、ソース電極は第2基準電圧信号Vref2に電氣的に接続されている。キャパシタC1の一方の端子は第1ノードgに電氣的に接続されており、他方の端子は第2ノードsに電氣的に接続されている。発光ダイオードD1のアノードは第2ノードsに電氣的に接続されており、発光ダイオードD1のカソードは接地端子GNDに電氣的に接続されている。

【0024】

第1薄膜トランジスタT1、第2薄膜トランジスタT2、第3薄膜トランジスタT3及び第4薄膜トランジスタT4はいずれも、低温ポリシリコン薄膜トランジスタ、酸化物半導体薄膜トランジスタ又はアモルファスシリコン薄膜トランジスタであることが好ましい。

【0025】

図4は、図3で示したピクセル駆動回路の動作タイミング図である。図4に示すように、ピクセル駆動回路100の動作過程は、閾値電圧補償ステージS1と、発光ステージS2とに分けられる。

【0026】

ここで、ピクセル駆動回路100の動作過程において、第1基準電圧信号Vref1及び第2基準電圧信号Vref2は一定の低電圧であり、第1基準電圧Va及び第2基準電圧Vbをそれぞれ供給するのに用いられる。電源信号Vdd1は一定の高電圧である。データ信号Vdata1及び走査信号Vsel1を組み合わせ、閾値電圧補償ステージS1及び発光ステージS2に相次いで対応する。

【0027】

好ましくは、データ信号Vdata1及び走査信号Vsel1は外部のタイミングコントローラによって生成される。第1基準電圧信号Vref1、第2基準電圧信号Vref2及び電源信号Vdd1は、定電圧電源によって生成される。

【0028】

閾値電圧補償ステージS1において、データ信号Vdata1は高電位の表示データ信号VDATA1にあり、走査信号Vsel1は高電位にあるため、第1薄膜トランジスタT1、第2薄膜トランジスタT2、第3薄膜トランジスタT3及び第4薄膜トランジスタT4はいずれもオンの状態にある。ここで、データ信号Vdata1は、第3薄膜トランジスタT3及び第4薄膜トランジスタT4を介して第2基準電圧信号Vref2の第2基準電圧Vbを第1薄膜トランジスタT1のソース電極に書き込み、第1基準電圧信号Vref1が提供する第1基準電圧Vaは、第2薄膜トランジスタT2を介して第1薄膜トランジスタT1のゲート電極に書き込まれる。

【0029】

すなわち、閾値電圧補償ステージS1において：

【0030】

【数 5】

$$V_g = V_a;$$

$$V_s = V_a - \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - V_b - V_{th3}) - V_{th1}; \quad (1)$$

$$V_{gs} = V_g - V_s = \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - V_b - V_{th3}) + V_{th1} \quad 10$$

【0031】

ここで、 V_g は第 1 ノード g の電位（即ち、第 1 薄膜トランジスタ T_1 のゲート電極の電位）を示し、 V_s は第 2 ノード s の電位（即ち、第 1 薄膜トランジスタ T_1 のソース電極の電位）を示し、 V_{gs} は第 1 薄膜トランジスタ T_1 のゲートソース電圧を示す。 V_a は第 1 基準電圧であり、 V_b は第 2 基準電圧である。

【0032】

【数 6】

$$\left(\frac{W}{L} \right)_{T4} \quad 20$$

【0033】

は第 4 薄膜トランジスタ T_4 のチャンネルの幅と長さの比を示し、

【0034】

【数 7】

$$\left(\frac{W}{L} \right)_{T1}$$

【0035】

は第 1 薄膜トランジスタ T_1 のチャンネルの幅と長さの比を示す。 V_{DATA1} は高電位のデータ信号であり、 V_{th3} は第 3 薄膜トランジスタ T_3 の閾値電圧であり、 V_{th1} は第 1 薄膜トランジスタ T_1 の閾値電圧である。

【0036】

発光ステージ S_2 において、データ信号 V_{data1} は低電圧であり、走査信号 V_{sel1} は低電位であるため、第 1 薄膜トランジスタ T_1 及び第 4 薄膜トランジスタ T_4 はオンの状態にあり、第 2 薄膜トランジスタ T_2 及び第 3 薄膜トランジスタ T_3 はオフの状態にある。キャパシタ C_1 の蓄積機能により、第 1 薄膜トランジスタ T_1 のゲートソース電圧 V_{gs} は不変の状態を維持できる。

【0037】

ここで、有機発光ダイオード D_1 を発光させるように駆動させるゲートソース電圧 V_{gs} には、第 1 薄膜トランジスタ T_{10} の閾値電圧 V_{th1} が含まれるが、有機発光ダイオード D_1 を流れる電流は、ゲートソース電圧 V_{gs} 及び第 1 薄膜トランジスタ T_{10} の閾値電圧 V_{th1} の差の平方と正比例するため、有機発光ダイオード D_1 を流れる電流と第 1 薄膜トランジスタ T_{10} （即ち、駆動用薄膜トランジスタ）の閾値電圧 V_{th1} とは無関係となり、閾値電圧の補償機能を実現することができる。

【0038】

本実施例において、補償ステージ S_1 では、第 4 薄膜トランジスタ T_4 のゲート電極は高電位のデータ信号 V_{DATA1} によって制御され、ソース電極は第 2 基準電圧 V_b によって制御されるため、高電位のデータ信号 V_{DATA1} 及び第 2 基準電圧 V_b を利用して

10

20

30

40

50

、第1薄膜トランジスタT10を流れる電流を制御することを実現することができる。発光ステージS2において、第3薄膜トランジスタT3は、第2基準電圧Vbが第1薄膜トランジスタT10のゲート電極の電位に影響を及ぼすことを防ぐことができる。

【0039】

本実施形態において、ピクセル駆動回路100の動作過程で第1薄膜トランジスタT1が正常にオンとなることを保証するためには、第2基準電圧Vbは以下の式を満たす必要がある。

【0040】

【数8】

$$Vb < VDATA1 - Vth3 \quad (2)$$

10

【0041】

本実施形態において、閾値電圧補償ステージS1で第1薄膜トランジスタT1が正常にオンとなり、且つ有機発光ダイオードD1が作動を開始できないようにするためには、第1基準電圧Vaは以下の式を満たす必要がある。

【0042】

【数9】

$$\left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - Vb - Vth3) - Vth1 + V_{oled1} > Va \quad \text{且つ}$$

$$Va > \left[\left(\frac{W}{L} \right)_{T4} / \left(\frac{W}{L} \right)_{T1} \right]^{\frac{1}{2}} (V_{DATA1} - Vb - Vth3) - Vth1 \quad (3)$$

20

【0043】

ここで、Voled1は、閾値電圧補償ステージにおける有機発光ダイオードD1のアノード点の電位である。

30

【0044】

図5は、本発明の第2実施形態に係るピクセル駆動回路の回路概略図である。図5に示すように、図5に示すピクセル駆動回路200と図3に示すピクセル駆動回路100との相違点は、第1基準電圧信号Vref1が電源信号Vdd1であるという点である。

【0045】

すなわち、ピクセル駆動回路200内には第1基準電圧信号Vref1がなく、第2薄膜トランジスタT2のソース電極は電源信号Vdd1に直接接続される。

【0046】

図6を共に参照して、図6は、図5に示すピクセル駆動回路の動作タイミング図である。図6に示すように、図6に示すピクセル駆動回路200の動作タイミング図と、図4に示すピクセル駆動回路100の動作タイミング図との相違点は以下の通りである。閾値電圧補償ステージS1において、電源信号Vdd1は基準低電位にあり、ここでの基準低電位は第1基準電圧Vaにある；発光ステージS2において、電源信号Vdd1は高電位にある。

40

【0047】

本実施形態では、電源信号Vdd1、データ信号Vdata1及び走査信号Vsel1が外部のタイミングコントローラによって生成される。第2基準電圧信号Vref2は定電圧電源によって生成される。

【0048】

本実施形態において、第1薄膜トランジスタT1のゲート電極の電位、ソース電極の電

50

位及びゲートソース電圧は式(1)を満たす。第1基準電圧 V_a は式(3)を満たす。第2基準電圧 V_b は式(2)を満たす。

【0049】

ここで強調すべき点として、第1実施形態と異なり、本実施形態では、第1基準電圧 V_a が電源信号 V_{dd1} の基準低電位である。

【0050】

図7及び図8を共に参照して、図7及び図8はそれぞれ、従来の無補償2T1C型ピクセル駆動回路及び本発明のピクセル駆動回路100又は200において、駆動用薄膜トランジスタ、即ち第1薄膜トランジスタT10の閾値電圧 V_{th} のドリフト値 ΔV_{th} 及び第1薄膜トランジスタT1の閾値電圧 V_{th1} のドリフト値 ΔV_{oled} がそれぞれ0V、+0.5V、-0.5Vであるときの、有機発光ダイオードを流れる電流 I_{OLED} を示す模擬データ図である。両図を比較してわかるように、本発明の回路における有機発光ダイオードを流れる電流の変化量は、従来の無補償2T1C型ピクセル駆動回路における有機発光ダイオードを流れる電流の変化量よりも明らかに小さい。従って、本発明は、駆動用薄膜トランジスタの閾値電圧を効果的に補償することができ、有機発光ダイオードの発光安定性が保証され、OLEDディスプレイパネルのディスプレイ輝度を均一に保つことができ、使用時間に伴う閾値電圧の変化により変化することもなく、ディスプレイ品質が向上する。

10

【0051】

図9は、本発明の実施形態に係るOLEDディスプレイ装置の構造概略図である。図9に示すように、OLEDディスプレイ装置1はピクセル駆動回路2を含み、ピクセル駆動回路2は前記ピクセル駆動回路100又はピクセル駆動回路200である。

20

【0052】

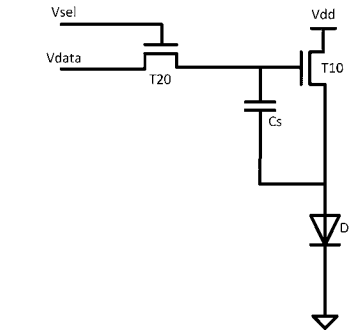
本発明の有益な効果は以下の通りである。本発明のピクセル駆動回路及びOLEDディスプレイ装置は第4薄膜トランジスタを取り入れることで、閾値電圧補償ステージにおいて、データ信号及び第2基準電圧信号を利用して第1薄膜トランジスタを流れる電流を制御することを実現することができ、以って第1薄膜トランジスタ、即ち駆動用薄膜トランジスタの閾値電圧の補償を実現することができる。また、本発明のピクセル駆動回路及びOLEDディスプレイ装置は第3薄膜トランジスタを取り入れることで、発光ステージにおいて第2基準電圧信号が第1薄膜トランジスタのゲート電極の電位に影響を及ぼすのを防ぐことができる。

30

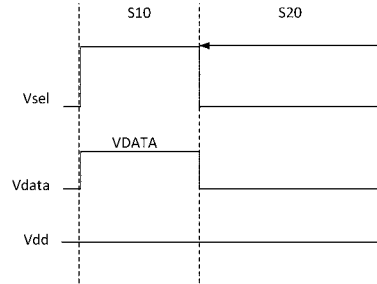
【0053】

上述の内容は単に本発明の実施形態を示すものであり、本発明の特許請求の範囲を限定するものではない。本発明の明細書及び添付の図面の内容をすべて利用して創作された同等の効果を有する構造又は同等の効果を有するプロセスによる置換、又は他の関連する技術分野への直接的若しくは間接的な応用は、いずれも同様に本発明の特許請求の範囲に含まれるものとする。

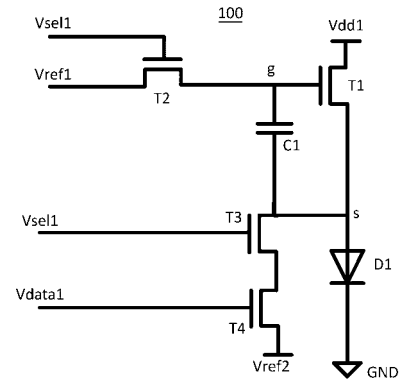
【図 1】



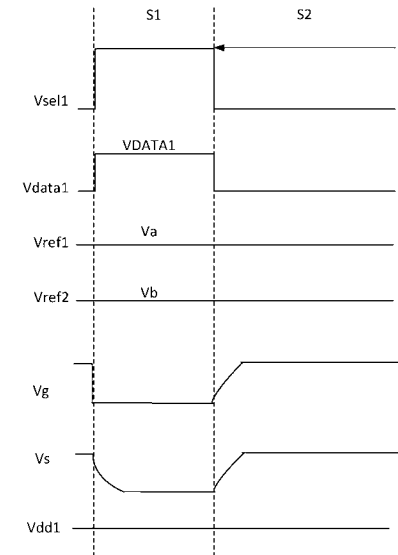
【図 2】



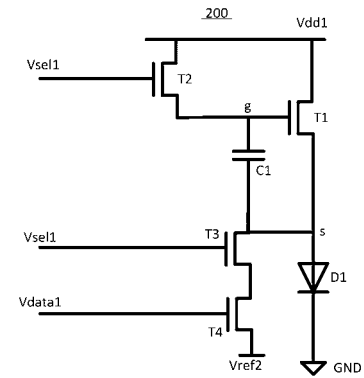
【図 3】



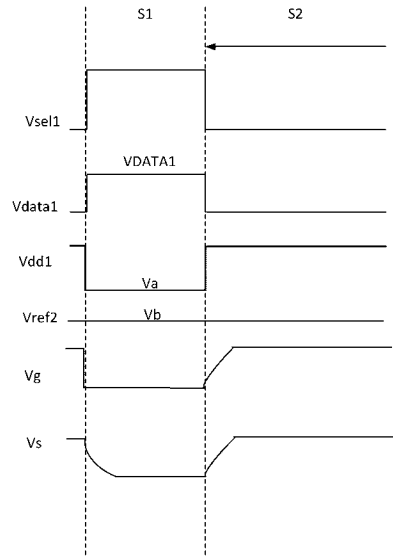
【図 4】



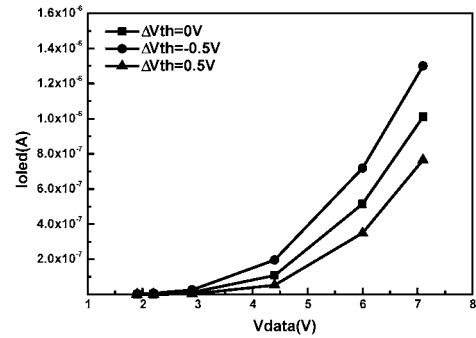
【図 5】



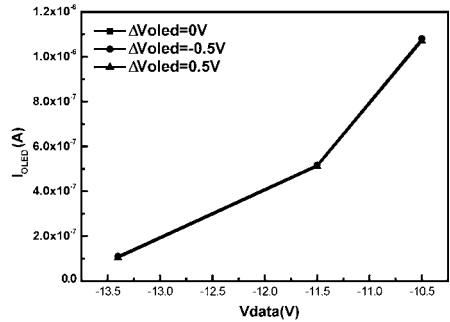
【図 6】



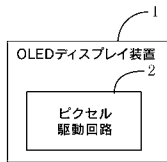
【図 7】



【図 8】



【図 9】



【国际调查报告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2017/081248		
A. CLASSIFICATION OF SUBJECT MATTER				
G09G 3/3266 (2016.01) i; G09G 3/3233 (2016.01) i According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols) G09G				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, CNKI, WPI, EPODOC: 华星光电, 蔡玉莹, 有机发光二极管, 栅源电压, 晶体管, 开关, 阈值, 阈值, 参考, 电压, 补偿, 栅极, 沟道, 控制, 电极, OLED, AMOLED, organic, light, emit+, diode?, TFT, vref?, vdata?, PMOS, NMOS, signal, W/L, compen+, Vgs, Vth, reference, electrode?, voltage, control???, threshold				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A	CN 101542573 A (CASIO COMPUTER CO., LTD.), 23 September 2009 (23.09.2009), description, page 12, line 7 and page 15, line 21 to page 23, line 13, and figures 9-10	1-20		
A	CN 104835453 A (BOE TECHNOLOGY GROUP CO., LTD.), 12 August 2015 (12.08.2015), entire document	1-20		
A	CN 101271663 A (CASIO COMPUTER CO., LTD.), 24 September 2008 (24.09.2008), entire document	1-20		
A	CN 101421772 A (CASIO COMPUTER CO., LTD.), 29 April 2009 (29.04.2009), entire document	1-20		
A	CN 104680982 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 03 June 2015 (03.06.2015), entire document	1-20		
A	CN 106205495 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 07 December 2016 (07.12.2016), entire document	1-20		
A	US 2011096061 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE), 28 April 2011 (28.04.2011), entire document	1-20		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
<table border="0"> <tr> <td style="vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 17 November 2017		Date of mailing of the international search report 20 December 2017		
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451		Authorized officer PENG, Hailiang Telephone No. (86-10) 62414003		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/081248

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101542573 A	23 September 2009	EP 2038872 B1 JP 5240544 B2 WO 2008123600 A1 KR 101142627 B1 DE 602008000503 D1 HK 1134714 A1 TW 200901134 A US 2008238953 A1 CN 101542573 B KR 20090056939 A EP 2038872 A1 TW I404016 B US 8497854 B2 JP 2008250006 A	06 January 2010 17 July 2013 16 October 2008 14 June 2012 25 February 2010 30 March 2012 01 January 2009 02 October 2008 27 July 2011 03 June 2009 25 March 2009 01 August 2013 30 July 2013 16 October 2008
CN 104835453 A	12 August 2015	WO 2016187991 A1 CN 104835453 B US 2017256202 A1	01 December 2016 05 April 2017 07 September 2017
CN 101271663 A	24 September 2008	US 7760168 B2 KR 20080028334 A JP 4222426 B2 US 2008074413 A1 TW I380263 B CN 101271663 B KR 100894586 B1 JP 2008107774 A TW 200826045 A	20 July 2010 31 March 2008 12 February 2009 27 March 2008 21 December 2012 22 December 2010 24 April 2009 08 May 2008 16 June 2008
CN 101421772 A	29 April 2009	JP 5240542 B2 KR 20080106191 A US 7701421 B2 WO 2008038819 A1 US 2008074362 A1 TW 200826044 CN 101421772 EP 2067135 A1 JP 2008107772 KR 101039218 B1 TW I384448 B	17 July 2013 04 December 2008 20 April 2010 03 April 2008 27 March 2008 16 June 2008 09 November 2011 10 June 2009 08 May 2008 03 June 2011 01 February 2013
CN 104680982 A	03 June 2015	US 2017039941 A1 CN 104680982 B US 2017294163 A1 WO 2016155087 A1 US 9728132 B2	09 February 2017 08 March 2017 12 October 2017 06 October 2016 08 August 2017
CN 106205495 A US 2011096061 A1	07 December 2016 28 April 2011	None TW 201115541 A TW 1421834 B	01 May 2011 01 January 2014

国际检索报告		国际申请号 PCT/CN2017/081248
A. 主题的分类 G09G 3/3266(2016.01)i; G09G 3/3233(2016.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPDOC: 华星光电, 蔡玉莹, 有机发光二极管, 栅源电压, 晶体管, 开关, 阈值, 阈值, 参考, 电压, 补偿, 栅极, 沟道, 控制, 电极, OLED, AMOLED, organic, light, emit+, diode?, TFT, vref?, vdata?, PMOS, NMOS, signal, W/L, compen+, Vgs, Vth, reference, electrode?, voltage, control???, threshold		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 101542573 A (卡西欧计算机株式会社) 2009年 9月 23日 (2009 - 09 - 23) 说明书第12页第7行, 第15页第21行-第23页第13行, 附图9-10	1-20
A	CN 104835453 A (京东方科技集团股份有限公司) 2016年 8月 12日 (2016 - 08 - 12) 全文	1-20
A	CN 101271663 A (卡西欧计算机株式会社) 2008年 9月 24日 (2008 - 09 - 24) 全文	1-20
A	CN 101421772 A (卡西欧计算机株式会社) 2009年 4月 29日 (2009 - 04 - 29) 全文	1-20
A	CN 104680982 A (深圳市华星光电技术有限公司) 2016年 6月 3日 (2016 - 06 - 03) 全文	1-20
A	CN 106205495 A (深圳市华星光电技术有限公司) 2016年 12月 7日 (2016 - 12 - 07) 全文	1-20
A	US 2011096061 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 2011年 4月 28日 (2011 - 04 - 28) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2017年 11月 17日		国际检索报告邮寄日期 2017年 12月 20日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 彭海良 电话号码 (86-10) 62414003

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/081248

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101542573	A	2009年 9月 23日	EP	2038872	B1	2010年 1月 6日
				JP	5240544	B2	2013年 7月 17日
				WO	2008123600	A1	2008年 10月 16日
				KR	101142627	B1	2012年 6月 14日
				DE	602008000503	D1	2010年 2月 25日
				HK	1134714	A1	2012年 3月 30日
				TW	200901134	A	2009年 1月 1日
				US	2008238953	A1	2008年 10月 2日
				CN	101542573	B	2011年 7月 27日
				KR	20090056939	A	2009年 6月 3日
				EP	2038872	A1	2009年 3月 25日
				TW	I404016	B	2013年 8月 1日
				US	8497854	B2	2013年 7月 30日
				JP	2008250006	A	2008年 10月 16日
				CN	104835453	A	2015年 8月 12日
CN	104835453	B	2017年 4月 5日				
US	2017256202	A1	2017年 9月 7日				
CN	101271663	A	2008年 9月 24日	US	7760168	B2	2010年 7月 20日
				KR	20080028334	A	2008年 3月 31日
				JP	4222426	B2	2009年 2月 12日
				US	2008074413	A1	2008年 3月 27日
				TW	I380263	B	2012年 12月 21日
				CN	101271663	B	2010年 12月 22日
				KR	100894586	B1	2009年 4月 24日
				JP	2008107774	A	2008年 5月 8日
				TW	200826045	A	2008年 6月 16日
				CN	101421772	A	2009年 4月 29日
KR	20080106191	A	2008年 12月 4日				
US	7701421	B2	2010年 4月 20日				
WO	2008038819	A1	2008年 4月 3日				
US	2008074362	A1	2008年 3月 27日				
TW	200826044	A	2008年 6月 16日				
CN	101421772	B	2011年 11月 9日				
EP	2067135	A1	2009年 6月 10日				
JP	2008107772	A	2008年 5月 8日				
KR	101039218	B1	2011年 6月 3日				
TW	I384448	B	2013年 2月 1日				
CN	104680982	A	2015年 6月 3日				
				CN	104680982	B	2017年 3月 8日
				US	2017294163	A1	2017年 10月 12日
				WO	2016155087	A1	2016年 10月 6日
				US	9728132	B2	2017年 8月 8日
CN	106205495	A	2016年 12月 7日	无			
US	2011096061	A1	2011年 4月 28日	TW	201115541	A	2011年 5月 1日
				TW	I421834	B	2014年 1月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 2 J
	G 0 9 G 3/20	6 1 2 E
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 1 1 C
	H 0 5 B 33/14	A
	H 0 1 L 27/32	
	G 0 9 F 9/30	3 3 8
	G 0 9 F 9/30	3 6 5

(81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ

(74)代理人 100121153
弁理士 守屋 嘉高

(74)代理人 100178445
弁理士 田中 淳二

(74)代理人 100188994
弁理士 加藤 裕介

(74)代理人 100194892
弁理士 齋藤 麻美

(74)代理人 100207653
弁理士 中村 聡

(72)発明者 蔡 玉瑩
中国広東省深▲せん▼市光明新区塘明大道9-2号

Fターム(参考) 3K107 AA01 BB01 CC31 EE03 HH05
5C080 AA06 AA10 BB05 DD05 DD10 DD12 DD23 EE29 FF03 FF11
HH09 JJ02 JJ03 JJ04 JJ05
5C094 BA03 BA27 DB01 JA03
5C380 AA01 AB06 AB21 AB22 AB23 AB46 BA08 BA12 BA39 BB02
BB08 BD02 CC06 CC27 CC34 CC35 CC61 CC62 CC63 CD012
CD014 CE04 CE20 DA02 HA03 HA05 HA13

【要約の続き】

御することを実現することができ、以って第1薄膜トランジスタ(T1)、即ち駆動用薄膜トランジスタ(T1)の閾値電圧の補償を実現することができる。

【選択図】図3

专利名称(译)	像素驱动电路及OLED显示装置		
公开(公告)号	JP2020514821A	公开(公告)日	2020-05-21
申请号	JP2019550839	申请日	2017-04-20
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
发明人	蔡 玉瑩		
IPC分类号	G09G3/3233 G09G3/20 H01L51/50 H01L27/32 G09F9/30		
CPC分类号	G09G3/3233 G09G3/3266		
FI分类号	G09G3/3233 G09G3/20.624.B G09G3/20.641.D G09G3/20.611.H G09G3/20.670.K G09G3/20.612.J G09G3/20.612.E G09G3/20.642.A G09G3/20.611.C H05B33/14.A H01L27/32 G09F9/30.338 G09F9/30.365		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/EE03 3K107/HH05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD10 5C080/DD12 5C080/DD23 5C080/EE29 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C094/BA03 5C094/BA27 5C094/DB01 5C094/JA03 5C380/AA01 5C380/AB06 5C380/AB21 5C380/AB22 5C380/AB23 5C380/AB46 5C380/BA08 5C380/BA12 5C380/BA39 5C380/BB02 5C380/BB08 5C380/BD02 5C380/CC06 5C380/CC27 5C380/CC34 5C380/CC35 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD014 5C380/CE04 5C380/CE20 5C380/DA02 5C380/HA03 5C380/HA05 5C380/HA13		
代理人(译)	高桥智之 田中淳二 加藤佑介 斋藤麻美 中村聪		
优先权	201710156977.6 2017-03-16 CN		
外部链接	Espacenet		

摘要(译)

提供了像素驱动电路 (100、200、2) 和OLED显示装置 (1)。像素驱动电路 (100、200、2) 包括第一, 第二, 第三和第四薄膜晶体管 (T1, T2, T3, T4), 电容器 (C1) 和有机发光二极管 (D1)。) 并且在第三薄膜晶体管 (T3) 的栅极连接到扫描信号 (Vsel1) 的情况下, 源电极连接到第四薄膜晶体管 (T4) 的漏极, 则漏极为 它连接到第一薄膜晶体管 (T1) 的源极;第四薄膜晶体管 (T4) 的栅极连接到数据信号 (Vdata1), 源极连接到第二参考电压信号 (Vref2)。 ing。像素驱动电路 (100、200、2) 结合有第四薄膜晶体管 (T4), 使得阈值电压补偿级 (S1) 使用数据信号 (Vdata1) 和第二参考电压信号 (Vref2) 来产生第一电压。 可以实现对流过薄膜晶体管 (T1) 的电流的控制, 因此可以实现对第一薄膜晶体管 (T1) 即驱动薄膜晶体管 (T1) 的阈值电压的补偿。 [选择图]图3

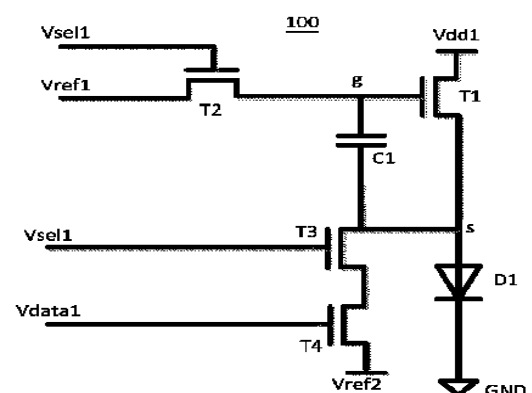


图 3