

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-501488

(P2019-501488A)

(43) 公表日 平成31年1月17日(2019.1.17)

(51) Int.Cl.	F I	テーマコード (参考)
H05B 33/02 (2006.01)	H05B 33/02	3K107
G09F 9/30 (2006.01)	G09F 9/30 365	5C094
G09F 9/302 (2006.01)	G09F 9/302 Z	5G435
G09F 9/00 (2006.01)	G09F 9/30 338	
H01L 51/50 (2006.01)	G09F 9/00 338	
審査請求 有 予備審査請求 未請求 (全 47 頁) 最終頁に続く		

(21) 出願番号 特願2018-527181 (P2018-527181)
 (86) (22) 出願日 平成29年3月9日 (2017.3.9)
 (85) 翻訳文提出日 平成30年6月25日 (2018.6.25)
 (86) 国際出願番号 PCT/CN2017/076181
 (87) 国際公開番号 W02017/157244
 (87) 国際公開日 平成29年9月21日 (2017.9.21)
 (31) 優先権主張番号 201610149683.6
 (32) 優先日 平成28年3月16日 (2016.3.16)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 515176162
 クンシャン ニュー フラット パネル
 ディスプレイ テクノロジー センター
 カンパニー リミテッド
 中華人民共和国 215300 ジャンス
 クンシャン ディベロップメント ゾ
 ーン フォトエレクトリック インダスト
 リアル パーク フー チュン リバー
 ロード ナンバー 320
 (74) 代理人 110002572
 特許業務法人平木国際特許事務所

最終頁に続く

(54) 【発明の名称】 O L E Dディスプレイパネル及びその製造方法

(57) 【要約】

O L E Dディスプレイパネル及びその製造方法を提供する。O L E Dディスプレイパネルは、走査ライン (S n)、データライン (D 1、D 2)、及び電源ライン (V D D)を含む。走査ライン (S n) 及びデータライン (D 1、D 2) は、マトリクス状に配置された複数のピクセルグループを画定する。各ピクセルグループは、2つのサブピクセルを含み、同じピクセルグループ内の2つのサブピクセルは、同じ電源ライン (V D D) に接続され、電源ライン (V D D) を挟んで対向するように配置されている。同じピクセルグループ内の2つのサブピクセルにそれぞれ接続されたデータライン (D 1、D 2) は、異なる構造層上に配置されている。本発明により、データライン (D 1、D 2) 間の短絡の可能性を効果的に低減でき、データライン (D 1、D 2) 間のクロストークを大幅に低減できる。更に、既存の設備及びプロセス条件に基づいて、ピクセル面積を縮小でき、O L E Dディスプレイパネルの P P I 及び解像度を高めることができる。

【選択図】 図 1 1 a

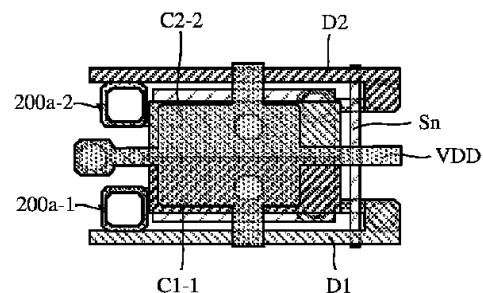


図 11a

【特許請求の範囲】

【請求項 1】

基板上に形成された複数の走査ライン、データライン及び電源ラインを備え、前記走査ライン及び前記データラインは、マトリクス状に配置された複数のピクセルグループを画定し、各ピクセルグループは、2つのサブピクセルを有し、同じピクセルグループ内の2つのサブピクセルは、同じ電源ラインに接続され、前記電源ラインに関して鏡面对称に配置され、前記同じピクセルグループ内の2つのサブピクセルに接続された前記データラインは、異なる構造層上に配置されていることを特徴とするOLEDディスプレイパネル。

【請求項 2】

前記同じピクセルグループ内の2つのサブピクセルは、第1のサブピクセル及び第2のサブピクセルを含み、前記第1のサブピクセルが、第1の蓄積コンデンサを含み、前記第2のサブピクセルが、第2の蓄積コンデンサを含み、前記第1の蓄積コンデンサの上側プレートと前記第2の蓄積コンデンサの上側プレートとは、異なる構造層上に配置されていることを特徴とする請求項1に記載のOLEDディスプレイパネル。

10

【請求項 3】

前記第1のサブピクセルは、第1のスイッチトランジスタ及び第1の駆動トランジスタを更に含み、前記第2のサブピクセルは、第2のスイッチトランジスタ及び第2の駆動トランジスタを更に含み、前記第1のスイッチトランジスタのソースが、第1のデータラインに接続され、前記第2のスイッチトランジスタのソースが、第2のデータラインに接続され、前記第1のデータラインと前記第2のデータラインと前記電源ラインとは互いに平行であり、前記走査ラインが、前記電源ラインと直交し、前記第1のデータライン及び前記第2のデータライン、前記第1の蓄積コンデンサ及び前記第2の蓄積コンデンサ、前記第1のスイッチトランジスタ及び前記第2のスイッチトランジスタ、並びに前記第1の駆動トランジスタ及び前記第2の駆動トランジスタは、それぞれ前記電源ラインに関して鏡面对称に配置されていることを特徴とする請求項2に記載のOLEDディスプレイパネル。

20

【請求項 4】

前記基板上に形成され、前記第1のスイッチトランジスタ、前記第1の駆動トランジスタ、前記第2のスイッチトランジスタ及び前記第2の駆動トランジスタのアクティブ層として機能するシリコンアイランドと、

30

ゲート絶縁層及び複数の第1のスルーホールであって、前記ゲート絶縁層は、前記基板及び前記シリコンアイランド上に形成され、前記第1のスルーホールは、前記第1のスイッチトランジスタのドレインと前記第1の蓄積コンデンサの下側プレートとの間、及び前記第2のスイッチトランジスタのドレインと前記第2の蓄積コンデンサの下側プレートとの間の電氣的接続のために使用される、ゲート絶縁層及び複数の第1のスルーホールと、

ゲート絶縁層上に形成され、前記走査ライン、前記第1の蓄積コンデンサの下側プレート、前記第2の蓄積コンデンサの下側プレート、前記第1のスイッチトランジスタのゲート、前記第1の駆動トランジスタのゲート、前記第2のスイッチトランジスタのゲート、及び前記第2の駆動トランジスタのゲートとして機能するパターン化された第1の金属層と、

40

第1の層間絶縁層及び第2のスルーホールであって、前記第1の層間絶縁層は、前記ゲート絶縁層及び前記パターン化された第1の金属層上に形成され、前記第2のスルーホールは、前記第1のデータラインと前記第1のスイッチトランジスタのソースとを電氣的に接続するために使用される、第1の層間絶縁層及び第2のスルーホールと、

前記第1の層間絶縁層上に形成され、前記第1のデータライン、前記第1のスイッチトランジスタのソース、及び前記第2の蓄積コンデンサの上側プレートとして機能するパターン化された第2の金属層と、

第2の層間絶縁層及び第3のスルーホールであって、前記第2の層間絶縁層は、前記第1の層間絶縁層及び前記パターン化された第2の金属層上に形成され、前記第3のスルー

50

ホールは、前記第 2 のデータラインと前記第 2 のスイッチトランジスタのソースとを電氣的に接続するために使用される、第 2 の層間絶縁層及び第 3 のスルーホールと、

前記第 2 の層間絶縁層上に形成され、前記第 2 のデータライン、前記第 2 のスイッチトランジスタのソース、及び前記第 1 の蓄積コンデンサの上側プレートとして機能するパターン化された第 3 の金属層と、

第 3 の層間絶縁層及び第 4 のスルーホールであって、前記第 3 の層間絶縁層は、前記第 2 の層間絶縁層及び前記パターン化された第 3 の金属層上に形成され、前記第 4 のスルーホールは、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、前記電源ライン、前記第 1 の蓄積コンデンサの上側プレート及び前記第 2 の蓄積コンデンサの上側プレートを電氣的に接続するために使用される、第 3 の層間絶縁層及び第 4 のスルーホールと、

前記第 3 の層間絶縁層上に形成され、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、並びに前記電源ラインとして機能するパターン化された第 4 の金属層と、

パッシベーション絶縁層及び複数のコンタクトホールであって、前記パッシベーション絶縁層は、前記第 3 の層間絶縁層及び前記パターン化された第 4 の金属層上に形成され、前記コンタクトホールは、前記第 1 の駆動トランジスタのドレインと第 1 の O L E D のアノードとの間、並びに前記第 2 の駆動トランジスタのドレインと第 2 の O L E D のアノードとの間を電氣的に接続するために使用される、パッシベーション絶縁層及びコンタクトホールとを備えることを特徴とする請求項 3 に記載の O L E D ディスプレイパネル。

【請求項 5】

前記第 2 の層間絶縁層を貫通し、前記第 1 の蓄積コンデンサの下側プレートと対向する開口部を備えることを特徴とする請求項 4 に記載の O L E D ディスプレイパネル。

【請求項 6】

請求項 1 において、前記同じピクセルグループ内の 2 つのサブピクセルは、第 1 のサブピクセルと第 2 のサブピクセルを含み、前記第 1 のサブピクセルは、第 1 の蓄積コンデンサを含み、前記第 2 のサブピクセルは、第 2 の蓄積コンデンサを含み、前記第 1 の蓄積コンデンサの上側プレートと前記第 2 の蓄積コンデンサの上側プレートは、同じ構造層上に配置されている O L E D ディスプレイパネル。

【請求項 7】

請求項 6 において、前記第 1 のサブピクセルは、第 1 のスイッチトランジスタ及び第 1 の駆動トランジスタを更に含み、前記第 2 のサブピクセルは、第 2 のスイッチトランジスタ及び第 2 の駆動トランジスタを更に含み、前記第 1 のスイッチトランジスタのソースは、第 1 のデータラインに接続され、前記第 2 のスイッチトランジスタのソースは、第 2 のデータラインに接続され、前記第 1 のデータライン、前記第 2 のデータライン、及び前記電源ラインとは互いに平行であり、前記走査ラインは、前記電源ラインに垂直であり、前記第 1 のデータライン及び前記第 2 のデータライン、前記第 1 の蓄積コンデンサ及び前記第 2 の蓄積コンデンサ、前記第 1 のスイッチトランジスタ及び前記第 2 のスイッチトランジスタ、前記第 1 の駆動トランジスタ及び前記第 2 の駆動トランジスタは、それぞれ前記電源ラインに関して鏡面对称に配置されている O L E D ディスプレイパネル。

【請求項 8】

請求項 7 において、

前記基板上に形成され、前記第 1 のスイッチトランジスタ、前記第 1 の駆動トランジスタ、前記第 2 のスイッチトランジスタ及び前記第 2 の駆動トランジスタのアクティブ層として機能するシリコンアイランドと、

ゲート絶縁層及び複数の第 1 のスルーホールであって、前記ゲート絶縁層は、前記基板及び前記シリコンアイランド上に形成され、前記第 1 のスルーホールは、前記第 1 のスイッチトランジスタのドレインと前記第 1 の蓄積コンデンサの下側プレートとの間、及び前記第 2 のスイッチトランジスタのドレインと前記第 2 の蓄積コンデンサの下側プレートとの間を電氣的に接続するために使用される、ゲート絶縁層及び複数の第 1 のスルーホール

10

20

30

40

50

と、

前記ゲート絶縁層上に形成され、前記走査ライン、前記第 1 の蓄積コンデンサの下側プレート、前記第 2 の蓄積コンデンサの下側プレート、前記第 1 のスイッチトランジスタのゲート、前記第 1 の駆動トランジスタのゲート、前記第 2 のスイッチトランジスタのゲート、及び前記第 2 の駆動トランジスタのゲートとして機能するパターン化された第 1 の金属層と、

第 1 の層間絶縁層及び第 2 のスルーホールであって、前記第 1 の層間絶縁層は、前記ゲート絶縁層及び前記パターン化された第 1 の金属層上に形成され、前記第 2 のスルーホールは、前記第 1 のデータラインと前記第 1 のスイッチトランジスタのソースとを電氣的に接続するために使用される、第 1 の層間絶縁層及び第 2 のスルーホールと、

10

前記第 1 の層間絶縁層上に形成され、前記第 1 のデータライン、前記第 1 のスイッチトランジスタのソース、前記第 1 の蓄積コンデンサの上側プレート、及び前記第 2 の蓄積コンデンサの上側プレートとして機能するパターン化された第 2 の金属層と、

第 2 の層間絶縁層及び第 3 のスルーホールであって、前記第 2 の層間絶縁層は、前記第 1 の層間絶縁層及び前記パターン化された第 2 の金属層上に形成され、前記第 3 のスルーホールは、前記第 2 のデータラインと前記第 2 のスイッチトランジスタのソースとを電氣的に接続するために使用される、第 2 の層間絶縁層及び第 3 のスルーホールと、

前記第 2 の層間絶縁層上に形成され、前記第 2 のデータライン、及び前記第 2 のスイッチトランジスタのソースとして機能するパターン化された第 3 の金属層と、

第 3 の層間絶縁層及び第 4 のスルーホールであって、前記第 3 の層間絶縁層は、前記第 2 の層間絶縁層及び前記パターン化された第 3 の金属層上に形成され、前記第 4 のスルーホールは、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、前記電源ライン、前記第 1 の蓄積コンデンサの上側プレート及び前記第 2 の蓄積コンデンサの上側プレートを電氣的に接続するために使用される、第 3 の層間絶縁層及び第 4 のスルーホールと、

20

前記第 3 の層間絶縁層上に形成され、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、並びに前記電源ラインとして機能するパターン化された第 4 の金属層と、

パッシベーション絶縁層及び複数のコンタクトホールであって、前記パッシベーション絶縁層は、前記第 3 の層間絶縁層及び前記パターン化された第 4 の金属層上に形成され、前記コンタクトホールは、前記第 1 の駆動トランジスタのドレインと第 1 の O L E D のアノードとの間、並びに前記第 2 の駆動トランジスタのドレインと第 2 の O L E D のアノードとの間を電氣的に接続するために使用される、パッシベーション絶縁層及び複数のコンタクトホールとを備える O L E D ディスプレイパネル。

30

【請求項 9】

基板上に、複数の走査ライン、データライン及び電源ラインを形成することを含み、前記走査ライン及び前記データラインは、マトリクス状に配置された複数のピクセルグループを画定し、

各ピクセルグループは、2つのサブピクセルを有し、同じピクセルグループ内の2つのサブピクセルは、同じ電源ラインに接続され、前記電源ラインに関して鏡面对称に配置され、前記同じピクセルグループ内の2つのサブピクセルに接続された前記データラインは、異なる構造層上に配置されることを特徴とする O L E D ディスプレイパネルの製造方法。

40

【請求項 10】

前記同じピクセルグループ内の2つのサブピクセルは、第1のサブピクセルと第2のサブピクセルを含み、前記第1のサブピクセルは、第1の蓄積コンデンサを含み、前記第2のサブピクセルは、第2の蓄積コンデンサを含み、前記第1の蓄積コンデンサの上側プレートと前記第2の蓄積コンデンサの上側プレートは、異なる構造層上に配置されることを特徴とする請求項 9 に記載の O L E D ディスプレイパネルの製造方法。

【請求項 11】

50

前記第 1 のサブピクセルは、第 1 のスイッチトランジスタ及び第 1 の駆動トランジスタを更に含み、前記第 2 のサブピクセルは、第 2 のスイッチトランジスタ及び第 2 の駆動トランジスタを更に含み、前記第 1 のスイッチトランジスタのソースは、第 1 のデータラインに接続され、前記第 2 のスイッチトランジスタのソースは、第 2 のデータラインに接続され、前記第 1 のデータライン、前記第 2 のデータライン、及び前記電源ラインとは互いに平行であり、前記走査ラインは、前記電源ラインに垂直であり、前記第 1 のデータライン及び前記第 2 のデータライン、前記第 1 の蓄積コンデンサ及び前記第 2 の蓄積コンデンサ、前記第 1 のスイッチトランジスタ及び前記第 2 のスイッチトランジスタ、前記第 1 の駆動トランジスタ及び前記第 2 の駆動トランジスタは、それぞれ前記電源ラインに関して鏡面对称に配置されることを特徴とする請求項 10 に記載の O L E D ディスプレイパネルの製造方法。

10

【請求項 12】

前記第 1 のスイッチトランジスタ、前記第 1 の駆動トランジスタ、前記第 2 のスイッチトランジスタ及び前記第 2 の駆動トランジスタのアクティブ層として機能するシリコンアイランドを形成する工程と、

ゲート絶縁層及び複数の第 1 のスルーホールを形成する工程であって、前記ゲート絶縁層は、前記基板及び前記シリコンアイランド上に形成され、前記第 1 のスルーホールは、前記第 1 のスイッチトランジスタのドレインと前記第 1 の蓄積コンデンサの下側プレートとの間、及び前記第 2 のスイッチトランジスタのドレインと前記第 2 の蓄積コンデンサの下側プレートとの間を電氣的に接続するために使用される工程と、

20

パターン化された第 1 の金属層を形成する工程であって、前記パターン化された第 1 の金属層は、前記ゲート絶縁層上に形成され、前記走査ライン、前記第 1 の蓄積コンデンサの下側プレート、前記第 2 の蓄積コンデンサの下側プレート、前記第 1 のスイッチトランジスタのゲート、前記第 1 の駆動トランジスタのゲート、前記第 2 のスイッチトランジスタのゲート、及び前記第 2 の駆動トランジスタのゲートとして機能する工程と、

第 1 の層間絶縁層及び第 2 のスルーホールを形成する工程であって、前記第 1 の層間絶縁層は、前記ゲート絶縁層及び前記パターン化された第 1 の金属層上に形成され、前記第 2 のスルーホールは、前記第 1 のデータラインと前記第 1 のスイッチトランジスタのソースとの間を電氣的に接続するために使用される工程と、

パターン化された第 2 の金属層を形成する工程であって、前記パターン化された第 2 の金属層は、前記第 1 の層間絶縁層上に形成され、前記第 1 のデータライン、前記第 1 のスイッチトランジスタのソース、及び前記第 2 の蓄積コンデンサの上側プレートとして機能する工程と、

30

第 2 の層間絶縁層及び第 3 のスルーホールを形成する工程であって、前記第 2 の層間絶縁層は、前記第 1 の層間絶縁層及び前記パターン化された第 2 の金属層上に形成され、前記第 3 のスルーホールは、前記第 2 のデータラインと前記第 2 のスイッチトランジスタのソースとを電氣的に接続するために使用される工程と、

パターン化された第 3 の金属層を形成する工程であって、前記パターン化された第 3 の金属層は、前記第 2 の層間絶縁層上に形成され、前記第 2 のデータライン、前記第 2 のスイッチトランジスタのソース及び前記第 1 の蓄積コンデンサの上側プレートとして機能する工程と、

40

第 3 の層間絶縁層及び第 4 のスルーホールを形成する工程であって、前記第 3 の層間絶縁層は、前記第 2 の層間絶縁層及び前記パターン化された第 3 の金属層上に形成され、前記第 4 のスルーホールは、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、前記電源ライン、前記第 1 の蓄積コンデンサの上側プレート及び前記第 2 の蓄積コンデンサの上側プレートを電氣的に接続するために使用される工程と、

パターン化された第 4 の金属層を形成する工程であって、前記パターン化された第 4 の金属層は、前記第 3 の層間絶縁層上に形成され、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、並びに前記電源ライン

50

として機能する工程と、

パッシベーション絶縁層及び複数のコンタクトホールを形成する工程であって、前記パッシベーション絶縁層は、前記第3の層間絶縁層及び前記パターン化された第4の金属層上に形成され、前記コンタクトホールは、前記第1の駆動トランジスタのドレインと第1のOLEDのアノードとの間、並びに前記第2の駆動トランジスタのドレインと第2のOLEDのアノードとの間を電氣的に接続するために使用される工程とによって形成されることを特徴とする請求項11に記載のOLEDディスプレイパネルの製造方法。

【請求項13】

前記第2の層間絶縁層を形成した後、前記第2の層間絶縁層を貫通し、前記第1の蓄積コンデンサの下側プレートと対向する開口部を更に形成することを特徴とする請求項12に記載のOLEDディスプレイパネルの製造方法。

10

【請求項14】

請求項9において、前記同じピクセルグループ内の2つのサブピクセルは、第1のサブピクセルと第2のサブピクセルを含み、前記第1のサブピクセルは、第1の蓄積コンデンサを含み、前記第2のサブピクセルは、第2の蓄積コンデンサを含み、前記第1の蓄積コンデンサの上側プレートと前記第2の蓄積コンデンサの上側プレートは、同じ構造層上に配置されるOLEDディスプレイパネルの製造方法。

【請求項15】

請求項14において、前記第1のサブピクセルは、第1のスイッチトランジスタ及び第1の駆動トランジスタを更に含み、前記第2のサブピクセルは、第2のスイッチトランジスタ及び第2の駆動トランジスタを更に含み、前記第1のスイッチトランジスタのソースは、第1のデータラインに接続され、前記第2のスイッチトランジスタのソースは、第2のデータラインに接続され、前記第1のデータライン、前記第2のデータライン、及び前記電源ラインとは互いに平行であり、前記走査ラインは、前記電源ラインに垂直であり、前記第1のデータライン及び前記第2のデータライン、前記第1の蓄積コンデンサ及び前記第2の蓄積コンデンサ、前記第1のスイッチトランジスタ及び前記第2のスイッチトランジスタ、前記第1の駆動トランジスタ及び前記第2の駆動トランジスタは、それぞれ前記電源ラインに関して鏡面对称に配置されるOLEDディスプレイパネルの製造方法。

20

【請求項16】

請求項15において、前記OLEDディスプレイパネルは、

30

シリコンアイランドを形成する工程であって、前記シリコンアイランドは、前記基板の上に形成され、前記第1のスイッチトランジスタ、前記第1の駆動トランジスタ、前記第2のスイッチトランジスタ及び前記第2の駆動トランジスタのアクティブ層として機能する工程と、

ゲート絶縁層及び複数の第1のスルーホールを形成する工程であって、前記ゲート絶縁層は、前記基板及び前記シリコンアイランド上に形成され、前記第1のスルーホールは、前記第1のスイッチトランジスタのドレインと前記第1の蓄積コンデンサの下側プレートとの間、及び前記第2のスイッチトランジスタのドレインと前記第2の蓄積コンデンサの下側プレートとの間を電氣的に接続するために使用される工程と、

パターン化された第1の金属層を形成する工程であって、前記パターン化された第1の金属層は、前記ゲート絶縁層上に形成され、前記走査ライン、前記第1の蓄積コンデンサの下側プレート、前記第2の蓄積コンデンサの下側プレート、前記第1のスイッチトランジスタのゲート、前記第1の駆動トランジスタのゲート、前記第2のスイッチトランジスタのゲート、及び前記第2の駆動トランジスタのゲートとして機能する工程と、

40

第1の層間絶縁層及び第2のスルーホールを形成する工程であって、前記第1の層間絶縁層は、前記ゲート絶縁層及び前記パターン化された第1の金属層上に形成され、前記第2のスルーホールは、前記第1のデータラインと前記第1のスイッチトランジスタのソースとを電氣的に接続するために使用される工程と、

パターン化された第2の金属層を形成する工程であって、前記パターン化された第2の金属層は、前記第1の層間絶縁層上に形成され、前記第1のデータライン、前記第1のス

50

スイッチトランジスタのソース、前記第 1 の蓄積コンデンサの上側プレート、及び前記第 2 の蓄積コンデンサの上側プレートとして機能する工程と、

第 2 の層間絶縁層及び第 3 のスルーホールを形成する工程であって、前記第 2 の層間絶縁層は、前記第 1 の層間絶縁層及び前記パターン化された第 2 の金属層上に形成され、前記第 3 のスルーホールは、前記第 2 のデータラインと前記第 2 のスイッチトランジスタのソースとを電氣的に接続するために使用される工程と、

パターン化された第 3 の金属層を形成する工程であって、前記パターン化された第 3 の金属層は、前記第 2 の層間絶縁層上に形成され、前記第 2 のデータライン、及び前記第 2 のスイッチトランジスタのソースとして機能する工程と、

第 3 の層間絶縁層及び第 4 のスルーホールを形成する工程であって、前記第 3 の層間絶縁層は、前記第 2 の層間絶縁層及び前記パターン化された第 3 の金属層上に形成され、前記第 4 のスルーホールは、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、前記電源ライン、前記第 1 の蓄積コンデンサの上側プレート及び前記第 2 の蓄積コンデンサの上側プレートを電氣的に接続するために使用される工程と、

パターン化された第 4 の金属層を形成する工程であって、前記パターン化された第 4 の金属層は、前記第 3 の層間絶縁層上に形成され、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、並びに前記電源ラインとして機能する工程と、

パッシベーション絶縁層及び複数のコンタクトホールを形成する工程であって、前記パッシベーション絶縁層は、前記第 3 の層間絶縁層及び前記パターン化された第 4 の金属層上に形成され、前記コンタクトホールは、前記第 1 の駆動トランジスタのドレインと第 1 の O L E D のアノードとの間、並びに前記第 2 の駆動トランジスタのドレインと第 2 の O L E D のアノードとの間を電氣的に接続するために使用される工程とによって形成される O L E D ディスプレイパネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ディスプレイの技術分野に関し、詳しくは、有機発光ダイオード (organic light-emitting diode : O L E D) ディスプレイパネル及びその製造方法に関する。

【背景技術】

【0002】

情報化社会の進展により、ディスプレイ装置に対する要求が高まっている。この要求を満たすために、様々なフラットパネルディスプレイデバイス、例えば、薄膜トランジスタ - 液晶ディスプレイ (film transistor-liquid crystal display : T F T - L C D)、プラズマディスプレイパネル (plasma display panel : P D P)、及び O L E D ディスプレイの全てが急速に進化している。これらのフラットパネルディスプレイデバイスのうち、O L E D ディスプレイは、能動的な光放射、高いコントラスト、速い応答速度、及び軽量といった利点のために、徐々に、フラットパネルディスプレイの主要な地位を占めるようになっていく。現在、O L E D ディスプレイは、携帯電話、テレビ、コンピュータ、インテリジェント腕時計等の様々な高性能ディスプレイ分野に広く適用されている。

【0003】

図 1 は、従来の O L E D ディスプレイパネルのピクセル回路図である。図 1 に示すように、既存の O L E D ディスプレイパネルでは、基本的なピクセル回路は、スイッチトランジスタ T 1 と、駆動トランジスタ T 2 と、蓄積コンデンサ C s とを含む。スイッチトランジスタ T 1 のゲートは、走査ライン S n に接続され、スイッチトランジスタ T 1 のソースは、データライン D m に接続され、スイッチトランジスタ T 1 のドレインと、駆動トランジスタ T 2 のゲートと、蓄積コンデンサ C s の第 1 のプレートとは、全てノード N 1 に接続され、駆動トランジスタ T 2 のソースと、蓄積コンデンサ C s の第 2 のプレートとは、共に第 1 の電源 V D D に接続され、駆動トランジスタ T 2 のドレインは、O L E D のアノ

10

20

30

40

50

ードに接続され、O L E Dのカソードは、第2の電源V S Sに接続されている。走査ラインS nを介してスイッチトランジスタT 1がオンになると、データラインD mから供給されるデータ電圧が、スイッチトランジスタT 1を介して、蓄積コンデンサC sに保存される。これにより、駆動トランジスタT 2が制御され、電流が生成され、O L E Dを発光させる。

【0004】

生活水準が上昇し、生産性のレベルがますます向上しているなか、市場では、高精細度及び高解像度の製品への要求が益々高まっている。しかしながら、従来のO L E Dディスプレイパネルの解像度は、通常、250 P P Iを下回り（P P Iは、1インチあたりのピクセル数を示す。P P I値が大きくなると、ディスプレイは、画像を表示するためにより高いピクセル密度を使用できる）、高解像度ディスプレイへの要求を満たすことができていない。分解能の向上には、例えば、同じ層上の隣接するデータラインの間のピッチの縮小が必要である。ここで、従来のO L E Dにおける隣接するピクセルユニットのデータラインは、通常、同じ構造層上に配置されている。既存のプロセス条件（例えば、リソグラフィ装置の露光制限）に基づいて隣接するデータライン間のピッチを更に小さくすることは困難であり、このため、O L E Dディスプレイパネルの解像度を向上させることが困難であった。リソグラフィ装置の露光制限に加えて、クロストーク及びデータライン間の短絡も、高解像度O L E Dの製造において解決すべき技術的課題である。データライン間のクロストークは、2本のデータライン間のカップリングを意味する。2つのデータライン間の相互インダクタンス及び相互キャパシタンスがデータラインにノイズを生じさせることがある。研究によれば、電流強度が2本のデータラインで同じである場合、2本のデータライン間のピッチが小さいほど、2つのデータライン間のクロストークが顕著になることが明らかになっている。データライン間の短絡とは、2本のデータラインが相互に接続されてしまうため、ピクセル電極が正常な信号を受信することができないことを意味し、したがって、障害が発生する。同じプロセス条件下では、2本のデータライン間のピッチが小さいほど短絡が発生する確率が高くなる。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、従来のO L E Dディスプレイの低解像度の問題を解決することである。

【0006】

本発明の他の目的は、O L E Dディスプレイのデータラインの間のクロストーク及び短絡をなくすことである。

【課題を解決するための手段】

【0007】

上記の技術的課題を解決するために、本発明は、有機発光ダイオード（organic light-emitting diode：O L E D）ディスプレイパネルを提供し、このO L E Dディスプレイパネルは、基板上に形成された走査ライン、データライン及び電源ラインを備え、走査ライン及びデータラインは、マトリクス状に配置された複数のピクセルグループを画定し、各ピクセルグループは、2つのサブピクセルを有し、同じピクセルグループ内の2つのサブピクセルは、同じ電源ラインに接続され、電源ラインに関して鏡面对称に配置され、同じピクセルグループ内の2つのサブピクセルに接続されたデータラインは、異なる構造層上に配置されている。

【0008】

このO L E Dディスプレイパネルにおいて、同じピクセルグループ内の2つのサブピクセルは、第1のサブピクセル及び第2のサブピクセルを含み、第1のサブピクセルは、第1の蓄積コンデンサを含み、第2のサブピクセルは、第2の蓄積コンデンサを含んでいてもよい。

【0009】

10

20

30

40

50

このOLEDディスプレイパネルにおいて、第1の蓄積コンデンサの上側プレートと第2の蓄積コンデンサの上側プレートとは、異なる構造層上に配置してもよい。

【0010】

このOLEDディスプレイパネルにおいて、第1のサブピクセルは、第1のスイッチトランジスタ及び第1の駆動トランジスタを更に含み、第2のサブピクセルは、第2のスイッチトランジスタ及び第2の駆動トランジスタを更に含み、第1のスイッチトランジスタのソースは、第1のデータラインに接続され、第2のスイッチトランジスタのソースは、第2のデータラインに接続され、第1のデータラインと第2のデータラインと電源ラインとは互いに平行であり、走査ラインは、電源ラインに垂直であり、第1のデータライン及び第2のデータライン、第1の蓄積コンデンサ及び第2の蓄積コンデンサ、第1のスイッチトランジスタ及び第2のスイッチトランジスタ、並びに第1の駆動トランジスタ及び第2の駆動トランジスタは、それぞれ電源ラインに関して鏡面对称に配置してもよい。

10

【0011】

このOLEDディスプレイパネルは、特に、

基板上に形成され、第1のスイッチトランジスタ、第1の駆動トランジスタ、第2のスイッチトランジスタ及び第2の駆動トランジスタのアクティブ層として機能するシリコンアイランドと、

ゲート絶縁層及び複数の第1のスルーホールであって、ゲート絶縁層は、基板及びシリコンアイランド上に形成され、第1のスルーホールは、第1のスイッチトランジスタのドレインと第1の蓄積コンデンサの下側プレートとの間、及び第2のスイッチトランジスタのドレインと第2の蓄積コンデンサの下側プレートとの間の電氣的接続のために使用される、ゲート絶縁層及び複数の第1のスルーホールと、

20

ゲート絶縁層上に形成され、走査ライン、第1の蓄積コンデンサの下側プレート、第2の蓄積コンデンサの下側プレート、第1のスイッチトランジスタのゲート、第1の駆動トランジスタのゲート、第2のスイッチトランジスタのゲート、及び第2の駆動トランジスタのゲートとして機能するパターン化された第1の金属層と、

第1の層間絶縁層及び第2のスルーホールであって、第1の層間絶縁層は、ゲート絶縁層及びパターン化された第1の金属層上に形成され、第2のスルーホールは、第1のデータラインと第1のスイッチトランジスタのソースとを電氣的に接続するために使用される、第1の層間絶縁層及び第2のスルーホールと、

30

第1の層間絶縁層上に形成され、第1のデータライン、第1のスイッチトランジスタのソース、及び第2の蓄積コンデンサの上側プレートとして機能するパターン化された第2の金属層と、

第2の層間絶縁層及び第3のスルーホールであって、第2の層間絶縁層は、第1の層間絶縁層及びパターン化された第2の金属層上に形成され、第3のスルーホールは、第2のデータラインと第2のスイッチトランジスタのソースとを電氣的に接続するために使用される、第2の層間絶縁層及び第3のスルーホールと、

第2の層間絶縁層上に形成され、第2のデータライン、第2のスイッチトランジスタのソース、及び第1の蓄積コンデンサの上側プレートとして機能するパターン化された第3の金属層と、

40

第3の層間絶縁層及び第4のスルーホールであって、第3の層間絶縁層は、第2の層間絶縁層及びパターン化された第3の金属層上に形成され、第4のスルーホールは、第1の駆動トランジスタのソース及びドレイン、第2の駆動トランジスタのソース及びドレイン、電源ライン、第1の蓄積コンデンサの上側プレート及び第2の蓄積コンデンサの上側プレートを電氣的に接続するために使用される、第3の層間絶縁層及び第4のスルーホールと、

第3の層間絶縁層上に形成され、第1の駆動トランジスタのソース及びドレイン、第2の駆動トランジスタのソース及びドレイン、並びに電源ラインとして機能するパターン化された第4の金属層と、

パッシベーション絶縁層及びコンタクトホールであって、パッシベーション絶縁層は、

50

第 3 の層間絶縁層及びパターン化された第 4 の金属層上に形成され、コンタクトホールは、第 1 の駆動トランジスタのドレインと第 1 の O L E D のアノードとの間、並びに第 2 の駆動トランジスタのドレインと第 2 の O L E D のアノードとの間を電氣的に接続するために使用される、パッシベーション絶縁層及びコンタクトホールとを備えていてもよい。

【 0 0 1 2 】

また、この O L E D ディスプレイパネルは、第 2 の層間絶縁層を貫通し、第 1 の蓄積コンデンサの下側プレートと対向する開口部を更に備えていてもよい。

【 0 0 1 3 】

また、この O L E D ディスプレイパネルにおいて、第 1 の蓄積コンデンサの上側プレートと第 2 の蓄積コンデンサの上側プレートは、同じ構造層上に配置してもよい。

10

【 0 0 1 4 】

また、この O L E D ディスプレイパネルは、特に、

基板上に形成され、第 1 のスイッチトランジスタ、第 1 の駆動トランジスタ、第 2 のスイッチトランジスタ及び第 2 の駆動トランジスタのアクティブ層として機能するシリコンアイランドと、

ゲート絶縁層及び複数の第 1 のスルーホールであって、ゲート絶縁層は、基板及びシリコンアイランド上に形成され、第 1 のスルーホールは、第 1 のスイッチトランジスタのドレインと第 1 の蓄積コンデンサの下側プレートとの間、及び第 2 のスイッチトランジスタのドレインと第 2 の蓄積コンデンサの下側プレートとの間を電氣的に接続するために使用される、ゲート絶縁層及び複数の第 1 のスルーホールと、

20

ゲート絶縁層上に形成され、走査ライン、第 1 の蓄積コンデンサの下側プレート、第 2 の蓄積コンデンサの下側プレート、第 1 のスイッチトランジスタのゲート、第 1 の駆動トランジスタのゲート、第 2 のスイッチトランジスタのゲート、及び第 2 の駆動トランジスタのゲートとして機能するパターン化された第 1 の金属層と、

第 1 の層間絶縁層及び第 2 のスルーホールであって、第 1 の層間絶縁層は、ゲート絶縁層及びパターン化された第 1 の金属層上に形成され、第 2 のスルーホールは、第 1 のデータラインと第 1 のスイッチトランジスタのソースとを電氣的に接続するために使用される、第 1 の層間絶縁層及び第 2 のスルーホールと、

第 1 の層間絶縁層上に形成され、第 1 のデータライン、第 1 のスイッチトランジスタのソース、及び第 2 の蓄積コンデンサの上側プレートとして機能するパターン化された第 2 の金属層と、

30

第 2 の層間絶縁層及び第 3 のスルーホールであって、第 2 の層間絶縁層は、第 1 の層間絶縁層及びパターン化された第 2 の金属層上に形成され、第 3 のスルーホールは、第 2 のデータラインと第 2 のスイッチトランジスタのソースとを電氣的に接続するために使用される、第 2 の層間絶縁層及び第 3 のスルーホールと、

第 2 の層間絶縁層上に形成され、第 2 のデータライン、及び第 2 のスイッチトランジスタのソースとして機能するパターン化された第 3 の金属層と、

第 3 の層間絶縁層及び第 4 のスルーホールであって、第 3 の層間絶縁層は、第 2 の層間絶縁層及びパターン化された第 3 の金属層上に形成され、第 4 のスルーホールは、第 1 の駆動トランジスタのソース及びドレイン、第 2 の駆動トランジスタのソース及びドレイン、電源ライン、第 1 の蓄積コンデンサの上側プレート及び第 2 の蓄積コンデンサの上側プレートを電氣的に接続するために使用される、第 3 の層間絶縁層及び第 4 のスルーホールと、

40

第 3 の層間絶縁層上に形成され、第 1 の駆動トランジスタのソース及びドレイン、第 2 の駆動トランジスタのソース及びドレイン、並びに電源ラインとして機能するパターン化された第 4 の金属層と、

パッシベーション絶縁層及び複数のコンタクトホールであって、パッシベーション絶縁層は、第 3 の層間絶縁層及びパターン化された第 4 の金属層上に形成され、コンタクトホールは、第 1 の駆動トランジスタのドレインと第 1 の O L E D のアノードとの間、並びに第 2 の駆動トランジスタのドレインと第 2 の O L E D のアノードとの間を電氣的に接続す

50

るために使用される、パッシベーション絶縁層及び複数のコンタクトホールとを備えていてもよい。

【0015】

また、本発明は、O L E Dディスプレイパネルの製造方法を提供し、この方法は、基板上に、走査ライン、データライン及び電源ラインを形成することを含み、走査ライン及びデータラインは、マトリクス状に配置された複数のピクセルグループを画定し、各ピクセルグループは、2つのサブピクセルを有し、同じピクセルグループ内の2つのサブピクセルは、同じ電源ラインに接続され、電源ラインに関して鏡面对称に配置され、同じピクセルグループ内の2つのサブピクセルに接続されたデータラインは、異なる構造層上に配置される。

10

【0016】

このO L E Dディスプレイパネルの製造方法において、同じピクセルグループ内の2つのサブピクセルは、第1のサブピクセルと第2のサブピクセルを含み、第1のサブピクセルは、第1の蓄積コンデンサを含み、第2のサブピクセルは、第2の蓄積コンデンサを含み、第1の蓄積コンデンサの上側プレートと第2の蓄積コンデンサの上側プレートは、異なる構造層上に配置され、2回のプロセスを実行することによって形成してもよい。

【0017】

また、このO L E Dディスプレイパネルの製造方法において、第1のサブピクセルは、第1のスイッチトランジスタ及び第1の駆動トランジスタを更に含み、第2のサブピクセルは、第2のスイッチトランジスタ及び第2の駆動トランジスタを更に含み、第1のスイッチトランジスタのソースは、第1のデータラインに接続され、第2のスイッチトランジスタのソースは、第2のデータラインに接続され、第1のデータライン、第2のデータライン、及び電源ラインとは互いに平行であり、走査ラインは、電源ラインに垂直であり、第1のデータライン及び第2のデータライン、第1の蓄積コンデンサ及び第2の蓄積コンデンサ、第1のスイッチトランジスタ及び第2のスイッチトランジスタ、第1の駆動トランジスタ及び第2の駆動トランジスタは、それぞれ電源ラインに関して鏡面对称に配置してもよい。

20

【0018】

また、このO L E Dディスプレイパネルの製造方法において、O L E Dディスプレイパネルは、

30

第1のスイッチトランジスタ、第1の駆動トランジスタ、第2のスイッチトランジスタ及び第2の駆動トランジスタのアクティブ層として機能するシリコンアイランドを形成する工程と、

ゲート絶縁層及び複数の第1のスルーホールを形成する工程であって、ゲート絶縁層は、基板及びシリコンアイランド上に形成され、第1のスルーホールは、第1のスイッチトランジスタのドレインと第1の蓄積コンデンサの下側プレートとの間、及び第2のスイッチトランジスタのドレインと第2の蓄積コンデンサの下側プレートとの間を電氣的に接続するために使用される工程と、

パターン化された第1の金属層を形成する工程であって、パターン化された第1の金属層は、ゲート絶縁層上に形成され、走査ライン、第1の蓄積コンデンサの下側プレート、第2の蓄積コンデンサの下側プレート、第1のスイッチトランジスタのゲート、第1の駆動トランジスタのゲート、第2のスイッチトランジスタのゲート、及び第2の駆動トランジスタのゲートとして機能する工程と、

40

第1の層間絶縁層及び第2のスルーホールを形成する工程であって、第1の層間絶縁層は、ゲート絶縁層及びパターン化された第1の金属層上に形成され、第2のスルーホールは、第1のデータラインと第1のスイッチトランジスタのソースとの間を電氣的に接続するために使用される工程と、

パターン化された第2の金属層を形成する工程であって、パターン化された第2の金属層は、第1の層間絶縁層上に形成され、第1のデータライン、第1のスイッチトランジスタのソース、及び第2の蓄積コンデンサの上側プレートとして機能する工程と、

50

第2の層間絶縁層及び第3のスルーホールを形成する工程であって、第2の層間絶縁層は、第1の層間絶縁層及びパターン化された第2の金属層上に形成され、第3のスルーホールは、第2のデータラインと第2のスイッチトランジスタのソースとを電氣的に接続するために使用される工程と、

パターン化された第3の金属層を形成する工程であって、パターン化された第3の金属層は、第2の層間絶縁層上に形成され、第2のデータライン、第2のスイッチトランジスタのソース及び第1の蓄積コンデンサの上側プレートとして機能する工程と、

第3の層間絶縁層及び第4のスルーホールを形成する工程であって、第3の層間絶縁層は、第2の層間絶縁層及びパターン化された第3の金属層上に形成され、第4のスルーホールは、第1の駆動トランジスタのソース及びドレイン、第2の駆動トランジスタのソース及びドレイン、電源ライン、第1の蓄積コンデンサの上側プレート及び第2の蓄積コンデンサの上側プレートを電氣的に接続するために使用される工程と、

パターン化された第4の金属層を形成する工程であって、パターン化された第4の金属層は、第3の層間絶縁層上に形成され、第1の駆動トランジスタのソース及びドレイン、第2の駆動トランジスタのソース及びドレイン、並びに電源ラインとして機能する工程と、

パッシベーション絶縁層及び複数のコンタクトホールを形成する工程であって、パッシベーション絶縁層は、第3の層間絶縁層及びパターン化された第4の金属層上に形成され、コンタクトホールは、第1の駆動トランジスタのドレインと第1のOLEDのアノードとの間、並びに第2の駆動トランジスタのドレインと第2のOLEDのアノードとの間を電氣的に接続するために使用される工程とによって形成してもよい。

【0019】

また、このOLEDディスプレイパネルの製造方法において、第2の層間絶縁層を形成した後、第2の層間絶縁層を貫通し、第1の蓄積コンデンサの下側プレートと対向する開口部を更に形成してもよい。

【0020】

また、このOLEDディスプレイパネルの製造方法において、第1の蓄積コンデンサの上側プレートと第2の蓄積コンデンサの上側プレートは、同じ構造層上に配置され、一回のプロセスによって形成してもよい。

【0021】

また、このOLEDディスプレイパネルの製造方法において、OLEDディスプレイパネルは、特に、

シリコンアイランドを形成する工程であって、シリコンアイランドは、基板上に形成され、第1のスイッチトランジスタ、第1の駆動トランジスタ、第2のスイッチトランジスタ及び第2の駆動トランジスタのアクティブ層として機能する工程と、

ゲート絶縁層及び第1のスルーホールを形成する工程であって、ゲート絶縁層は、基板及びシリコンアイランド上に形成され、第1のスルーホールは、第1のスイッチトランジスタのドレインと第1の蓄積コンデンサの下側プレートとの間、及び第2のスイッチトランジスタのドレインと第2の蓄積コンデンサの下側プレートとの間を電氣的に接続するために使用される工程と、

パターン化された第1の金属層を形成する工程であって、パターン化された第1の金属層は、ゲート絶縁層上に形成され、走査ライン、第1の蓄積コンデンサの下側プレート、第2の蓄積コンデンサの下側プレート、第1のスイッチトランジスタのゲート、第1の駆動トランジスタのゲート、第2のスイッチトランジスタのゲート、及び第2の駆動トランジスタのゲートとして機能する工程と、

第1の層間絶縁層及び第2のスルーホールを形成する工程であって、第1の層間絶縁層は、ゲート絶縁層及びパターン化された第1の金属層上に形成され、第2のスルーホールは、第1のデータラインと第1のスイッチトランジスタのソースとを電氣的に接続するために使用される工程と、

パターン化された第2の金属層を形成する工程であって、パターン化された第2の金属

層は、第 1 の層間絶縁層上に形成され、第 1 のデータライン、第 1 のスイッチトランジスタのソース、第 2 の蓄積コンデンサの上側プレート、及び第 2 の蓄積コンデンサの上側プレートとして機能する工程と、

第 2 の層間絶縁層及び第 3 のスルーホールを形成する工程であって、第 2 の層間絶縁層は、第 1 の層間絶縁層及びパターン化された第 2 の金属層上に形成され、第 3 のスルーホールは、第 2 のデータラインと第 2 のスイッチトランジスタのソースとを電氣的に接続するために使用される工程と、

パターン化された第 3 の金属層を形成する工程であって、パターン化された第 3 の金属層は、第 2 の層間絶縁層上に形成され、第 2 のデータライン、及び第 2 のスイッチトランジスタのソースとして機能する工程と、

10

第 3 の層間絶縁層及び第 4 のスルーホールを形成する工程であって、第 3 の層間絶縁層は、第 2 の層間絶縁層及びパターン化された第 3 の金属層上に形成され、第 4 のスルーホールは、第 1 の駆動トランジスタのソース及びドレイン、第 2 の駆動トランジスタのソース及びドレイン、電源ライン、第 1 の蓄積コンデンサの上側プレート及び第 2 の蓄積コンデンサの上側プレートを電氣的に接続するために使用される工程と、

パターン化された第 4 の金属層を形成する工程であって、パターン化された第 4 の金属層は、第 3 の層間絶縁層上に形成され、第 1 の駆動トランジスタのソース及びドレイン、第 2 の駆動トランジスタのソース及びドレイン、並びに電源ラインとして機能する工程と、

パッシベーション絶縁層及び複数のコンタクトホールを形成する工程であって、パッシベーション絶縁層は、第 3 の層間絶縁層及びパターン化された第 4 の金属層上に形成され、コンタクトホールは、第 1 の駆動トランジスタのドレインと第 1 の O L E D のアノードとの間、並びに第 2 の駆動トランジスタのドレインと第 2 の O L E D のアノードとの間を電氣的に接続するために使用される工程とによって形成してもよい。

20

【 0 0 2 2 】

本発明が提供する O L E D ディスプレイパネルは、走査ライン、データライン及び電源ライン V D D を含む。走査ライン及びデータラインは、マトリクス状に配置された複数のピクセルグループを画定し、各ピクセルグループは、2 つのサブピクセルを有し、同じピクセルグループ内の 2 つのサブピクセルは、同じ電源ラインに接続され、電源ラインに関して鏡面对称に配置され、同じピクセルグループ内の 2 つのサブピクセルに接続されたデータラインは、異なる構造層上に配置されている（すなわち、2 つのサブピクセルに接続されたデータラインは、同じ層上にない）。一側面として、同じピクセルグループ内の 2 つのサブピクセルに接続されたデータラインが異なる構造層上に配置されるため、ピクセル面積を縮小することなく、同じ層上の隣接するデータライン間の距離が 2 倍になり、異なる層間の隣接するデータラインが層間絶縁層によって分離されるので、データライン間の短絡の発生確率を効果的に低減できる。更に、使用時のデータライン間のクロストークも大幅に低減され、製品歩留まりが向上するのみではなく、製品の画質が改善される。他の側面として、同じピクセルグループ内の 2 つのサブピクセルに対応して接続されたデータラインは、異なる構造層に配置されるため、既存の装置及び / 又はプロセス条件に基づいてピクセル面積を縮小でき、O L E D ディスプレイパネルの P P I を改善し、O L E D ディスプレイパネルの解像度を向上させることができる。

30

40

【 0 0 2 3 】

また、第 1 の蓄積コンデンサの上側プレートと第 2 の蓄積コンデンサの上側プレートは、異なる構造層上に位置し、プロセスを 2 回行うことで形成される。例えば、第 1 のデータラインと第 2 の蓄積コンデンサの上側プレートとが共に形成され、第 2 のデータラインと第 1 の蓄積コンデンサの上側プレートとが共に形成される。すなわち、第 1 のデータラインと第 1 の蓄積コンデンサの上側プレートとは同じ層上になく、第 2 のデータラインと第 2 の蓄積コンデンサの上側プレートとは同じ層上にない。このため、同じ層のデータラインと蓄積コンデンサの上側プレートとの間の距離を短くでき、ピクセル面積を更に減少させ、O L E D ディスプレイパネルの P P I を改善できる。

50

【図面の簡単な説明】

【0024】

【図1】従来のOLEDディスプレイパネルの 픽セル回路図である。

【図2a】本発明の実施形態1におけるシリコンアイランドを形成した後のOLEDディスプレイパネルの 픽セルグループの概略的平面図である。

【図2b】本発明の実施形態1においてシリコンアイランドを形成した後のOLEDディスプレイパネルの第1のサブ 픽セルの概略的断面図である。

【図2c】本発明の実施形態1においてシリコンアイランドを形成した後のOLEDディスプレイパネルの第2のサブ 픽セルの概略的断面図である。

【図3a】本発明の実施形態1において第1のスルーホールを形成した後の、OLEDディスプレイパネルの 픽セルグループの概略的平面図である。 10

【図3b】本発明の実施形態1において第1のスルーホールを形成した後の、OLEDディスプレイパネルの第1のサブ 픽セルの概略的断面図である。

【図3c】本発明の実施形態1において第1のスルーホールを形成した後の、OLEDディスプレイパネルの第2のサブ 픽セルの概略的断面図である。

【図4a】本発明の実施形態1において第1の金属層を形成した後のOLEDディスプレイパネルの 픽セルグループの概略的平面図である。

【図4b】本発明の実施形態1において第1の金属層を形成した後のOLEDディスプレイパネルの第1のサブ 픽セルの概略的断面図である。

【図4c】本発明の実施形態1において第1の金属層を形成した後のOLEDディスプレイパネルの第2のサブ 픽セルの概略的断面図である。 20

【図5a】本発明の実施形態1において第2のスルーホールを形成した後のOLEDディスプレイパネルの 픽セルグループの概略的平面図である。

【図5b】本発明の実施形態1において第2のスルーホールを形成した後のOLEDディスプレイパネルの第1のサブ 픽セルの概略的断面図である。

【図5c】本発明の実施形態1において第2のスルーホールを形成した後のOLEDディスプレイパネルの第2のサブ 픽セルの概略的断面図である。

【図6a】本発明の実施形態1において第2の金属層を形成した後のOLEDディスプレイパネルの 픽セルグループの概略的平面図である。

【図6b】本発明の実施形態1において第2の金属層を形成した後のOLEDディスプレイパネルの第1のサブ 픽セルの概略的断面図である。 30

【図6c】本発明の実施形態1において第2の金属層を形成した後のOLEDディスプレイパネルの第2のサブ 픽セルの概略的断面図である。

【図7a】本発明の実施形態1において第3のスルーホールを形成した後のOLEDディスプレイパネルの 픽セルグループの概略的平面図である。

【図7b】本発明の実施形態1において第3のスルーホールを形成した後のOLEDディスプレイパネルの第1のサブ 픽セルの概略的断面図である。

【図7c】本発明の実施形態1において第3のスルーホールを形成した後のOLEDディスプレイパネルの第2のサブ 픽セルの概略的断面図である。

【図8a】本発明の実施形態1において第3の金属層を形成した後のOLEDディスプレイパネルの 픽セルグループの概略的平面図である。 40

【図8b】本発明の実施形態1において第3の金属層を形成した後のOLEDディスプレイパネルの第1のサブ 픽セルの概略的断面図である。

【図8c】本発明の実施形態1において第3の金属層を形成した後のOLEDディスプレイパネルの第2のサブ 픽セルの概略的断面図である。

【図9a】本発明の実施形態1において第4のスルーホールを形成した後のOLEDディスプレイパネルの 픽セルグループの概略的平面図である。

【図9b】本発明の実施形態1において第4のスルーホールを形成した後のOLEDディスプレイパネルの第1のサブ 픽セルの概略的断面図である。

【図9c】本発明の実施形態1において第4のスルーホールを形成した後のOLEDディ 50

スプレイパネルの第2のサブピクセルの概略的断面図である。

【図10a】本発明の実施形態1において第4の金属層を形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。

【図10b】本発明の実施形態1において第4の金属層を形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。

【図10c】本発明の実施形態1において第4の金属層を形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【図11a】本発明の実施形態1においてコンタクトホールを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。

【図11b】本発明の実施形態1においてコンタクトホールを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。

【図11c】本発明の実施形態1においてコンタクトホールを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【図12a】本発明の実施形態1においてアノードを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。

【図12b】本発明の実施形態1においてアノードを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。

【図12c】本発明の実施形態1においてアノードを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【図13a】本発明の実施形態2においてシリコンアイランドを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。

【図13b】本発明の実施形態2においてシリコンアイランドを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。

【図13c】本発明の実施形態2においてシリコンアイランドを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【図14a】本発明の実施形態2において第1のスルーホールを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。

【図14b】本発明の実施形態2において第1のスルーホールを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。

【図14c】本発明の実施形態2において第1のスルーホールを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【図15a】本発明の実施形態2において第1の金属層を形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。

【図15b】本発明の実施形態2において第1の金属層を形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。

【図15c】本発明の実施形態2において第1の金属層を形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【図16a】本発明の実施形態2において第2のスルーホールを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。

【図16b】本発明の実施形態2において第2のスルーホールを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。

【図16c】本発明の実施形態2において第2のスルーホールを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【図17a】本発明の実施形態2において第2の金属層を形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。

【図17b】本発明の実施形態2において第2の金属層を形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。

【図17c】本発明の実施形態2において第2の金属層を形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【図18a】本発明の実施形態2において第3のスルーホールを形成した後のOLEDデ

10

20

30

40

50

ィスプレイパネルのピクセルグループの概略的平面図である。

【図 1 8 b】本発明の実施形態 2 において第 3 のスルーホールを形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。

【図 1 8 c】本発明の実施形態 2 において第 3 のスルーホールを形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【図 1 9 a】本発明の実施形態 2 において第 3 の金属層を形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。

【図 1 9 b】本発明の実施形態 2 において第 3 の金属層を形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。

【図 1 9 c】本発明の実施形態 2 において第 3 の金属層を形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【図 2 0 a】本発明の実施形態 2 において第 4 のスルーホールを形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。

【図 2 0 b】本発明の実施形態 2 において第 4 のスルーホールを形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。

【図 2 0 c】本発明の実施形態 2 において第 4 のスルーホールを形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【図 2 1 a】本発明の実施形態 2 において第 4 の金属層を形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。

【図 2 1 b】本発明の実施形態 2 において第 4 の金属層を形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。

【図 2 1 c】本発明の実施形態 2 において第 4 の金属層を形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【図 2 2 a】本発明の実施形態 2 においてコンタクトホールを形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。

【図 2 2 b】本発明の実施形態 2 においてコンタクトホールを形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。

【図 2 2 c】本発明の実施形態 2 においてコンタクトホールを形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【図 2 3 a】本発明の実施形態 2 において、アノードを形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。

【図 2 3 b】本発明の実施形態 2 において、アノードを形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。

【図 2 3 c】本発明の実施形態 2 においてアノードを形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【発明を実施するための形態】

【 0 0 2 5 】

本発明の主な概念は、有機発光ダイオード (Organic Light-Emitting Diode : O L E D) ディスプレイパネル及びその製造方法を提供することであり、O L E D ディスプレイパネルは、走査ライン、データライン及び電源ライン V D D を備え、走査ライン及びデータラインは、マトリクス状に配置された複数のピクセルグループを画定し、各ピクセルグループは、2 つのサブピクセルを有し、同じピクセルグループ内の 2 つのサブピクセルは、同じ電源ライン V D D に接続され、電源ライン V D D に関して鏡面对称に配置され、同じピクセルグループ内の 2 つのサブピクセルに別々に接続されたデータラインは、異なる構造層上に配置される。これにより、ピクセル領域を縮小することなく、同じ層上の隣接するデータライン間の距離を 2 倍にでき、異なる層間の隣接するデータラインは、層間絶縁層によって分離されるため、データライン間の短絡の発生確率を効果的に低減でき、データライン間のクロストークを大幅に解消できる。更に、同じピクセルグループ内の 2 つのサブピクセルに対応して接続されたデータラインは、異なる構造層上に配置されるため、既存の装置及び / 又はプロセス条件に基づいてピクセル面積を縮小でき、O L E D ディス

10

20

30

40

50

プレイパネルの P P I を改善し、O L E D ディスプレイパネルの解像度を向上させることができる。

【 0 0 2 6 】

以下、添付の図面及び特定の実施形態を参照して、本発明の O L E D ディスプレイパネル及び O L E D ディスプレイパネルの製造方法について更に詳細に説明する。本発明の利点及び特徴は、以下の説明及び特許請求の範囲によってより明らかになる。なお、図面において、膜厚、並びに各層の領域の大きさ及び形状は、O L E D ディスプレイパネルの真のスケールを反映しておらず、本発明の内容を概略的に説明することのみを目的として示している。

【 0 0 2 7 】

実施形態 1

図 1 2 a は、本発明の実施形態 1 における O L E D ディスプレイパネルのピクセルグループの概略的平面図であり、2つのサブピクセルを含む構造を示している。図 1 2 b は、図 1 2 a の第 1 のサブピクセルの概略的断面図である。図 1 2 c は、図 1 2 a の第 2 のサブピクセルの概略的断面図である。

【 0 0 2 8 】

図 1 2 a 、図 1 2 b 及び図 1 2 c に示すように、この実施形態の O L E D ディスプレイパネルの主要な構造は、基板 1 0 0 上に形成された走査ライン、データライン及び電源ラインを含み、走査ライン及びデータラインは、マトリックス状に配置された複数のピクセルグループを画定している。各ピクセルグループは、2つのサブピクセルを有する。同じピクセルグループ内の2つのサブピクセルは、同じ電源ライン V D D に接続され、電源ライン V D D に関して鏡面对称に配置されている。同じピクセルグループ内の2つのサブピクセルに別々に接続されたデータラインは、異なる構造層上に配置されている。この実施形態における技術的解決策の説明を容易にするために、図 1 2 a において、図の平面方向に上下に配列された2つのサブピクセルを第 1 のサブピクセル及び第 2 のサブピクセルとし、下側のサブピクセルを第 1 のサブピクセルと呼び、上側のサブピクセルを第 2 のサブピクセルと呼ぶ。第 1 のサブピクセルのスイッチトランジスタのソースに接続されたデータラインを第 1 のデータライン D 1 と呼び、第 2 のサブピクセルのスイッチトランジスタのソースに接続されたデータラインを第 2 のデータライン D 2 と呼ぶ。

【 0 0 2 9 】

図 2 ~ 図 1 1 c と共に、図 1 2 a 、図 1 2 b 、及び図 1 2 c を参照して説明を続けると、第 1 のデータライン D 1 は、第 2 の層間絶縁層 1 6 0 の下（具体的には、第 1 の層間絶縁層 1 4 0 と第 2 の層間絶縁層 1 6 0 との間）に配置されている。第 1 のデータライン D 1 は、第 1 の層間絶縁層 1 4 0 を貫通するスルーホール（ここでは、第 2 のスルーホール 1 4 0 a - 1 と呼ぶ。）によって、第 1 のスイッチトランジスタのソース S 1 1 に接続されている。第 2 のデータライン D 2 は、第 2 の層間絶縁層 1 6 0 の上（具体的には、第 2 の層間絶縁層 1 6 0 と第 3 の層間絶縁層 1 8 0 との間）に配置されている。第 2 のデータライン D 2 は、第 1 の層間絶縁層 1 4 0 及び第 2 の層間絶縁層 1 6 0 を貫通するスルーホール（ここでは、第 3 のスルーホール 1 6 0 a - 2 と呼ぶ。）によって、第 2 のスイッチトランジスタのソース S 2 1 に接続されている。すなわち、第 1 のデータライン D 1 及び第 2 のデータライン D 2 は、第 2 の層間絶縁層 1 6 0 の両側に位置する。第 2 の層間絶縁層 1 6 0 は、第 1 のデータライン D 1 と第 2 のデータライン D 2 とを分離するように配置されている。第 1 のデータライン D 1 及び第 2 のデータライン D 2 は、深さが異なるスルーホールを介してスイッチトランジスタのソースに接続されている。これにより、ピクセル面積を縮小することなく、同じ層上の隣接するデータライン間のピッチが 2 倍になり、異なる層間の隣接するデータラインは、層間絶縁層（ここでは、具体的には、第 2 の層間絶縁層 1 6 0 と呼ぶ。）によって分離されるので、生産時のデータライン間の短絡の発生確率を効果的に低減できる。更に、使用時のデータライン間のクロストークも大幅に低減され、製品歩留まりが向上するのみではなく、製品の画質が改善される。このように、同じピクセルグループ内の2つのサブピクセルに対応して接続されたデータラインは、異な

10

20

30

40

50

る構造層に配置されるため（同じ層上の隣接するデータライン間のピッチが大きくなるため）、既存の装置及び／又はプロセス条件によって必ずしも制約されることなく、ピクセル面積を縮小でき、O L E DディスプレイパネルのP P Iを改善することができる。

【0030】

具体的には、図12a及び図12bに示すように、第1のサブピクセルは、第1のスイッチトランジスタT11、第1の駆動トランジスタT12及び第1の蓄積コンデンサC1を含む。第1のスイッチトランジスタT11は、ゲートG11と、ソースS11と、ドレインD11と、アクティブ層111-1（すなわち、シリコンアイランドの第1のセグメント）とを含む。第1の駆動トランジスタT12は、ゲートG12と、ソースS12と、ドレインD12と、アクティブ層111-2（すなわち、シリコンアイランドの第2のセグメント）とを含む。第1の蓄積コンデンサC1は、第1のプレート（すなわち、下側プレートC1-1）と、第2のプレート（すなわち、上側プレートC1-2）と、下側プレートC1-1及び上側プレートC1-2の間に形成されている第1の層間絶縁層140とを含む。第1のスイッチトランジスタT11のゲートG11は、走査ラインSnに接続されている（実際には、一体構造を形成している）。第1のスイッチトランジスタT11のソースS11は、第1のデータラインD1に接続されている（実際には一体構造を形成している）。第1のスイッチトランジスタT11のドレインD11、第1の蓄積コンデンサC1の第1のプレート（すなわち、下側プレートC1-1）、及び第1の駆動トランジスタT12のゲートG12は、接続されている。第1の駆動トランジスタT12のソースS12及び第1の蓄積コンデンサC1の第2のプレート（すなわち上側プレートC1-2）は、共に電源ラインVDDに接続されている。第1の駆動トランジスタT12のドレインD12は、第1のO L E Dのアノード221に接続されている。走査ラインSnは、第1のスイッチトランジスタT11のオン／オフ電圧を供給するために使用される。第1の駆動トランジスタT12は、第1のデータラインD1を制御して第1のO L E Dにデータ電圧を供給するために使用される。

【0031】

具体的には、図12a及び図12cに示すように、第2のサブピクセルは、第2のスイッチトランジスタT21、第2の駆動トランジスタT22及び第2の蓄積コンデンサC2を含む。第2のスイッチトランジスタT21は、ゲートG21、ソースS21、ドレインD21、及びアクティブ層112-1（すなわち、シリコンアイランドの第3のセグメント）を含む。第2の駆動トランジスタT22は、ゲートG22、ソースS22、ドレインD22、及びアクティブ層112-2（すなわち、シリコンアイランドの第4のセグメント）を含む。第2の蓄積コンデンサC2は、第1のプレート（すなわち、下側プレートC2-1）、第2のプレート（すなわち、上側プレートC2-2）、及び下側プレートC2-1と上側プレートC2-2との間に形成されている第1の層間絶縁層140を含む。第2のスイッチトランジスタT21のゲートG21は、走査ラインSnに接続されている（実際には一体構造を形成している）。第2のスイッチトランジスタT21のソースS21は、第2のデータラインD2に接続されている（実際には一体構造を形成している）。第2のスイッチトランジスタT21のドレインD21、第2の蓄積コンデンサC2の第1のプレート（すなわち、下側プレートC2-1）、及び第2の駆動トランジスタT22のゲートG22は、接続されている。第2の駆動トランジスタT22のソースS22及び第2の蓄積コンデンサC2の第2のプレート（すなわち上側プレートC2-2）は、共に電源ラインVDDに接続されている。第2の駆動トランジスタT22のドレインD22は、第2のO L E Dのアノード222に接続されている。走査ラインSnは、第2のスイッチトランジスタT21のオン／オフ電圧を供給するために使用される。第2の駆動トランジスタT22は、第2のデータラインD2を制御して第2のO L E Dにデータ電圧を供給するために使用される。

【0032】

更に図10a、図11a及び図12aに示すように、第1のデータラインD1、第2のデータラインD2及び電源ラインVDDは、互いに平行である。走査ラインSnは、電源

10

20

30

40

50

ラインVDDに対して垂直である。第1のデータラインD1及び第2のデータラインD2は、電源ラインVDDに関して鏡面对称に配置されている。また、第1の蓄積コンデンサC1及び第2の蓄積コンデンサC2は、電源ラインVDDに関して鏡面对称に配置されている。第1のスイッチトランジスタT11及び第2のスイッチトランジスタT21は、電源ラインVDDに関して鏡面对称に配置されている。第1の駆動トランジスタT12及び第2の駆動トランジスタT22は、電源ラインVDDに関して鏡面对称に配置されている。具体的には、この実施形態では、第1の蓄積コンデンサC1の下側プレートC1-1と第2の蓄積コンデンサC2の下側プレートC2-1は、共に矩形の形状を有し、面積が同じであり、電源ラインVDDに関して鏡面对称に配置されている。第1の蓄積コンデンサC1の上側プレートC1-2と第2の蓄積コンデンサC2の上側プレートC2-2は、共に矩形の形状を有し、面積が同じであり、電源ラインVDDに関して鏡面对称に配置されている。

10

【0033】

主に図2a、図2b及び図2cに示すように、OLEDディスプレイパネルは、更に、シリコンアイランドを含む。シリコンアイランドは、基板100上に形成され、第1のスイッチトランジスタT11、第1の駆動トランジスタT12、第2のスイッチトランジスタT21及び第2の駆動トランジスタT22のアクティブ層として機能する。

【0034】

主に図3a、図3b及び図3cに示すように、OLEDディスプレイパネルは、更に、ゲート絶縁層120及び第1のスルーホール120a-1、120a-2を含む。ゲート絶縁層120は、基板100及びシリコンアイランド上に形成されている。第1のスルーホール120a-1、120a-2は、ゲート絶縁層120を貫通している。第1のスルーホール120a-1は、第1のスイッチトランジスタT11のドレインD11と第1の蓄積コンデンサC1の下側プレートC1-1とを電氣的に接続するために使用される。第1のスルーホール120a-2は、第2のスイッチトランジスタT21のドレインD21と第2の蓄積コンデンサC2の下側プレートC2-1とを電氣的に接続するために使用される。

20

【0035】

主に図4a、図4b及び図4cに示すように、OLEDディスプレイパネルは、更に、パターン化された第1の金属層を含む。パターン化された第1の金属層は、ゲート絶縁層120上に形成され、第1のスイッチトランジスタT11のゲートG11、第1の駆動トランジスタT12のゲートG12、第2のスイッチトランジスタT21のゲートG21、第2の駆動トランジスタT22のゲートG22、走査ラインSn、及び第1の蓄積コンデンサC1の第1の電極（すなわち、下側プレートC1-1）、第2の蓄積コンデンサC2の第1の電極（すなわち、下側プレートC2-1）として機能する。

30

【0036】

主に図5a、図5b及び図5cに示すように、OLEDディスプレイパネルは、更に、第1の層間絶縁層140及び第2のスルーホール140a-1を含む。第1の層間絶縁層140は、ゲート絶縁層120及びパターン化された第1の金属層上に形成されている。第2のスルーホール140a-1は、第1のデータラインD1と第1のスイッチトランジスタT11のソースS11とを電氣的に接続するために使用される。

40

【0037】

主に図6a、図6b及び図6cに示すように、OLEDディスプレイパネルは、更に、パターン化された第2の金属層を含む。パターン化された第2の金属層は、第1の層間絶縁層140上に形成され、第1のデータラインD1、第1のスイッチトランジスタT11のソースS11、及び第2の蓄積コンデンサC2の第2の電極（すなわち、上側プレートC2-2）を含む。

【0038】

主に図7a、図7b及び図7cに示すように、OLEDディスプレイパネルは、更に、第2の層間絶縁層160及び第3のスルーホール160a-2を含む。第2の層間絶縁層

50

160は、第1の層間絶縁層140及びパターン化された第2の金属層上に形成されている。第3のスルーホール160a-2は、第2のデータラインD2と第2のスイッチトランジスタT21のソースS21とを電氣的に接続するために使用される。OLEDディスプレイパネルは、更に、開口部160bを含む。開口部160bは、第2の層間絶縁層160を貫通し、第1の蓄積コンデンサC1の下側プレートC1-1と正確に対向する。

【0039】

主に図8a、図8b及び図8cに示すように、OLEDディスプレイパネルは、更に、パターン化された第3の金属層を含む。パターン化された第3の金属層は、第2の層間絶縁層160及び開口部160b上に形成され、第2のデータラインD2、第2のスイッチトランジスタT21のソースS21、及び第1の蓄積コンデンサC1の第2の電極（すなわち、上側プレートC1-2）として機能する。

10

【0040】

主に図9a、図9b及び図9cに示すように、OLEDディスプレイパネルは、第3の層間絶縁層180、及び第4のスルーホール180a、180a-1、180a-2、180a-3、180a-4を含む。第3の層間絶縁層180は、第2の層間絶縁層160及びパターン化された第3の金属層上に形成され、第4のスルーホール180a、180a-1、180a-2、180a-3、180a-4は、第1の駆動トランジスタT12のソース及びドレイン、第2の駆動トランジスタT22のソース及びドレイン、電源ラインVDD、第1の蓄積コンデンサC1の上側プレートC1-2及び第2の蓄積コンデンサC2の上側プレートC2-2の間の電氣的接続のために使用される。

20

【0041】

主に図10a、図10b及び図10cに示すように、OLEDディスプレイパネルは、更に、パターン化された第4の金属層を含む。パターン化された第4の金属層は、第3の層間絶縁層180上に形成され、第1の駆動トランジスタT12のソースS12及びドレインD12、第2の駆動トランジスタT22のソースS22及びドレインD22、及び電源ラインVDDとして機能する。

【0042】

主に図11a、図11b及び図11cに示すように、OLEDディスプレイパネルは、更に、パッシベーション絶縁層200及びコンタクトホール200a-1、200a-2を含む。パッシベーション絶縁層200は、第3の層間絶縁層180及びパターン形成された第4の金属層上に形成されている。コンタクトホール200a-1は、第1の駆動トランジスタT12のドレインを第1のOLEDのアノード221に電氣的に接続するために使用され、コンタクトホール200a-2は、第2の駆動トランジスタT22のドレインを第2のOLEDのアノード222に電氣的に接続するために使用される。

30

【0043】

以下、本発明の実施形態1に基づくOLEDディスプレイパネルの製造プロセスの平面図及び概略的断面図を参照して、この実施形態の技術的解決策を更に説明する。本発明の以下の説明で言及するリソグラフィプロセスは、フォトレジストコーティング、マスキング、露光、エッチング、フォトレジストストリッピング等を含む。フォトレジストの一例として、ポジ型フォトレジストを用いる。

40

【0044】

図2aは、本発明の実施形態1におけるシリコンアイランドを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。図2bは、本発明の実施形態1においてシリコンアイランドを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。図2cは、本発明の実施形態1においてシリコンアイランドを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【0045】

まず、図2a、図2b及び図2cに示すように、基板100を準備する。基板100は、通常、透明基板である。具体的には、透明基板は、硬質基板であってもよく、例えば、

50

透明ガラス基板又は透明プラスチック基板であってもよい。透明基板は、平面形状、湾曲形状、又は他の不規則形状を有していてもよい。なお、透明基板の材質及び／又は形状は、これに限定されるものではない。

【0046】

次に、図2a、図2b及び図2cに示すように、基板100上にシリコンアイランドを形成する。シリコンアイランドを形成する具体的なプロセスは、以下の通りである。化学気相成長(CVD)プロセスを使用して、基板100上にアモルファスシリコン層(a-Si)を形成し、エキシマレーザーアニール(excimer laser annealing: ELA)、固相結晶化(solid phase crystallization: SPC)又は金属誘導結晶化(metal induced crystallization: MIC)等のプロセスを適用することによって、アモルファスシリコン層を多結晶シリコン層(P-Si)とし、そして、第1のフォトリソグラフィプロセスを行い、多結晶シリコン層をパターン化してシリコンアイランドを形成する。シリコンアイランドは、第1のスイッチトランジスタT11のアクティブ層、第1の駆動トランジスタT12のアクティブ層、第2のスイッチトランジスタT21のアクティブ層、及び第2の駆動トランジスタT22用のアクティブ層として使用される。具体的には、シリコンアイランドは、第1のスイッチトランジスタT11、第1の駆動トランジスタT12、第2のスイッチトランジスタT21、及び第2の駆動トランジスタT22のそれぞれのソース及びドレインの位置に対応する。

【0047】

主に図2aに示すように、この実施形態では、シリコンアイランドは、第1のセグメント111-1と、第2のセグメント111-2と、第3のセグメント112-1と、第4のセグメント112-2と、第5のセグメント113と、第6のセグメント114とを含む。6つのセグメントのそれぞれは、実質的にストリップ状の形状を有する。第1のセグメント111-1、第2のセグメント111-2、第3のセグメント112-1、第4のセグメント112-2、及び第5のセグメント113は、X方向に延び、第6のセグメント114は、Y方向に延びている。第1のセグメント111-1及び第3のセグメント112-1は、分離されたストリップ構造である。第1のセグメント111-1は、第1のサブピクセルの第1のスイッチトランジスタT11のアクティブ層として使用され、第3のセグメント112-1は、第2のサブピクセルの第2のスイッチトランジスタT21のアクティブ層として使用される。また、第1のセグメント111-1と第3のセグメント112-1とは鏡面对称に配置されている。第5のセグメント113は、第2のセグメント111-2と第4のセグメント112-2との間に位置する。第2のセグメント111-2と第4のセグメント112-2とは、鏡面对称に配置されている。第6のセグメント114は、第2のセグメント111-2、第4のセグメント112-2及び第5のセグメント113の端部に連結されてE字型構造を形成する。第2のセグメント111-2、第4のセグメント112-2、第5のセグメント113及び第6のセグメント114は、共に第1の駆動トランジスタT12及び第2の駆動トランジスタT22のアクティブ層として機能する(すなわち、第5のセグメント113は、2つの駆動トランジスタによって共有される)。なお、本発明の他の実施形態では、シリコンアイランドの形状を適切に変形してもよい。例えば、第1の駆動トランジスタT12及び第2の駆動トランジスタT22のアクティブ層は、2つのU字型構造を有していてもよい(すなわち、第1の駆動トランジスタT12と第2の駆動トランジスタT22とは、アクティブ層を共有しなくてもよい)。本発明は、シリコンアイランドの特定の形状を限定するものではない。

【0048】

好ましくは、図2b及び図2cに示すように、シリコンアイランドを基板100上に形成する前に、基板100上にバッファ層101を形成してもよく、バッファ層101の材料は、例えば、窒化シリコン又は酸化シリコンであってもよい。シリコンアイランドを基板100上に形成した後、第2のフォトリソグラフィプロセスを行い、シリコンアイランドの所定の領域にイオン注入を行えるようにする。図2aの箱状の点線で示すように、この実施形態では、第1のスイッチトランジスタT11のドレイン領域と第2のスイッチト

ランジスタ T 2 1 のドレイン領域にイオン注入を行い、これにより、導電性を向上させる。

【 0 0 4 9 】

図 3 a は、本発明の実施形態 1 において第 1 のスルーホールを形成した後の、O L E D ディスプレイパネルのピクセルグループの概略的平面図である。図 3 b は、本発明の実施形態 1 において第 1 のスルーホールを形成した後の、O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。図 3 c は、本発明の実施形態 1 において第 1 のスルーホールを形成した後の、O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【 0 0 5 0 】

図 3 a、図 3 b 及び図 3 c に示すように、C V D プロセスを用いてシリコンアイランド及び覆われていないバッファ層 1 0 1 上にゲート絶縁層 1 2 0 を形成し、第 3 のフォトリソグラフィプロセスを行って、ゲート絶縁層 1 2 0 に第 1 のスルーホール 1 2 0 a - 1、1 2 0 a - 2 を開口する。第 1 のスルーホール 1 2 0 a - 1 は、シリコンアイランドの第 1 のセグメント 1 1 1 - 1 の一端に位置し、後に形成される第 1 のスイッチトランジスタ T 1 1 のドレイン D 1 1 と第 1 の蓄積コンデンサ C 1 の下側プレート C 1 - 1 とを接続するために使用される。第 1 のスルーホール 1 2 0 a - 2 は、シリコンアイランドの第 3 のセグメント 1 1 2 - 1 の一端に位置し、後に形成される第 2 のスイッチトランジスタ T 2 1 のドレイン D 2 1 と第 2 の蓄積コンデンサ C 2 の下側プレート C 2 - 1 とを接続するために使用される。この実施形態では、ゲート絶縁層 1 2 0 の材料は、例えば、酸化物、窒化物又は酸窒化物である。本発明は、これに限定されず、他の絶縁材料を用いてゲート絶縁層 1 2 0 を堆積してもよいことは明らかである。

【 0 0 5 1 】

図 4 a は、本発明の実施形態 1 において（第 4 のフォトリソグラフィプロセスで）第 1 の金属層を形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。図 4 b は、本発明の実施形態 1 において第 1 の金属層を形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。図 4 c は、本発明の実施形態 1 において第 1 の金属層を形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【 0 0 5 2 】

図 4 a、図 4 b 及び図 4 c に示すように、スパッタリング又は蒸着プロセスを用いて、ゲート絶縁層 1 2 0 上に第 1 の金属層を形成する。第 4 のフォトリソグラフィプロセスは、第 1 の金属層をパターン化するために実行され、これにより、第 1 のスイッチトランジスタ T 1 1 のゲート G 1 1、第 1 の駆動トランジスタ T 1 2 のゲート G 1 2、第 2 のスイッチトランジスタ T 2 1 のゲート G 2 1、第 2 の駆動トランジスタ T 2 2 のゲート G 2 2、走査ライン S n、第 1 の蓄積コンデンサ C 1 の第 1 の電極（すなわち、下側プレート C 1 - 1）、及び第 2 の蓄積コンデンサ（C 2）の第 1 の電極（すなわち、下側プレート（C 2 - 1））のそれぞれが形成される。第 1 の金属層としては、C r、W、T i、T a、M o、A l、C u 等の金属、合金等の単層膜を用いてもよく、多層の金属膜からなる複合膜を用いてもよい。

【 0 0 5 3 】

主に図 4 a に示すように、この実施形態では、第 1 の蓄積コンデンサ C 1 の第 1 の電極（すなわち、下側プレート C 1 - 1）及び第 2 の蓄積コンデンサ C 2 の第 1 の電極（すなわち、下側プレート C 2 - 1）は、対称的に配置される。これらは、好ましくは、矩形の形状を有し、同じ面積を有する。図 4 b 及び図 4 c に示すように、第 1 のスイッチトランジスタ T 1 1 のドレイン D 1 1 は、第 1 のスルーホール 1 2 0 a - 1 を介して第 1 の蓄積コンデンサ C 1 の下側プレート C 1 - 1 に接続され、第 2 のスイッチトランジスタ T 2 1 のドレイン D 2 1 は、第 1 のスルーホール 1 2 0 a - 2 を介して第 2 の蓄積コンデンサ C 2 の下側プレート C 2 - 1 に接続されている。なお、（図 4 a に示すように）第 1 の駆動トランジスタ T 1 2 のゲート G 1 2 と第 1 の蓄積コンデンサ C 1 の下側プレート C 1 - 1

とは実際には一体構造を形成している。但し、第 1 の駆動トランジスタ T 1 2 及び第 1 の蓄積コンデンサ C 1 の構造的特徴に関する以下の説明を容易にするために、図 4 b では、ゲート G 1 2 と下側プレート C 1 - 1 とが一体的に接続されていることを図示していない。同様に、(図 4 a に示すように)第 2 の駆動トランジスタ T 2 2 のゲート G 2 2 と第 2 の蓄積コンデンサ C 2 の下側プレート C 2 - 1 は、実際には一体構造を形成している。しかしながら、第 2 の駆動トランジスタ T 2 2 及び第 2 の蓄積コンデンサ C 2 の構造的特徴に関する以下の説明を容易にするために、図 4 c では、ゲート G 2 2 と下側プレート C 2 - 1 とが一体的に接続されていることを図示していない。

【0054】

図 5 a は、本発明の実施形態 1 において(第 5 のフォトリソグラフィプロセスで)第 2 のスルーホールを形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。図 5 b は、本発明の実施形態 1 において第 2 のスルーホールを形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。図 5 c は、本発明の実施形態 1 において第 2 のスルーホールを形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【0055】

図 5 a、図 5 b 及び図 5 c に示すように、C V D プロセスを用いて第 1 の層間絶縁層 1 4 0 を形成し、第 5 のフォトリソグラフィプロセスを行って、第 1 の層間絶縁層 1 4 0 及びゲート絶縁層 1 2 0 に第 2 のスルーホール 1 4 0 a - 1 を開口する。第 2 のスルーホール 1 4 0 a - 1 は、第 1 のスイッチトランジスタ T 1 1 のソースの位置に対応し、後に形成される第 1 のデータライン D 1 と第 1 のスイッチトランジスタ T 1 1 のソース S 1 1 とを電氣的に接続するために使用される。具体的には、第 2 のスルーホール 1 4 0 a - 1 は、シリコンアイランドの第 1 のセグメント 1 1 1 - 1 の他端に位置し、第 1 のセグメント 1 1 1 - 1 上の第 1 の層間絶縁層 1 4 0 及びゲート絶縁層 1 2 0 を貫通する。この実施形態では、第 1 の層間絶縁層 1 4 0 の材料は、例えば、酸化物、窒化物、酸窒化物等である。本発明は、これに限定されず、他の絶縁材料を用いて第 1 の層間絶縁層 1 4 0 を堆積してもよい。

【0056】

図 6 a は、本発明の実施形態 1 において(第 6 のフォトリソグラフィプロセスで)第 2 の金属層を形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。図 6 b は、本発明の実施形態 1 において第 2 の金属層を形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。図 6 c は、本発明の実施形態 1 において第 2 の金属層を形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【0057】

図 6 a、図 6 b 及び図 6 c に示すように、スパッタリング又は蒸着プロセスを用いて、第 1 の層間絶縁層 1 4 0 上に第 2 の金属層を形成する。第 6 のフォトリソグラフィプロセスにより、第 2 の金属層をパターン化し、第 1 のデータライン D 1、第 1 のスイッチトランジスタ T 1 1 のソース S 1 1、及び第 2 の蓄積コンデンサ C 2 の第 2 の電極(すなわち、上側プレート C 2 - 2)のそれぞれを形成する。第 2 の金属層としては、C r、W、T i、T a、M o、A l、C u 等の金属又は合金の単層膜を用いてもよく、多層の金属膜からなる複合膜を用いてもよい。主に図 6 a に示すように、この実施形態では、第 1 のデータライン D 1 は、第 2 の蓄積コンデンサ C 2 の上側プレート C 2 - 2 と平行である。第 1 のデータライン D 1 と第 1 のスイッチトランジスタ T 1 1 のソース S 1 1 は、一体構造を形成している。第 2 の蓄積コンデンサ C 2 の上側プレート C 2 - 2 は、矩形の形状を有し、第 2 の蓄積コンデンサ C 2 の下側プレート C 2 - 1 の真上に位置している。そして、第 2 の蓄積コンデンサ C 2 を形成し、これは、下側プレート C 2 - 1 と、上側プレート C 2 - 2 と、これらの間に形成された第 1 の層間絶縁層 1 4 0 とを含む。

【0058】

図 7 a は、本発明の実施形態 1 において(第 7 のフォトリソグラフィプロセスで)第 3

のスルーホールを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。図7bは、本発明の実施形態1において第3のスルーホールを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。図7cは、本発明の実施形態1において第3のスルーホールを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【0059】

図7a、図7b及び図7cに示すように、CVDプロセスを用いて第2の層間絶縁層160を形成し、第7のフォトリソグラフィプロセスを行って、第2の層間絶縁層160、第1の層間絶縁層140及びゲート絶縁層120に第3のスルーホール160a-2を開口する。第3のスルーホール160a-2は、第2のスイッチトランジスタT21のソースの位置に対応し、後に形成される第2のデータラインD2と第2のスイッチトランジスタT21のソースS21とを電氣的に接続するために使用される。具体的には、第3のスルーホール160a-2は、シリコンアイランドの第3のセグメント112-1の他端に位置し、シリコンアイランドの第3のセグメント112-1上にある第2の層間絶縁層160、第1の層間絶縁層140及びゲート絶縁層120を貫通する。この実施形態では、第2の層間絶縁層160の材料は、例えば、酸化物、窒化物又は酸窒化物である。本発明は、これに限定されず、他の絶縁材料を用いて第2の層間絶縁層160を堆積してもよい。

10

【0060】

好ましいソリューションでは、第1の蓄積コンデンサC1と第2の蓄積コンデンサC2とを同じ容量値にするために、第3のスルーホール160a-2を形成した後に第8のフォトリソグラフィプロセスを行い、第2の層間絶縁層160に、第1の蓄積コンデンサC1の下側プレートC1-1と正確に対向する開口部160bを形成する。すなわち、第1の蓄積コンデンサC1の下側プレートC1-1上の第2の層間絶縁層160を除去し、第1の蓄積コンデンサC1と第2の蓄積コンデンサC2の誘電体層を同じ厚さにする。すなわち、第1の蓄積コンデンサC1と第2の蓄積コンデンサC2は、共に第1の層間絶縁層140を誘電体層として使用する。なお、本発明は、第3のスルーホール160a-2及び開口部160bの形成順序を限定するものではない。本発明の他の実施形態では、第3のスルーホール160a-2を形成する前に開口部160bを形成してもよい。また、開口部160bの形成を省略してもよい。第1の蓄積コンデンサC1と第2の蓄積コンデンサC2との容量値を等しくするために、第1の蓄積コンデンサのプレートの面積を増大させる等の他の手法を用いてもよい。

20

30

【0061】

図8aは、本発明の実施形態1において（第9のフォトリソグラフィプロセスで）第3の金属層を形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。図8bは、本発明の実施形態1において第3の金属層を形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。図8cは、本発明の実施形態1において第3の金属層を形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【0062】

図8a、図8b及び図8cに示すように、スパッタリング又は蒸着プロセスを用いて、第2の層間絶縁層160上に第3の金属層を形成する。第9のフォトリソグラフィプロセスにより、第3の金属層をパターン化し、第2のデータラインD2、第2のスイッチトランジスタT21のソースS21、及び第1の蓄積コンデンサC1の第2の電極（すなわち、上側プレートC1-2）のそれぞれを形成する。この実施形態では、第1の蓄積コンデンサC1の第1のデータラインD1と上側プレートC1-2は、同じ層に位置せず（すなわち、これらは異なる構造層に配置され）、第2のデータラインD2と第2の蓄積コンデンサC2の上側プレートC2-2は、同じ層に位置せず（すなわち、これらは異なる構造層に配置され）、これにより、同層内距離（ここでは、同じ層上にあるデータラインと蓄積コンデンサの上側プレートとの間の距離を指す）が縮小される。これにより、ピクセル

40

50

面積が縮小され、O L E DディスプレイパネルのP P Iが改善され、O L E Dディスプレイパネルの解像度が向上する。第3の金属層としては、C r、W、T i、T a、M o、A l、C u等の金属又は合金の単層膜を用いてもよく、多層の金属膜からなる複合膜を用いてもよい。主に図8 aに示すように、第1の蓄積コンデンサC 1の第2の電極（すなわち上側プレートC 1 - 2）と、第2の蓄積コンデンサC 2の第2の電極（すなわち上側プレートC 2 - 2）とは、対称的に配置される。これらは、好ましくは、矩形の形状を有する。主に図8 b及び図8 cに示すように、第2のデータラインD 2は、第1の蓄積コンデンサC 1の上側プレートC 1 - 2と平行である。第2のデータラインD 2と第2のスイッチトランジスタT 2 1のソースS 2 1とは実際には一体構造を形成し、第1の蓄積コンデンサC 1の上側プレートC 1 - 2は、第1の蓄積コンデンサC 1の下側プレートC 1 - 1の真上に位置する。また、第1の蓄積コンデンサC 1の下側プレートC 1 - 1と第2の蓄積コンデンサC 2の下側プレートC 2 - 1とは同じ面積を有し、第1の蓄積コンデンサC 1の上側プレートC 1 - 2と第2の蓄積コンデンサC 2の上側プレートC 2 - 2とは同じ面積を有する。

10

20

30

40

50

【0063】

図9 aは、本発明の実施形態1において（第10のフォトリソグラフィプロセスで）第4のスルーホールを形成した後のO L E Dディスプレイパネルのピクセルグループの概略的平面図である。図9 bは、本発明の実施形態1において第4のスルーホールを形成した後のO L E Dディスプレイパネルの第1のサブピクセルの概略的断面図である。図9 cは、本発明の実施形態1において第4のスルーホールを形成した後のO L E Dディスプレイ

【0064】

図9 a、図9 b及び図9 cに示すように、C V Dプロセスを用いて第3の層間絶縁層180を形成し、第9のフォトリソグラフィプロセスを行って、第3の層間絶縁層180に第4のスルーホール180 a、180 a - 1、180 a - 2、180 a - 3、180 a - 4を開口する。第4のスルーホールは、第1の駆動トランジスタT 1 2のソース及びドレイン、第2の駆動トランジスタT 2 2のソース及びドレイン、電源ラインV D D、第1の蓄積コンデンサC 1の上側プレートC 1 - 2、並びに第2の蓄積コンデンサC 2の上側プレートC 2 - 2を電氣的に接続するために使用される。

【0065】

具体的には、第4のスルーホール第180 aは、第1の駆動トランジスタT 1 2のソースと第2の駆動トランジスタT 2 2のソースの位置に対応し、シリコンアイランドの第5のセグメント113（すなわち、アクティブ層113）の上方に位置するゲート絶縁層120、第1の層間絶縁層140、第2の層間絶縁層160、及び第3の層間絶縁層180を貫通する。第4のスルーホール第180 a - 1は、第1の駆動トランジスタT 1 2のドレインの位置に対応し、シリコンアイランドの第2のセグメント111 - 2（すなわち、アクティブ層111 - 2）の上方に位置するゲート絶縁層120、第1の層間絶縁層140、第2の層間絶縁層160、及び第3の層間絶縁層180を貫通する。第4のスルーホール第180 a - 2は、第2の駆動トランジスタT 2 2のドレインの位置に対応し、シリコンアイランドの第4のセグメント112 - 2（すなわち、アクティブ層112 - 2）の上方に位置するゲート絶縁層120、第1の層間絶縁層140、第2の層間絶縁層160、及び第3の層間絶縁層180を貫通する。第4のスルーホール180 a - 3は、第1の蓄積コンデンサC 1の上方に位置し、第1の蓄積コンデンサC 1の上側プレートC 1 - 2の上方にある第3の層間絶縁層180を貫通する。第4のスルーホール180 a - 4は、第2の蓄積コンデンサC 2の上方に位置し、第2の蓄積コンデンサC 2の上側プレートC 2 - 2の上方にある第2の層間絶縁層160及び第3の層間絶縁層180を貫通する。この実施形態では、第3の層間絶縁層180の材料は、例えば、酸化物、窒化物又は酸窒化物である。本発明は、これに限定されず、他の絶縁材料を用いて第3の層間絶縁層180を堆積してもよい。

【0066】

図 10 a は、本発明の実施形態 1 において第 4 の金属層を形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。図 10 b は、本発明の実施形態 1 において第 4 の金属層を形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。図 10 c は、本発明の実施形態 1 において第 4 の金属層を形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【 0 0 6 7 】

図 10 a、図 10 b 及び図 10 c に示すように、スパッタリング又は蒸着プロセスを用いて、第 3 の層間絶縁層 180 上に第 4 の金属層を形成する。第 11 のフォトリソグラフィプロセスにより、第 4 の金属層をパターン化し、第 1 の駆動トランジスタ T12 のソース S12 及びドレイン D12、第 2 の駆動トランジスタ T22 のソース S22 及びドレイン D22、及び電源ライン VDD のそれぞれを形成する。第 4 の金属層としては、Cr、W、Ti、Ta、Mo、Al、Cu 等の金属又は合金の単層膜を用いてもよく、多層の金属膜からなる複合膜を用いてもよい。主に図 10 a に示すように、第 4 の金属層は、第 1 の蓄積コンデンサ C1 及び第 2 の蓄積コンデンサ C2 の上方に位置する。電源ライン VDD、第 1 の駆動トランジスタ T12 のソース S12 及び第 2 の駆動トランジスタ T22 のソース S22 は、実際には一体構造を形成している。具体的には、第 1 の駆動トランジスタ T12 と第 2 の駆動トランジスタ T22 とは、ソースを共有している。第 1 の駆動トランジスタ T12 のドレイン D12 及び第 2 の駆動トランジスタ T22 のドレイン D22 は、電源ライン VDD に関して鏡面对称に配置されている。同様に、第 1 の蓄積コンデンサ C1 及び第 2 の蓄積コンデンサ C2 は、電源ライン VDD に関して鏡面对称に配置されている。

【 0 0 6 8 】

図 11 a は、本発明の実施形態 1 においてコンタクトホールを形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。図 11 b は、本発明の実施形態 1 においてコンタクトホールを形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。図 11 c は、本発明の実施形態 1 においてコンタクトホールを形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【 0 0 6 9 】

図 11 a、図 11 b 及び図 11 c に示すように、CVD プロセスを用いて、電源ライン VDD、及び電源ライン VDD によって覆われていない第 3 の層間絶縁層 180 上にパッシベーション絶縁層 200 を形成し、第 12 のフォトリソグラフィプロセスを行って、パッシベーション絶縁層 200 にコンタクトホール 200 a - 1、200 a - 2 を形成する。コンタクトホール 200 a - 1、200 a - 2 は、第 1 の駆動トランジスタ T12 及び第 2 の駆動トランジスタ T22 のドレインの位置に対応する。具体的には、コンタクトホールは、第 1 の駆動トランジスタ T12 及び第 2 の駆動トランジスタ T22 のドレイン上のパッシベーション絶縁層 200 を貫通する。この実施形態では、パッシベーション絶縁層 200 の材料は、例えば、酸化物、窒化物又は酸窒化物である。本発明は、これに限定されず、他の絶縁材料を用いてパッシベーション絶縁層 200 を堆積してもよい。

【 0 0 7 0 】

そして、図 12 a、図 12 b 及び図 12 c に示すように、スパッタリング又は蒸着プロセスを用いて、パッシベーション絶縁層 200 上に電極層を形成する。第 13 のフォトリソグラフィプロセスを行って、電極層をパターン化し、第 1 の O L E D のアノード 221 及び第 2 の O L E D のアノード 222 を形成する。第 1 の O L E D のアノード 221 は、コンタクトホール 200 a - 1 を介して第 1 の駆動トランジスタ T12 のドレイン D12 に電氣的に接続されている。第 2 の O L E D のアノード 222 は、コンタクトホール 200 a - 2 を介して第 2 の駆動トランジスタ T22 のドレイン D22 に電氣的に接続されている。電極層は、インジウム錫酸化物、酸化亜鉛、インジウム亜鉛酸化物、銀、金、アルミニウム等の材料の 1 つ以上を使用することによって形成してもよい。

【 0 0 7 1 】

図 1 2 b に示すように、第 1 の駆動トランジスタ T 1 2 のソース S 1 2 は、第 4 のスルーホール 1 8 0 a を介して第 1 の駆動トランジスタ T 1 2 のアクティブ層 1 1 2 - 1 に電氣的に接続されている。更に、第 1 の駆動トランジスタ T 1 2 のソース S 1 2 は、第 4 のスルーホール 1 8 0 a - 3 を介して、電源ライン V D D 及び第 1 の蓄積コンデンサ C 1 の第 2 の電極（すなわち上側プレート C 1 - 2）に電氣的に接続されている。

【 0 0 7 2 】

図 1 2 c に示すように、第 2 の駆動トランジスタ T 2 2 のソース S 2 2 は、第 4 のスルーホール 1 8 0 a を介して、第 2 の駆動トランジスタ T 2 2 のアクティブ層 1 1 2 - 2 に電氣的に接続されている。また、第 2 の駆動トランジスタ T 2 2 のソース S 2 2 は、第 4 のスルーホール 1 8 0 a - 4 を介して、電源ライン V D D、及び第 2 の蓄積コンデンサ C 2 の第 2 の電極（すなわち、上側プレート C 2 - 2）に電氣的に接続されている。

10

【 0 0 7 3 】

また、第 1 の O L E D のアノード 2 2 1 と第 2 の O L E D のアノード 2 2 2 を形成した後、従来のプロセスを用いてピクセル限定層（pixel restriction layer）を更に形成してもよい。また、引き続き従来のプロセスを用いて、発光層及びカソードを形成し、O L E D デバイスの製造を完了してもよい。これらのプロセスの詳細については省略する。

【 0 0 7 4 】

要約すれば、この実施形態の O L E D ディスプレイパネルでは、2 つのサブピクセルがグループを形成し、電源ライン V D D に関して鏡面对称に配置されている。同じピクセルグループ内の 2 つのサブピクセルにそれぞれ接続されたデータラインは、異なる構造層上に配置されている。したがって、ピクセル面積を縮小することなく、同じ層上の隣接するデータライン間の距離を 2 倍にでき、異なる層間の隣接するデータラインは、層間絶縁層によって分離されるため、データライン間の短絡の発生確率を効果的に低減できる。更に、使用時のデータライン間のクロストークも大幅に低減され、製品歩留まりが向上するのみではなく、製品の画質が改善される。更に、同じピクセルグループ内の 2 つのサブピクセルに対応して接続されたデータラインは、異なる構造層に配置されるため、既存の装置及び / 又はプロセス条件に基づいてピクセル面積を縮小でき、O L E D ディスプレイパネルの P P I を改善し、O L E D ディスプレイパネルの解像度を向上させることができる。また、第 1 のデータライン D 1 と第 1 の蓄積コンデンサ C 1 の上側プレート C 1 - 2 とは異なる層に位置し、第 2 のデータライン D 2 と第 2 の蓄積コンデンサ C 2 の上側プレート C 2 - 2 とは異なる層に位置する。例えば、第 1 のデータライン（D 1）と第 2 の蓄積コンデンサ（C 2）の上側プレート（C 2 - 2）が共に形成され、第 2 のデータライン D 2 と第 1 の蓄積コンデンサ C 1 の上側プレート C 1 - 2 が共に形成される。このため、同じ層のデータラインと蓄積コンデンサの上側プレートとの距離を短くでき、ピクセル領域を更に縮小でき、O L E D ディスプレイパネルの P P I を改善し、O L E D ディスプレイパネルの解像度を向上させることができる。

20

30

【 0 0 7 5 】

実施形態 2

この実施形態では、第 1 の蓄積コンデンサ C 1 の上側プレート C 1 - 2 と第 2 の蓄積コンデンサ C 2 の上側プレート C 2 - 2 とを一回のプロセスによって一体構造として形成する。

40

【 0 0 7 6 】

図 1 9 a、図 2 0 a 及び図 2 1 a に示すように、第 1 のデータライン D 1、第 2 のデータライン D 2 及び電源ライン V D D は、互いに平行である。走査ライン S n は、電源ライン V D D に対して垂直である。また、第 1 のデータライン D 1 及び第 2 のデータライン D 2 は、電源ライン V D D に関して鏡面对称に配置されている。また、第 1 の蓄積コンデンサ C 1 と第 2 の蓄積コンデンサ C 2 とは、電源ライン V D D に関して鏡面对称に配置されており、第 1 のスイッチトランジスタ T 1 1 及び第 2 のスイッチトランジスタ T 2 1 は、電源ライン V D D に関して鏡面对称に配置されており、第 1 の駆動トランジスタ T 1 2 及び第 2 の駆動トランジスタ T 2 2 は、電源ライン V D D に関して鏡面对称に配置されている

50

。

【 0 0 7 7 】

具体的には、この実施形態では、第 1 の蓄積コンデンサ C 1 の上側プレート C 1 - 2 と第 2 の蓄積コンデンサ C 2 の上側プレート C 2 - 2 とは、一体構造を形成し、共に矩形の形状を有する。第 1 の蓄積コンデンサ C 1 の下側プレート C 1 - 1 と第 2 の蓄積コンデンサ C 2 の下側プレート C 2 - 1 も矩形の形状を有する。

【 0 0 7 8 】

以下、本発明の実施形態 1 に基づく T F T - L C D アレイ基板の製造プロセスの平面図及び概略的断面図を参照して、この実施形態の技術的解決策を更に説明する。

【 0 0 7 9 】

図 1 3 a は、本発明の実施形態 2 においてシリコンアイランドを形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。図 1 3 b は、本発明の実施形態 2 においてシリコンアイランドを形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。図 1 3 c は、本発明の実施形態 2 においてシリコンアイランドを形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【 0 0 8 0 】

図 1 3 a、図 1 3 b 及び図 1 3 c に示すように、まず、基板 1 0 0 を準備する。次に、基板 1 0 0 上にシリコンアイランドを形成する。シリコンアイランドは、第 1 のスイッチトランジスタ T 1 1、第 1 の駆動トランジスタ T 1 2、第 2 のスイッチトランジスタ T 2 1、及び第 2 の駆動トランジスタ T 2 2 のアクティブ層として用いられる。この実施形態では、基板 1 0 0 上にシリコンアイランドを形成する前に、基板 1 0 0 上にバッファ層 1 0 1 を形成する。好ましくは、基板 1 0 0 上にシリコンアイランドを形成した後、第 2 のフォトリソグラフィプロセスを実行し、シリコンアイランドの所定の領域にイオン注入を行う。

【 0 0 8 1 】

図 1 4 a は、本発明の実施形態 2 において第 1 のスルーホールを形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。図 1 4 b は、本発明の実施形態 2 において第 1 のスルーホールを形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。図 1 4 c は、本発明の実施形態 2 において第 1 のスルーホールを形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【 0 0 8 2 】

図 1 4 a、図 1 4 b 及び図 1 4 c に示すように、C V D プロセスを用いてシリコンアイランド及び被覆されていないバッファ層 1 0 1 上にゲート絶縁層 1 2 0 を形成し、第 3 のフォトリソグラフィプロセスを行って、ゲート絶縁層 1 2 0 に第 1 のスルーホール 1 2 0 a - 1、1 2 0 a - 2 を開口する。

【 0 0 8 3 】

図 1 5 a は、本発明の実施形態 2 において第 1 の金属層を形成した後の O L E D ディスプレイパネルのピクセルグループの概略的平面図である。図 1 5 b は、本発明の実施形態 2 において第 1 の金属層を形成した後の O L E D ディスプレイパネルの第 1 のサブピクセルの概略的断面図である。図 1 5 c は、本発明の実施形態 2 において第 1 の金属層を形成した後の O L E D ディスプレイパネルの第 2 のサブピクセルの概略的断面図である。

【 0 0 8 4 】

図 1 5 a、図 1 5 b 及び図 1 5 c に示すように、スパッタリング又は蒸着プロセスを用いて、ゲート絶縁層 1 2 0 上に第 1 の金属層を形成する。第 4 のフォトリソグラフィプロセスによって第 1 の金属層をパターン化し、第 1 のスイッチトランジスタ T 1 1 のゲート G 1 1、第 1 の駆動トランジスタ T 1 2 のゲート G 1 2、第 2 のスイッチトランジスタ T 2 1 のゲート G 2 1、第 2 の駆動トランジスタ T 2 2 のゲート G 2 2、走査ライン S n、第 1 の蓄積コンデンサ C 1 の第 1 の電極（すなわち、下側プレート C 1 - 1）、及び第 2

の蓄積コンデンサC 2の第1の電極(すなわち、下側プレートC 2 - 1)のそれぞれを形成する。

【0085】

図16aは、本発明の実施形態2において第2のスルーホールを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。図16bは、本発明の実施形態2において第2のスルーホールを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。図16cは、本発明の実施形態2において第2のスルーホールを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【0086】

図16a、図16b及び図16cに示すように、CVDプロセスを用いて第1の層間絶縁層140を形成し、第5のフォトリソグラフィプロセスを行って第1の層間絶縁層140及びゲート絶縁層120に第2のスルーホール140a-1を開口する。第2のスルーホール140a-1は、第1のスイッチトランジスタT11のソースの位置に対応し、後に形成される第1のデータラインD1と第1のスイッチトランジスタT11のソースS1とを電氣的に接続するために使用される。

【0087】

図17aは、本発明の実施形態2において第2の金属層を形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。図17bは、本発明の実施形態2において第2の金属層を形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。図17cは、本発明の実施形態2において第2の金属層を形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【0088】

図17a、図17b及び図17cに示すように、スパッタリング又は蒸着プロセスを用いて、第1の層間絶縁層140上に第2の金属層を形成する。第6のフォトリソグラフィプロセスによって第2の金属層をパターン化し、第1のデータラインD1、第1のスイッチトランジスタT11のソースS11、第1の蓄積コンデンサC1の第2の電極(すなわち、上側プレートC1-2)、及び第2の蓄積コンデンサC2の第2の電極(すなわち、上側プレートC2-2)のそれぞれを形成する。

【0089】

主に図17aに示すように、この実施形態と実施形態1との相違点は、第1の蓄積コンデンサC1の上側プレートC1-2と第2の蓄積コンデンサC2の上側プレートC2-2とが一回のプロセスによって一体構造として形成される点である。第1の蓄積コンデンサC1と第2の蓄積コンデンサC2の上側プレートが同時に形成されるため、第1の蓄積コンデンサC1と第2の蓄積コンデンサC2との容量値を等しくするために追加の開口を形成する必要がない。したがって、この解決策は、実施形態1の場合と比較して、処理が簡単で低コストである。

【0090】

図18aは、本発明の実施形態2において第3のスルーホールを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。図18bは、本発明の実施形態2において第3のスルーホールを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。図18cは、本発明の実施形態2において第3のスルーホールを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

【0091】

図18、図18b及び図18cに示すように、CVDプロセスを用いて第2の層間絶縁層160を形成し、第7のフォトリソグラフィプロセスを行って、第2の層間絶縁層160、第1の層間絶縁層140及びゲート絶縁層120に第3のスルーホール160a-2を開口する。第3のスルーホール160a-2は、第2のスイッチトランジスタT21のソースの位置に対応し、後に形成される第2のデータラインD2と第2のスイッチトラン

10

20

30

40

50

ジスタＴ２１のソースＳ２１とを電氣的に接続するために使用される。

【００９２】

図１９ａは、本発明の実施形態２において第３の金属層を形成した後のＯＬＥＤディスプレイパネルのピクセルグループの概略的平面図である。図１９ｂは、本発明の実施形態２において第３の金属層を形成した後のＯＬＥＤディスプレイパネルの第１のサブピクセルの概略的断面図である。図１９ｃは、本発明の実施形態２において第３の金属層を形成した後のＯＬＥＤディスプレイパネルの第２のサブピクセルの概略的断面図である。

【００９３】

図１９ａ、図１９ｂ及び図１９ｃに示すように、スパッタリング又は蒸着プロセスを用いて、第２の層間絶縁層１６０上に第３の金属層を形成する。第８のフォトリソグラフィプロセスによって第３の金属層をパターン化し、第２のデータラインＤ２及び第２のスイッチトランジスタＴ２１のソースＳ２１を形成する。この実施形態では、第２のデータラインＤ２と第２のスイッチトランジスタＴ２１のソースＳ２１は、一体構造を形成している。

【００９４】

図２０ａは、本発明の実施形態２において第４のスルーホールを形成した後のＯＬＥＤディスプレイパネルのピクセルグループの概略的平面図である。図２０ｂは、本発明の実施形態２において第４のスルーホールを形成した後のＯＬＥＤディスプレイパネルの第１のサブピクセルの概略的断面図である。図２０ｃは、本発明の実施形態２において第４のスルーホールを形成した後のＯＬＥＤディスプレイパネルの第２のサブピクセルの概略的断面図である。

【００９５】

図２０ａ、図２０ｂ及び図２０ｃに示すように、ＣＶＤプロセスを用いて第３の層間絶縁層１８０を形成し、第８のフォトリソグラフィプロセスを行って、第３の層間絶縁層１８０に第４のスルーホール１８０ａ、１８０ａ－１、１８０ａ－２、１８０ａ－３、１８０ａ－４を開口する。第４のスルーホールは、第１の駆動トランジスタＴ１２のソース及びドレイン、第２の駆動トランジスタＴ２２のソース及びドレイン、電源ラインＶＤＤ、第１の蓄積コンデンサＣ１の上側プレートＣ１－２、並びに第２の蓄積コンデンサＣ２の上側プレートＣ２－２を電氣的に接続するために使用される。

【００９６】

図２１ａは、本発明の実施形態２において第４の金属層を形成した後のＯＬＥＤディスプレイパネルのピクセルグループの概略的平面図である。図２１ｂは、本発明の実施形態２において第４の金属層を形成した後のＯＬＥＤディスプレイパネルの第１のサブピクセルの概略的断面図である。図２１ｃは、本発明の実施形態２において第４の金属層を形成した後のＯＬＥＤディスプレイパネルの第２のサブピクセルの概略的断面図である。

【００９７】

図２１ａ、図２１ｂ及び図２１ｃに示すように、スパッタリング又は蒸着プロセスを用いて第３の層間絶縁層１８０上に第４の金属層を形成する。第１０のフォトリソグラフィプロセスによって第４の金属層をパターン化し、第１の駆動トランジスタＴ１２のソースＳ１２及びドレインＤ１２、第２の駆動トランジスタＴ２２のソースＳ２２及びドレインＤ２２、並びに電源ラインＶＤＤを形成する。

【００９８】

図２２ａは、本発明の実施形態２においてコンタクトホールを形成した後のＯＬＥＤディスプレイパネルのピクセルグループの概略的平面図である。図２２ｂは、本発明の実施形態２においてコンタクトホールを形成した後のＯＬＥＤディスプレイパネルの第１のサブピクセルの概略的断面図である。図２２ｃは、本発明の実施形態２においてコンタクトホールを形成した後のＯＬＥＤディスプレイパネルの第２のサブピクセルの概略的断面図である。

【００９９】

図２２ａ、図２２ｂ及び図２２ｃに示すように、電源ラインＶＤＤ、及び電源ラインＶ

10

20

30

40

50

DDによって覆われていない第3の層間絶縁層180上にCVDプロセスを用いてパッシベーション絶縁層200を形成し、第11のフォトリソグラフィプロセスによってパッシベーション絶縁層200にコンタクトホール200aを形成する。コンタクトホール200aは、第1の駆動トランジスタT12及び第2の駆動トランジスタT22のドレインの位置に対応する。具体的には、コンタクトホールは、第1の駆動トランジスタT12及び第2の駆動トランジスタT22のドレイン上のパッシベーション絶縁層200を貫通する。

【0100】

図23aは、本発明の実施形態2において、アノードを形成した後のOLEDディスプレイパネルのピクセルグループの概略的平面図である。図23bは、本発明の実施形態2において、アノードを形成した後のOLEDディスプレイパネルの第1のサブピクセルの概略的断面図である。図23cは、本発明の実施形態2においてアノードを形成した後のOLEDディスプレイパネルの第2のサブピクセルの概略的断面図である。

10

【0101】

図23a、図23b及び図23cに示すように、スパッタリング又は蒸着プロセスを用いて、パッシベーション絶縁層200上に電極層を形成する。第12のフォトリソグラフィプロセスにより電極層をパターン化し、第1のOLEDのアノード221及び第2のOLEDのアノード222を形成する。第1のOLEDのアノード221は、コンタクトホール200aを介して第1の駆動トランジスタT12のドレインD12に電氣的に接続されている。第2のOLEDのアノード222は、コンタクトホール200aを介して第2の駆動トランジスタT22のドレインD22に電氣的に接続されている。

20

【0102】

また、第1のOLEDのアノード221と第2のOLEDのアノード222を形成した後、従来のプロセスを用いてピクセル限定層(pixel restriction layer)を更に形成してもよい。また、引き続き従来のプロセスを用いて、発光層及びカソードを形成し、OLEDデバイスの製造を完了してもよい。これらのプロセスの詳細については省略する。

【0103】

要約すれば、実施形態2のOLEDディスプレイパネルでは、2つのサブピクセルがグループを形成し、電源ラインVDDに関して鏡面对称に配置されている。同じピクセルグループ内の2つのサブピクセルにそれぞれ接続されたデータラインは、異なる構造層上に配置されている。ピクセル面積を縮小することなく、したがって、隣接するデータライン間の同層内距離が2倍になり、異なる層間の隣接するデータラインが層間絶縁層によって分離され、データライン間の短絡の発生確率を効果的に低減できる。更に、使用時のデータライン間のクロストークも大幅に低減され、製品歩留まりが向上するのみではなく、製品の画質が改善される。更に、同じピクセルグループ内の2つのサブピクセルに対応して接続されたデータラインは、異なる構造層に配置されるため、既存の装置及び/又はプロセス条件に基づいてピクセル面積を縮小でき、OLEDディスプレイパネルのPPIを改善し、OLEDディスプレイパネルの解像度を向上させることができる。また、第1の蓄積コンデンサC1の上側プレートC1-2と第2の蓄積コンデンサC2の上側プレートC2-2とが一回のプロセスで同時に形成されるため、製造プロセスが単純化され、コストが削減される。

30

40

【0104】

なお、本明細書の実施形態を段階的に説明し、各実施形態では、他の実施形態と異なる部分を強調しているが、実施形態の同一又は類似の部分は、これらの説明を相互に参照することによって理解できる。なお、実施形態に開示されている構造は、実施形態に開示されている方法に対応し、したがって、簡潔に説明しており、関連する部分については、方法の実施形態における部分の説明を参照することで作製できる。

【0105】

以上は、単に本発明の好ましい実施形態を説明するものであり、本発明を限定するものではない。開示された内容に従って当業者が行う任意の置換及び改変は、全て本発明の請

50

求項の保護範囲に含まれる。

【符号の説明】

【0106】

T 1 1 : 第 1 のスイッチトランジスタ、G 1 1 : 第 1 のスイッチトランジスタのゲート、S 1 1 : 第 1 のスイッチトランジスタのソース、D 1 1 : 第 1 のスイッチトランジスタのドレイン

T 1 2 : 第 1 の駆動トランジスタ、G 1 2 : 第 1 の駆動トランジスタのゲート、S 1 2 : 第 1 の駆動トランジスタのソース、D 1 2 : 第 1 の駆動トランジスタのドレイン

T 2 1 : 第 2 のスイッチトランジスタ、G 2 1 : 第 2 のスイッチトランジスタのゲート、S 2 1 : 第 2 のスイッチトランジスタのソース、D 2 1 : 第 2 のスイッチトランジスタのドレイン

T 2 2 : 第 2 の駆動トランジスタ、G 2 2 : 第 2 の駆動トランジスタのゲート、S 2 2 : 第 2 の駆動トランジスタのソース、D 2 2 : 第 2 の駆動トランジスタのドレイン

C 1 : 第 1 の蓄積コンデンサ、C 1 - 1 : 第 1 の蓄積コンデンサの下側プレート、C 1 - 2 : 第 1 の蓄積コンデンサの上側プレート

C 2 : 第 2 の蓄積コンデンサ、C 2 - 1 : 第 2 の蓄積コンデンサの下側プレート、C 2 - 2 : 第 2 の蓄積コンデンサの上側プレート

D 1 : 第 1 のデータライン、D 2 : 第 2 のデータライン、S n : 走査ライン、V D D : 電源ライン

1 0 0 : 基材、1 0 1 : バッファ層。

【0107】

1 1 1 - 1 : シリコンアイランドの第 1 のセグメント、1 1 1 - 2 : シリコンアイランドの第 2 のセグメント、1 1 2 - 1 : シリコンアイランドの第 3 のセグメント、1 1 2 - 2 : シリコンアイランドの第 4 のセグメント、1 1 3 : シリコンアイランドの第 5 のセグメント、1 1 4 : シリコンアイランドの第 6 のセグメント

1 2 0 : ゲート絶縁層、1 2 0 a - 1、1 2 0 a - 2 : 第 1 のスルーホール、

1 4 0 : 第 1 の層間絶縁層、1 4 0 a - 1 : 第 2 のスルーホール

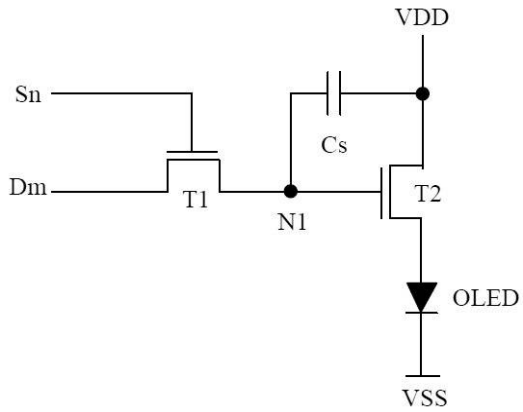
1 6 0 : 第 2 の層間絶縁層、1 6 0 a - 2 : 第 3 のスルーホール、1 6 0 b : 開口部

1 8 0 : 第 3 の層間絶縁層、1 8 0 a、1 8 0 a - 1、1 8 0 a - 2、1 8 0 a - 3、1 8 0 a - 4 : 第 4 のスルーホール

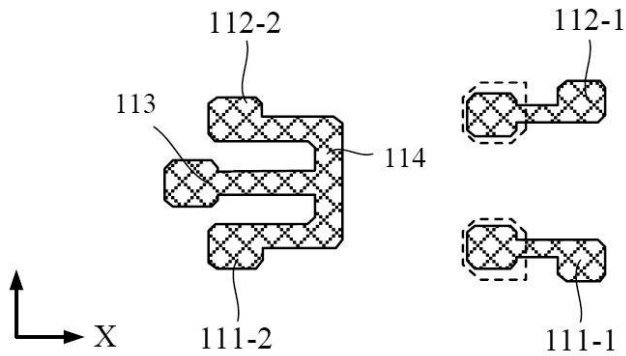
2 0 0 : パッシベーション絶縁層、2 0 0 a - 1、2 0 0 a - 2 : コンタクトホール

2 2 1 : 第 1 の O L E D のアノード、2 2 2 : 第 2 の O L E D のアノード

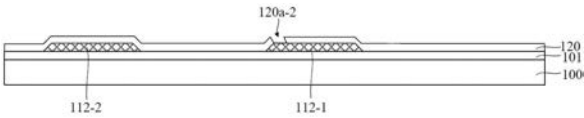
【図 1】



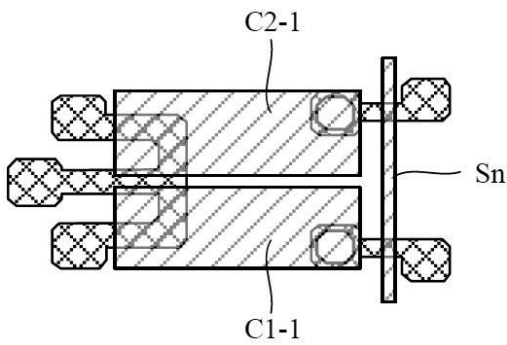
【図 2 a】



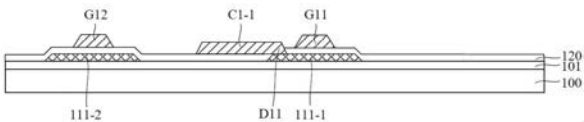
【図 3 c】



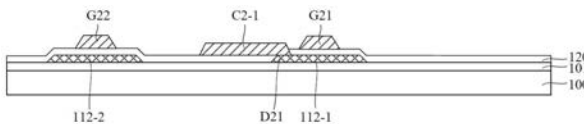
【図 4 a】



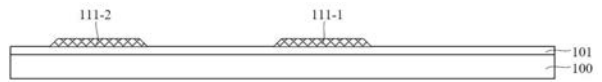
【図 4 b】



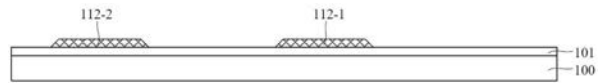
【図 4 c】



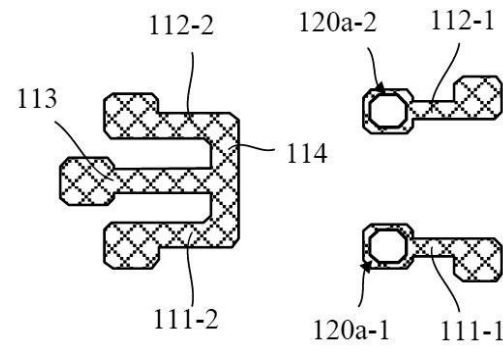
【図 2 b】



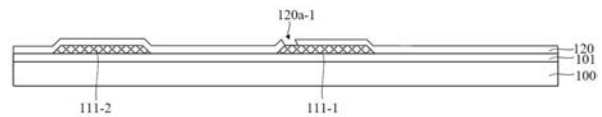
【図 2 c】



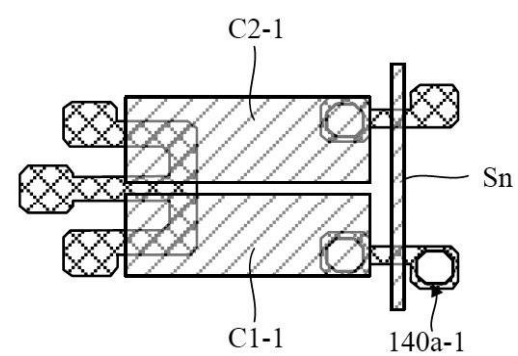
【図 3 a】



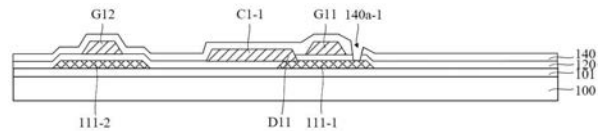
【図 3 b】



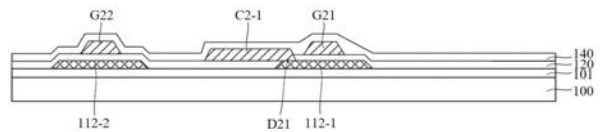
【図 5 a】



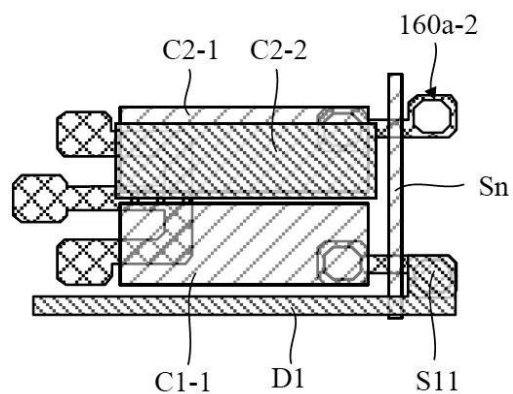
【図 5 b】



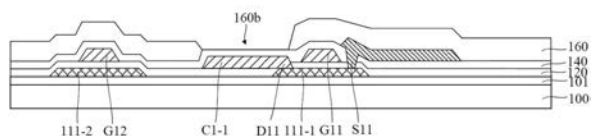
【図 5 c】



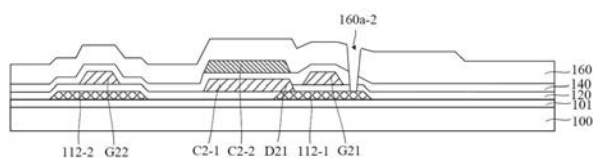
【 図 7 a 】



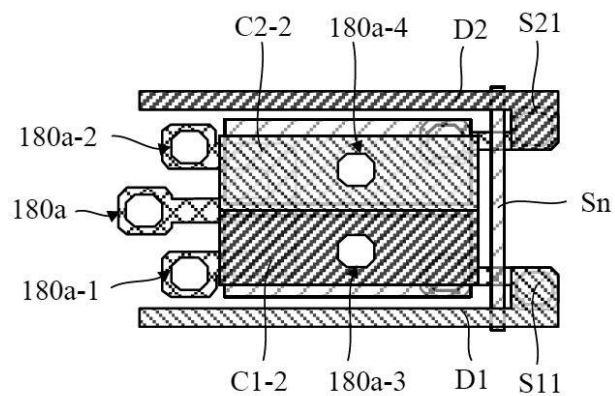
【 図 7 b 】



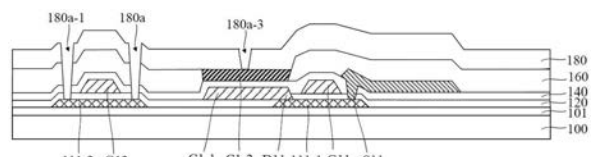
【 図 7 c 】



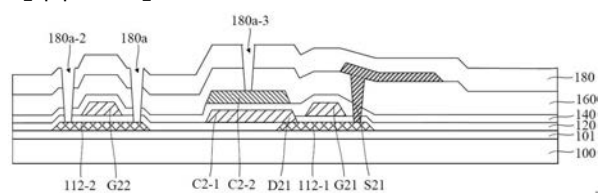
【 図 9 a 】



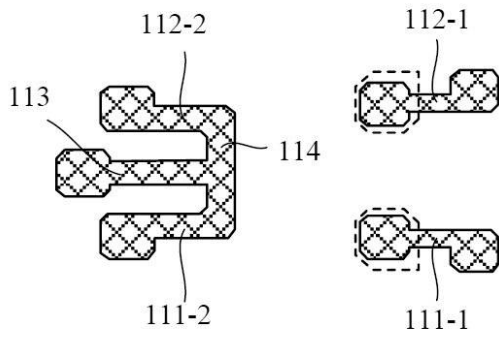
【 図 9 b 】



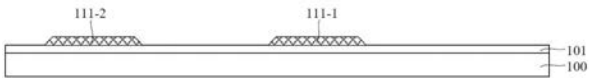
【 図 9 c 】



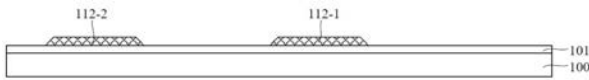
【図 13 a】



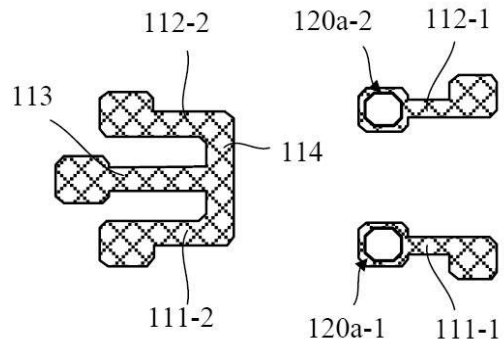
【図 13 b】



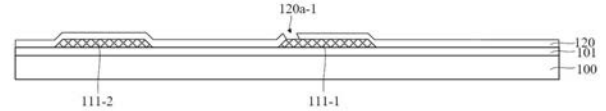
【図 13 c】



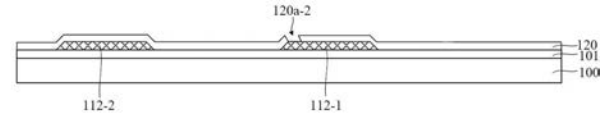
【図 14 a】



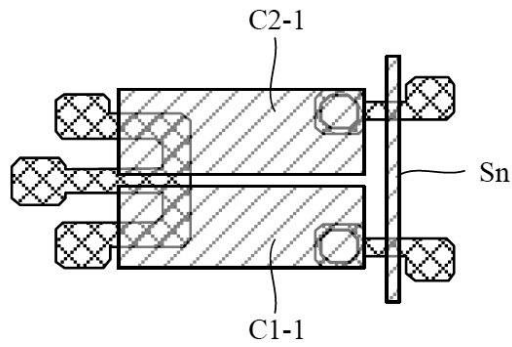
【図 14 b】



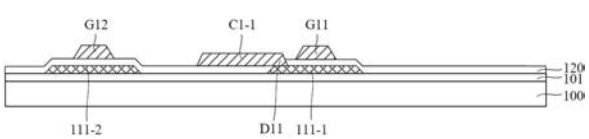
【図 14 c】



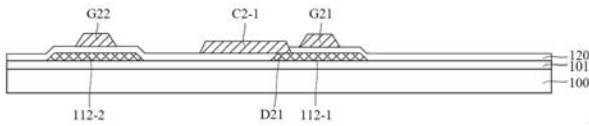
【図 15 a】



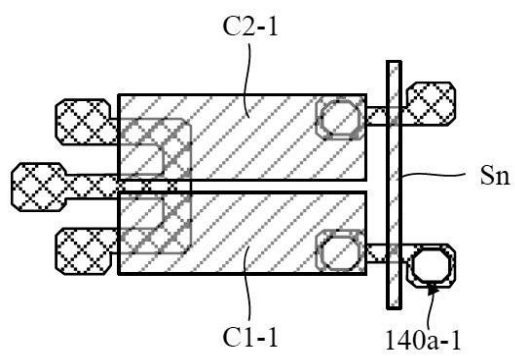
【図 15 b】



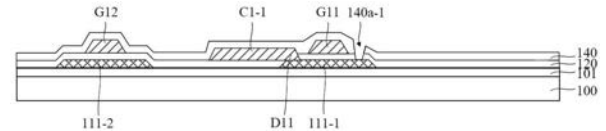
【図 15 c】



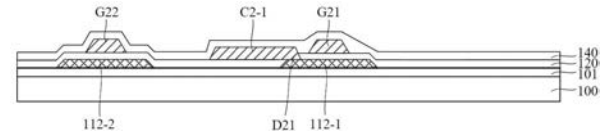
【図 16 a】



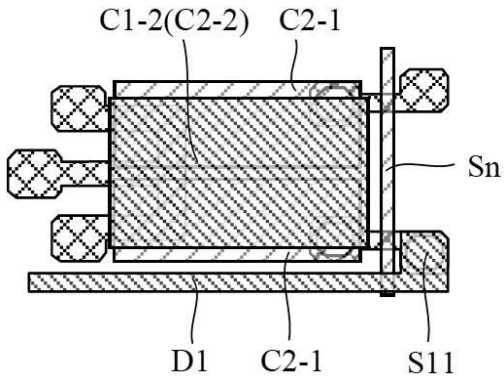
【図 16 b】



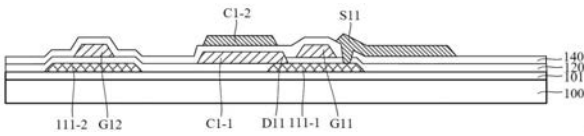
【図 16 c】



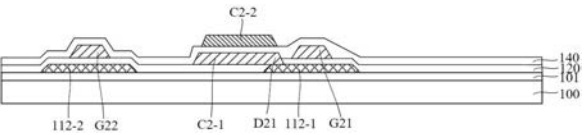
【図 17 a】



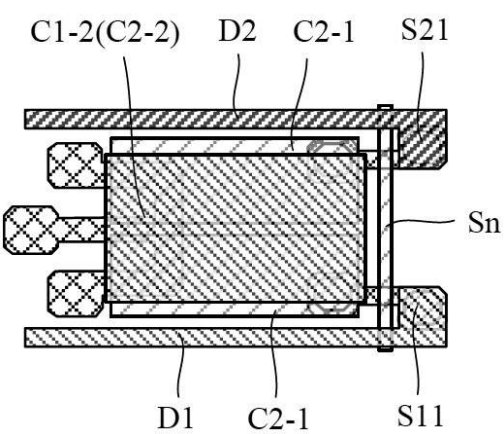
【図 17 b】



【図 17 c】



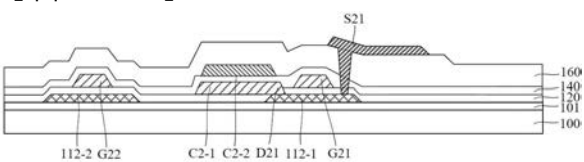
【図 19 a】



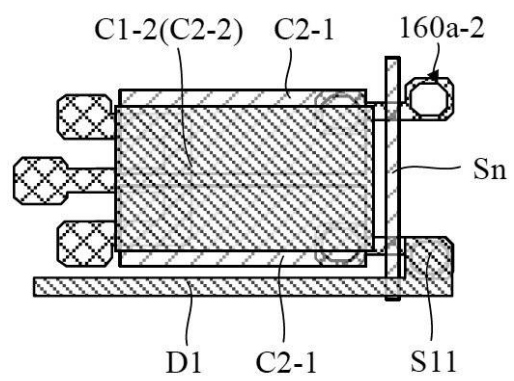
【図 19 b】



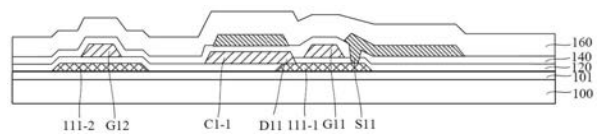
【図 19 c】



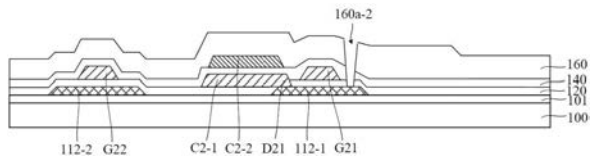
【図 18 a】



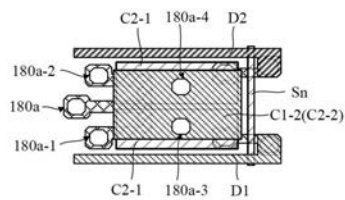
【図 18 b】



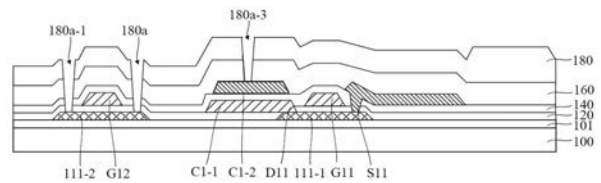
【図 18 c】



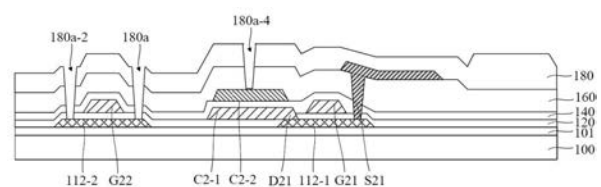
【図 20 a】



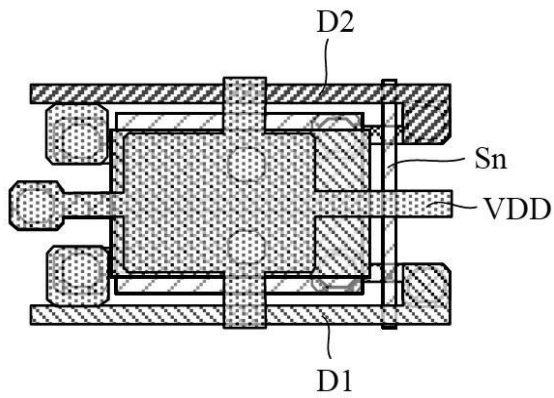
【図 20 b】



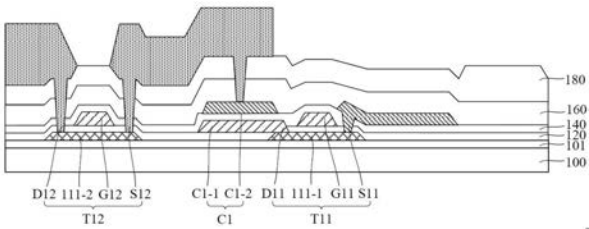
【図 20 c】



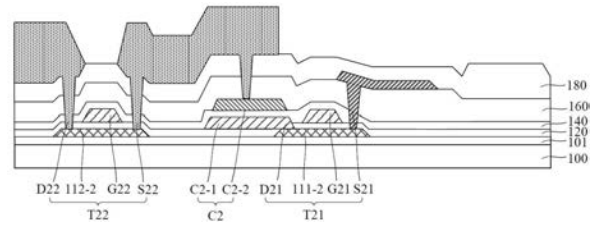
【図 2 1 a】



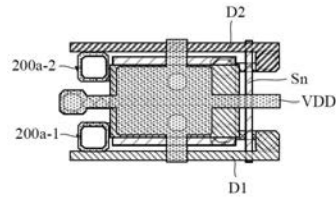
【図 2 1 b】



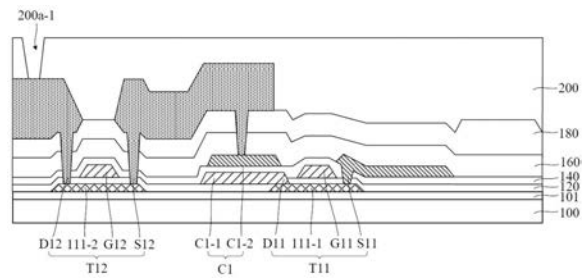
【図 2 1 c】



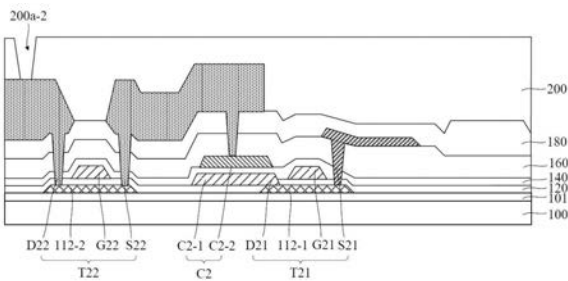
【図 2 2 a】



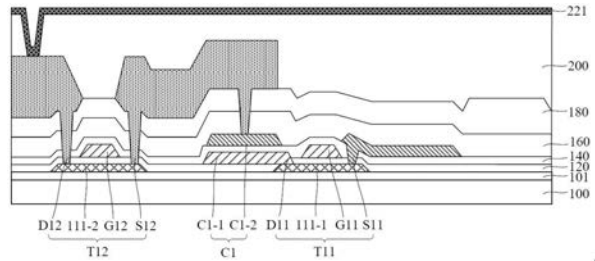
【図 2 2 b】



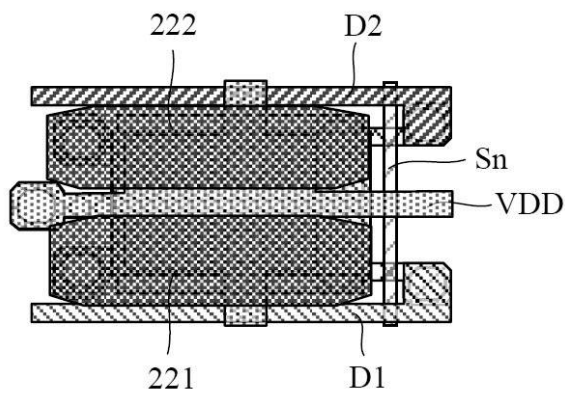
【図 2 2 c】



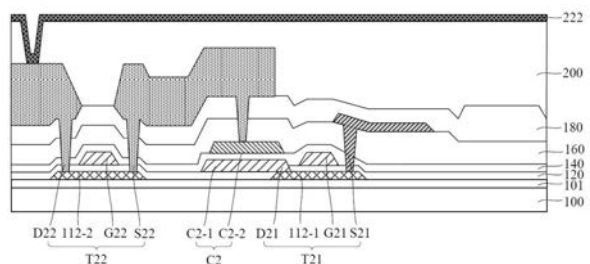
【図 2 3 b】



【図 2 3 a】



【図 2 3 c】



【手続補正書】

【提出日】平成30年6月25日(2018.6.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板上に形成された複数の走査ライン、データライン及び電源ラインを備え、前記走査ライン及び前記データラインは、マトリクス状に配置された複数のピクセルグループを画定し、各ピクセルグループは、2つのサブピクセルを有し、同じピクセルグループ内の2つのサブピクセルは、同じ電源ラインに接続され、前記電源ラインに関して鏡面对称に配置され、前記同じピクセルグループ内の2つのサブピクセルに接続された前記データラインは、異なる構造層上に配置されているOLEDディスプレイパネルことを特徴とするOLEDディスプレイパネル。

【請求項 2】

前記同じピクセルグループ内の2つのサブピクセルは、第1のサブピクセル及び第2のサブピクセルを含み、前記第1のサブピクセルが、第1の蓄積コンデンサを含み、前記第2のサブピクセルが、第2の蓄積コンデンサを含み、前記第1の蓄積コンデンサの上側プレートと前記第2の蓄積コンデンサの上側プレートとは、異なる構造層上に、或いは同じ構造層上に配置されていることを特徴とする請求項1に記載のOLEDディスプレイパネル。

【請求項 3】

前記第1のサブピクセルは、第1のスイッチトランジスタ及び第1の駆動トランジスタを有し、前記第2のサブピクセルは、第2のスイッチトランジスタ及び第2の駆動トランジスタを有し、前記第1のスイッチトランジスタのソースが、第1のデータラインに接続され、前記第2のスイッチトランジスタのソースが、第2のデータラインに接続され、前記第1のデータラインと前記第2のデータラインと前記電源ラインとは互いに平行であり、前記走査ラインが、前記電源ラインと直交し、前記第1のデータライン及び前記第2のデータライン、前記第1の蓄積コンデンサ及び前記第2の蓄積コンデンサ、前記第1のスイッチトランジスタ及び前記第2のスイッチトランジスタ、並びに前記第1の駆動トランジスタ及び前記第2の駆動トランジスタは、それぞれ前記電源ラインに関して鏡面对称に配置されていることを特徴とする請求項2に記載のOLEDディスプレイパネル。

【請求項 4】

前記基板上に形成され、前記第1のスイッチトランジスタ、前記第1の駆動トランジスタ、前記第2のスイッチトランジスタ及び前記第2の駆動トランジスタのアクティブ層として機能するシリコンアイランドと、

ゲート絶縁層及び複数の第1のスルーホールであって、前記ゲート絶縁層は、前記基板及び前記シリコンアイランド上に形成され、前記第1のスルーホールは、前記第1のスイッチトランジスタのドレインと前記第1の蓄積コンデンサの下側プレートとの間、及び前記第2のスイッチトランジスタのドレインと前記第2の蓄積コンデンサの下側プレートとの間の電氣的接続のために使用される、ゲート絶縁層及び複数の第1のスルーホールと、

ゲート絶縁層上に形成され、前記走査ライン、前記第1の蓄積コンデンサの下側プレート、前記第2の蓄積コンデンサの下側プレート、前記第1のスイッチトランジスタのゲート、前記第1の駆動トランジスタのゲート、前記第2のスイッチトランジスタのゲート、及び前記第2の駆動トランジスタのゲートとして機能するパターン化された第1の金属層と、

第1の層間絶縁層及び第2のスルーホールであって、前記第1の層間絶縁層は、前記ゲート絶縁層及び前記パターン化された第1の金属層上に形成され、前記第2のスルーホー

ルは、前記第 1 のデータラインと前記第 1 のスイッチトランジスタのソースとを電氣的に接続するために使用される、第 1 の層間絶縁層及び第 2 のスルーホールと、

前記第 1 の層間絶縁層上に形成され、前記第 1 のデータライン、前記第 1 のスイッチトランジスタのソース、及び前記第 2 の蓄積コンデンサの上側プレートとして機能するパターン化された第 2 の金属層と、

第 2 の層間絶縁層及び第 3 のスルーホールであって、前記第 2 の層間絶縁層は、前記第 1 の層間絶縁層及び前記パターン化された第 2 の金属層上に形成され、前記第 3 のスルーホールは、前記第 2 のデータラインと前記第 2 のスイッチトランジスタのソースとを電氣的に接続するために使用される、第 2 の層間絶縁層及び第 3 のスルーホールと、

前記第 2 の層間絶縁層上に形成され、前記第 2 のデータライン、前記第 2 のスイッチトランジスタのソース、及び前記第 1 の蓄積コンデンサの上側プレートとして機能するパターン化された第 3 の金属層と、

第 3 の層間絶縁層及び第 4 のスルーホールであって、前記第 3 の層間絶縁層は、前記第 2 の層間絶縁層及び前記パターン化された第 3 の金属層上に形成され、前記第 4 のスルーホールは、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、前記電源ライン、前記第 1 の蓄積コンデンサの上側プレート及び前記第 2 の蓄積コンデンサの上側プレートを電氣的に接続するために使用される、第 3 の層間絶縁層及び第 4 のスルーホールと、

前記第 3 の層間絶縁層上に形成され、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、並びに前記電源ラインとして機能するパターン化された第 4 の金属層と、

パッシベーション絶縁層及び複数のコンタクトホールであって、前記パッシベーション絶縁層は、前記第 3 の層間絶縁層及び前記パターン化された第 4 の金属層上に形成され、前記コンタクトホールは、前記第 1 の駆動トランジスタのドレインと第 1 の O L E D のアノードとの間、並びに前記第 2 の駆動トランジスタのドレインと第 2 の O L E D のアノードとの間を電氣的に接続するために使用される、パッシベーション絶縁層及びコンタクトホールとを備えることを特徴とする請求項 3 に記載の O L E D ディスプレイパネル。

【請求項 5】

前記第 2 の層間絶縁層を貫通し、前記第 1 の蓄積コンデンサの下側プレートと対向する開口部を備えることを特徴とする請求項 4 に記載の O L E D ディスプレイパネル。

【請求項 6】

基板上に、複数の走査ライン、データライン及び電源ラインを形成することを含み、前記走査ライン及び前記データラインは、マトリクス状に配置された複数のピクセルグループを画定し、

各ピクセルグループは、2つのサブピクセルを有し、同じピクセルグループ内の2つのサブピクセルは、同じ電源ラインに接続され、前記電源ラインに関して鏡面对称に配置され、前記同じピクセルグループ内の2つのサブピクセルに接続された前記データラインは、異なる構造層上に配置されることを特徴とする O L E D ディスプレイパネルの製造方法。

【請求項 7】

前記同じピクセルグループ内の2つのサブピクセルは、第1のサブピクセルと第2のサブピクセルを含み、前記第1のサブピクセルは、第1の蓄積コンデンサを含み、前記第2のサブピクセルは、第2の蓄積コンデンサを含み、前記第1の蓄積コンデンサの上側プレートと前記第2の蓄積コンデンサの上側プレートは、異なる構造層上に、或いは同じ構造層上に配置されることを特徴とする請求項 6 に記載の O L E D ディスプレイパネルの製造方法。

【請求項 8】

前記第1のサブピクセルは、第1のスイッチトランジスタ及び第1の駆動トランジスタを更に含み、前記第2のサブピクセルは、第2のスイッチトランジスタ及び第2の駆動トランジスタを更に含み、前記第1のスイッチトランジスタのソースは、第1のデータライ

ンに接続され、前記第 2 のスイッチトランジスタのソースは、第 2 のデータラインに接続され、前記第 1 のデータライン、前記第 2 のデータライン、及び前記電源ラインとは互いに平行であり、前記走査ラインは、前記電源ラインに垂直であり、前記第 1 のデータライン及び前記第 2 のデータライン、前記第 1 の蓄積コンデンサ及び前記第 2 の蓄積コンデンサ、前記第 1 のスイッチトランジスタ及び前記第 2 のスイッチトランジスタ、前記第 1 の駆動トランジスタ及び前記第 2 の駆動トランジスタは、それぞれ前記電源ラインに関して鏡面对称に配置されることを特徴とする請求項 7 に記載の OLED ディスプレイパネルの製造方法。

【請求項 9】

前記第 1 のスイッチトランジスタ、前記第 1 の駆動トランジスタ、前記第 2 のスイッチトランジスタ及び前記第 2 の駆動トランジスタのアクティブ層として機能するシリコンアイランドを形成する工程と、

ゲート絶縁層及び複数の第 1 のスルーホールを形成する工程であって、前記ゲート絶縁層は、前記基板及び前記シリコンアイランド上に形成され、前記第 1 のスルーホールは、前記第 1 のスイッチトランジスタのドレインと前記第 1 の蓄積コンデンサの下側プレートとの間、及び前記第 2 のスイッチトランジスタのドレインと前記第 2 の蓄積コンデンサの下側プレートとの間を電氣的に接続するために使用される工程と、

パターン化された第 1 の金属層を形成する工程であって、前記パターン化された第 1 の金属層は、前記ゲート絶縁層上に形成され、前記走査ライン、前記第 1 の蓄積コンデンサの下側プレート、前記第 2 の蓄積コンデンサの下側プレート、前記第 1 のスイッチトランジスタのゲート、前記第 1 の駆動トランジスタのゲート、前記第 2 のスイッチトランジスタのゲート、及び前記第 2 の駆動トランジスタのゲートとして機能する工程と、

第 1 の層間絶縁層及び第 2 のスルーホールを形成する工程であって、前記第 1 の層間絶縁層は、前記ゲート絶縁層及び前記パターン化された第 1 の金属層上に形成され、前記第 2 のスルーホールは、前記第 1 のデータラインと前記第 1 のスイッチトランジスタのソースとの間を電氣的に接続するために使用される工程と、

パターン化された第 2 の金属層を形成する工程であって、前記パターン化された第 2 の金属層は、前記第 1 の層間絶縁層上に形成され、前記第 1 のデータライン、前記第 1 のスイッチトランジスタのソース、及び前記第 2 の蓄積コンデンサの上側プレートとして機能する工程と、

第 2 の層間絶縁層及び第 3 のスルーホールを形成する工程であって、前記第 2 の層間絶縁層は、前記第 1 の層間絶縁層及び前記パターン化された第 2 の金属層上に形成され、前記第 3 のスルーホールは、前記第 2 のデータラインと前記第 2 のスイッチトランジスタのソースとを電氣的に接続するために使用される工程と、

パターン化された第 3 の金属層を形成する工程であって、前記パターン化された第 3 の金属層は、前記第 2 の層間絶縁層上に形成され、前記第 2 のデータライン、前記第 2 のスイッチトランジスタのソース及び前記第 1 の蓄積コンデンサの上側プレートとして機能する工程と、

第 3 の層間絶縁層及び第 4 のスルーホールを形成する工程であって、前記第 3 の層間絶縁層は、前記第 2 の層間絶縁層及び前記パターン化された第 3 の金属層上に形成され、前記第 4 のスルーホールは、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、前記電源ライン、前記第 1 の蓄積コンデンサの上側プレート及び前記第 2 の蓄積コンデンサの上側プレートを電氣的に接続するために使用される工程と、

パターン化された第 4 の金属層を形成する工程であって、前記パターン化された第 4 の金属層は、前記第 3 の層間絶縁層上に形成され、前記第 1 の駆動トランジスタのソース及びドレイン、前記第 2 の駆動トランジスタのソース及びドレイン、並びに前記電源ラインとして機能する工程と、

パッシベーション絶縁層及び複数のコンタクトホールを形成する工程であって、前記パッシベーション絶縁層は、前記第 3 の層間絶縁層及び前記パターン化された第 4 の金属層

上に形成され、前記コンタクトホールは、前記第 1 の駆動トランジスタのドレインと第 1 の O L E D のアノードとの間、並びに前記第 2 の駆動トランジスタのドレインと第 2 の O L E D のアノードとの間を電氣的に接続するために使用される工程とによって形成されることを特徴とする請求項 8 に記載の O L E D ディスプレイパネルの製造方法。

【請求項 1 0】

前記第 2 の層間絶縁層を形成した後、前記第 2 の層間絶縁層を貫通し、前記第 1 の蓄積コンデンサの下側プレートと対向する開口部を更に形成することを特徴とする請求項 9 に記載の O L E D ディスプレイパネルの製造方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2017/076181
A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/32 (2006.01) i; H01L 21/77 (2017.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNTXT; CNABS: OLED, organic light-emitting, display, panel, pixel, data line, different, layer, crosstalk, interference, short circuit, capacitance VEN: OLED, organic light emit diode, display, panel, pixel, data line, different, layer, interference, crosstalk, short circuit, capacitance		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 204360740 U (KUNSHAN VISIONOX DISPLAY CO., LTD.), 27 May 2015 (27.05.2015), description, paragraphs [0004]-[0035], and figure 4	1, 9
Y	CN 105068349 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 18 November 2015 (18.11.2015), description, paragraphs [0005]-[0052]	1, 9
A	CN 103855193 A (BOE TECHNOLOGY GROUP CO., LTD.), 11 June 2014 (11.06.2014), the whole document	1-16
A	CN 103869564 A (LG DISPLAY CO., LTD.), 18 June 2014 (18.06.2014), the whole document	1-16
A	US 2014097411 A1 (CHOI, C.G.), 10 April 2014 (10.04.2014), the whole document	1-16
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 09 June 2017 (09.06.2017)	Date of mailing of the international search report 19 June 2017 (19.06.2017)	
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer DAI, Lijuan Telephone No.: (86-10) 62411578	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2017/076181

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 204360740 U	27 May 2015	None	
CN 105068349 A	18 November 2015	WO 2017045334 A1	23 March 2017
CN 103855193 A	11 June 2014	WO 2015131503 A1	11 September 2015
		CN 103855193 B	08 February 2017
		US 2016301027 A1	13 October 2016
CN 103869564 A	18 June 2014	EP 2743762 A1	18 June 2014
		KR 20140080671 A	01 July 2014
		EP 2743762 B1	24 August 2016
		US 2014168552 A1	19 June 2014
		JP 2014119746 A	30 June 2014
		CN 103869564 B	03 May 2017
		JP 5770796 B2	26 August 2015
		US 9429780 B2	30 August 2016
US 2014097411 A1	10 April 2014	KR 20140045839 A	17 April 2014
		US 9105864 B2	11 August 2015

国际检索报告

国际申请号

PCT/CN2017/076181

A. 主题的分类		
H01L 27/32(2006.01)i; H01L 21/77(2017.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNTXT;CNABS: OLED, 有机发光, 显示, 面板, 像素, 象素, 数据线, 不同, 层, 串扰, 干扰, 短路, 电容 VEN: OLED, organic light emit diode, display, panel, pixel, data line, different, layer, interference, crosstalk, short circuit, capacitance		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 204360740 U (昆山维信诺科技有限公司) 2015年 6月 27日 (2015 - 06 - 27) 说明书第[0004]段至[0035]段, 图4	1, 9
Y	CN 105088349 A (京东方科技集团股份有限公司 等) 2015年 11月 18日 (2015 - 11 - 18) 说明书第[0005]段至第[0052]段	1, 9
A	CN 103855193 A (京东方科技集团股份有限公司) 2014年 6月 11日 (2014 - 06 - 11) 全文	1-16
A	CN 103889564 A (乐金显示有限公司) 2014年 6月 18日 (2014 - 06 - 18) 全文	1-16
A	US 2014097411 A1 (CHOI) 2014年 4月 10日 (2014 - 04 - 10) 全文	1-16
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类型文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2017年 6月 9日		2017年 6月 19日
ISA/CN的名称和邮寄地址		受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088		戴丽娟
传真号 (86-10) 62019451		电话号码 (86-10) 62411578

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/076181

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	204360740	U	2015年 5月 27日	无			
CN	105068349	A	2015年 11月 18日	WO	2017045334	A1	2017年 3月 23日
CN	103855193	A	2014年 6月 11日	WO	2015131503	A1	2015年 9月 11日
				CN	103855193	B	2017年 2月 8日
				US	2016301027	A1	2016年 10月 13日
CN	103869564	A	2014年 6月 18日	EP	2743762	A1	2014年 6月 18日
				KR	20140080671	A	2014年 7月 1日
				EP	2743762	B1	2016年 8月 24日
				US	2014168552	A1	2014年 6月 19日
				JP	2014119746	A	2014年 6月 30日
				CN	103869564	B	2017年 5月 3日
				JP	5770796	B2	2015年 8月 26日
				US	9429780	B2	2016年 8月 30日
US	2014097411	A1	2014年 4月 10日	KR	20140045839	A	2014年 4月 17日
				US	9105864	B2	2015年 8月 11日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51) Int.Cl.		F I		テーマコード (参考)
H 0 1 L 27/32 (2006.01)		H 0 5 B 33/14		A
H 0 5 B 33/10 (2006.01)		H 0 1 L 27/32		
		H 0 5 B 33/10		

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ

(72) 発明者 ツァン, ティンティン
中華人民共和国 2 1 5 3 0 0 ジャンス, クンシャン, ニュー アンド ハイ - テク インダストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー 1 8 8

(72) 発明者 ファン, シウチ
中華人民共和国 2 1 5 3 0 0 ジャンス, クンシャン, ニュー アンド ハイ - テク インダストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー 1 8 8

(72) 発明者 フ, シミン
中華人民共和国 2 1 5 3 0 0 ジャンス, クンシャン, ニュー アンド ハイ - テク インダストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー 1 8 8

(72) 発明者 チュ, ファイ
中華人民共和国 2 1 5 3 0 0 ジャンス, クンシャン, ニュー アンド ハイ - テク インダストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー 1 8 8

(72) 発明者 チュ, タオ
中華人民共和国 2 1 5 3 0 0 ジャンス, クンシャン, ニュー アンド ハイ - テク インダストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー 1 8 8

F ターム(参考) 3K107 AA01 BB01 BB07 CC35 EE01 EE03
5C094 AA05 AA09 BA03 BA27 CA20 DA13 DB01 FA01 FA02
5G435 AA01 AA14 BB05 CC09 KK05

专利名称(译)	OLED显示面板及其制造方法		
公开(公告)号	JP2019501488A	公开(公告)日	2019-01-17
申请号	JP2018527181	申请日	2017-03-09
[标]申请(专利权)人(译)	昆山新型平板显示技术中心有限公司		
申请(专利权)人(译)	昆山新型平板显示技术中心有限公司		
[标]发明人	ツアンティンティン ファンシウチ フシミン チュファイ チュタオ		
发明人	ツアン,ティンティン ファン,シウチ フ,シミン チュ,ファイ チュ,タオ		
IPC分类号	H05B33/02 G09F9/30 G09F9/302 G09F9/00 H01L51/50 H01L27/32 H05B33/10		
CPC分类号	H01L27/3276 H01L2227/323 H01L27/1244 H01L27/1255 H01L27/3262 H01L27/3265 H01L27/3211 H01L27/3244 H01L51/50 H01L51/56 H01L21/77 H01L27/12 H01L27/3241 H01L2227/32		
FI分类号	H05B33/02 G09F9/30.365 G09F9/302.Z G09F9/30.338 G09F9/00.338 H05B33/14.A H01L27/32 H05B33/10		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/BB07 3K107/CC35 3K107/EE01 3K107/EE03 5C094/AA05 5C094/AA09 5C094/BA03 5C094/BA27 5C094/CA20 5C094/DA13 5C094/DB01 5C094/FA01 5C094/FA02 5G435/AA01 5G435/AA14 5G435/BB05 5G435/CC09 5G435/KK05		
优先权	201610149683.6 2016-03-16 CN		
其他公开文献	JP6616900B2		
外部链接	Espacenet		

摘要(译)

提供了一种OLED显示面板及其制造方法。OLED显示面板包括扫描线 (Sn)，数据线 (D1, D2) 和电源线 (VDD)。扫描线 (Sn) 和数据线 (D1, D2) 限定排列成矩阵的多个像素组。每个像素组包括两个子像素，并且同一像素组中的两个子像素连接到同一电源线 (VDD)，并且被布置为在电源线 (VDD) 上彼此面对。分别连接到同一像素组中的两个子像素的数据线 (D1, D2) 布置在不同的结构层上。根据本发明，可以有效地减少数据线 (D1, D2) 之间短路的可能性，并且可以大大地减少数据线 (D1, D2) 之间的串扰。此外，基于现有设备和工艺条件，可以减小像素面积并且可以提高OLED显示面板的PPI和分辨率。

[选择图]图11a

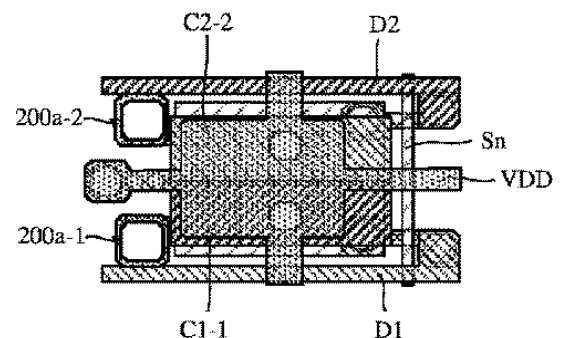


图 11a