

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-163632

(P2012-163632A)

(43) 公開日 平成24年8月30日(2012.8.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
H05B 33/08 (2006.01)	G09G 3/20 641B	5C380
H01L 51/50 (2006.01)	G09G 3/20 642E	
H05B 33/14 (2006.01)	H05B 33/08	
審査請求 未請求 請求項の数 11 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2011-22154 (P2011-22154)
 (22) 出願日 平成23年2月3日(2011.2.3)

(71) 出願人 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100109210
 弁理士 新居 広守
 (72) 発明者 新井 康弘
 大阪府門真市大字門真1006番地 パナ
 ソニック株式会社内
 Fターム(参考) 3K107 AA01 AA05 BB01 CC14 CC33
 EE03 HH04

最終頁に続く

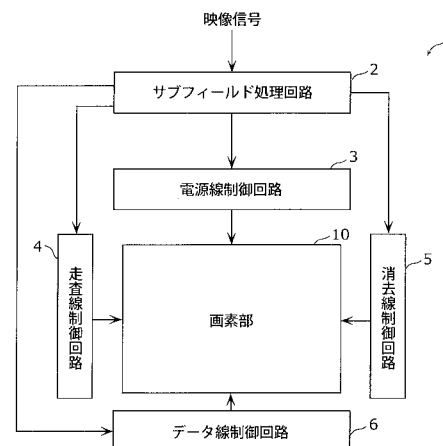
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】 2値駆動方式において定電流源を用いることなく発光電流のばらつきを抑制しかつ低損失な表示装置及びその駆動方法を提供する。

【解決手段】 複数の発光画素が配列された画素部10を備える表示装置1であって、画素10Aは、薄膜トランジスタスイッチ11Aと、コンデンサ12Aと、有機EL素子101とを備え、表示装置1は、さらに、有機EL素子101の閾値電圧より大きい電圧振幅を有する電圧パルスを薄膜トランジスタスイッチ11Aのドレインに印加することにより、コンデンサ12Aを充電させる電源線制御回路3と、コンデンサ12Aを、有機EL素子101のカソードに接地電圧パルスを印加することにより放電させる走査線制御回路4とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の発光画素が配列された表示部を備える表示装置であって、
前記複数の発光画素のそれぞれは、
第 1 電極及び第 2 電極を有し、入力された映像信号に基づき、前記第 1 電極と前記第 2 電極との導通状態及び非導通状態を切り換えるスイッチ部と、
一方の電極が前記スイッチ部の前記第 1 電極に接続され、他方の電極が接地された第 1 コンデンサと、
アノード電極が前記スイッチ部の前記第 1 電極に接続された電流駆動型の発光素子とを備え、
前記表示装置は、さらに、
前記発光素子の閾値電圧より大きい電圧振幅を有する電圧パルスを実記スイッチ部の前記第 2 電極に印加することにより、前記スイッチ部が導通状態の期間に前記第 1 コンデンサを充電させる充電パルス発生部と、
前記電圧パルスが印加されて充電された状態となった前記第 1 コンデンサを、前記発光素子のカソード電極に接地電圧パルスを実加することにより、前記発光素子へ向けて放電させる放電パルス発生部と、
前記スイッチ部が導通状態である期間に、前記充電パルス発生部の前記電圧パルスと前記放電パルス発生部の前記接地電圧パルスとを排他的に繰り返し出力させることにより、前記発光素子の発光輝度を制御する制御部とを備える
表示装置。

10

20

【請求項 2】

前記表示装置は、さらに、
発光画素行ごとに配置された走査線と、
発光画素列ごとに配置されたデータ線と、
発光画素行を選択するための走査信号を、前記走査線を介して前記発光素子のカソード電極に出力する走査線制御回路と、
前記走査信号に同期して、前記スイッチ部の導通及び非導通を切り換えるためのデータ信号を、前記データ線を介して前記スイッチ部に出力するデータ線制御回路とを備え、
前記走査線制御回路は、放電パルス発生部を含む
請求項 1 に記載の表示装置。

30

【請求項 3】

前記スイッチ部は、
前記第 1 電極であるソース電極と、前記第 2 電極であるドレイン電極と、ゲート電極とを有するスイッチ素子と、
前記スイッチ素子のソース電極とゲート電極とに接続された第 2 コンデンサと、
第 1 ダイオードとを備え、
前記スイッチ素子のゲート電極は、前記第 1 ダイオードのカソード電極及び前記第 2 ダイオードのアノード電極に接続され、
前記第 1 ダイオードのアノード電極は、前記データ線に接続されている
請求項 2 に記載の表示装置。

40

【請求項 4】

前記スイッチ部を非導通状態にするための前記データ信号の有するデータ電圧は、絶対値が前記発光素子の閾値電圧よりも大きい負の電圧である
請求項 2 に記載の表示装置。

【請求項 5】

前記表示装置は、さらに、
消去線と、
前記第 2 コンデンサに保持された、前記データ信号に対応した電圧を消去するための消去信号を、前記消去線を介して前記スイッチ素子のゲート電極に出力する消去線制御回路

50

とを備え、

前記スイッチ部は、さらに、

アノード電極が前記スイッチ素子のゲート電極に接続されカソード電極が前記消去線に接続された第2ダイオードを備え、

前記発光素子が発光している発光画素は、前記消去線制御回路から前記消去信号が印加されることにより消灯する

請求項2に記載の表示装置。

【請求項6】

前記発光素子は、有機EL素子である

請求項1～5のうちいずれか1項に記載の表示装置。

10

【請求項7】

前記発光素子は、無機EL素子である

請求項1～5のうちいずれか1項に記載の表示装置。

【請求項8】

複数の発光画素が配列された表示部を備える表示装置の駆動方法であって、

入力された映像信号に基づき、スイッチ部の第1電極と第2電極との間を導通状態とする導通ステップと、

アノード電極が前記スイッチ部の前記第1電極に接続された発光素子の閾値電圧より大きい電圧振幅を有する電圧パルス、前記スイッチ部の前記第2電極に印加することにより、前記スイッチ部が導通状態の期間に、一方の電極が前記スイッチ部の前記第1電極に接続され他方の電極が接地された第1コンデンサを充電させる充電ステップと、

20

前記発光素子のカソード電極に接地電圧パルスを印加することにより、前記充電ステップで充電状態となった前記第1コンデンサを、前記発光素子へ向けて放電させる放電ステップとを含む

表示装置の駆動方法。

【請求項9】

前記スイッチ部が導通状態である期間に、前記充電ステップと前記放電ステップとを繰り返し実行することにより、前記発光素子の発光輝度を制御する

請求項8に記載の表示装置の駆動方法。

【請求項10】

30

前記スイッチ部は、前記第1電極であるソース電極と、前記第2電極であるドレイン電極と、ゲート電極とを有するスイッチ素子を備え、

前記導通ステップは、

発光画素行を選択するための走査信号である接地電圧パルスを、発光画素行ごとに配置された走査線を介して前記発光素子のカソード電極に出力する走査信号出力ステップと、

前記走査信号に同期して、前記スイッチ部を導通させるためのデータ信号を、発光画素列ごとに配置されたデータ線を介して前記スイッチ素子のゲート電極に出力するデータ信号出力ステップとを含む、

全ての画素行において、前記走査信号出力ステップと前記データ信号出力ステップとが完了した後、全ての画素行において一斉に前記充電ステップと前記放電ステップとを実行する

40

請求項8または9に記載の表示装置の駆動方法。

【請求項11】

前記スイッチ部は、前記第1電極であるソース電極と、前記第2電極であるドレイン電極と、ゲート電極とを有するスイッチ素子を備え、

前記導通ステップは、

発光画素行を選択するための走査信号である負の電圧パルスを、発光画素行ごとに配置された走査線を介して前記発光素子のカソード電極に出力する走査信号出力ステップと、

前記走査信号に同期して、前記スイッチ部を導通させるためのデータ信号を、発光画素列ごとに配置されたデータ線を介して前記スイッチ素子のゲート電極に出力するデータ信

50

号出力ステップとを含み、

さらに、前記スイッチ部を非導通とする発光画素には、絶対値が前記発光素子の閾値電圧よりも大きい負の電圧を有するデータ信号を、発光画素行ごとに配置された走査線を介して前記スイッチ素子のゲート電極に出力する非導通ステップを含み、

前記走査信号出力ステップと前記データ信号出力ステップとが実行された画素行において、直ちに前記充電ステップと前記放電ステップとを実行する

請求項 8 または 9 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動方法に関し、特に、画素毎にトランジスタが設けられ、画素の発光を制御するアクティブマトリクス型表示装置及びその駆動方法に関する。

【背景技術】

【0002】

有機及び無機 EL (Electro Luminescence)、又は LED (Light Emitting Diode) 等のような発光素子をアレイ状に組み合わせ、ドットマトリクスにより文字表示を行うディスプレイは、テレビ、携帯端末等に広く利用されている。特に、自発光素子を用いたこれらのディスプレイは、液晶を用いたディスプレイと異なり、照明のためのバックライトを必要としない、視野角が広い、応答速度が速い等の特徴を有し、注目を集めている。中でも、低温ポリシリコン等による薄膜トランジスタとこれらの発光素子とを組み合わせたアクティブマトリクス型と呼ばれるディスプレイは、単純マトリクス駆動のディスプレイと比較して、低消費電力、高輝度、高コントラスト、高精細等の優位性を持っており近年注目されている。

【0003】

一般的にコンピュータの端末、パソコンのモニタ、テレビ等の動画表示を行うためには、各画素の輝度が変化する階調表示が出来ることが必要不可欠である。従来から用いられている階調表示方法としては、大きくアナログ階調制御方式及びデジタル階調制御方式に分けられる。

【0004】

図 11 は、アナログ階調制御方式による従来の電流駆動型表示パネルの構成の一例を示す回路ブロック図である。同図に記載された電流駆動型表示パネル 500 は、マトリクス状に配置された複数の画素 520 と、画素列ごとに配置された複数の信号線 501 と、画素列ごとに配置された複数のラッチ 511 及び D/A コンバータ 512 と、画素行ごとに配置された複数の走査線 502 と、ラッチ 511 及び D/A コンバータ 512 を介して信号線 501 に接続されたフレームメモリ 510 と、走査線 502 に接続されたゲートドライバ 513 とを備える。画素 520 は、信号電圧の画素 520 への書き込みを制御するスイッチ 514 と、保持容量 515 と、信号電圧を発光電流に変換する P チャネル薄膜トランジスタ 516 と、発光素子 517 とを有する。

【0005】

フレームメモリ 510 からの N ビットのデジタル階調データ $D_0 \sim D_{N-1}$ は、一旦ラッチ 511 に保持された後、D/A コンバータ 512 によりアナログ電圧値に変換され、信号線 501 に伝達される。選択期間では、ゲートドライバ 513 によりスイッチ 514 が ON となり、信号線 501 のアナログ電圧値は P チャネル薄膜トランジスタ 516 のゲートに印加される。これにより、P チャネル薄膜トランジスタ 516 のゲートソース間には、(アナログ電圧値 - 電源電圧 (VDD)) の電圧がかかる。その結果、信号線 501 のアナログ電圧値は P チャネル薄膜トランジスタ 516 により電圧電流変換され、発光素子 517 には当該アナログ電圧値に応じた一定の電流値が流れ、発光素子 517 が発光する。また非選択期間では、スイッチ 514 が OFF となるが、保持容量 515 により信号線 501 のアナログ電圧値が保持されているので、P チャネル薄膜トランジスタ 516 のゲートソース間には上記電圧が印加され続け、非選択期間においても発光素子 51

10

20

30

40

50

7には一定の電流が流れ続け、発光は持続される。

【0006】

図12は、画素のPチャネル薄膜トランジスタと有機EL素子との動特性のシミュレーション結果を示すグラフである。電源電圧(V_{DD})を5V、対向電圧($-V_{EE}$)を-7.5Vと仮定し、パラメータとして、Pチャネル薄膜トランジスタのゲートソース間電圧 V_{gs} をとっている。横軸は、Pチャネル薄膜トランジスタのソースドレイン間電圧 V_{ds} または有機EL素子のアノードカソード間電圧 V_{el} を表し、縦軸はPチャネル薄膜トランジスタのドレイン電流 I_d または有機EL素子に流れる電流 I_e を表している。グラフにおいて、Pチャネル薄膜トランジスタと有機EL素子との動作曲線の交点が動作点であり、当該動作点が有機EL素子に流れる電流値 I_e を表している。

10

【0007】

図13は、Pチャネル薄膜トランジスタと有機EL素子との動作曲線の交点をプロットしたグラフである。同図に表されたグラフのように、これらの動作点をプロットしていくと、信号線のアナログ信号電圧と有機EL素子に流れる電流値との関係が得られる。一般に、有機EL素子等の発光素子では、流れる電流値と輝度は比例するので、図14のグラフは信号電圧－輝度特性と考えてもよい。図13より、アナログ信号電圧と輝度とは比例しているのではなく、ガンマ特性がかかったような特性を示しているため、デジタルの階調データをそのままアナログ信号に変換するだけで、ガンマ特性のかかった階調表示が実現できることがわかる。

【0008】

ただし、図13に示された特性以外のガンマ特性を実現する場合には、デジタルの階調データをそのままアナログ信号に変換するのではなく、別途D/Aコンバータに工夫を凝らす必要がある。

20

【0009】

一方、図14は、デジタル階調制御方式による従来の電流駆動型表示パネルの構成の一例を示す回路ブロック図である。同図に記載された電流駆動型表示パネル600は、マトリクス状に配置された複数の画素620と、画素列ごとに配置された複数の信号線601と、画素列ごとに配置された複数のラッチ611及び V_{ON} V_{OFF} 出力回路612と、画素行ごとに配置された複数の走査線602と、ラッチ611及び V_{ON} V_{OFF} 出力回路612を介して信号線601に接続されたフレームメモリ610と、走査線602に接続されたゲートドライバ613と、時分割駆動制御回路619とを備える。画素620は、信号電圧の画素620への書き込みを制御するスイッチ614と、保持容量615と、信号電圧を発光電流に変換するPチャネル薄膜トランジスタ616と、発光素子617と、発光素子617の発光を制御するスイッチ618とを有する。デジタル階調制御方式としては、面積階調方式や時分割駆動方式等があるが、ここでは時分割駆動方式を説明する。

30

【0010】

図15は、時分割駆動方式によるデジタル階調制御方式を説明する図である。同図に示すように、時分割駆動方式は、1フレームを、重み付けされたいくつかのサブフレームに分割し、デジタルの階調データにあわせて対応するサブフレームをONまたはOFFさせることにより階調表示を行う方式である。

40

【0011】

以下、時分割駆動方式によるデジタル階調制御方式を詳細に説明する。図14に示された時分割駆動制御回路619により、フレームメモリ610からのNビットのデジタル階調データ $D_0 \sim D_{N-1}$ は一旦ラッチ611に保持された後、 V_{ON} V_{OFF} 出力回路612に入力される。 V_{ON} V_{OFF} 出力回路612は、時分割駆動制御回路619により、デジタル階調データの $D_0 \sim D_{N-1}$ のビットに対応したサブフレームに応じて出力信号が選択される。すなわち、第1サブフレームでは D_0 、第2サブフレームでは D_1 、・・・、第Nサブフレームでは D_{N-1} が選択される。そして、 V_{ON} V_{OFF} 出力回路612は、デジタル階調データの選択ビットが1のときはON出力電圧 V_{ON} を、

50

0 のときは OFF 出力電圧 V_{OFF} を信号線 601 に出力する。ON 出力電圧 V_{ON} 及び OFF 出力電圧 V_{OFF} は、図 16B に示す特性から決められる。

【0012】

図 16A は、デジタル階調制御方式における薄膜トランジスタ及び発光素子の回路構成の一例を示す図であり、図 16B は、デジタル階調制御方式における ON 出力電圧及び OFF 出力電圧を説明するグラフである。図 16B に表されたグラフの横軸は、図 16A の回路構成におけるゲート電圧 V_G を示しており、図 16B に表されたグラフの縦軸は、図 16A の回路構成における発光電流 I_e を示している。図 16B に表されたように、画素の有する駆動用の薄膜トランジスタは、閾値電圧にばらつきを有するため、印加されるゲート電圧 V_G がアナログ値をもって変化する場合には、有機 EL 素子を通る発光電流 I_e がばらついてしまう。デジタル階調制御方式では、発光電流 I_e のばらつきの大きいゲート電圧範囲を使用せず、 V_{ON} 電圧及び V_{OFF} 電圧の 2 値が使用される。

【0013】

図 14 に示されるように、 V_{ON} V_{OFF} 出力回路 612 から信号線 601 に出力された信号電圧は、ゲートドライバ 613 により順次、スイッチ 614 が ON されて保持容量 615 に書き込まれていく。ただし、この期間ではスイッチ 618 は OFF になっているので、有機 EL 素子 617 には電流が流れず発光はしない。ゲートドライバ 613 により、走査線が順次選択され画面全体の保持容量 615 に ON または OFF の信号電圧が書き込まれると、時分割駆動制御回路 619 により、スイッチ 618 が一斉に ON されて発光する。

【0014】

重み付けされたサブフレームの期間、有機 EL 素子 617 が発光すると、時分割駆動制御回路 619 によりスイッチ 618 は OFF され、再びゲートドライバ 613 により走査が始まる。以上、図 15 に示されるように、書き込み期間と発光期間とが繰り返されることにより、階調データに応じた階調表示が行われる。

【0015】

このように、時分割駆動によるデジタル階調制御方式では、基本的に ON または OFF の 2 値駆動であり、入力電圧としては図 16B に示す V_{ON} 電圧及び V_{OFF} 電圧だけであるので、アナログ階調制御方式と比べて D/A コンバータがない。その分、時分割駆動によるデジタル階調制御方式は、制御が簡単で回路規模が小さいというメリットを有する(特許文献 1)。

【0016】

さらに、薄膜トランジスタの閾値電圧ばらつきにより、前述した 2 値駆動方式においても、依然として発光素子の輝度を一定に制御することは困難な場合があるので、当該閾値電圧のばらつきを抑制するためにカレントミラー回路を用いた補正方法が提案されている(特許文献 2)。

【先行技術文献】

【特許文献】

【0017】

【特許文献 1】特開 2003-99000 号公報

【特許文献 2】特開 2008-181159 号公報

【発明の概要】

【発明が解決しようとする課題】

【0018】

前述したデジタル階調制御方式における 2 値駆動方式では、図 14 に記載された P チャネル薄膜トランジスタ 616 のゲートに V_{ON} 電圧が印加された場合に流れる発光電流のばらつきを抑制するために、定電流源が用いられる。この定電流源は、P チャネル薄膜トランジスタ 616 のドレインソース間電圧 V_{ds} がゲートソース間電圧 V_{gs} よりも大きい領域である飽和領域を利用することにより実現されている。図 12 に表された薄膜トランジスタの $V_{ds} - I_d$ 特性において、飽和領域では V_{ds} の変化に対して I_d の

10

20

30

40

50

変化が小さいので、薄膜トランジスタが定電流源化できることが解る。

【0019】

しかしながら、飽和領域での薄膜トランジスタを定電流源として利用した場合、薄膜トランジスタのオン抵抗が大きいため、ドレインソース間における電圧降下を要因とする電力損失が発生するという課題がある。

【0020】

本発明は、上記課題に鑑みてなされたものであり、2値駆動方式において定電流源を用いることなく発光電流のばらつきを抑制しかつ低損失な表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0021】

上記課題を解決するために、本発明の一態様に係る表示装置は、複数の発光画素が配列された表示部を備える表示装置であって、前記複数の発光画素のそれぞれは、第1電極及び第2電極を有し、入力された映像信号に基づき、前記第1電極と前記第2電極との導通状態及び非導通状態を切り換えるスイッチ部と、一方の電極が前記スイッチ部の前記第1電極に接続され、他方の電極が接地された第1コンデンサと、アノード電極が前記スイッチ部の前記第1電極に接続された電流駆動型の発光素子とを備え、前記表示装置は、さらに、前記発光素子の閾値電圧より大きい電圧振幅を有する電圧パルスを実記スイッチ部の前記第2電極に印加することにより、前記スイッチ部が導通状態の期間に前記第1コンデンサを充電させる充電パルス発生部と、前記電圧パルスが印加されて充電された状態となった前記第1コンデンサを、前記発光素子のカソード電極に接地電圧パルスを印加することにより、前記発光素子へ向けて放電させる放電パルス発生部と、前記スイッチ部が導通状態である期間に、前記充電パルス発生部の前記電圧パルスと前記放電パルス発生部の前記接地電圧パルスとを排他的に繰り返し出力させることにより、前記発光素子の発光輝度を制御する制御部とを備えることを特徴とする。

【0022】

このような構成によれば、発光画素の有するスイッチ部は、定電流源である必要はなく、発光画素に流れる発光のための充電電流の開閉状態を切り換えるスイッチ機能を有していればよい。また、表示部の階調制御に必要なのは、外部パルス電圧の供給及びその印加時間制御、ならびに発光画素毎に設けられたスイッチ部のオンオフ動作であるため、従来の定電流源で発生していた電圧降下が原理的にゼロとなる。よって、スイッチ部に発光電流が流れるときの、スイッチ部での電圧降下を低減でき、表示パネルの電力損失を大幅に低減することができる。

【0023】

また、前記表示装置は、さらに、発光画素行ごとに配置された走査線と、発光画素列ごとに配置されたデータ線と、発光画素行を選択するための走査信号を、前記走査線を介して前記発光素子のカソード電極に出力する走査線制御回路と、前記走査信号に同期して、前記スイッチ部の導通及び非導通を切り換えるためのデータ信号を、前記データ線を介して前記スイッチ部に出力するデータ線制御回路とを備え、前記走査線制御回路は、放電パルス発生部を含むことが好ましい。

【0024】

この構成によれば、表示装置が、発光画素選択及び電圧パルス発生の機能を有する。

【0025】

また、前記スイッチ部は、前記第1電極であるソース電極と、前記第2電極であるドレイン電極と、ゲート電極とを有するスイッチ素子と、前記スイッチ素子のソース電極とゲート電極とに接続された第2コンデンサと、第1ダイオードとを備え、前記スイッチ素子のゲート電極は、前記第1ダイオードのカソード電極及び前記第2ダイオードのアノード電極に接続され、前記第1ダイオードのアノード電極は、前記データ線に接続されていることが好ましい。

【0026】

この構成によれば、スイッチ素子が導通状態で上記電圧パルスがスイッチ素子のドレイン電極に印加されたときには、スイッチ素子のドレイン電極→スイッチ素子のソース電極→第1コンデンサの経路で充電電流が流れる。その後、スイッチ素子が導通状態で上記接地電圧パルスが発光素子のカソード電極に印加されたときには、第1コンデンサ→発光素子へと放電電流が流れ、当該発光素子が発光する。

【0027】

また、前記スイッチ部を非導通状態にするための前記データ信号の有するデータ電圧は、絶対値が前記発光素子の閾値電圧よりも大きい負の電圧であってもよい。

【0028】

これにより、走査線制御回路が上記走査電圧パルスを発光動作のためのパルスに重畳して出力するので、書き込み期間と発光期間とを重畳させて駆動することが可能となり、総駆動時間を短縮することができ、高精細な画素部でも高階調な表示を実現することができる。

10

【0029】

また、前記表示装置は、さらに、消去線と、前記第2コンデンサに保持された、前記データ信号に対応した電圧を消去するための消去信号を、前記消去線を介して前記スイッチ素子のゲート電極に出力する消去線制御回路とを備え、前記スイッチ部は、さらに、アノード電極が前記スイッチ素子のゲート電極に接続されカソード電極が前記消去線に接続された第2ダイオードを備え、前記発光素子が発光している発光画素は、前記消去線制御回路から前記消去信号が印加されることにより消灯してもよい。

20

【0030】

これにより、発光動作していた発光画素を消灯することが可能となる。

【0031】

また、前記発光素子は、有機EL素子であってもよい。

【0032】

また、前記発光素子は、無機EL素子であってもよい。

【0033】

また、本発明は、このような特徴的な手段を備える表示装置として実現することができるだけでなく、表示装置に含まれる特徴的な手段をステップとする表示装置の駆動方法として実現することができる。

30

【発明の効果】

【0034】

本発明の表示装置及びその駆動方法によれば、画素部の階調制御に必要なのは、外部交流電圧の供給およびその印加時間制御、ならびに画素部毎に設けられたスイッチ部のオンオフ動作であるため、従来の定電流源で発生していた電圧降下が原理的にゼロとなる。よって、ディスプレイの消費電力を大幅に低減することができる。

【図面の簡単な説明】

【0035】

【図1】本発明の実施の形態1に係る表示装置の機能ブロック図である。

【図2】本発明の実施の形態1に係る表示装置が有する画素部の回路構成図である。

40

【図3】本発明の実施の形態1に係る表示装置が有する走査線制御回路の内部回路図である。

【図4】本発明の表示装置が有する消去線制御回路の内部回路図である。

【図5】本発明の表示装置が有する電源線制御回路の内部回路図である。

【図6】本発明の実施の形態1に係る表示装置の駆動タイミングチャートである。

【図7A】本発明の表示装置が有する画素への書き込み動作を説明する状態遷移図である。

【図7B】本発明の表示装置が有する画素への第1の発光動作を説明する状態遷移図である。

【図7C】本発明の表示装置が有する画素への第2の発光動作を説明する状態遷移図であ

50

る。

【図 7 D】本発明の表示装置が有する画素への消去動作を説明する状態遷移図である。

【図 8】本発明の実施の形態 2 に係る表示装置が有する走査線制御回路の内部回路図である。

【図 9】本発明の実施の形態 2 に係る走査線制御回路の駆動タイミングチャートである。

【図 10】本発明の実施の形態 2 に係る表示装置の動作タイミングチャートである。

【図 11】アナログ階調制御方式による従来の電流駆動型表示パネルの構成の一例を示す回路ブロック図である。

【図 12】画素部の P チャネル薄膜トランジスタと有機 EL 素子との動特性のシミュレーション結果を示すグラフである。

10

【図 13】P チャネル薄膜トランジスタと有機 EL 素子との動作曲線の交点をプロットしたグラフである。

【図 14】ディジタル階調制御方式による従来の電流駆動型表示パネルの構成の一例を示す回路ブロック図である。

【図 15】時分割駆動方式によるディジタル階調制御方式を説明する図である。

【図 16 A】ディジタル階調制御方式における薄膜トランジスタ及び発光素子の回路構成の一例を示す図である。

【図 16 B】ディジタル階調制御方式における ON 出力電圧及び OFF 出力電圧を説明するグラフである。

【発明を実施するための形態】

20

【0036】

以下、本発明を実施するための形態について、図面を参照しながら説明する。

【0037】

(実施の形態 1)

<表示装置の構成>

図 1 は、本発明の実施の形態 1 に係る表示装置の機能ブロック図である。同図に記載された表示装置 1 は、サブフィールド処理回路 2 と、電源線制御回路 3 と、走査線制御回路 4 と、消去線制御回路 5 と、データ線制御回路 6 と、画素部 10 とを備える。

【0038】

サブフィールド処理回路 2 は、入力された映像信号に応じて、画素部 10 の画素ごとに発光させるサブフレームを割り当て、電源線制御回路 3、走査線制御回路 4、消去線制御回路 5 及びデータ線制御回路 6 に制御信号を出力する。

30

【0039】

走査線制御回路 4 は画素部 10 に走査電圧を印加し、データ線制御回路 6 は画素部 10 に信号電圧を印加し、消去線制御回路 5 は画素部 10 に消去電圧を印加し、電源線制御回路 3 は画素部 10 に電源電圧を印加する。以下、上述した表示装置 1 の構成要素について詳細に説明する。

【0040】

図 2 は、本発明の実施の形態 1 に係る表示装置が有する画素部の回路構成図である。画素部 10 は、ディスプレイの解像度 ($m \times n$) に応じたマトリクス状に配置された複数の発光画素が配置された表示であるが、図 2 には、画素部 10 の一部である、隣接する 4 発光画素が記載されている。図 2 に記載された画素部 10 は、隣接する 4 つの発光画素と、画素列ごとに配置された信号線 DT1 及び DT2 と、画素行ごとに配置された走査線 SC1 及び SC2 と、電源線 V1 及び V2 と、消去線 E1 及び E2 とを備える。

40

【0041】

また、表示部である画素部 10 が有する複数の発光画素は、全て同じ回路構成となっており、例えば、図 2 に記載された画素 10A は、薄膜トランジスタスイッチ 11A と、有機 EL 素子 101 と、ダイオード 102 及び 103 と、コンデンサ 12A 及び 13A とを備える発光画素である。また、画素 10D は、薄膜トランジスタスイッチ 11D と、有機 EL 素子 104 と、ダイオード 105 及び 106 と、コンデンサ 12D 及び 13D とを備

50

える発光画素である。ここで、画素10Aの各構成要素及びそれらの接続状態を説明する。

【0042】

電源線V1は、1行目の画素行に配置され、薄膜トランジスタスイッチ11Aのドレインに接続され、電源線制御回路3から供給された正及び接地電圧パルスを当該接続点に印加する。これにより、画素10Aには、電流が供給される。

【0043】

なお、本実施の形態では、n行ごとに配置された電源線V1～Vnは、同じパルス電圧が同じタイミングで印加されるので、全ての電源線が接続された共通線となっていてよい。これにより、電源線制御回路3の駆動負荷が低減される。

10

【0044】

有機EL素子101は、電流駆動型の発光素子であり、アノードが薄膜トランジスタスイッチ11Aのソース及びコンデンサ12Aの一方の端子と接続され、カソードが走査線SC1と接続された電流駆動型の発光素子である。

【0045】

薄膜トランジスタスイッチ11Aは、例えば、nチャネルのMOSFETであり、入力された映像信号に基づいてゲートソース間に閾値電圧以上の電圧が印加されることにより、ドレインソース間を導通状態とするスイッチ素子である。

【0046】

コンデンサ12Aは、電源線V1から供給された電流を充電し、また、充電された電荷を、有機EL素子101へ放電する第1コンデンサである。

20

【0047】

コンデンサ13Aは、データ線DT1から供給された信号電圧に対応した電荷を、ダイオード102を介して蓄積し、また、蓄積された電荷を、ダイオード103を介して消去線E1へ放電する第2コンデンサである。

【0048】

消去線E1は、1行目の画素行に配置され、消去電圧が印加されることにより、コンデンサ13Aに蓄積された電荷を放電する。

【0049】

なお、本実施の形態では、n行ごとに配置された消去線E1～Enは、同じ消去電圧が同じタイミングで印加されるので、全ての消去線が接続された共通線となっていてよい。これにより、消去線制御回路5の駆動負荷が低減される。

30

【0050】

薄膜トランジスタスイッチ11Aのゲートソース端子間には、コンデンサ13Aが接続されている。また、薄膜トランジスタスイッチ11Aのゲートには、第1ダイオードであるダイオード102のカソード及び第2ダイオードであるダイオード103のアノードが接続されている。また、ダイオード102のアノードは、データ線DT1に接続され、ダイオード103のカソードには、消去線E1が接続されている。また、コンデンサ12Aの他方の端子はGND接続されている。薄膜トランジスタスイッチ11Aと、コンデンサ13Aと、ダイオード102と、ダイオード103とは、スイッチ部を構成する。また、薄膜トランジスタスイッチ11Aのドレインは、スイッチ部の第2電極に相当し、薄膜トランジスタスイッチ11Aのソースは、スイッチ部の第1電極に相当する。

40

【0051】

上記回路構成により、データ線DT1がHIGHレベル(Vdata)となり走査線SC1がLOWレベル(GND)となることで、薄膜トランジスタスイッチ11Aのゲートソース間に、閾値電圧よりも十分大きい信号電圧がデータ線DT1及びダイオード102を介して印加され、薄膜トランジスタスイッチ11Aのドレインソース間はオン抵抗の低い導通状態となる。そして、薄膜トランジスタスイッチ11Aが導通状態で電源線V1がHIGHレベル(Vf)となり走査線SC1がHIGHレベル(Vscn)となることで、電源線V1からコンデンサ12Aに向かって電流が流れ、コンデンサ12Aが充電

50

される。そして、再び走査線 SC1 が LOW レベル (GND) となることで、コンデンサ 12A から有機 EL 素子 101 へ向かって所定の期間放電電流が流れる。この所定の期間において、有機 EL 素子 101 が発光する。つまり、薄膜トランジスタスイッチ 11A が導通状態で、電源線 V1 の HIGH レベルと走査線 SC1 の LOW レベルとが排他的に印加されることにより、コンデンサ 12A の充放電が繰り返され、有機 EL 素子 101 の発光が断続的に行われる。

【0052】

また、本実施の形態では、発光素子として有機 EL 素子を用いているが、当該発光素子は電流駆動型の発光素子であればよく、例えば、無機 EL 素子であってもよい。

【0053】

次に、走査線制御回路 4 について説明する。走査線制御回路 4 は、サブフィールド処理回路 2 からの制御信号により、書き込み期間において発光画素行を選択するための走査信号を、走査線を介して画素部に出力する。また、走査線制御回路 4 は、発光期間においては、電源線制御回路 3 から出力された電圧パルスが印加されて充電状態となった第 1 コンデンサを、有機 EL 素子のカソード電極に接地電圧パルスを印加することにより、当該有機 EL 素子へ向けて放電させる放電パルス発生部である。

【0054】

図 3 は、本発明の実施の形態 1 に係る表示装置が有する走査線制御回路の内部回路図である。走査線制御回路 4 は、画素行ごとに配置された走査線 SC1 ~ SCn に、それぞれ非選択電圧 Vscn または走査信号である GND 電圧パルスを供給するための 2 つのスイッチをライン毎に配置した回路構成となっている。画素行数が n である場合には、走査線制御回路 4 は、n 本の走査線 SC1 ~ SCn を介して画素部 10 に接続されている。各走査線には、走査線制御回路 4 の信号に応じて、任意の順序で 1 ライン毎に走査線 SC1 ~ SCn に非選択電圧 Vscn または GND 電圧パルスを供給することが可能である。もちろん、走査線 SC1、SC2、... SCn という様に、行順次に走査電圧を印加することも可能であり、あるいは、全ての走査線に対し同時に非選択電圧 Vscn または GND 電圧パルスを供給することも可能である。非選択電圧または GND 電圧パルスを印加するタイミングについては、後述する。

【0055】

図 3 に記載された回路において、例えば、走査線 SC1 に GND 電圧を印加し、その他の走査線に非選択電圧 Vscn を印加する場合には、走査線制御回路 4 は、スイッチ SW41B 及びスイッチ SW42A、SW43A、... SW4nA を ON 状態とし、スイッチ SW41A 及びスイッチ SW42B、SW43B、... SW4nB を OFF 状態とする。

【0056】

次に、消去線制御回路 5 について説明する。消去線制御回路 5 は、サブフィールド処理回路 2 からの制御信号により、コンデンサ 13A に保持された、データ信号に対応した電圧を消去するための消去信号を、消去線を介して薄膜トランジスタスイッチのゲートに出力する。

【0057】

図 4 は、本発明の表示装置が有する消去線制御回路の内部回路図である。消去線制御回路 5 は、発光画素行ごとに配置された消去線 E1 ~ En に、それぞれ消去電圧 VE もしくは GND 電圧を供給するための 2 つのスイッチをライン毎に配置した回路構成となっている。画素行数が n である場合は、消去線制御回路 5 は、n 本の消去線 E1 ~ En を介して画素部 10 に接続されている。各消去線には、消去線制御回路 5 の信号に応じて、任意の消去線に消去電圧 VE または GND 電圧を供給することが可能である。勿論、消去線 E1、E2、... En という様に、行順次に消去電圧を印加することも可能であり、あるいは、全ての消去線に対し同時に消去電圧 VE や GND 電圧を供給することも可能である。消去電圧パルスを印加するタイミングについては、後述する。

【0058】

図4に記載された回路において、例えば、消去線E1に消去電圧 V_E を印加し、その他の走査線にGND電圧を印加する場合には、消去線制御回路5は、スイッチSW51A及びスイッチSW52B、SW53B、・・・SW5nBをON状態とし、スイッチSW51B及びスイッチSW52A、SW53A、・・・SW5nAをOFF状態とする。

【0059】

次に、電源線制御回路3について説明する。電源線制御回路3は、サブフィールド処理回路2からの制御信号により、有機EL素子の閾値電圧より大きい電圧振幅を有する電圧パルスを実スイッチ部の第2電極に印加することにより、当該スイッチ部が導通状態の期間に第1コンデンサを充電させる充電パルス発生部である。

【0060】

図5は、本発明の表示装置が有する電源線制御回路の内部回路図である。電源線制御回路3は、画素部10の電源線に正の電源電圧を印加するために、例えば、任意の正の直流電圧 V_f 及びGND電圧にそれぞれスイッチVH及びVLが接続されている。電源線に正の電圧 V_f を供給する場合にはスイッチVHをオンにし、GND電圧を供給する場合にはスイッチVLをオンにする。電源線制御回路3は、単一の電圧 V_f を供給する構成としているが、各画素がR（赤色）画素、G（緑色）画素、B（青色）画素のいずれかの画素であって各発光素子の閾値電圧が異なる場合には、色毎に異なる電圧を印加できるように複数の直流電圧で構成しても良い。例えば、R画素に対しては V_{fr} を、G画素に対しては V_{fg} を、B画素に対しては V_{fb} を印加するような3つの電源ブロックとしてもよい。

【0061】

次に、データ線制御回路6について説明する。データ線制御回路6は、サブフィールド処理回路2からの制御信号により、書き込み期間において走査線制御回路4から出力される走査信号に同期して、薄膜トランジスタスイッチの導通及び非導通を切り換えるための、映像信号に対応したデータ信号を、データ線を介して薄膜トランジスタスイッチに出力する。データ線制御回路6も走査線制御回路4とほぼ同様の回路構成であるため、図示を省略するが、映像信号に応じた駆動信号により、画素部10の解像度に応じた画素列数m本のデータ線を同時に制御可能とするためのメモリ機能を有している。

【0062】

サブフィールド処理回路2は、スイッチ部が導通状態である期間に、電源線制御回路3の電圧パルスと走査線制御回路4の接地電圧パルスとを排他的に繰り返し出力させることにより、有機EL素子の発光輝度を制御する制御部として機能する。

【0063】

<表示装置の動作>

以下、図2、図6及び図7A～図7Dを用いて、表示装置1の動作について述べる。図6は、本発明の実施の形態1に係る表示装置の駆動タイミングチャートである。

【0064】

〔書き込み期間〕

書き込み期間における動作は、入力された映像信号に基づき、各画素の有する薄膜トランジスタスイッチの導通状態及び非導通状態を切り換える導通ステップである。このため、走査線制御回路4は、走査線ごとに、非選択電圧 V_{scn} または、選択電圧であるGND電圧パルスを印加する。これにより、選択された走査線が接続された画素行に属する画素に対して、対応するデータ線からのデータ電圧が印加され、薄膜トランジスタスイッチのゲート電圧が制御される。

【0065】

図6の駆動タイミングチャートは、例として、走査線SC1より行順次に走査した場合の、走査線SC1に接続された画素行に属する画素10A及び走査線SC2に接続された画素行に属する10Dについての動作を表している。また、サブフィールド処理回路2による処理により、図6におけるサブフィールド期間 $t_0 \sim t_2$ では、画素10Aが発光状態で画素10Dが非発光状態であり、図6におけるサブフィールド期間 $t_3 \sim t_5$ では、画素10Aが非発光状態で画素10Dが発光状態であるものと仮定している。

【0066】

時刻 t_0 ～時刻 t_1 及び時刻 t_3 ～時刻 t_4 では、走査線制御回路 4 は、各走査線に対し行順次に走査信号である GND 電圧を供給し、それ以外の非選択の走査線に非選択電圧 V_{scn} を供給する。

【0067】

時刻 t_0 ～時刻 t_1 の期間において、まず、走査線制御回路 4 は、走査線 SC1 に GND 電圧パルスを供給し、その他の走査線には、非選択電圧 V_{scn} を供給する。このとき、データ線 DT1 の電圧 V_{DT1} が V_{data} であるので、書き込みが発生し、走査線 SC1 及びデータ線 DT1 が接続された画素 10A の薄膜トランジスタスイッチ 11A はオン状態となる。次に、走査線制御回路 4 は、走査線 SC2 に対し GND 電圧パルスを供給し、それ以外の走査線に非選択電圧 V_{scn} を供給する。このとき、データ線 DT1 の電圧 V_{DT1} が GND 電圧であるので、走査線 SC1 及びデータ線 DT1 に接続された画素に対して、書き込みは発生せず、当該画素はオフ状態となる。

【0068】

上述した時刻 t_0 ～時刻 t_1 の期間における走査線制御回路 4 の動作は、発光画素行を選択するための走査信号である接地電圧パルスを、発光画素行ごとに配置された走査線を介して有機 EL 素子のカソード電極に出力する走査信号出力ステップに相当する。また、上述した時刻 t_0 ～時刻 t_1 の期間におけるデータ線制御回路 6 の動作は、走査信号出力ステップで出力された走査信号に同期して、薄膜トランジスタスイッチを導通させるためのデータ信号を、発光画素列ごとに配置されたデータ線を介して薄膜トランジスタスイッチのゲート電極に出力するデータ信号出力ステップに相当する。

【0069】

図 7A は、本発明の表示装置の有する画素への書き込み動作を説明する状態遷移図である。すなわち、データ線 DT1 に V_{data} が印加された場合、走査線 SC1 は LOW レベル (GND) となっているので、図 7A に示されるように、データ線 DT1 → ダイオード 102 → コンデンサ 13A → 有機 EL 素子 101 → 走査線 SC1 の順に電流が流れ、コンデンサ 13A が充電される。

【0070】

このとき、コンデンサ 13A の充電電圧は、有機 EL 素子 101 の順電圧降下を V_{101} とし、ダイオード 102 の順電圧降下を無視すると、 $(V_{data} - V_{101})$ となり、画素 10A の薄膜トランジスタスイッチ 11A のゲートソース間に保持される。この保持電圧が薄膜トランジスタスイッチ 11A の閾値電圧以上となった場合に、薄膜トランジスタスイッチ 11A がオン状態となり、走査線 SC1 の書き込み動作が終了する。

【0071】

なお、非選択電圧 V_{scn} は、信号電圧 V_{data} 以上であることが望ましい。これにより、非選択の走査線には V_{data} 以上の非選択電圧 V_{scn} が印加されているので、画素 10A で発生したコンデンサ 13A への充電動作は起こらず、選択した走査線が接続された画素行のみに対して、コンデンサへの充電動作が起こる。

【0072】

その後、走査線 SC1 の電圧を V_{data} 以上に保持することで、コンデンサ 13A に書き込まれた保持電圧は、データ線 DT1 の電圧 V_{DT1} が V_{data} であっても GND であっても、ダイオード 102 が逆バイアス状態となるため変動しない。

【0073】

時刻 t_0 ～時刻 t_1 の期間の次フィールドである時刻 t_3 ～時刻 t_4 の期間においては、書き込み動作の対象となる画素が、図 2 に記載された画素 10D となっている。走査線制御回路 4 は、時刻 t_0 ～時刻 t_1 の期間において画素 10A に対して実行した書き込み動作と同様の動作を、画素 10D に対して実行する。

【0074】

以上のように、所望の画素に対し走査線毎に書き込み動作を行うことで、サブフィールド毎に全画素に対して書き込み制御を行うことが可能となる。

10

20

30

40

50

【0075】

〔発光期間〕

発光期間では、各画素に接続された電源線に正のパルス電圧を供給し、書き込み期間においてオン状態にされた画素に対してコンデンサ12Aへの充電を行う。その後、電源線にGND電圧を供給し、コンデンサ12Aから走査線への放電を行う。

【0076】

時刻 t_1 ～時刻 t_2 の期間において、電源線制御回路3は、まず、電源線V1の電圧 V_{V1} を有機EL素子101の閾値電圧以上の正の電圧に保持する。また、このとき、走査線制御回路4は、走査線SC1の電圧 V_{SC1} を非選択電圧 V_{scn} としている。

【0077】

10

図7Bは、本発明の表示装置が有する画素への第1の発光動作を説明する状態遷移図である。同図に示されたように、電源線V1の電圧 V_{V1} をHIGHレベルとすることにより、書き込み期間 $t_0 \sim t_1$ において、薄膜トランジスタスイッチ11Aがオン状態となっている画素10Aに、電源線V1→薄膜トランジスタスイッチ11A→コンデンサ12Aの経路で充電電流が流れる。なお、このとき、走査線SC1は V_{data} よりも大きい V_{scn} に設定されているので、上記充電電流が、有機EL素子101及び走査線SC1へ流れることはない。これにより、コンデンサ12Aは、電源線V1及び走査線SC1がHIGHレベルに設定されている所定の期間に対応した電圧を保持する。つまり、図7Bに記載された動作は、有機EL素子101の閾値電圧より大きい電圧振幅を有する電圧パルスを、薄膜トランジスタスイッチ11Aのドレインに印加することにより、薄膜トランジスタスイッチ11Aが導通状態の期間にコンデンサ12Aを充電させる充電ステップに相当する。

20

【0078】

時刻 t_1 ～時刻 t_2 の期間において、電源線制御回路3は、次に、電源線V1の電圧 V_{V1} をGND電圧にする。また、このとき、走査線制御回路4は、走査線SC1の電圧 V_{SC1} を走査信号であるGND電圧とする。

【0079】

図7Cは、本発明の表示装置が有する画素への第2の発光動作を説明する状態遷移図である。同図に示されたように、電源線V1の電圧 V_{V1} をLOWレベル（GND電圧）とし、走査線SC1の電圧 V_{SC1} をLOWレベル（GND電圧）とすることにより、書き込み期間 $t_0 \sim t_1$ において、薄膜トランジスタスイッチ11Aがオン状態となっている画素10Aのコンデンサ12Aには有機EL素子101の閾値電圧以上の電位が充電されているので、コンデンサ12A→有機EL素子101→走査線SC1の経路で放電電流が流れる。この放電電流は、有機EL素子101を発光させる発光電流である。なお、図6には、上記発光電流を、有機EL素子101に流れる発光電流 I_{101} として表している。その後、この発光電流により、コンデンサ12Aの電位が下降し、コンデンサ12Aの電位と有機EL素子101の閾値電圧とがバランスした時に上記発光電流は停止する。つまり、図7Cに記載された動作は、有機EL素子101のカソードに接地電圧パルスを印加することにより、上記充電ステップで充電状態となったコンデンサ12Aを、有機EL素子101へ向けて放電させる放電ステップに相当する。

30

40

【0080】

薄膜トランジスタスイッチが導通状態となった画素は、走査信号出力ステップとデータ信号出力ステップとが完了した後、一斉に前記充電ステップと前記放電ステップとを実行することにより一斉に発光する。

【0081】

また、書き込み期間 $t_0 \sim t_1$ においてオフ状態となっている画素10Bには、発光電流は流れない。

【0082】

上述した発光期間における画素の発光電流の積算値は、電圧 V_{V1} をパルス状に正に印加する回数に比例するため、発光期間における電源線の電圧パルス数と書き込み期間にお

50

ける薄膜トランジスタスイッチのオンオフ制御により、各画素の発光輝度を制御することが可能となる。

【0083】

時刻 t_1 ～時刻 t_2 の期間の次フィールドである時刻 t_4 ～時刻 t_5 の期間においては、発光動作の対象となる画素が、図2に記載された画素10Dとなっている。電源線制御回路3は、時刻 t_1 ～時刻 t_2 の期間において画素10Aに対して実行した発光動作と同様の動作を、画素10Dに対して実行する。

【0084】

以上のように、事前に書き込み動作を行った画素に対して、サブフィールド毎に一斉に発光動作を行うことが可能となる。

【0085】

〔消去期間〕

消去期間では、書き込み動作によりオン状態となった薄膜トランジスタスイッチのゲート電圧を再びゼロにするための消去電圧を印加し、画素を消灯させる消去動作を行う。

【0086】

時刻 t_2 ～時刻 t_3 に期間において、電源線制御回路3は電圧 V_{V1} をGND電圧にし、走査線制御回路4は走査線SC1を非選択電位である非選択電圧 V_{scn} に保持する。この状態で、消去線制御回路5は消去線E1をGND電圧とする。

【0087】

図7Dは、本発明の表示装置が有する画素への消去動作を説明する状態遷移図である。同図に示されるように、消去線E1の電圧 V_{E1} をLOWレベル（GND電圧）とすることにより、書き込み期間 t_0 ～ t_1 に薄膜トランジスタスイッチ11Aのゲートソース間に保持された保持電圧をゼロにするよう、コンデンサ13A→ダイオード103→消去線E1の経路で放電電流が流れる。

【0088】

この消去動作以降では、再び電源線V1に正負のパルス電圧を印加しても、画素回路に発光電流は流れない。

【0089】

時刻 t_5 以降の期間においては、消去動作の対象となる画素が、図2に記載された画素10Dとなっている。消去線制御回路5は、時刻 t_2 ～時刻 t_3 の期間において画素10Aに対して実行した消去動作と同様の動作を、画素10Dに対して実行する。

【0090】

以上説明した表示装置1の動作は、書き込み動作、発光動作及び消去動作という一連の単位を1サブフィールドとし、当該サブフィールドを繰り返し実行する。

【0091】

本実施の形態においては、書き込み動作における走査線電圧制御は行順次に走査線を走査することにより実行され、発光動作における電源線電圧制御及び消去動作における消去線電圧制御は、全画素一斉に実行される。

【0092】

本実施の形態によれば、画素の有する薄膜トランジスタスイッチは、定電流源である必要はなく、画素回路のオンオフ状態を切り換えるスイッチ機能を有していればよい。よって、例えば、薄膜トランジスタスイッチに印加する信号電圧、つまり、ゲートソース間電圧を、ドレインソース間電圧 V_{ds} に対して十分大きく設定しておくことにより、薄膜トランジスタの線形領域を利用することができるので、ドレイン電流 I_d のオン抵抗を限りなく0にすることが可能となる。よって、薄膜トランジスタスイッチのドレインソース間に発光電流が流れるときの電圧降下を低減でき、表示パネルの電力損失を大幅に低減することができる。つまり、画素回路の発光電流は、薄膜トランジスタの飽和領域を利用した定電流源により生成されるのではなく、電源線制御回路3から供給される正のパルス信号及び画素部毎に設けられた薄膜トランジスタスイッチのオンオフ動作により実現される。これにより、定電流源を用いることなく発光電流のばらつきを抑制しかつ低損失な

10

20

30

40

50

デジタル階調制御が可能となる。

【0093】

また、本発明の表示装置により、損失発生要因となるカレントミラー回路が不要となり、損失を低減可能となる。

【0094】

(実施の形態2)

実施の形態1では、書込み期間と発光期間とを複数の画素行でまとめて時間的に分割して動作させているが、各画素行において書き込み動作終了から発光動作開始までの待ち時間が生ずるため、全体の駆動時間が長くなる。本実施の形態では、例えば、走査線SC1が接続された画素行の書込み動作が終了した際に、走査線SC2が接続された画素行の書込み動作が終了するのを待たずに、直ちに発光動作に移行する場合の表示装置について説明する。

【0095】

本実施の形態に係る表示装置が有する画素部の回路構成は、実施の形態1に係る画素部10の回路構成と同じである。以下、実施の形態1に係る表示装置1と同じ点は説明を省略し、走査線制御回路の回路構成及び走査線制御回路が駆動する駆動方法を中心に、異なる点のみ説明する。

【0096】

図8は、本発明の実施の形態2に係る表示装置が有する走査線制御回路の内部回路図である。同図に記載された走査線制御回路は2つの機能を持ち、1つは画素部20に正のパルス電圧を印加する機能であり、もう1つは、正のパルス電圧またはGND電圧にバイアス電圧($-V_b$)を重畳させた走査電圧をライン毎に印加する機能である。走査線制御回路は、走査線SC1～SCnに、それぞれ、正パルス電圧 V_f 、GND電圧、走査電圧($V_f - V_b$)及び走査電圧($-V_b$)を供給するためのパルス発生用スイッチSW4A_H及びSW4A_Lと、走査線に対応して配置されたスイッチSW41A～SW4nA及びSW41B～SW4nBとを備える。画素行数がnである場合には、走査線制御回路は、n本の走査線SC1～SCnを介して画素部20に接続されている。各走査線には、走査線制御回路の信号に応じて、任意の順序で1ライン毎に走査線SC1～SCnに走査電圧を供給することが可能である。もちろん、走査線SC1、SC2、・・・SCnという様に、行順次に走査電圧を印加することも可能であり、あるいは、全ての走査線に対し同時に走査電圧を供給することも可能である。走査電圧パルスを印加するタイミングについては、後述する。

【0097】

図8に記載された回路において、画素部20の走査線に正のパルス電圧を印加するために、例えば、全画素に正のパルス電圧 V_f を供給する場合には、パルス発生用スイッチSW4A_HをON状態、SW4A_LをOFF状態、スイッチSW41A、SW42A、・・・、SW4nAをON状態、スイッチSW41B、SW42B、・・・、SW4nBをOFF状態とする。また、全画素にGND電圧を供給する場合には、パルス発生用スイッチSW4A_LをON状態、パルス発生用スイッチSW4A_HをOFF状態、スイッチSW41A、SW42A、・・・、SW4nAをON状態、スイッチSW41B、SW42B、・・・、SW4nBをOFF状態にする。

【0098】

また、図8に記載された回路において、例えば、走査線SC1に走査電圧($V_f - V_b$)を印加し、その他の走査線に正のパルス電圧を印加する場合には、走査線制御回路は、パルス発生用スイッチSW4A_HをON状態、SW4A_LをOFF状態、スイッチSW41B及びスイッチSW42A、SW43A、・・・、SW4nAをON状態、スイッチSW41A及びスイッチSW42B、SW43B、・・・、SW4nBをOFF状態とする。

【0099】

また、図8に記載された回路において、例えば、走査線SC1に走査電圧($-V_b$)を

印加し、その他の走査線にGND電圧を印加する場合には、走査線制御回路は、パルス発生用スイッチSW4A_LをON状態、SW4A_HをOFF状態、スイッチSW41B及びスイッチSW42A、SW43A、・・・、SW4nAをON状態、スイッチSW41A及びスイッチSW42B、SW43B、・・・、SW4nBをOFF状態とする。

【0100】

＜表示装置の動作＞

以下、図2、図9及び図10を用いて、本実施の形態に係る表示装置の動作について述べる。図9は、本発明の実施の形態2に係る走査線制御回路の駆動タイミングチャートであり、図10は、本発明の実施の形態2に係る表示装置の動作タイミングチャートである。本実施の形態において、実施の形態1と動作面で異なる点は、図9に表された走査線制御回路が、常に正のパルス電圧を全画素行に印加していることと、各画素行の選択（書き込み）を行う走査信号である走査電圧が発光動作のための上記正パルスに重畳された電圧となっていることである。なお、図9の上部には、1行目の走査線SC1における期間（消去・書き込み、発光）を明示している。

10

【0101】

上記走査電圧パルスを発光動作のための正負パルスに重畳することにより、書き込み動作終了後の待ち時間が存在しないため、全体の駆動時間を大幅に短縮することが可能である。最も短くすることが可能となるのは、上記走査信号を全画素行の書き込みに必要な時間のみで駆動した場合である。この場合、発光時間は、他のラインの書き込み動作を行っている時間を充当することとなる。

20

【0102】

以下、動作面において実施の形態1と大きく異なる、書き込み動作と発光動作とを中心に説明する。

【0103】

図9に示されるように、走査線制御回路4は、常に、全ての走査線に対して同じタイミングで正のパルス電圧を各走査線へ出力している。このとき、上記正のパルス電圧は、画素内に配置されたコンデンサへの充電電流の電源となる。

【0104】

上記正のパルス電圧が、常に、各発光画素へ供給されている状態で、書き込み動作において、各画素の有する薄膜トランジスタスイッチのオンオフ状態を制御する。この場合、書き込み動作時の走査電圧は、重畳元となる正のパルス電圧に依存して（ $V_f - V_b$ ）、またはGND電圧に依存して（ $-V_b$ ）となっている。この走査電圧は書き込みを行うタイミングにより交互に変化しているため、どちらの走査電圧の場合でも正しく書き込みを行えるようなデータ電圧Vdataが必要となる。このとき、パルス電圧Vfよりも十分振幅が大きなバイアス電圧Vbを設定することで、より書き込み動作を正確に行うことが出来る。例えば、図9において、走査線SC1及びSC2は、書き込み動作のための走査電圧は（ $V_f - V_b$ ）であるのに対し、走査線SC3及びSC4は、書き込み動作のための走査電圧は（ $-V_b$ ）となっている。

30

【0105】

また、データ電圧Vdataは、走査電圧として最小値となる値（つまり $-V_b$ ）を、書き込み電圧のオフ状態の電圧とし、書き込み電圧のオン電圧を各画素の薄膜トランジスタスイッチのゲートソース間の閾値電圧以上となる値に設定する。これにより、例えば、図2の画素10Aでは、データ線DT1→ダイオード102→コンデンサ13A→有機EL素子101→走査線SC1（ $-V_b$ ）の順に電流が流れ、コンデンサ13Aを充電する。このコンデンサ13Aの電圧が薄膜トランジスタスイッチ11Aの閾値電圧以上となった場合に薄膜トランジスタスイッチ11Aがオン状態となり、走査線SC1による1行目の画素行の書き込み動作が終了する。

40

【0106】

次に、書き込まれた画素は、消去動作が行われるまでの間、正のパルス電圧により、直ちに発光動作を行う。この発光動作は、実施の形態1で述べた発光動作と同様である。図

50

10のタイミングチャートでは、時刻 t_{10} ～ t_{13} のサブフィールド期間では1行目の画素10Aが発光し、時刻 t_{14} ～ t_{17} のサブフィールド期間では2行目の画素10Dが発光し、時刻 t_{16} 及び t_{17} 以降のサブフィールド期間では上記両方の画素が発光する例を表している。例えば、画素10Dでは、時刻 t_{14} で書き込み動作が行われ、時刻 t_{14} ～ t_{15} の期間において、有機EL素子104が、コンデンサ12Aから走査線SC1に向けて放電された放電電流により発光する。

【0107】

一方、書き込まれなかった画素は、上記正のパルス電圧を印加されても、薄膜トランジスタスイッチがオフ状態であるため発光しない。また、薄膜トランジスタスイッチをオフ状態とするデータ電圧は、絶対値が有機EL素子の閾値電圧よりも大きい負の電圧であることが好ましい。オフ状態を保持するためには、ダイオード102が逆バイアス状態である必要がある。その条件は、有機EL素子のアノード端子の電位に対して、データ電位が低ければよい。具体的には、有機EL素子の閾値電圧を V_f とすると、走査線SC1が最小値となる $-V_b$ のときに、データ電位が $(V_f - V_b)$ よりも低い電位が好ましい。

【0108】

次に、消去線制御回路5は、画素行ごとに配置された消去線E1～Enに対して、行順次に消去電圧 V_E を供給する。これにより、発光動作していた画素は、行順次に消灯する。

【0109】

上記で説明した書き込み動作、発光動作及び消灯動作が、他の画素行についても順次実行されるが、このとき、非選択画素に対するデータ電圧 V_{data} の干渉の有無が重要となる。

【0110】

実施の形態1では、書き込み動作と発光動作とが時間的に分離されていたため、発光動作中にデータ線の電位が変動することが無かった。これに対し、本実施の形態においては、書き込み動作が終わったラインに対し、直ちに発光動作に移行するため、発光動作中にデータ線電位が変動することになる。このとき、データ線電位は、正のパルス電圧振幅に対して十分低い電圧 $(-V_b)$ を基準とした電位であるため、例えば、画素10Aのダイオード102のカソードが $-V_f$ 近傍であることに對し、ダイオード102のアノードの電位であるデータ線電位は十分低い電位となるため、ダイオード102は常に逆バイアス状態となるので、発光期間において、データ線電位を変動させても、既に書き込まれたラインに対する動作に影響は無い。

【0111】

本実施の形態によれば、実施の形態1と同様に、画素の有する薄膜トランジスタスイッチは、定電流源である必要はなく、画素回路のオンオフ状態を切り換えるスイッチ機能を有していればよい。よって、例えば、薄膜トランジスタスイッチに印加する信号電圧、つまり、ゲートソース間電圧を、ドレインソース間電圧 V_{ds} に対して十分大きく設定しておくことにより、薄膜トランジスタの線形領域を利用することができるので、ドレイン電流 I_d のオン抵抗を限りなく0にすることが可能となる。よって、薄膜トランジスタスイッチのドレインソース間に発光電流が流れるときの電圧降下を低減でき、表示パネルの電力損失を大幅に低減することができる。また、本発明の表示装置により、損失発生要因となるカレントミラー回路が不要となり、損失を低減可能となる。

【0112】

さらに、本実施の形態では、書き込み期間と発光期間とを重畳させて駆動することが可能となるので、総駆動時間を短縮することができ、高精細な画素部でも高階調な表示を実現することができる。

【0113】

以上、本発明に係る表示装置及びその駆動方法について実施に形態1及び2に基づき説明したが、本発明に係る表示装置及びその駆動方法は、上述した実施の形態1及び2に限定されるものではない。実施の形態1及び2に対して、本発明の主旨を逸脱しない範囲で

10

20

30

40

50

当業者が思いつく各種変形を施して得られる変形例や、本発明に係る表示装置を内蔵した各種機器も本発明に含まれる。

【産業上の利用可能性】

【0114】

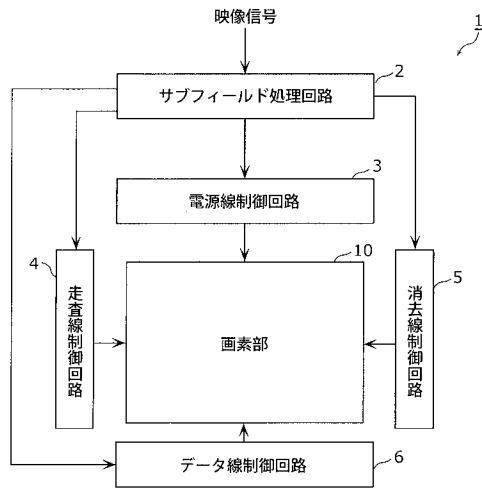
本発明の表示装置及びその駆動方法は、特に、デジタル階調制御方式で輝度を変動させるアクティブ型ディスプレイに有用である。

【符号の説明】

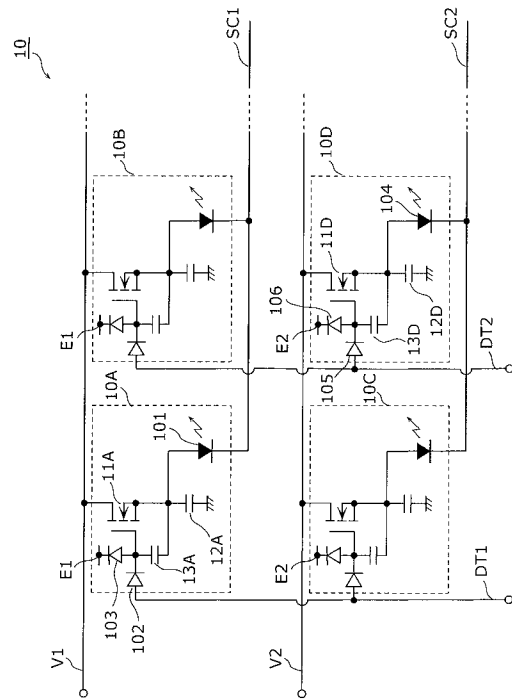
【0115】

1	表示装置	
2	サブフィールド処理回路	10
3	電源線制御回路	
4	走査線制御回路	
5	消去線制御回路	
6	データ線制御回路	
10	画素部	
10A、10B、10C、10D	画素	
11A、11D	薄膜トランジスタスイッチ	
101、104	有機EL素子	
102、103、105、106	ダイオード	
12A、12D、13A、13D	コンデンサ	20
500、600	電流駆動型表示パネル	
501、601	信号線	
502、602、SC1、SC2、SCn	走査線	
510、610	フレームメモリ	
511、611	ラッチ	
512	D/Aコンバータ	
513、613	ゲートドライバ	
514、614、618、SW41A、SW41B、SW42A、SW42B、SW43A、SW43B、SW4nA、SW4nB、SW51A、SW51B、SW52A、SW52B、SW53A、SW53B、SW5nA、SW5nB、VH、VL	スイッチ	30
515、615	保持容量	
516、616	Pチャネル薄膜トランジスタ	
517、617	発光素子	
520、620	画素	
612	V _{ON} V _{OFF} 出力回路	
619	時分割駆動制御回路	
DT1、DT2	データ線	
E1、E2、En	消去線	
SW4A _H 、SW4A _L	パルス発生用スイッチ	
V1、V2、Vn	電源線	40

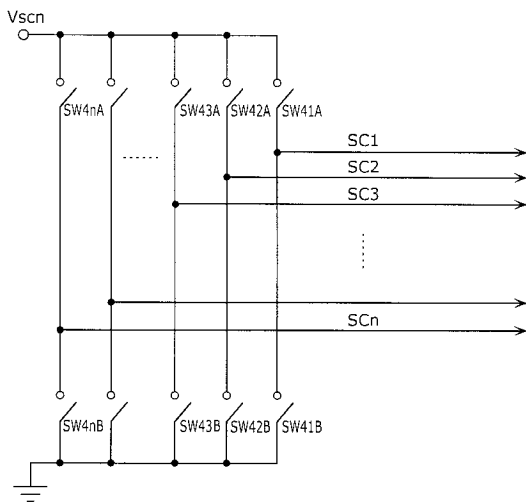
【図 1】



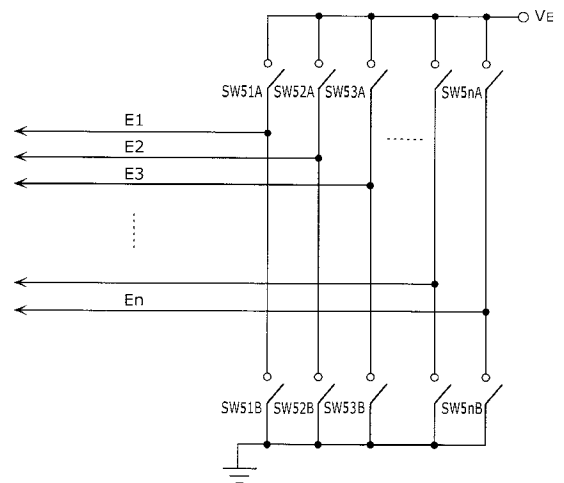
【図 2】



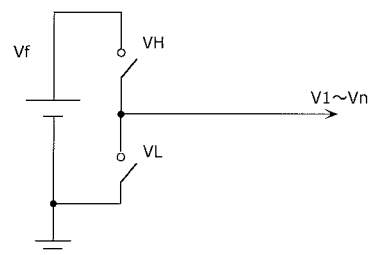
【図 3】



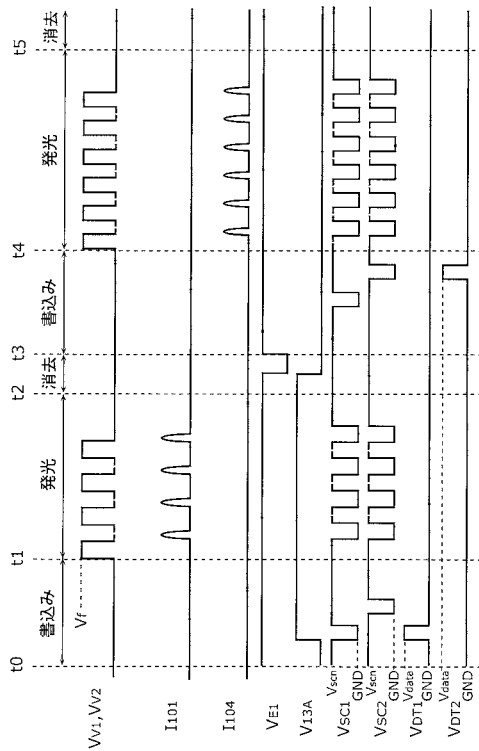
【図 4】



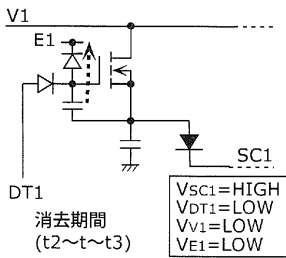
【図 5】



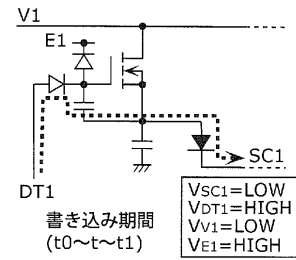
【図 6】



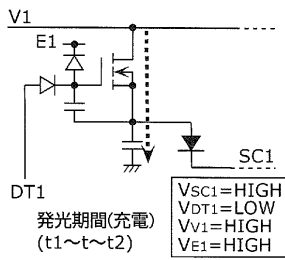
【図 7 D】



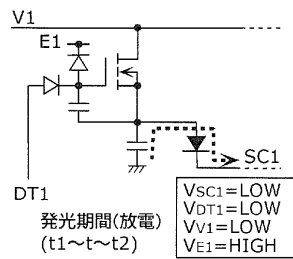
【図 7 A】



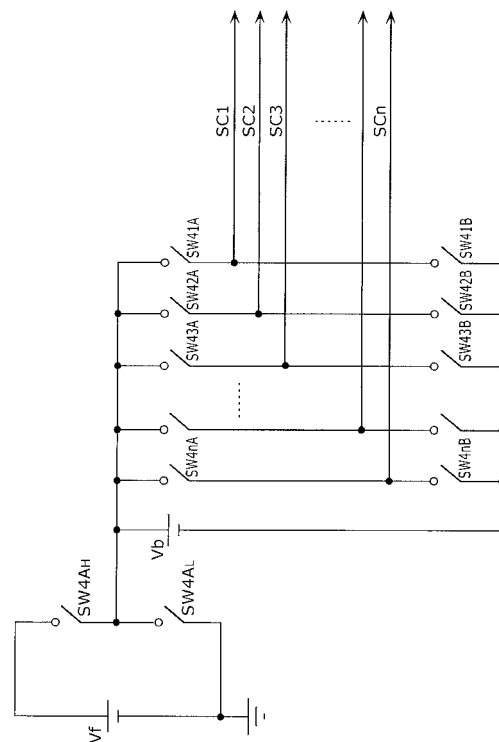
【図 7 B】



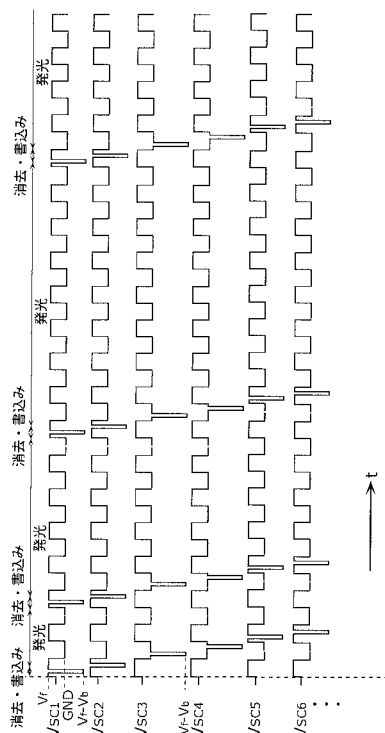
【図 7 C】



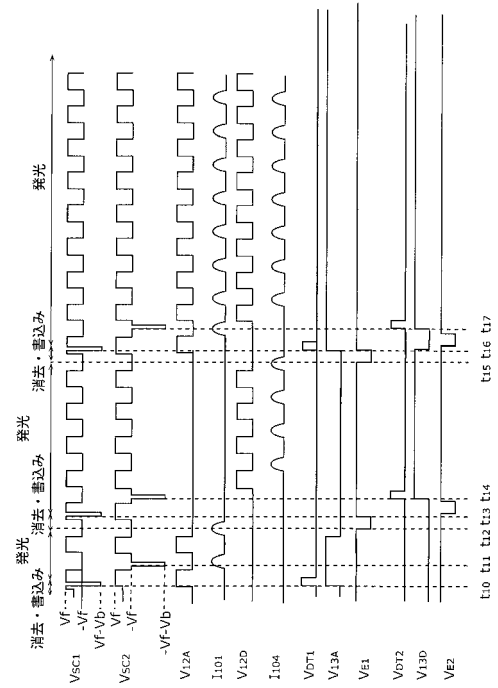
【図 8】



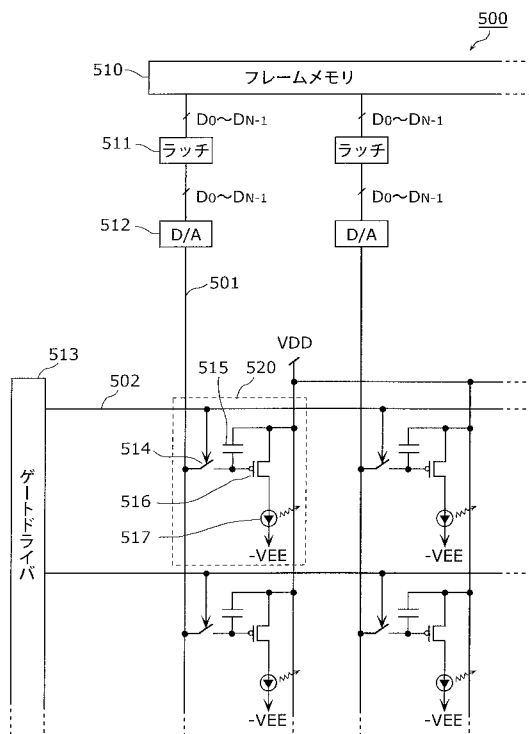
【図 9】



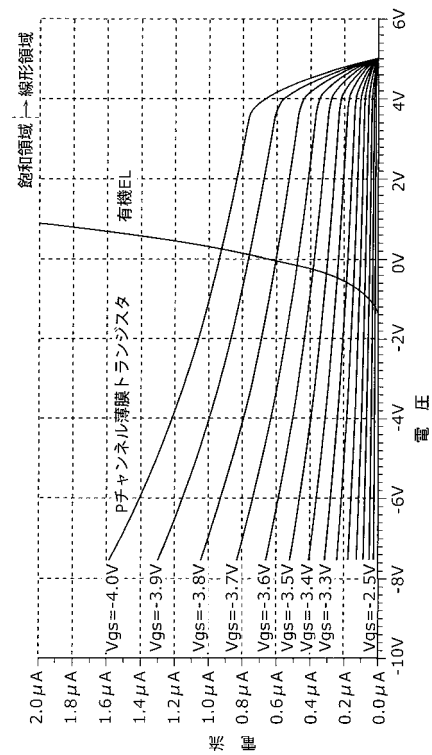
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H 0 5 B 33/14 A
 H 0 5 B 33/14 Z
 G 0 9 G 3/20 6 4 1 E
 G 0 9 G 3/20 6 2 4 B
 G 0 9 G 3/20 6 1 1 A

F ターム(参考) 5C080 AA06 BB05 CC03 DD05 DD08 DD10 DD23 DD24 DD26 EE28
 EE29 EE30 FF03 FF11 GG10 GG11 GG13 GG15 GG17 HH09
 JJ02 JJ03 JJ04 JJ05 KK04 KK07 KK43
 5C380 AA01 AA02 AA03 AB06 AB07 AB24 AB34 AB46 AC04 AC12
 BA01 BA05 BA12 BA13 BA20 BA24 BA38 BA39 BB08 BB15
 BC20 CA01 CA08 CA12 CA14 CA32 CA54 CB01 CB04 CB17
 CB20 CB31 CB33 CC02 CC21 CC26 CC27 CC30 CC33 CC39
 CC41 CC61 CC62 CC63 CD012 CD013 CD021 CE14 CE20 CF02
 CF09 CF46 CF48 CF51 DA02 DA06 DA07 DA09 DA15 DA16
 DA19 DA35 DA42 DA47 HA03 HA05

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2012163632A	公开(公告)日	2012-08-30
申请号	JP2011022154	申请日	2011-02-03
[标]申请(专利权)人(译)	松下电器产业株式会社		
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	新井康弘		
发明人	新井 康弘		
IPC分类号	G09G3/30 G09G3/20 H05B33/08 H01L51/50 H05B33/14		
CPC分类号	Y02B20/343 Y02B20/346		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.641.B G09G3/20.642.E H05B33/08 H05B33/14.A H05B33/14.Z G09G3/20.641.E G09G3/20.624.B G09G3/20.611.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/AA05 3K107/BB01 3K107/CC14 3K107/CC33 3K107/EE03 3K107/HH04 5C080/AA06 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD10 5C080/DD23 5C080/DD24 5C080/DD26 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF03 5C080/FF11 5C080/GG10 5C080/GG11 5C080/GG13 5C080/GG15 5C080/GG17 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK04 5C080/KK07 5C080/KK43 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB07 5C380/AB24 5C380/AB34 5C380/AB46 5C380/AC04 5C380/AC12 5C380/BA01 5C380/BA05 5C380/BA12 5C380/BA13 5C380/BA20 5C380/BA24 5C380/BA38 5C380/BA39 5C380/BB08 5C380/BB15 5C380/BC20 5C380/CA01 5C380/CA08 5C380/CA12 5C380/CA14 5C380/CA32 5C380/CA54 5C380/CB01 5C380/CB04 5C380/CB17 5C380/CB20 5C380/CB31 5C380/CB33 5C380/CC02 5C380/CC21 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CD021 5C380/CE14 5C380/CE20 5C380/CF02 5C380/CF09 5C380/CF46 5C380/CF48 5C380/CF51 5C380/DA02 5C380/DA06 5C380/DA07 5C380/DA09 5C380/DA15 5C380/DA16 5C380/DA19 5C380/DA35 5C380/DA42 5C380/DA47 5C380/HA03 5C380/HA05		
代理人(译)	新居 広守		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置及其驱动方法，该显示装置在不使用恒定电流源的情况下抑制发光电流的变化并且使用低损耗。显示装置1包括其中布置有多个发光像素的像素部分10，像素10A包括薄膜晶体管开关11A，电容器12A和有机EL元件101，并且显示装置1包括：此外，通过将具有大于有机EL元件101的阈值电压的电压幅度的电压脉冲施加到薄膜晶体管开关11A的漏极，用于对电容器12A和电容器12A进行充电的电源线控制电路3，对有机EL元件101进行充电。扫描线控制电路（4）用于通过向阴极施加接地电压脉冲来放电。[选型图]图1

