

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-53298

(P2009-53298A)

(43) 公開日 平成21年3月12日(2009.3.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611D	5C080
H01L 51/50 (2006.01)	G09G 3/20 624B	
	G09G 3/20 621A	
	G09G 3/20 622D	
審査請求 未請求 請求項の数 7 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2007-217856 (P2007-217856)	(71) 出願人	000002185
(22) 出願日	平成19年8月24日 (2007.8.24)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100112955
			弁理士 丸島 敏一
		(74) 代理人	100114546
			弁理士 頭師 教文
		(72) 発明者	豊村 直史
			東京都港区港南1丁目7番1号ソニー株式
			会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号ソニー株式
			会社内
		最終頁に続く	

(54) 【発明の名称】 EL表示パネルモジュール、タイミングジェネレータ、ライトスキャンドライバ及び電子機器

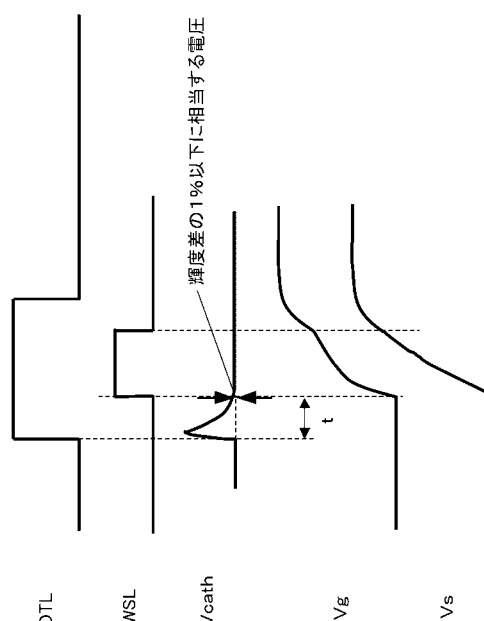
(57) 【要約】

【課題】カソード電位の過渡現象により保持容量に信号電位が正しく書き込まれないことがある。

【解決手段】 EL表示パネルモジュールを、(a) EL発光素子とその画素回路とで構成される画素がマトリクス状に配置される画素アレイ部と、(b) 各信号線に階調レベルに応じた信号電位を供給する水平セレクタと、

(c) ライトスキャン線を通じて画素回路内のサンプリングトランジスタにライトスキャンパルスを供給するライトスキャンドライバと、(d) クロストークによるカソード電位の変動が、信号電位のサンプリング開始タイミングまでに基準カソード電位の輝度差1%以下に相当する電位まで収束するのに必要な設定時間長だけ、信号線への信号電位の印加開始タイミングに対してサンプリング開始タイミングを遅延させたライトスキャンパルスを発生するタイミングジェネレータとで構成する。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

E L 発光素子とその画素回路とで構成される画素がマトリクス状に配置される画素アレイ部と、

各信号線に階調レベルに応じた信号電位を供給する水平セレクタと、

ライトスキャン線を通じて画素回路内のサンプリングトランジスタにライトスキャンパルスを提供するライトスキャンドライバと、

クロストークによるカソード電位の変動が、信号電位のサンプリング開始タイミングまでに基準カソード電位の輝度差 1 % 以下に相当する電位まで収束するのに必要な設定時間長だけ、信号線への信号電位の印加開始タイミングに対してサンプリング開始タイミングを遅延させたライトスキャンパルスを発生するタイミングジェネレータと

を有することを特徴とする E L 表示パネルモジュール。

【請求項 2】

請求項 1 に記載の E L 表示パネルモジュールにおいて、

前記設定時間長は、カソード電位の給電線から最も遠い領域部分を基準に設定されることを特徴とする表示パネルモジュール。

【請求項 3】

E L 発光素子とその画素回路とで構成される画素がマトリクス状に配置される画素アレイ部と、

各信号線に階調レベルに応じた信号電位を供給する水平セレクタと、

クロストークによるカソード電位の変動が、信号電位のサンプリング開始タイミングまでに基準カソード電位の輝度差 1 % 以下に相当する電位まで収束するのに必要な設定時間長だけ、信号線への信号電位の印加開始タイミングに対してサンプリング開始タイミングを遅延させたライトスキャンパルスを、ライトスキャン線を通じて画素回路内のサンプリングトランジスタに供給するライトスキャンドライバと

を有することを特徴とする E L 表示パネルモジュール。

【請求項 4】

アクティブマトリクス駆動方式で駆動制御される画素アレイ部を有する E L 表示パネルにライトスキャンパルスその他のタイミングパルスを供給するタイミングジェネレータであって、

クロストークによるカソード電位の変動が、信号電位のサンプリング開始タイミングまでに基準カソード電位の輝度差 1 % 以下に相当する電位まで収束するのに必要な設定時間長だけ、信号線への信号電位の印加開始タイミングに対してサンプリング開始タイミングを遅延させたライトスキャンパルスを発生する

ことを特徴とするタイミングジェネレータ。

【請求項 5】

アクティブマトリクス駆動方式で駆動制御される画素アレイ部を有する E L 表示パネルのライトスキャン線にライトスキャンパルスを供給するライトスキャンドライバであって、

クロストークによるカソード電位の変動が、信号電位のサンプリング開始タイミングまでに基準カソード電位の輝度差 1 % 以下に相当する電位まで収束するのに必要な設定時間長だけ、信号線への信号電位の印加開始タイミングに対してサンプリング開始タイミングを遅延させたライトスキャンパルスを、スキャン線を通じて画素回路内のサンプリングトランジスタに供給する

ことを特徴とするライトスキャンドライバ。

【請求項 6】

E L 発光素子とその画素回路とで構成される画素がマトリクス状に配置される画素アレイ部と、

各信号線に階調レベルに応じた信号電位を供給する水平セレクタと、

ライトスキャン線を通じて画素回路内のサンプリングトランジスタにライトスキャンパ

10

20

30

40

50

ルスを供給するライトスキャンドライバと、

クロストークによるカソード電位の変動が、信号電位のサンプリング開始タイミングまでに基準カソード電位の輝度差 1 % 以下に相当する電位まで収束するのに必要な設定時間長だけ、信号線への信号電位の印加開始タイミングに対してサンプリング開始タイミングを遅延させたライトスキャンパルスを発生するタイミングジェネレータと、

システム全体の動作を制御するシステム制御部と、

前記システム制御部に対する操作入力を受け付ける操作入力部と

を有することを特徴とする電子機器。

【請求項 7】

E L 発光素子とその画素回路とで構成される画素がマトリクス状に配置される画素アレイ部と、

各信号線に階調レベルに応じた信号電位を供給する水平セクタと、

クロストークによるカソード電位の変動が、信号電位のサンプリング開始タイミングまでに基準カソード電位の輝度差 1 % 以下に相当する電位まで収束するのに必要な設定時間長だけ、信号線への信号電位の印加開始タイミングに対してサンプリング開始タイミングを遅延させたライトスキャンパルスを、ライトスキャン線を通じて画素回路内のサンプリングトランジスタに供給するライトスキャンドライバと、

システム全体の動作を制御するシステム制御部と、

前記システム制御部に対する操作入力を受け付ける操作入力部と

を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

この明細書で説明する発明は、アクティブマトリクス駆動方式で駆動制御される E L 表示パネルモジュールにおける信号電位のサンプリングタイミングを最適化する技術に関する。なお、この明細書で提案する発明は、E L 表示パネルモジュール、タイミングジェネレータ、ライトスキャンドライバ及び電子機器としての側面を有する。

【背景技術】

【0002】

現在、有機 E L (Electro Luminescence) パネルディスプレイの実用化が近づいている。有機 E L パネルディスプレイは低電圧駆動が可能であるのに加え、軽量かつ薄型化が容易であるという特性を有している。また、応答速度が数 μ s 程度と非常に高速であり、動画表示性能に優れるという特性も有している。

【0003】

以下に、アクティブマトリクス駆動方式を採用する有機 E L パネルディスプレイに関する文献を例示する。

【特許文献 1】特開 2003-255856 号公報

【特許文献 2】特開 2003-271095 号公報

【特許文献 3】特開 2004-133240 号公報

【特許文献 4】特開 2004-029791 号公報

【特許文献 5】特開 2004-093682 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、従来の駆動技術では、クロストークパターンによる画質の劣化が確認されることがある。図 1 に、明クロストークの出現例を示す。なお、図 1 に示す画面パターンは、背景画面 1 の画面中央に黒ウインドウ 3 が配置される画面の表示例である。なお、黒ウインドウ 3 の中央には白線 5 が配置されている。

【0005】

以下、図 2 を用いて明クロストークの発生原因を説明する。図 2 は、有機 E L パネルの

10

20

30

40

50

画素アレイ部を構成する各画素（１画素が R、G、B の３原色に対応する３つのサブ画素で構成される場合には、各サブ画素）に対応する画素回路の等価回路図である。

【０００６】

図２は、２つの N チャネル薄膜トランジスタと１つの保持容量 C_s とで構成される画素回路を表している。このうち、サンプリングトランジスタ T_1 のゲート電極は、ライトスキャンパルスが印加されるライトスキャン線 WSL に接続される。

【０００７】

また、サンプリングトランジスタ T_2 の一方の主電極は信号線 DTL に接続される。なお、サンプリングトランジスタ T_1 の他方の主電極は、駆動トランジスタ T_2 のゲート電極と保持容量 C_s の一方の電極に接続される。

【０００８】

駆動トランジスタ T_2 の一方の主電極は電源スキャン線 DSL に接続され、他方の主電極は保持容量 C_s の他方の電極と共に有機 EL 素子 $OLED$ のアノード電極に接続される。なお、 $Coled$ は、有機 EL 素子 $OLED$ のアノード電極とカソード電極との間に存在する寄生容量である。

ところで、画素回路内には他の寄生容量 C_{cath} が存在する。すなわち、信号線 DTL とカソード電極（共通カソード電極） 11 との間に寄生容量 C_{cath} が存在する。

【０００９】

明クロストークは、この寄生容量 C_{cath} を原因として発生する。図３に、黒ウインドウ３に対応する水平ラインにおける書き込み動作時の電位変動（図３（Ａ））と全白ラインに対応する画素回路における書き込み動作時の電位変動（図３（Ｂ））とを示す。

図３において注目すべきは、信号電位 V_{sig} が信号線 DTL に印加された瞬間のカソード電位 V_{cath} の揺れである。

【００１０】

例えば１水平ラインの全体が白画素である場合、信号線 DTL の電位変動が同じ水平ライン上に位置する全ての寄生容量 C_{cath} を通じてカソード電極 11 に伝搬する。このため、カソード電位 V_{cath} の電位変動が大きくなる。ところが、黒ウインドウ３に対応する水平ラインでは発光画素の数が少ないため、信号線 DTL の電位変動がカソード電極 11 に与える影響が小さい。

【００１１】

ところで、信号電位 V_{sig} の書き込み時におけるカソード電位 V_{cath} の変動はソース電位 V_s の変動に大きく影響する。実際、黒ウインドウ３に対応する水平ラインのソース電位 V_s の変動は、全白ラインに対応する水平ラインのソース電位 V_s の変動に比べて小さくなっている。

【００１２】

すなわち、黒ウインドウに対応する水平ラインのゲート・ソース間電圧 V_{gs1} は、全白ラインのゲート・ソース間電圧 V_{gs2} より大きくなる。このことは、黒ウインドウ３上に位置する白線５が本来の信号電位 V_{sig} より大きくなることを意味する。これが明クロストークである。

【課題を解決するための手段】

【００１３】

（Ａ）手段１

そこで、発明者らは、（ａ）EL 発光素子とその画素回路とで構成される画素がマトリクス状に配置される画素アレイ部と、（ｂ）各信号線に階調レベルに応じた信号電位を供給する水平セレクトと、（ｃ）ライトスキャン線を通じて画素回路内のサンプリングトランジスタにライトスキャンパルスを供給するライトスキャンドライバと、（ｄ）クロストークによるカソード電位の変動が、信号電位のサンプリング開始タイミングまでに基準カソード電位の輝度差１％以下に相当する電位まで収束するのに必要な設定時間長だけ、信号線への信号電位の印加開始タイミングに対してサンプリング開始タイミングを遅延させたライトスキャンパルスを発生するタイミングジェネレータとを有する EL 表示パネルモ

10

20

30

40

50

ジュールを提案する。

【0014】

(B) 手段2

また、発明者らは、(a) EL発光素子とその画素回路とで構成される画素がマトリクス状に配置される画素アレイ部と、(b) 各信号線に階調レベルに応じた信号電位を供給する水平セレクトと、(c) クロストークによるカソード電位の変動が、信号電位のサンプリング開始タイミングまでに基準カソード電位の輝度差1%以下に相当する電位まで収束するのに必要な設定時間長だけ、信号線への信号電位の印加開始タイミングに対してサンプリング開始タイミングを遅延させたライトスキャンパルスを、ライトスキャン線を通じて画素回路内のサンプリングトランジスタに供給するライトスキャンドライバとを有するEL表示パネルモジュールを提案する。

10

【発明の効果】

【0015】

発明者らの提案する発明の場合、信号電位の印加に伴いカソード電位が揺れる場合でも、カソード電位が基準カソード電位の変動が輝度差1%以下に相当する電位まで収束するのに必要な設定時間長だけ信号電位のサンプリング開始タイミングが遅延される。これにより、信号線を通じてカソード電位が変動したとしても、保持容量に書き込まれる電圧に影響を与えないようにできる。すなわち、クロストークの影響のない画像表示を実現できる。

【発明を実施するための最良の形態】

20

【0016】

以下、発明を、アクティブマトリクス駆動型の有機ELパネルに適用する場合について説明する。

なお、本明細書で特に図示又は記載されない部分には、当該技術分野の周知又は公知技術を適用する。また以下に説明する形態例は、発明の一つの形態例であって、これらに限定されるものではない。

【0017】

(A) 形態例

(A-1) 外観構成

図4に、有機ELパネルモジュールの外観構成例を示す。形態例に係る有機ELパネルモジュール21は、支持基板23のうち画素アレイ部の形成領域に対向部25を貼り合わせた構造を有している。

30

【0018】

対向部25は、ガラスその他の透明部材を基材とし、その表面にはカラーフィルタ、保護膜等が配置される。なお、有機ELパネルモジュール21には、外部から支持基板23に信号等を入出力するためのFPC(フレキシブルプリントサーキット)27が配置される。

【0019】

この他、支持基板23には、不図示の駆動回路が画素アレイ部の周辺に形成又は実装される。なお、駆動回路が特定用途向けIC(ASIC)として独立に形成されている場合、支持基板23に実装する方法が採用される。勿論、画素アレイ部の形成プロセスの種類によっては、駆動回路は画素アレイ部と同一のプロセスにより支持基板23上に形成される。

40

【0020】

(A-2) システム構成

図5に、有機ELパネルモジュール21のシステム構成の概略を示す。図5に示すように、有機ELパネルモジュール21は、画素アレイ部31と、その駆動回路であるライトスキャンドライバ33、電源スキャンドライバ35、水平セレクト37、タイミングジェネレータ39で構成される。

【0021】

50

画素アレイ部 31 は、有機 EL 発光素子と画素回路とで構成されるサブ画素がマトリクス状に配置される。因みに、サブ画素は 1 画素を構成する画素構造の最小単位であり、1 画素は有機 EL 材料の異なる 3 つのサブ画素 (R、G、B) で構成される。

図 6 に、サブ画素に対応する画素回路と駆動回路との接続関係を示す。なお図 6 は、発光色の配置が垂直方向に同じ場合を表している。勿論、発光色の配置パターンには周知の通り、他にも様々な種類がある。

【0022】

図 7 に、画素回路の内部構成を示す。図 7 に示す画素回路は、2 つの薄膜トランジスタと 1 つの保持容量 C_s とで構成される場合の構成例である。勿論、図 7 以外にも様々な構成の回路構成が従来より提案されている。

【0023】

この回路構成の場合、ライトスキャンドライバ 33 は、ライトスキャン線 WSL を通じてスキャントランジスタ T_1 をオン・オフ制御し、保持容量 C_s への電位の書き込みを制御する。因みに、ライトスキャンドライバ 33 は、シフトレジスタで構成される。

【0024】

また、電源スキャンドライバ 35 は、給電線 DSL を通じて駆動トランジスタ T_2 の一方の主電極に印加される電源電位を 2 値的に制御し、他の駆動回路と共に画素回路内の特性バラツキの補正動作を制御する。具体的には、駆動トランジスタ T_2 の閾値バラツキや移動度バラツキに基づくユニフォーマティの劣化を補正する。

【0025】

また、水平セクタ 37 は、信号線 DTL に各画素データの階調値に対応する信号電位 V_{sig} 又は閾値補正用のオフセット電圧 V_{ofs} を印加する回路デバイスである。

タイミングジェネレータ 39 は、ライトスキャン線 WSL 、給電線 DSL 、信号線 DTL の駆動パルスを生成する回路デバイスである。

【0026】

この形態例の場合、タイミングジェネレータ 39 がライトスキャンパルスが発生し、ライトスキャンパルスドライバ 33 に供給する。この際、タイミングジェネレータ 39 は、図 8 に示すように、信号線 DTL への信号電位 V_{sig} の印加時点から設定時間長 t を経過した後に保持容量 C_s へのサンプリング動作が開始されるようにタイミング調整されたライトスキャンパルスが発生する。

【0027】

すなわち、タイミングジェネレータ 39 は、ライトスキャン線 WSL の電位の立ち上がり、信号線 DTL の電位の立ち上がりから設定時間長 t だけ遅延するようにタイミング調整されたライトスキャンパルスが発生する。

【0028】

ここでの設定時間長 t は、パネル中央付近のカソード電位 V_{cath} について、クロストークによるカソード電位の過渡変動が、信号電位のサンプリング開始時まで基準カソード電位の輝度差 1 % 以下に相当する電位に収束するのに必要な時間の実測値としてパネルモジュール毎に設定する。なお、基準カソード電位は、電源線を通じて外部から固定的に与えられる電位の設定値である。

【0029】

ここで、パネル中央部を基準に設定時間長を定めるのは、画素アレイ 31 の中で最も負荷の大きい領域であるためである。すなわち、カソード電位 V_{cath} の過渡変動が最も遅くまで残る領域だからである。従って、この領域部分を基準に設定時間長 t を定めれば、画素アレイ部 31 の全ての領域について、カソード電位 V_{cath} の過渡変動を輝度差 1 % 以内の電位差に収束させることができる。

【0030】

図 9 に、この条件を満たすサンプリングパルスを用いる場合の信号電位 V_{sig} と駆動電流との対応関係を示す。図 9 に示すように、カソード電位 V_{cath} に電位変動が無い領域の特性とカソード電位 V_{cath} に電位変動がある領域の特性の最大電流差が 1 % 以内に収まっ

10

20

30

40

50

ている。

【0031】

結果的に、どのような画像が表示される場合でも、本来の信号電位 V_{sig} と実際に流れる駆動電流との電流差を画面内の全ての領域について 1 % 以内に抑えることができる。なお、有機 EL 発光素子の発光輝度は電流に比例するので、信号電位 V_{sig} と実際の発光輝度差との関係を常に輝度差の 1 % 以内に抑制できる。

【0032】

因みに、輝度差が 1 % 以内であれば、多くのユーザーに輝度変化が知覚されることはない。もっとも、より好ましくは輝度差が 0.7 % 以下になるように設定時間長 t を設定することが望ましい。

10

【0033】

また、ここでの設定時間長 t は、パネルモジュール毎に最適値を設定することが望ましい。パネルモジュール製造バラツキ等を考慮するためである。タイミングジェネレータ 39 には、なお、パネルモジュールの種類や画素構造によっても最適値は異なっている。

【0034】

(A-3) 駆動動作例

図 10 に、図 7 に示す画素回路の駆動動作例を示す。なお、図 10 は、2 水平走査期間を利用して閾値補正を実行する場合の駆動動作例であるが、閾値補正動作から信号電位 V_{sig} の書き込みまでの動作を 1 水平走査期間内に実行しても良い。

【0035】

20

因みに、図 10 では、給電線 DSL に印加する 2 種類の電位のうち高電位の方を V_{cc} で表し、低電位の方を V_{ini} で表す。

以下では、給電線 DSL の電位を高電位から低電位に切り換えて発光動作を終了した時点から説明を開始する。このとき、駆動トランジスタ T_2 のソース電位 V_s は V_{ini} となる。この時点から閾値補正動作の準備期間 (A) が開始される。

【0036】

次に、信号線 DTL にオフセット電圧 V_{ofs} が印加されている状態でライトスキャン線 WSL がオンされると、駆動トランジスタ T_2 のゲート電位 V_g はオフセット電圧 V_{ofs} になる。この動作により、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} ($= V_{ofs} - V_{ini}$) はその閾値 V_{th} より大きい値に初期化される。

30

【0037】

やがて、給電線 DSL の電位が高電位に切り替わり、閾値補正期間 (B) が開始される。この開始時点で、駆動トランジスタ T_2 のゲート・ソース間電圧 V_{gs} は初期化されている。従って、駆動トランジスタ T_2 のドレイン・ソース間に電流が流れ、ソース電位 V_s の上昇が開始される (図 10 の波形参照)。

【0038】

なお、信号線 DTL の電位は、他の水平ラインへの信号電位の書き込みのために再び信号電位 V_{sig} に切り換えられる。従って、この切り換え前にライトスキャン線 WSL はオフ状態に制御され、スキャントランジスタ T_1 をフローティング状態に制御する。図 10 では、この期間を (C) で示す。この期間 (C) が 1 回目の閾値補正休止期間である。

40

【0039】

因みに、1 回目の閾値補正期間 (B) における補正が不十分であった場合 ($V_{gs} > V_{th}$)、この期間 (C) の間も駆動トランジスタ T_2 のドレイン・ソース間に電流が流れ、ソース電位 V_s が上昇する。この際、保持容量 C_s のカップリングにより、ゲート電位 V_g も上昇する。

【0040】

この後、再び信号線 DTL の電位がオフセット電圧 V_{ofs} に切り替わると共に、ゲート電位 V_g が高電位に切り替わると、2 回目の閾値補正期間 (D) が開始される。2 回目の閾値補正期間 (D) の開始後、ソース電位 V_s は徐々に上昇し、保持容量 C_s の保持電位が閾値 V_{th} になった時点で駆動トランジスタ T_2 は自動的にカットオフする。すなわち、

50

閾値補正動作が終了する。

【0041】

この後、信号電位の書き込みに備えて信号線DTLの電位が再び信号電位Vsigに切り換えられる。なお、この切り換え前にライトスキャン線WSLは再びオフ状態に制御される。この期間(E)が2回目の閾値補正休止期間である。なお、駆動トランジスタT2はカットオフ状態にあるので、駆動トランジスタT1のゲート電位Vgとソース電位Vsに変化は生じない。

【0042】

そして、1水平走査期間の終了前にライトスキャン線WSLがオン状態に制御され、信号線DTLに印加されている信号電位Vsigの保持容量Csへの書き込みが開始される。この開始後の期間(F)が、信号電位Vsigの書き込み兼移動度補正期間として使用される。すなわち、期間(F)では、信号電位Vsigの書き込みに伴うゲート・ソース間電圧Vgsの閾値電圧Vthより大きくなり、駆動トランジスタT2のドレイン・ソース間に電流が流れ始める。

【0043】

もっとも、最初のうち、この電流は有機EL素子OLEDには流れず、寄生容量C_{oled}を充電するように流れる。この充電により、ソース電位Vsが上昇するが、この電位の上昇は移動度μに比例する。すなわち、駆動トランジスタT2の移動度μが大きいほど、ソース電位Vsを持ち上げるように作用する。これが移動度補正である。

【0044】

この補正動作の終了後、ライトスキャン線WSLがオフ制御されると、スキャントランジスタT1がフローティング状態に切り替わる。この時点で寄生容量C_{oled}の充電は完了しているので、駆動電流は有機EL素子OLEDに流れ込み、発光期間(G)が開始される。

【0045】

(A-4) 画素回路内の接続状態と電位の変化

ここでは、図10で説明した期間(A)～(G)に対応する画素回路1内の電位状態の変化を模式的に説明する。ここでは、対応する期間と同じ符号を図番に付して示す。すなわち、図11A～図11Gを用いて説明する。なお、図11A～図11Gにおいては、サンプリングトランジスタT1をスイッチとして表記すると共に、有機EL素子OLEDの寄生容量をC_{oled}として明示的に表記する。

【0046】

(i) 発光期間

図11Aは、図10の期間(A)の動作状態に対応する。発光期間である期間(A)では、給電線DSL(i)に発光用の高電源電位Vccが印加される。このとき、薄膜トランジスタT2は、保持容量Csの保持電圧Vgs(>Vth)に対応するドレイン電流Idsを有機EL素子OLEDに供給する。有機EL素子OLEDの発光状態は期間(A)の終了まで継続する。

【0047】

(ii) 閾値補正準備期間

図11Bは、図10の期間(B)の動作状態に対応する。期間(B)において、給電線DSL(i)の電位は、発光用の高電源電位Vccから初期化用の低電源電位Viniに切り替え制御される。この切り替えにより、ドレイン電流Idsの供給は遮断される。

【0048】

結果的に、駆動トランジスタT2のゲート電位Vgとソース電位Vsは、有機EL素子OLEDの発光電圧Velの低下に連動して低下する。そして、ソース電位Vsは、給電線DSL(i)に印加された低電源電位Viniとほぼ同じ電位にまで低下する。なお、低電源電位Viniは、信号線DTL(j)に印加される初期化用の基準電位Vofsよりも十分低い電位である。

【0049】

10

20

30

40

50

図 1 1 C は、図 1 0 の期間 (C) の動作状態に対応する。期間 (C) において、ライトスキャン線 W S L (i) の電位は高レベルに変化する。これにより、サンプリングトランジスタ T 1 がオン状態に制御され、駆動トランジスタ T 2 のゲート電位 V g は、信号線 D T L (j) に印加された初期化用の基準電位 V o f s に設定される。

期間 (C) の終了時、保持容量 C s の保持電圧 V g s は、駆動トランジスタ T 2 の閾値電圧 V t h より大きい電圧に初期設定される。

【 0 0 5 0 】

(iii) 閾値補正動作

図 1 1 D は、図 1 0 の期間 (D) の動作状態に対応する。期間 (D) において、給電線 D S L (i) の電位は、初期化用の低電源電位 V i n i から発光用の高電源電位 V c c に遷移される。なお、サンプリングトランジスタ T 1 はオン状態に維持される。

10

【 0 0 5 1 】

結果的に、駆動トランジスタ T 2 のゲート電位 V g の初期化用の基準電位 V o f s のまま、ソース電位 V s だけが上昇を開始する。期間 (D) の終了までのいずれかの時点で、保持容量 C s の保持電圧 V g s は閾値電圧 V t h となる。これにより、駆動トランジスタ T 2 はオフ動作する。この時点におけるソース電位 V s は、ゲート電位 V g (= V o f s) よりも閾値電圧 V t h だけ低い電位となる。

【 0 0 5 2 】

(iv) 信号電位の書き込みと移動度の補正のための準備動作

図 1 1 E は、図 1 0 の期間 (E) の動作状態に対応する。期間 (E) において、ライトスキャン線 W S L (i) の電位は、低レベルに変化する。これにより、サンプリングトランジスタ T 1 がオフ状態に制御され、駆動トランジスタ T 2 のゲート電極はフローティング状態になる。

20

【 0 0 5 3 】

ただし、駆動トランジスタ T 2 のカットオフ状態は維持される。従って、ドレイン電流 I d s は流れない。

図 1 1 F は、図 1 0 の期間 (F) の動作状態に対応する。期間 (F) において、信号線 D T L (j) の電位が閾値補正用の基準電位 V o f s から階調値に応じた信号電位 V s i g に変化する。もっとも、サンプリングトランジスタ T 1 はオフ状態のままである。

【 0 0 5 4 】

30

(v) 信号電位の書き込み及び移動度の補正動作

図 1 1 G は、図 1 0 の期間 (G) の動作状態に対応する。期間 (G) において、ライトスキャン線 W S L (i) の電位は、高レベルに変化する。これにより、サンプリングトランジスタ T 1 がオン状態に制御され、駆動トランジスタ T 2 のゲート電極は信号電位 V s i g に遷移する。

【 0 0 5 5 】

また、期間 (G) において、給電線 D S L (i) が発光用の高電源電位 V c c に変化する。結果的に、駆動トランジスタ T 2 がオン動作し、ドレイン電流 I d s が流れ始める。ただし、有機 E L 素子 O L E D は、始めカットオフ状態 (ハイインピーダンス状態) にある。このため、ドレイン電流 I d s は、有機 E L 素子 O L E D ではなく、図 1 1 G に示すように、寄生容量 C o l e d に流れ込む。

40

【 0 0 5 6 】

寄生容量 C o l e d の充電に伴って駆動トランジスタ T 2 のソース電位 V s が上昇を開始する。やがて、保持容量 C s の保持電圧 V g s は、V s i g + V t h - Δ V となる。このように、信号電位 V s i g のサンプリングと充電電圧 Δ V による補正とが並行して実行される。なお、データ電位 V s i g

が大きいほどドレイン電流 I d s も大きくなり、充電電圧 Δ V の絶対値も大きくなる。

【 0 0 5 7 】

これにより、発光輝度レベルに応じた移動度補正が可能となる。なお、信号電位 V s i g が一定の場合、駆動トランジスタ T 2 の移動度 μ が大きいほど、充電電圧 Δ V の絶対値も

50

大きくなり、負帰還量が大きくなるためである。

【0058】

(A-5) まとめ

前述したように、信号線DTLへの信号電位 V_{sig} の印加開始タイミングからサンプリング開始タイミングまでの時間として、サンプリング開始タイミングにおけるカソード電位の変動分が基準カソード電位に対して輝度差1%以内に収束するのに十分な時間長以上に設定することにより、寄生容量 C_{cath} を通じて信号線DTLから飛び込むカソード電位 V_{cath} の揺れの影響を表示画面から無くすることができる。

【0059】

すなわち、カソード電位の過渡現象は避け得ないが、その影響がクロストークとして画面上に現れることのない駆動方法を実現することができる。

【0060】

(B) 他の形態例

(B-1) サンプリングパルスの他の設定例

前述した形態例の場合には、タイミングジェネレータ39においてサンプリングパルス生成する場合について説明した。

しかし、タイミングジェネレータ39から与えられるタイミング信号に基づいて、ライトスキャンドライバ33がサンプリングパルスを生成する方式を採用しても良い。

【0061】

(B-2) 製品例

(a) 電子機器

前述の形態例では、有機ELパネルモジュールについての形態例を説明した。しかし、前述した有機ELパネルモジュールは、各種の電子機器に実装した商品形態でも流通される。以下、他の電子機器への実装例を示す。

【0062】

図12に、電子機器41の概念構成例を示す。電子機器41は、前述した有機ELパネル21及びシステム制御部43で構成される。システム制御部43で実行される処理内容は、電子機器41の商品形態により異なる。

【0063】

なお、電子機器41は、機器内で生成される又は外部から入力される画像や映像を表示する機能を搭載していれば、特定の分野の機器には限定されない。

図13に、その他の電子機器がテレビジョン受像機の場合の外観例を示す。テレビジョン受像機51の筐体正面には、フロントパネル53及びフィルターガラス55等で構成される表示画面57が配置される。表示画面57の部分が、形態例で説明した有機ELパネルモジュール21に対応する。

【0064】

また、この種の電子機器41には、例えばデジタルカメラが想定される。図14に、デジタルカメラ61の外観例を示す。図14(A)が正面側(被写体側)の外観例であり、図14(B)が背面側(撮影者側)の外観例である。

【0065】

デジタルカメラ61は、保護カバー63、撮像レンズ部65、表示画面67、コントロールスイッチ69及びシャッターボタン71で構成される。このうち、表示画面67の部分が、形態例で説明した有機ELパネルモジュール21に対応する

【0066】

また、この種の電子機器41には、例えばビデオカメラが想定される。図15に、ビデオカメラ81の外観例を示す。

ビデオカメラ81は、本体83の前方に被写体を撮像する撮像レンズ85、撮影のスタート/ストップスイッチ87及び表示画面89で構成される。このうち、表示画面89の部分が、形態例で説明した有機ELパネルモジュールに対応する。

【0067】

10

20

30

40

50

また、この種の電子機器 4 1 には、例えば携帯端末装置が想定される。図 1 6 に、携帯端末装置としての携帯電話機 9 1 の外観例を示す。図 1 6 に示す携帯電話機 9 1 は折りたたみ式であり、図 1 6 (A) が筐体を開いた状態の外観例であり、図 1 6 (B) が筐体を折りたたんだ状態の外観例である。

【0068】

携帯電話機 9 1 は、上側筐体 9 3、下側筐体 9 5、連結部（この例ではヒンジ部）9 7、表示画面 9 9、補助表示画面 1 0 1、ピクチャーライト 1 0 3 及び撮像レンズ 1 0 5 で構成される。このうち、表示画面 9 9 及び補助表示画面 1 0 1 の部分が、形態例で説明した有機 E L パネルモジュール 2 1 に対応する。

【0069】

また、この種の電子機器 4 1 には、例えばコンピュータが想定される。図 1 7 に、ノート型コンピュータ 1 1 1 の外観例を示す。

ノート型コンピュータ 1 1 1 は、下型筐体 1 1 3、上側筐体 1 1 5、キーボード 1 1 7 及び表示画面 1 1 9 で構成される。このうち、表示画面 1 1 9 の部分が、形態例で説明した有機 E L パネルモジュール 2 1 に対応する。

【0070】

これらの他、電子機器 4 1 には、オーディオ再生装置、ゲーム機、電子ブック、電子辞書等が想定される。

【0071】

(B-2) 画素回路の他の構成例

前述した形態例では、画素回路が 2 つの薄膜トランジスタと 1 つの保持容量 C s とで構成される場合について説明した。

しかし、画素回路は他の回路構成の場合にも適用できる。

【0072】

(B-3) 他の表示デバイス例

前述の形態例においては、発明を有機 E L パネルモジュールに適用する場合について説明した。

しかし、前述したサンプリング開始タイミングの制御は、その他の E L 表示装置に対しても適用することができる。例えば L E D を配列する表示装置その他のダイオード構造を有する発光素子を画面上に配列した表示装置に対しても適用できる。

【0073】

(B-4) その他

前述した形態例には、発明の趣旨の範囲内で様々な変形例が考えられる。また、本明細書の記載に基づいて創作される又は組み合わせられる各種の変形例及び応用例も考えられる。

【図面の簡単な説明】

【0074】

【図 1】クロストークパターンを説明する図である。

【図 2】明クロストークの発生原因を説明する図である。

【図 3】表示内容に応じたカソード電位の過渡特性を説明する図である。

【図 4】有機 E L パネルモジュールの外観構成例を示す図である。

【図 5】有機 E L パネルモジュールのシステム構成を説明する図である。

【図 6】画素回路と駆動回路との接続関係を示す図である。

【図 7】画素回路の内部構成を示す図である。

【図 8】形態例における信号電位とライトスキャンパルスとのタイミング関係を説明する図である。

【図 9】カソード電位の揺らぎ量の違いによる信号電位と電流値との関係を説明する図である。

【図 10】駆動動作時の制御タイミングを説明する図である。

【図 11 A】図 10 の期間 A に対応する画素回路内の接続状態を説明する図である。

10

20

30

40

50

- 【図 1 1 B】図 1 0 の期間 B に対応する画素回路内の接続状態を説明する図である。
【図 1 1 C】図 1 0 の期間 C に対応する画素回路内の接続状態を説明する図である。
【図 1 1 D】図 1 0 の期間 D に対応する画素回路内の接続状態を説明する図である。
【図 1 1 E】図 1 0 の期間 E に対応する画素回路内の接続状態を説明する図である。
【図 1 1 F】図 1 0 の期間 F に対応する画素回路内の接続状態を説明する図である。
【図 1 1 G】図 1 0 の期間 G に対応する画素回路内の接続状態を説明する図である。
【図 1 2】電子機器の概念構成例を示す図である。
【図 1 3】電子機器の商品例を示す図である。
【図 1 4】電子機器の商品例を示す図である。
【図 1 5】電子機器の商品例を示す図である。
【図 1 6】電子機器の商品例を示す図である。
【図 1 7】電子機器の商品例を示す図である。

【符号の説明】

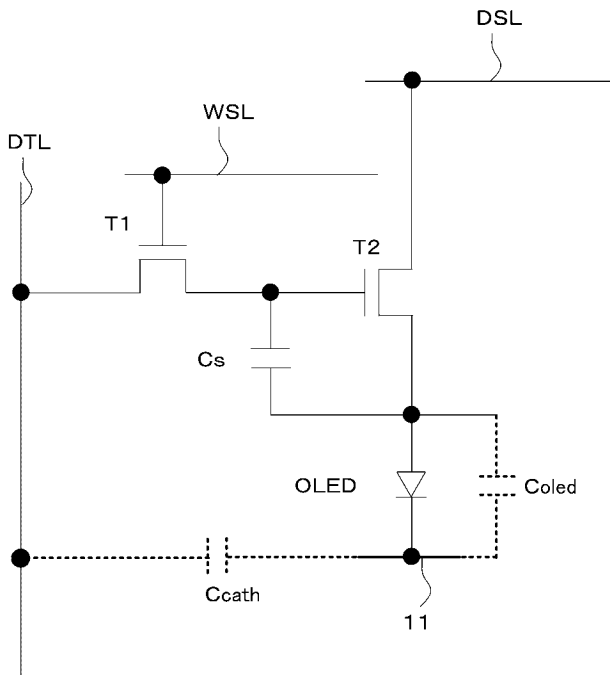
【0075】

- | | |
|-----|-----------------|
| 1 | 背景画面 |
| 3 | 黒ウインドウ |
| 5 | 白線 |
| 2 1 | 有機 E L パネルモジュール |
| 2 3 | 支持基板 |
| 2 5 | 対向部 |
| 2 7 | F P C |
| 3 1 | 画素アレイ部 |
| 3 3 | ライトスキャンドライバ |
| 3 5 | 電源スキャンドライバ |
| 3 7 | 水平セレクタ |
| 3 9 | タイミングジェネレータ |

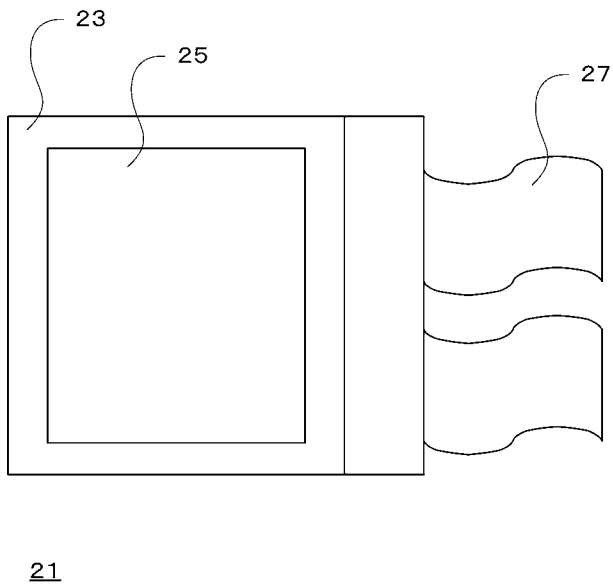
10

20

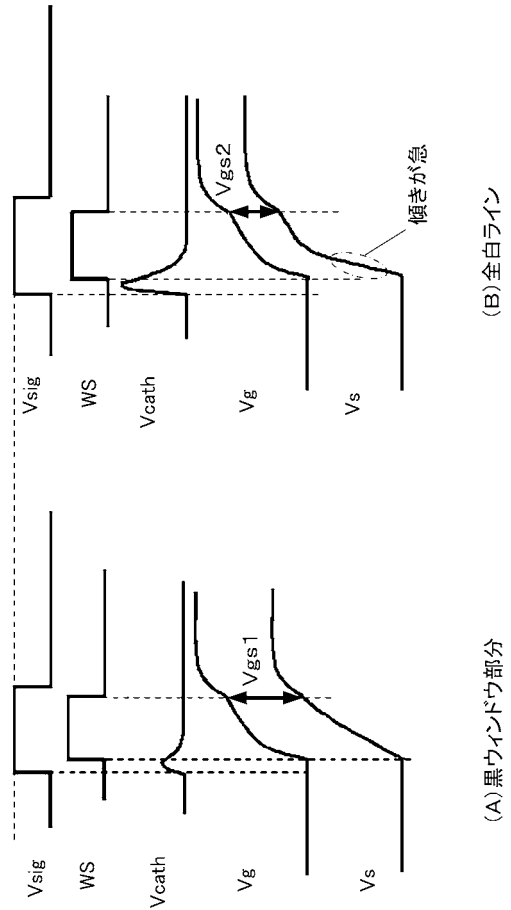
【図 2】



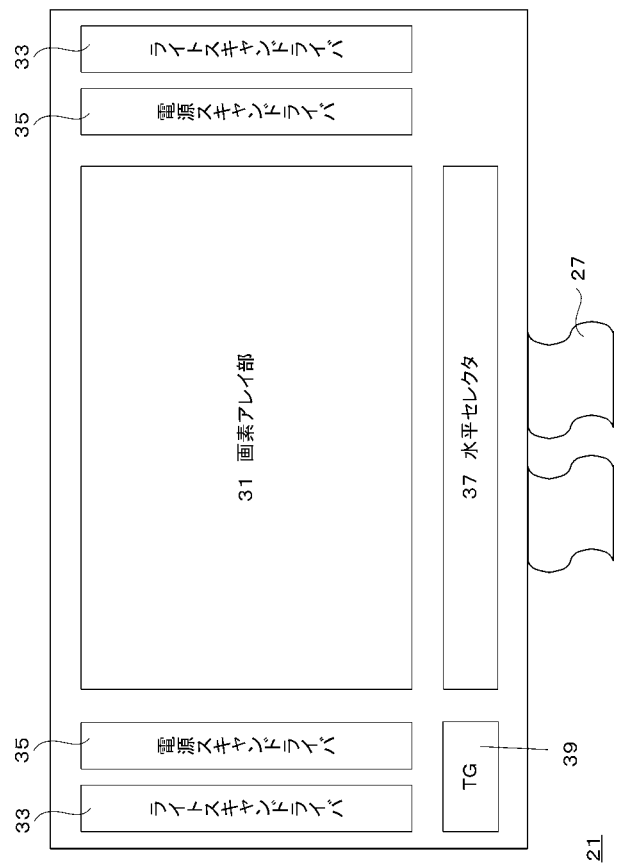
【 図 4 】



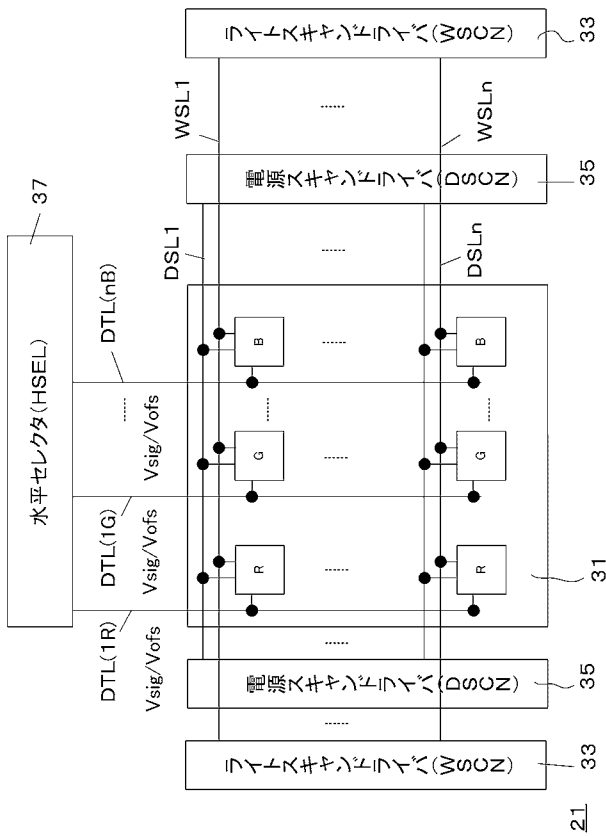
【図 3】



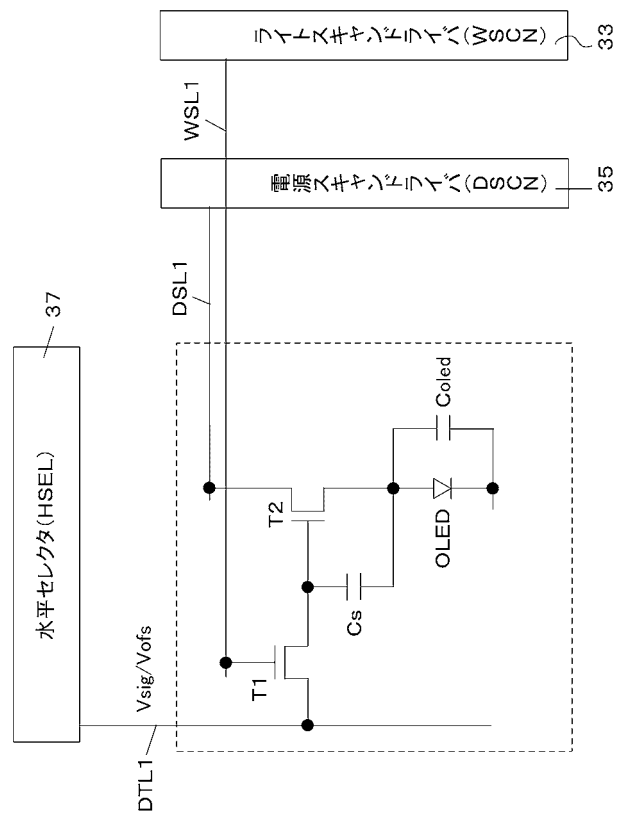
【図 5】



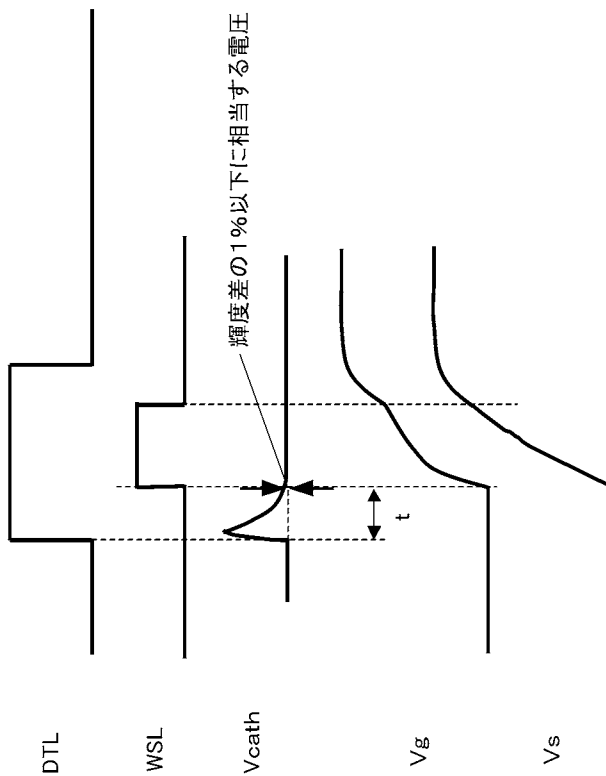
【図 6】



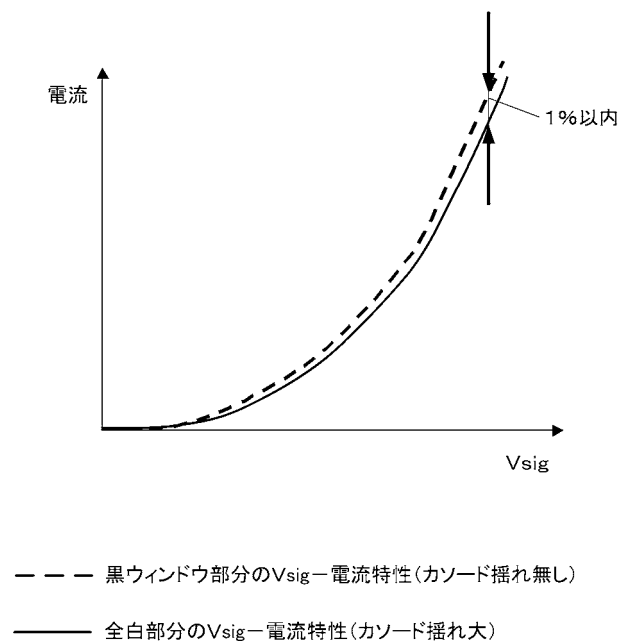
【図 7】



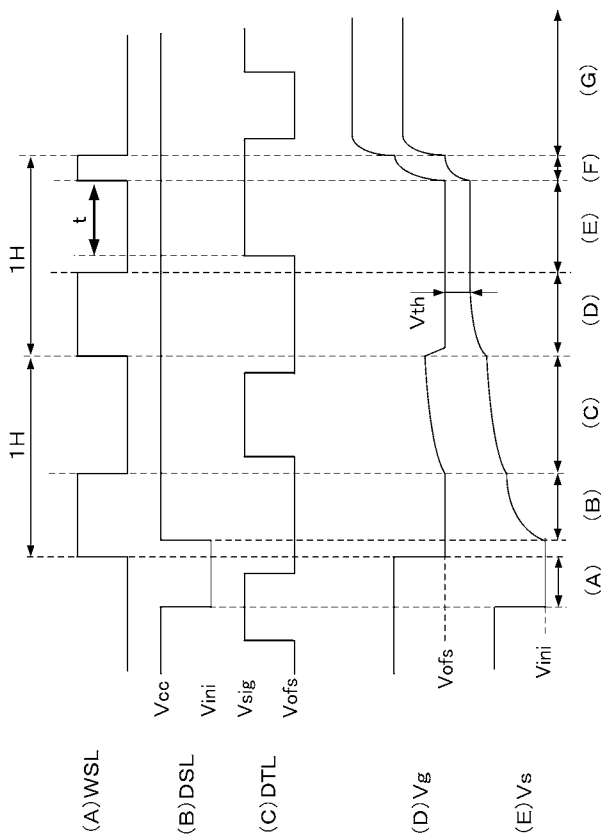
【図 8】



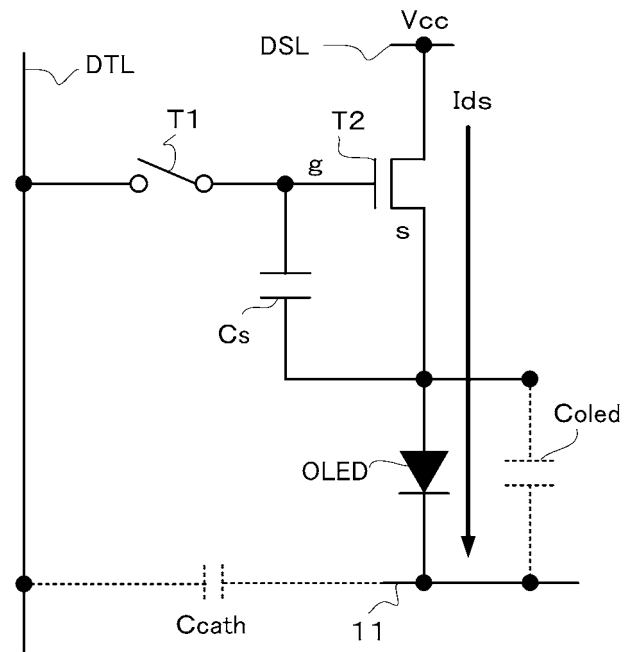
【図 9】



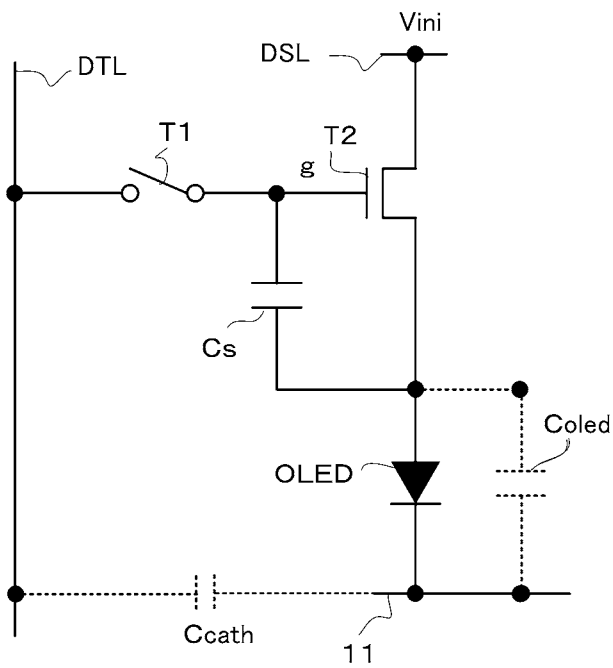
【図 10】



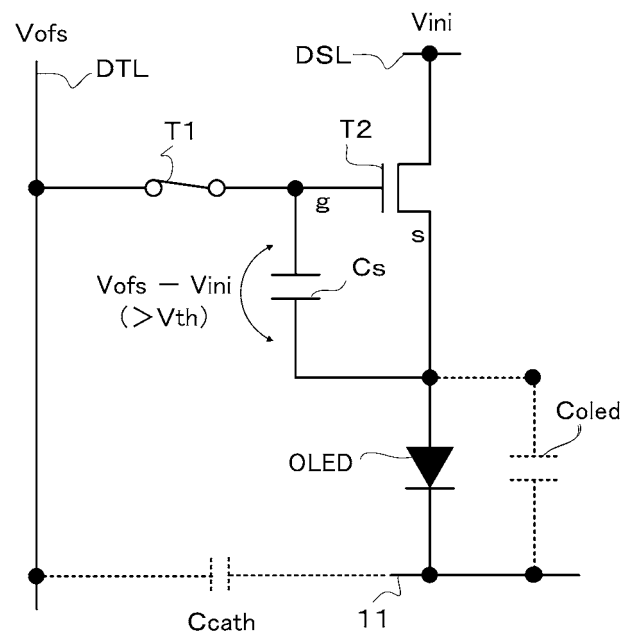
【図 11 A】



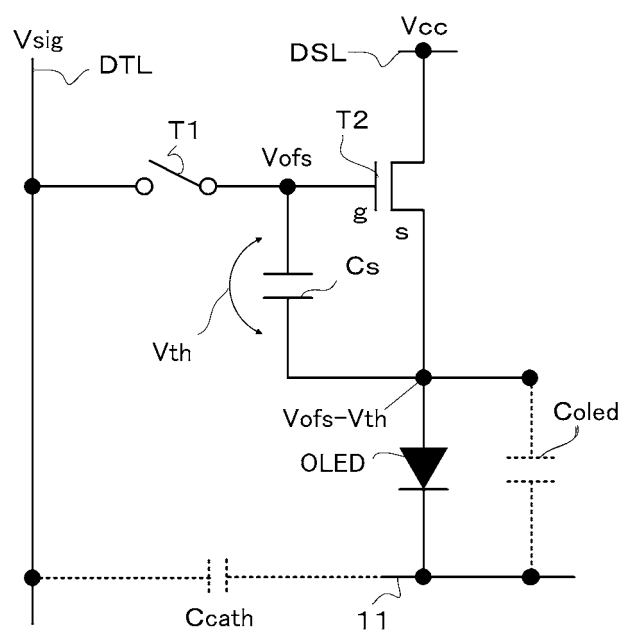
【図 11 B】



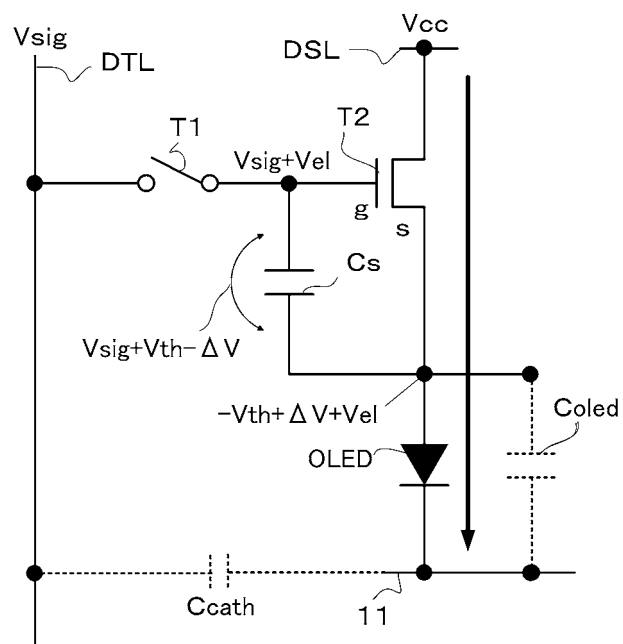
【図 11 C】



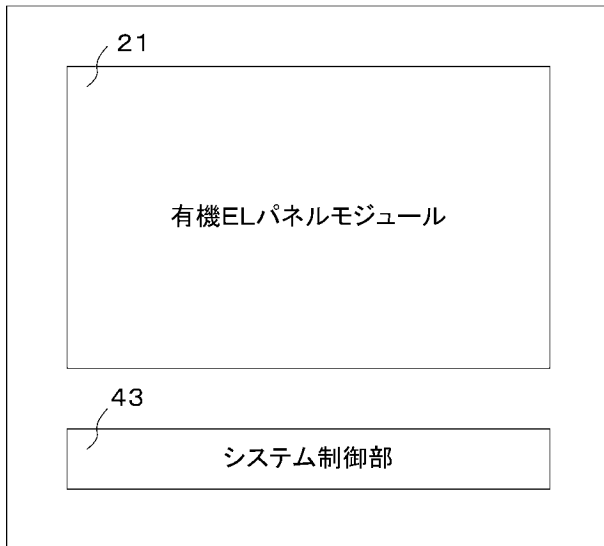
【図 1 1 E】



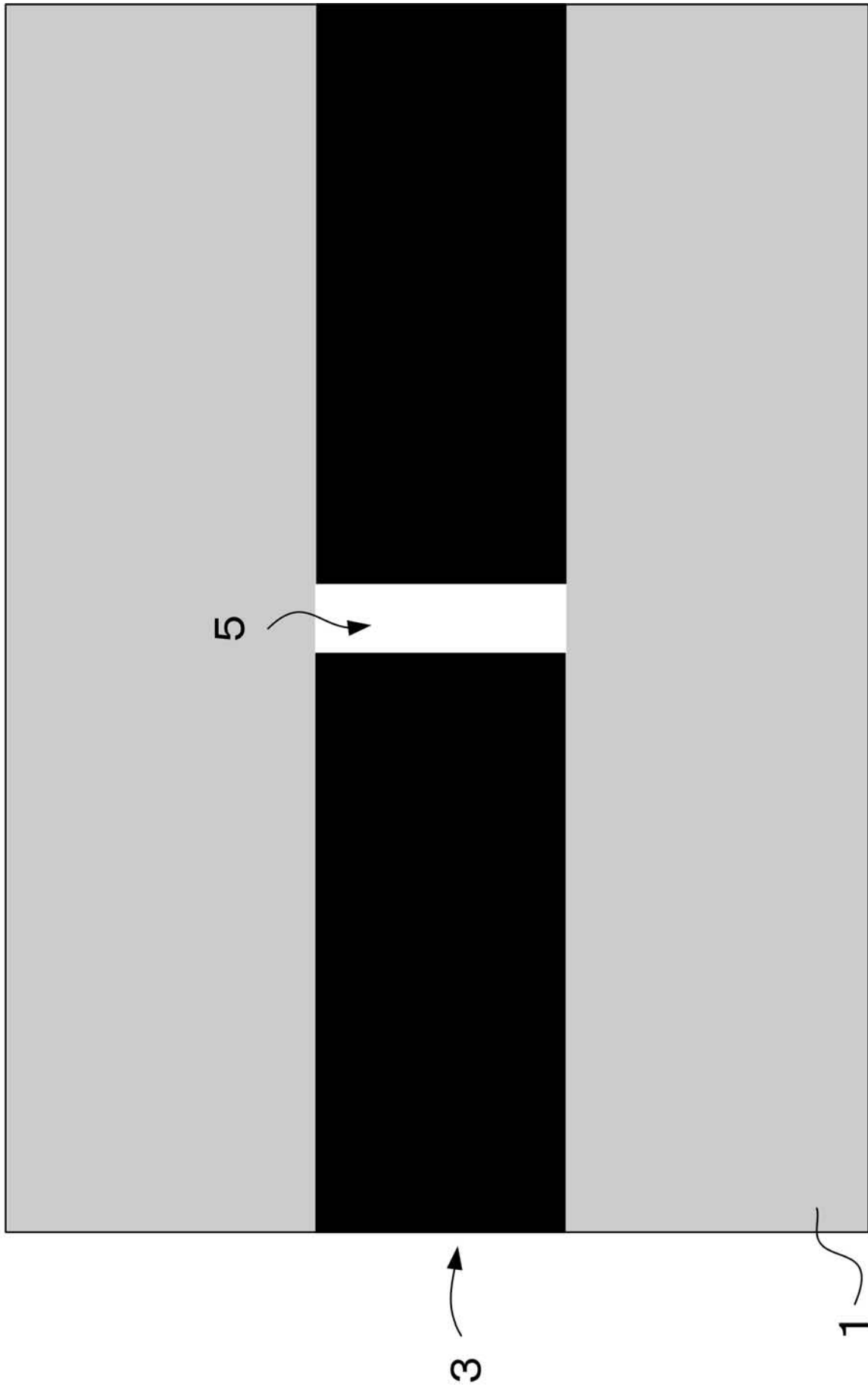
【図 1 1 G】



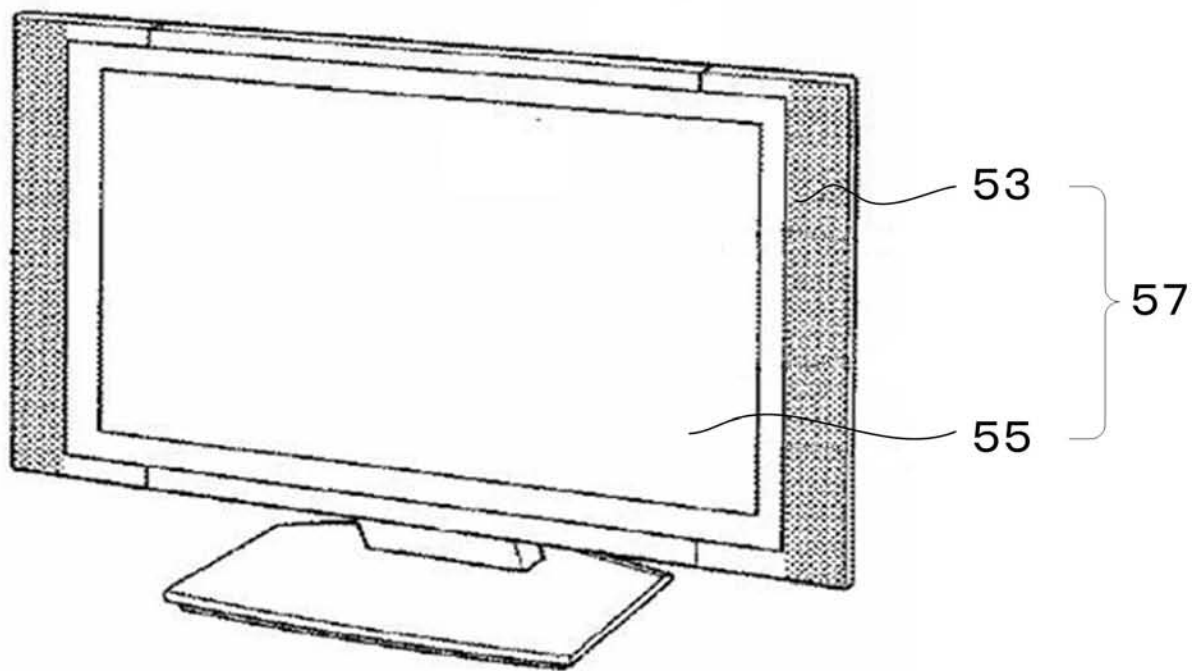
【図 1 2】

41

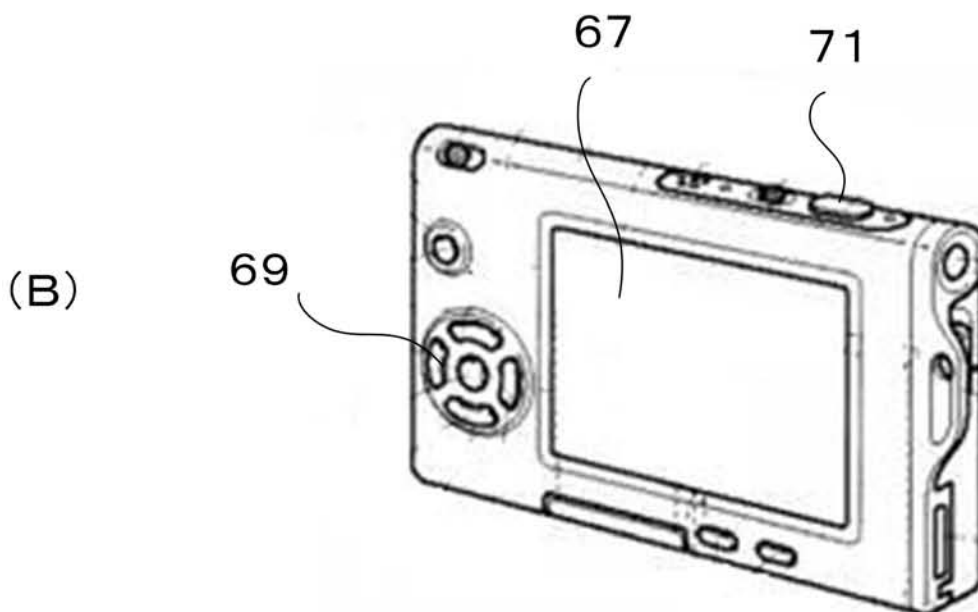
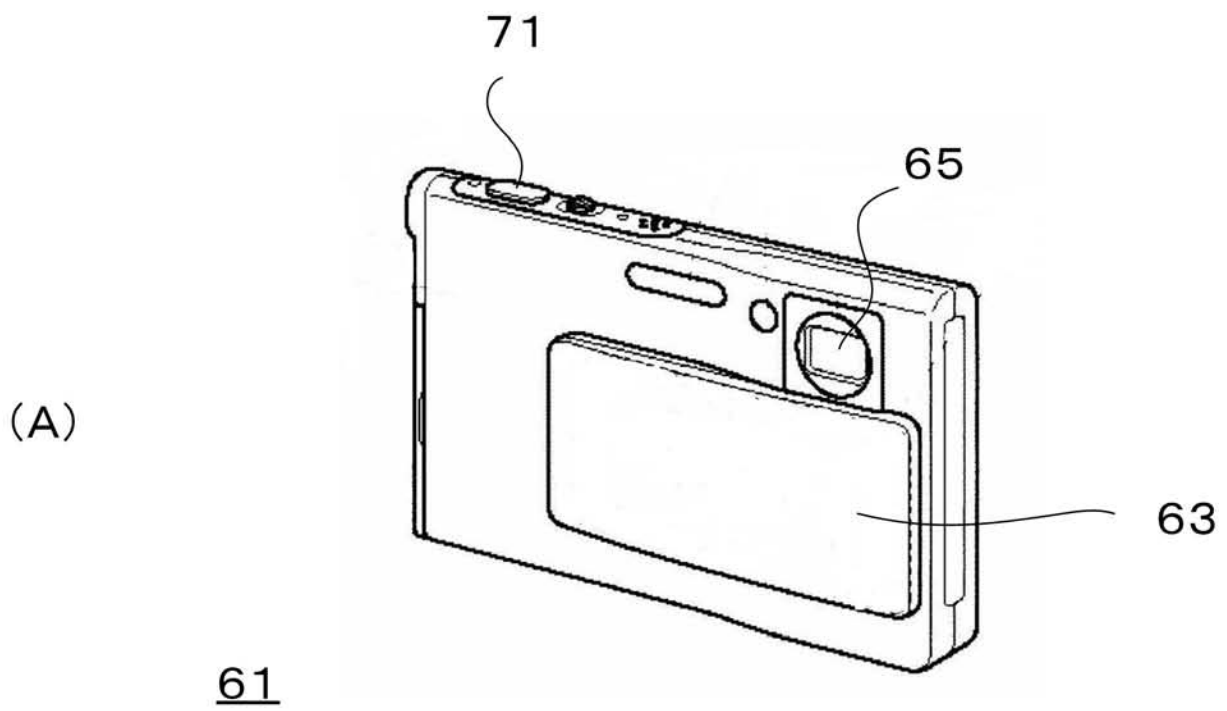
【図 1】



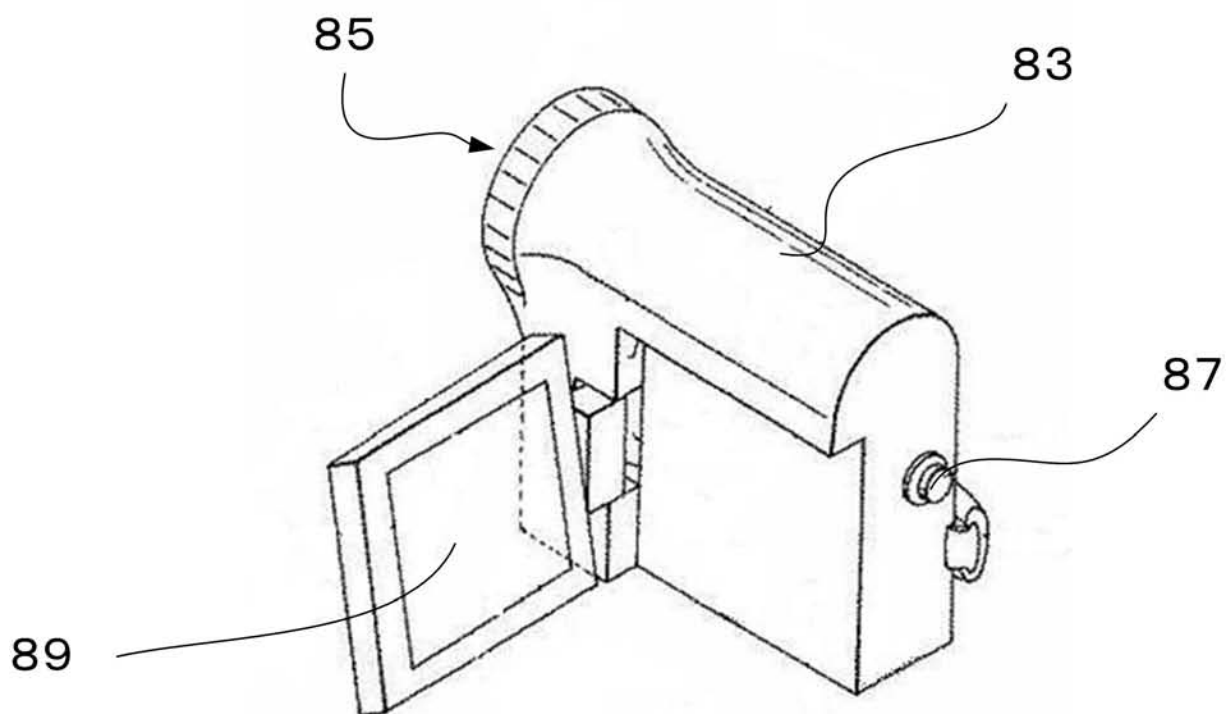
【図 13】

51

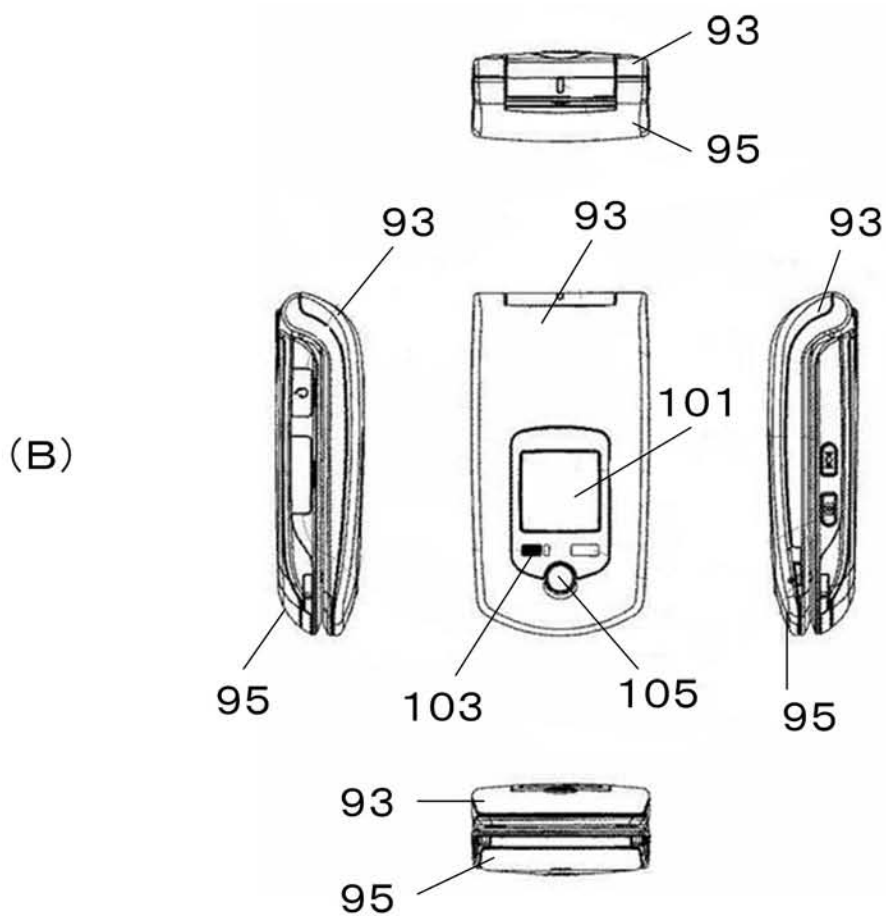
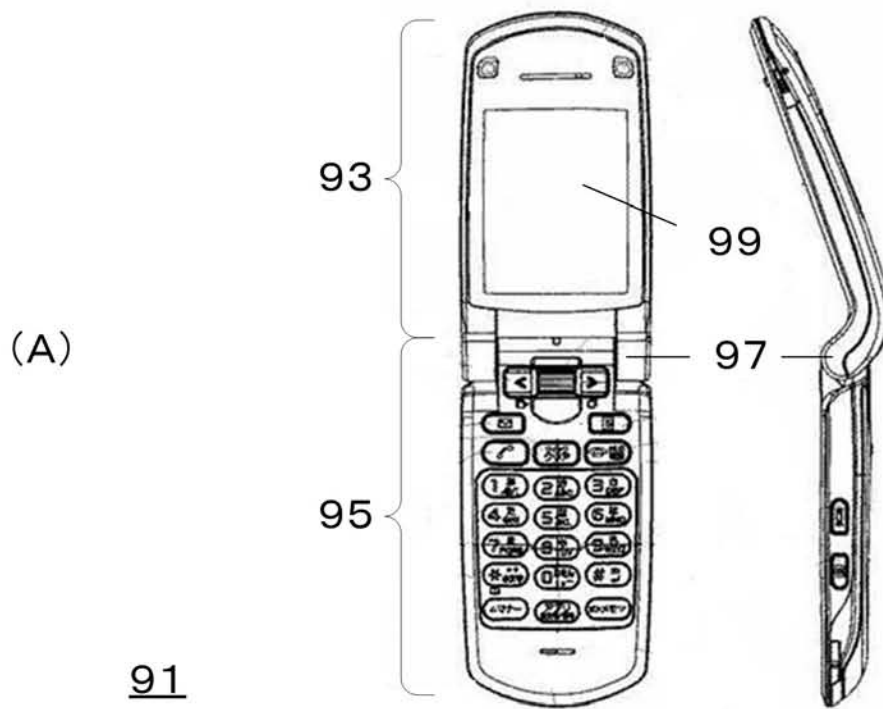
【図 14】



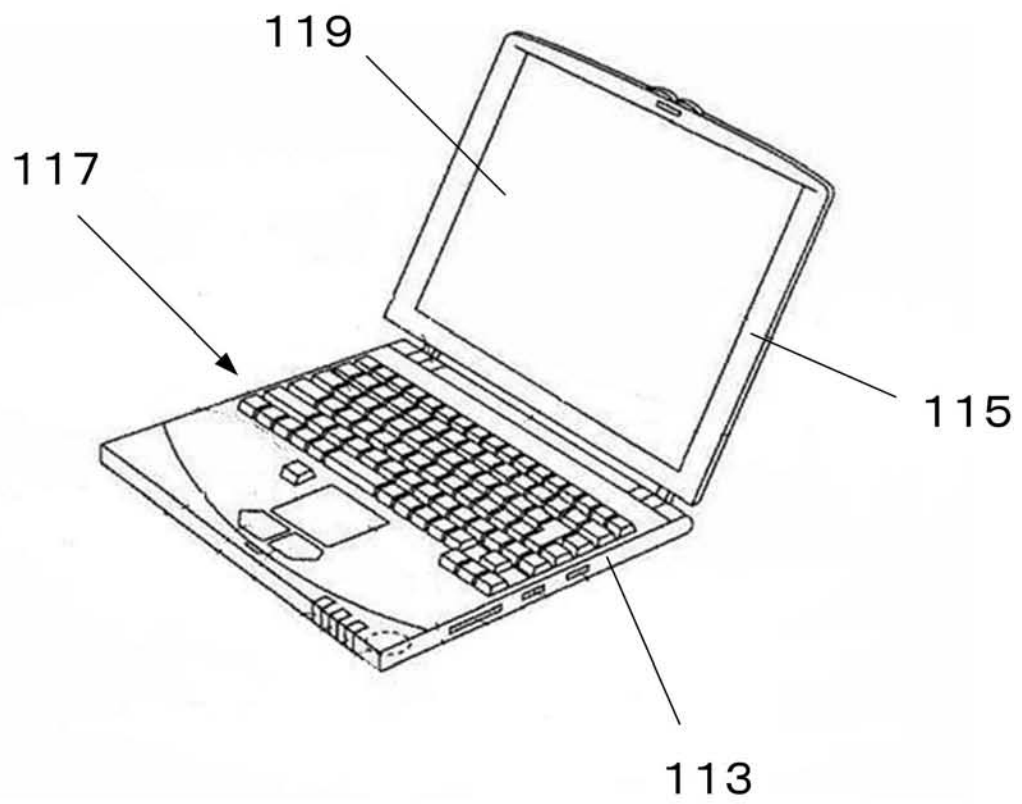
【図 15】

81

【図 16】



【図 17】

111

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/30	H
	H 0 5 B 33/14	A

(72)発明者 山本 哲郎

東京都港区港南 1 丁目 7 番 1 号ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC33 EE03 FF12 HH01 HH04 HH05
5C080 AA06 BB05 DD10 EE29 FF11 HH09 JJ01 JJ02 JJ03 JJ04
JJ05 JJ06 KK01 KK07 KK43 KK47

专利名称(译)	EL显示面板模块，定时发生器，光扫描驱动器和电子设备		
公开(公告)号	JP2009053298A	公开(公告)日	2009-03-12
申请号	JP2007217856	申请日	2007-08-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	豊村直史 内野勝秀 山本哲郎		
发明人	豊村 直史 内野 勝秀 山本 哲郎		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.D G09G3/20.624.B G09G3/20.621.A G09G3/20.622.D G09G3/30.H H05B33/14.A G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/FF12 3K107/HH01 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD10 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47 5C380/AA01 5C380/AA03 5C380/AB06 5C380/AB34 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC05 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC41 5C380/CC62 5C380/CD022 5C380/CE20 5C380/CF07 5C380/DA06 5C380/DA47		
代理人(译)	丸岛俊 头师 教文		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决将信号电位正确写入保持电容的失败有时是由阴极电位的瞬态现象引起的问题。解决方案：EL（电致发光）显示面板模块包括（a）像素阵列部分，该像素阵列部分由矩阵形式的EL发光元件和其像素电路构成，（b）水平选择器。信号电位符合每个信号线的灰度级，（c）光扫描驱动器，通过光扫描线向像素电路内的采样晶体管提供光扫描脉冲，和（d）产生光的定时发生器通过相对于信号线的信号电位的施加开始定时的应用开始定时将采样开始定时延迟到阴极电位波动所需的设定时间长度，通过串联向下收敛，形成扫描脉冲。在信号电位的采样开始定时之前，对应于参考阴极电位的亮度差 $\leq 1\%$ 的电位。 $\dot{Z}$

