

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-86728

(P2007-86728A)

(43) 公開日 平成19年4月5日(2007.4.5)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
H01L 51/50 (2006.01)	G09G 3/20 670E	
	G09G 3/20 624B	
	G09G 3/20 622M	
審査請求 有 請求項の数 28 O L (全 35 頁) 最終頁に続く		

(21) 出願番号 特願2006-108765 (P2006-108765)
 (22) 出願日 平成18年4月11日(2006.4.11)
 (31) 優先権主張番号 10-2005-0087426
 (32) 優先日 平成17年9月20日(2005.9.20)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 590002817
 三星エスディアイ株式会社
 大韓民国京畿道水原市靈通区▲しん▼洞5
 75番地
 (74) 代理人 100095957
 弁理士 亀谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (72) 発明者 申 東蓉
 大韓民国ソウル市冠岳区奉天1洞969-
 37
 Fターム(参考) 3K107 AA01 BB01 CC04 CC14 CC21
 EE03 HH00 HH04
 5C080 AA06 BB05 DD09 DD26 FF11
 JJ02 JJ03 JJ04

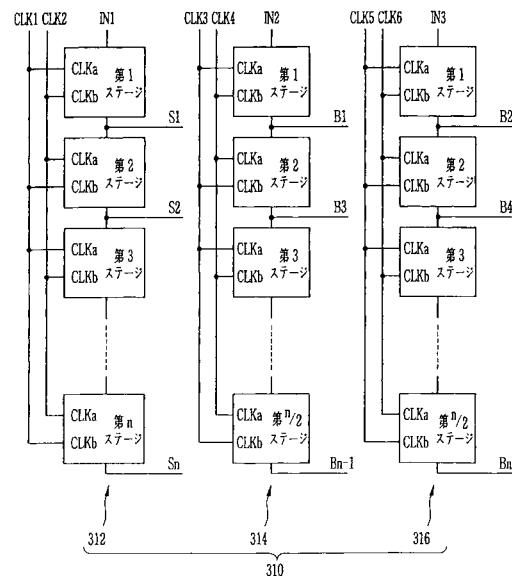
(54) 【発明の名称】 走査駆動回路、および走査駆動回路を利用した有機電界発光表示装置

(57) 【要約】

【課題】有機電界発光表示装置に利用される走査駆動回路を提供する。

【解決手段】入力信号線(IN1, IN2, IN3)または一つ前のステージからの出力線に従属接続され、互いに相反する位相の信号を入力する二つのクロック信号入力線に各々接続される複数のステージで構成される走査駆動回路300において、連続して接続される複数のステージを通じて、順次選択信号および/またはブースト信号を出力する第1走査駆動部310と、連続して接続される複数のステージを通じて、順次発光信号を出力する第2走査駆動部320とが含まれ、第1走査駆動部310は、選択信号を出力する走査駆動ユニット312と、奇数番目のブースト信号を出力する第1ブースト駆動ユニット314と、偶数番目のブースト信号を出力する第2ブースト駆動ユニット316とを含んで構成される。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

入力信号線または一つ前のステージからの出力線に従属接続され、互いに相反する位相の信号を入力する二つのクロック信号入力線に、各々接続される複数の前記ステージで構成される走査駆動回路において、

連続して接続される複数の前記ステージを通じて、順次選択信号および/またはブースト信号を出力する第 1 走査駆動部と；

連続して接続される複数の前記ステージを通じて、順次発光信号を出力する第 2 走査駆動部と；

が含まれ、

前記第 1 走査駆動部は、

前記選択信号を出力する走査駆動ユニットと；

奇数番目の前記ブースト信号を出力する第 1 ブースト駆動ユニットと；

偶数番目の前記ブースト信号を出力する第 2 ブースト駆動ユニットと；

を含んで構成されることを特徴とする、走査駆動回路。

10

【請求項 2】

前記走査駆動ユニットおよび前記第 1 ブースト駆動ユニット、前記第 2 ブースト駆動ユニットは、各々に対応する複数の前記ステージを具備し、

各々に具備される前記ステージは、

第 1 クロック端子にゲート端子が接続され、最初入力信号または一つ前の前記ステージからの出力信号が入力される第 1 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され、第 2 クロック端子および出力線に接続される第 2 トランジスタと；

前記第 1 クロック端子にゲート端子が接続され、第 2 電源と第 1 ノードとの間に接続される第 3 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され、前記第 1 クロック端子と前記第 1 ノードとの間に接続される第 4 トランジスタと；

前記第 1 ノードにゲート端子が接続され、第 1 電源と前記出力線との間に接続される第 5 トランジスタと；

を含んで構成されることを特徴とする、請求項 1 に記載の走査駆動回路。

20

30

【請求項 3】

前記第 1 トランジスタの出力端と前記出力線との間に接続される第 1 キャパシタがさらに含まれて構成されることを特徴とする、請求項 2 に記載の走査駆動回路。

【請求項 4】

前記走査駆動ユニットを構成する各々前記ステージは、

前記第 1 クロック端子と前記第 2 クロック端子を具備して、

前記第 1 クロック端子および前記第 2 クロック端子に入力される第 1 クロック信号および第 2 クロック信号は、ハイレベルおよびローレベルを繰り返し、互いに相反する位相と、互いにハイレベルとなる位相とを含むことを特徴とする、請求項 2 または 3 に記載の走査駆動回路。

40

【請求項 5】

前記走査駆動ユニットを構成する各々前記ステージの中で、奇数番目の前記ステージにおいて、前記第 1 クロック端子には、前記第 1 クロック信号が供給され、前記第 2 クロック端子には、前記第 2 クロック信号が供給されることを特徴とする、請求項 4 に記載の走査駆動回路。

【請求項 6】

前記走査駆動ユニットの奇数番目の前記ステージにおいて、

前記最初入力信号または前記一つ前のステージからの出力信号が入力されるフリーチャージと；

前記フリーチャージで入力される前記最初入力信号または前記一つ前のステージからの

50

出力信号のレベルに相当する信号を出力する評価遂行と；
が行われ，

前記第 1 クロック信号がローレベルで，前記第 2 クロック信号がハイレベルに入力される期間に，前記フリーチャージが遂行され，

前記第 1 クロック信号がハイレベルで，前記第 2 クロック信号がローレベルに入力される期間に，前記評価遂行されることを特徴とする，請求項 4 または 5 に記載の走査駆動回路。

【請求項 7】

前記走査駆動ユニットを構成する各々前記ステージの中で，偶数番目の前記ステージにおいて，前記第 1 クロック端子には，前記第 2 クロック信号が供給され，前記第 2 クロック端子には，前記第 1 クロック信号が供給されることを特徴とする，請求項 4 ~ 6 のいずれかに記載の走査駆動回路。

10

【請求項 8】

前記走査駆動ユニットの偶数番目の前記ステージにおいて，

前記一つ前のステージからの出力信号が入力されるフリーチャージと；

前記フリーチャージで入力される前記一つ前のステージからの出力信号のレベルに相当する信号を出力する評価遂行と；

が行われ，

前記第 1 クロック信号がハイレベルで，前記第 2 クロック信号がローレベルに入力される期間に，前記フリーチャージが遂行され，

20

前記第 1 クロック信号がローレベルで，前記第 2 クロック信号がハイレベルに入力される期間に，前記評価遂行されることを特徴とする，請求項 4 ~ 7 のいずれかに記載の走査駆動回路。

【請求項 9】

前記走査駆動ユニットの各々前記ステージにおいて，

前記フリーチャージされる期間には，前記第 1 電源からハイレベルの信号が出力され，

前記評価遂行される期間には，前記フリーチャージされる期間に入力される前記最初入力信号または前記一つ前のステージからの出力信号レベルに相当する信号が出力され，

前記第 1 クロック信号，前記第 2 クロック信号がハイレベルである時，

以前が前記フリーチャージされる期間であれば，前記フリーチャージされる期間に出力される信号レベルを維持して出力し，

30

以前が前記評価遂行される期間であれば，ハイレベルの信号が出力されることを特徴とする，請求項 6 ~ 8 のいずれかに記載の走査駆動回路。

【請求項 10】

前記第 1 ブースト駆動ユニットおよび前記第 2 ブースト駆動ユニットの各々前記ステージは，前記第 1 クロック端子および前記第 2 クロック端子を具備して，

前記第 1 ブースト駆動ユニットの前記第 1 クロック端子および前記第 2 クロック端子に入力される第 3 クロック信号および第 4 クロック信号は，ハイレベルおよびローレベルを繰り返し，互いに相反する位相と，互いにハイレベルとなる位相とを含み，

前記第 2 ブースト駆動ユニットの前記第 1 クロック端子および前記第 2 クロック端子に入力される第 5 クロック信号および第 6 クロック信号は，ハイレベルおよびローレベルを繰り返し，互いに相反する位相と，互いにハイレベルとなる位相とを含むことを特徴とする，請求項 2 ~ 9 のいずれかに記載の走査駆動回路。

40

【請求項 11】

前記第 1 ブースト駆動ユニットの奇数番目の前記ステージにおいて，前記第 1 クロック端子には，前記第 3 クロック信号が供給され，前記第 2 クロック端子には，前記第 4 クロック信号が供給され，

前記第 2 ブースト駆動ユニットの奇数番目の前記ステージにおいて，前記第 1 クロック端子には，前記第 5 クロック信号が供給され，前記第 2 クロック端子には，前記第 6 クロック信号が供給されることを特徴とする，請求項 10 に記載の走査駆動回路。

50

【請求項 12】

前記第1ブースト駆動ユニットの偶数番目の前記ステージにおいて、前記第1クロック端子には、前記第4クロック信号が供給され、前記第2クロック端子には、前記第3クロック信号が供給され、

前記第2ブースト駆動ユニットの偶数番目の前記ステージにおいて、前記第1クロック端子には、前記第6クロック信号が供給され、前記第2クロック端子には、前記第5クロック信号が供給されることを特徴とする、請求項10または11に記載の走査駆動回路。

【請求項 13】

前記第3クロック信号および前記第4クロック信号は、前記走査駆動ユニットに供給される前記第1クロック信号および前記第2クロック信号に比べて、互いにハイレベルでオーバーラップされる期間が長く、前記フリーチャージされる期間および前記評価遂行される期間が長くなるように入力され、

前記第5クロック信号および前記第6クロック信号は、前記走査駆動ユニットに供給される前記第1クロック信号および前記第2クロック信号に比べて、互いにハイレベルでオーバーラップされる期間が長く、前記フリーチャージされる期間および前記評価遂行される期間が長くなるように入力されることを特徴とする、請求項10～12のいずれかに記載の走査駆動回路。

【請求項 14】

前記第2ブースト駆動ユニットの前記ステージに入力される前記第5クロック信号、前記第6クロック信号および前記最初入力信号と前記第1ブースト駆動ユニットの前記ステージに入力される前記第3クロック信号、前記第4クロック信号および前記最初入力信号とを比べる時、前記第5クロック信号は、前記第3クロック信号より1水平周期遅延され、前記第6クロック信号は、前記第4クロック信号より1水平周期遅延され、前記第2ブースト駆動ユニットに入力される前記最初入力信号は、前記第1ブースト駆動ユニットに入力される前記最初入力信号より1水平周期遅延されて入力されることを特徴とする、請求項10～13のいずれかに記載の走査駆動回路。

【請求項 15】

前記第1ブースト駆動ユニットに入力される前記最初入力信号、前記第2ブースト駆動ユニットに入力される前記最初入力信号は、前記走査駆動ユニットに入力される前記最初入力信号に比べて、広い幅のローレベルを備えることを特徴とする、請求項2～14のいずれかに記載の走査駆動回路。

【請求項 16】

前記第1ブースト駆動ユニットおよび前記第2ブースト駆動ユニットを構成する各々前記ステージは、

前記第1トランジスタの出力端にゲート端子が接続され、調節信号入力線およびブースト信号出力線に接続される第6トランジスタと；

前記第1ノードにゲート端子が接続され、第1電源と前記ブースト信号出力線との間に接続される第7トランジスタと；

をさらに含んで構成されることを特徴とする、請求項2～15のいずれかに記載の走査駆動回路。

【請求項 17】

前記第1ブースト駆動ユニットにおいて、

奇数番目の前記ステージには、前記調節信号入力線を通じて、第1調節信号が入力され、偶数番目の前記ステージには、前記調節信号入力線を通じて、第2調節信号が入力されることを特徴とする、請求項16に記載の走査駆動回路。

【請求項 18】

前記第2ブースト駆動ユニットにおいて、

奇数番目の前記ステージには、前記調節信号入力線を通じて、第3調節信号が入力され、偶数番目の前記ステージには、前記調節信号入力線を通じて、第4調節信号が入力されることを特徴とする、請求項16または17に記載の走査駆動回路。

10

20

30

40

50

【請求項 19】

前記第 1 ブースト駆動ユニットに印加される前記第 1 調節信号，前記第 2 調節信号と，前記第 1 ブースト駆動ユニットに印加される前記第 3 クロック信号，前記第 4 クロック信号とを比べる時，前記第 1 調節信号は，前記第 4 クロック信号よりハイレベルとローレベルの絶対値の差が少ないパルスで印加され，前記第 2 調節信号は，前記第 3 クロック信号よりハイレベルとローレベルの絶対値の差が少ないパルスで印加されることを特徴とする，請求項 17 または 18 に記載の走査駆動回路。

【請求項 20】

前記第 2 ブースト駆動ユニットに印加される前記第 3 調節信号，前記第 4 調節信号と，前記第 2 ブースト駆動ユニットに印加される前記第 5 クロック信号，前記第 6 クロック信号とを比べる時，前記第 3 調節信号は，前記第 6 クロック信号よりハイレベルとローレベルの絶対値の差が少ないパルスで印加され，前記第 4 調節信号は，前記第 5 クロック信号よりハイレベルとローレベルの絶対値の差が少ないパルスで印加されることを特徴とする，請求項 18 または 19 に記載の走査駆動回路。

10

【請求項 21】

入力信号線または一つ前のステージからの出力線に従属接続され，互いに相反する位相の信号を入力する二つのクロック信号入力線に各々接続される複数の前記ステージで構成される走査駆動回路において，

連続して接続される複数の前記ステージを通じて，順次選択信号およびブースト信号を出力する第 1 走査駆動部と；

20

連続して接続される複数の前記ステージを通じて，順次発光信号を出力する第 2 走査駆動部と；

が含まれ，

前記第 1 走査駆動部は，

奇数番目の前記選択信号および奇数番目の前記ブースト信号を出力する第 1 走査 / ブースト駆動ユニットと；

偶数番目の前記選択信号および偶数番目の前記ブースト信号を出力する第 2 走査 / ブースト駆動ユニットと；

を含んで構成されることを特徴とする，走査駆動回路。

【請求項 22】

前記第 1 走査 / ブースト駆動ユニット，前記第 2 走査 / ブースト駆動ユニットは，各々に対応する複数の前記ステージを具備し，

30

各々に具備される前記ステージは，

第 1 クロック端子にゲート端子が接続され，一つ前の前記ステージからの出力信号または最初入力信号が入力される第 1 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され，第 2 クロック端子および出力線に接続される第 2 トランジスタと；

前記第 1 クロック端子にゲート端子が接続され，第 2 電源と第 1 ノードとの間に接続される第 3 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され，前記第 1 クロック端子と前記第 1 ノードとの間に接続される第 4 トランジスタと；

40

前記第 1 ノードにゲート端子が接続され，第 1 電源と前記出力線との間に接続される第 5 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され，調節信号入力線およびブースト信号出力線に接続される第 6 トランジスタと；

前記第 1 ノードにゲート端子が接続され，第 1 電源と前記ブースト信号出力線との間に接続される第 7 トランジスタと；

前記第 1 トランジスタの出力端にゲート端子が接続され，選択制御信号入力線および選択信号出力線に接続される第 8 トランジスタと；

前記第 1 ノードにゲート端子が接続され，第 1 電源と前記選択信号出力線との間に接続

50

される第9トランジスタと；

を含んで構成されることを特徴とする，請求項21に記載の走査駆動回路。

【請求項23】

前記第1トランジスタの出力端と前記出力線との間に接続される第1キャパシタをさらに含んで構成されることを特徴とする，請求項22に記載の走査駆動回路。

【請求項24】

前記調節信号入力線に，前記ブースト信号のハイレベルおよびローレベルの絶対値差であるパルスのスイングを調整する所定の調節信号が印加されることを特徴とする，請求項22または23に記載の走査駆動回路。

【請求項25】

前記調節信号入力線に，所定の負の電圧を供給する第3電源が印加されることを特徴とする，請求項22または23に記載の走査駆動回路。

10

【請求項26】

前記選択制御信号入力線に，奇数番目の前記選択信号および偶数番目の前記選択信号を順次出力するための選択制御信号が印加されることを特徴とする，請求項22～25のいずれかに記載の走査駆動回路。

【請求項27】

選択信号線，データ線，発光信号線およびブースト信号線に接続されるように配置される複数の画素を含む画素部と；

前記データ線にデータ信号を供給するデータ駆動回路と；

20

互いに相反する位相の信号を入力する二つのクロック信号入力線に各々接続される複数のステージを具備し，

連続して接続される複数の前記ステージを通じて，順次選択信号および/またはブースト信号を出力する第1走査駆動部と，連続して接続される複数の前記ステージを通じて，順次発光信号を出力する第2走査駆動部とで構成される走査駆動回路と；

を備え，

前記第1走査駆動部は，

前記選択信号を出力する走査駆動ユニットと；

奇数番目の前記ブースト信号を出力する第1ブースト駆動ユニットと；

偶数番目の前記ブースト信号を出力する第2ブースト駆動ユニットと；

30

を含んで構成されることを特徴とする，有機電界発光表示装置。

【請求項28】

選択信号線，データ線，発光信号線およびブースト信号線に接続されるように配置される複数の画素を含む画素部と；

前記データ線にデータ信号を供給するデータ駆動回路と；

互いに相反する位相の信号を入力する二つのクロック信号入力線に各々接続される複数のステージを具備し，

連続して接続される複数の前記ステージを通じて，順次選択信号およびブースト信号を出力する第1走査駆動部と，連続して接続される複数の前記ステージを通じて，順次発光信号を出力する第2走査駆動部とで構成される走査駆動回路と；

40

を備え，

前記第1走査駆動部は，

奇数番目の前記選択信号および奇数番目の前記ブースト信号を出力する第1走査/ブースト駆動ユニットと；

偶数番目の前記選択信号および偶数番目の前記ブースト信号を出力する第2走査/ブースト駆動ユニットと；

を含んで構成されることを特徴とする，有機電界発光表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、有機電界発光表示装置に関し、特に、有機電界発光表示装置に利用される走査駆動回路に関する。

【背景技術】

【0002】

一般に、有機電界発光表示装置は、蛍光性有機化合物を電氣的に励起させて発光させる表示装置であり、 $M \times N$ 個の有機発光セルを電圧書込み、あるいは、電流書込みして映像を表示する。このような有機発光セルは、アノード(I T O)、有機薄膜、カソードレイヤー(m e t a l)の構造を備える。

【0003】

有機薄膜は、電子と正孔の均衡を良くして発光効率を高めるために、発光層(E m i s s i o n L a y e r ; E M L)、電子輸送層(E l e c t r o n T r a n s p o r t L a y e r ; E T L)および正孔輸送層(H o l e T r a n s p o r t L a y e r ; H T L)を含む多層構造から構成される。また別途に、電子注入層(E l e c t r o n I n j e c t i o n L a y e r ; E I L)と正孔注入層(H o l e I n j e c t i o n L a y e r ; H I L)を含む。

10

【0004】

このように構成される有機発光セルを駆動する方式には、単純マトリックス(p a s s i v e m a t r i x)方式と、薄膜トランジスタ(T h i n F i l m T r a n s i s t o r ; T F T)を利用した能動駆動(a c t i v e m a t r i x)方式とがある。単純マトリックス方式は、陽極と陰極を直交するように形成し、ラインを選択して駆動する。能動駆動方式は、薄膜トランジスタを各I T O(i n d i u m t i n o x i d e ; インジウムスズ酸化物)画素電極に接続して、薄膜トランジスタのゲートに接続されたキャパシタの容量によって維持された電圧に応じて、駆動する方式である。

20

【0005】

この時、キャパシタに電圧を設定するために印加される信号の形態によって能動駆動方式は、電圧書込み(v o l t a g e p r o g r a m m i n g)方式と電流書込み(c u r r e n t p r o g r a m m i n g)方式とに分けられる。

【0006】

このような能動駆動方式の有機電界発光表示装置は、大きく分けて、表示パネル、データ駆動回路、走査駆動回路、タイミング制御部を含んで構成される。走査駆動回路は、タイミ

30

ング制御部から走査駆動制御信号の供給を受ける。これによって、走査駆動回路は、走査信号を生成し、生成された走査信号を表示パネルの走査線に順次供給する。

【0007】

すなわち、走査駆動回路は、パネル内に具備された複数の画素を駆動するために、順次走査信号を生成して、走査信号をパネルに供給する役割を遂行する。

【0008】

図1は、従来一般的な走査駆動回路の構成を示すブロック図である。図1を参照すると、従来一般的な走査駆動回路は、スタートパルスS P入力ラインに從属的に接続された複数のステージ(S T 1 ~ S T n)で構成される。複数のステージ(S T 1 ~ S T n)は、スタートパルス(S P)をクロック信号(C)によって順次シフトさせて、出力信号(S O 1 ~ S O n)を発生する。この場合、第2 ~ 第nステージ(S T 2 ~ S T n)の各々は、一つ前のステージから出力される出力信号をスタートパルスとして入力してもらい、出力信号をシフトさせる。これによって、ステージは、スタートパルスが順次シフトされる形態の出力信号(S O 1 ~ S O n)を発生して、出力信号をマトリックス画素アレイに提供ようになる。

40

【0009】

図2は、図1に図示された走査駆動回路において、任意のステージの回路図である。図3は、図2に図示されたステージの入力信号/出力信号波形図である。

【0010】

図2および図3を参照すると、従来の場合、走査駆動回路を構成する各ステージは、マ

50

スタースレーブ (Master-Slave) 形態のフリップフロップ (flip/flop) を使用する。このようなフリップフロップは、クロック信号 (clock) がローレベルの時、入力を続けて受け、出力は以前の出力を維持する。

【0011】

一方、クロック信号 (clock) がハイレベルの場合には、クロック信号 (clock) がローレベルの時、受けた入力を維持し、これを出力して、これ以上の入力を受けない。

【0012】

そして、図2の回路において、出力電圧 (out) のハイレベルは、供給電圧 (VDD) と接地との間を連結する抵抗の比による電圧値 (ratioed logic) で決定され、出力電圧 (out) のローレベルは、接地よりトランジスタの閾値電圧ほど高くなる。 10

【0013】

一方、従来の有機電界発光表示装置に関する技術を記載した文献としては、下記特許文献1~4等がある。

【0014】

【特許文献1】大韓民国特許公開第2004-0016467号

【特許文献2】大韓民国特許第0394006号

【特許文献3】大韓民国特許第0385566号

【特許文献4】特開2003-077683号公報

【発明の開示】 20

【発明が解決しようとする課題】

【0015】

しかし、従来 of 走査駆動回路において、フリップフロップ内部にインバータが具備される場合、ローレベルの入力を受け付ける時、スタティック電流 (static current) が流れるという問題がある。また、フリップフロップ内部でハイレベルの入力を受けたインバータとローレベルの入力を受けるインバータの数が同一であるから、フリップフロップ内部のインバータの中の半分で、スタティック電流が発生して消費電力が大きくなるという短所がある。また、従来 of 走査駆動回路に具備されるトランジスタの特性偏差によって各ステージにハイレベルで受け入れる入力電圧レベルが異なるので、このような回路を採用する場合、出力電圧のハイレベルにも偏差が生じて回路が誤動作するという短所がある。また、出力電圧のローレベル偏差は、図2の回路に具備されるインバータの入力トランジスタ (T1) のオン抵抗の偏差として反映されて、出力電圧のハイレベル偏差を加重させることがある。特に、有機電界発光表示装置パネルでは、特性偏差の大きいトランジスタを使用するので、このような問題がさらに深刻になる。さらに、インバータは、入力トランジスタ (T1) を通じて、電流が流れて出力端を充電し、ロードトランジスタ (T2) を通じて、電流が流れて出力端を放電するが、出力端を充電する場合、ロードトランジスタ (T2) のソースゲート電圧がますます減ってしまい、放電電流が急激に減少して放電効率が落ちるという問題がある。 30

【0016】

そこで、本発明は、このような問題に鑑みてなされたもので、その目的とするところは、能動駆動方式の有機電界発光表示装置で、消費電力の低減、走査駆動回路の誤作動、放電効率の減少を防止することができる走査駆動回路、および走査駆動回路を利用した有機電界発光表示装置を提供することにある。 40

【課題を解決するための手段】

【0017】

上記課題を解決するために、本発明の第1の観点によれば、入力信号線または一つ前のステージからの出力線に従属接続され、互いに相反する位相の信号を入力する二つのクロック信号入力線に、各々接続される複数のステージで構成される走査駆動回路において、連続して接続される複数のステージを通じて、順次選択信号および/またはブースト信号を出力する第1走査駆動部と、連続して接続される複数のステージを通じて、順次発光信 50

号を出力する第2走査駆動部とが含まれ、第1走査駆動部は、選択信号を出力する走査駆動ユニットと、奇数番目のブースト信号を出力する第1ブースト駆動ユニットと、偶数番目のブースト信号を出力する第2ブースト駆動ユニットとを含んで構成される走査駆動回路が提供される。

【0018】

本発明によれば、選択信号および/またはブースト信号を供給する第1走査駆動部と、発光信号を供給する第2走査駆動部とで構成される走査駆動回路において、第1走査駆動部は、選択信号を出力する走査駆動ユニットと、奇数番目のブースト信号を出力する第1ブースト駆動ユニットおよび偶数番目のブースト信号を出力する第2ブースト駆動ユニットを含む。第2走査駆動部および走査駆動ユニット、第1ブースト駆動ユニットおよび第2ブースト駆動ユニットの各々ステージにおいて、スタティック電流 (static current) が流れる経路 (従来の走査駆動回路のインバータ) を除去することで、消費電力を低減することができる。

10

【0019】

走査駆動ユニットおよび第1ブースト駆動ユニット、第2ブースト駆動ユニットは、各々に対応する複数のステージを具備し、各々に具備されるステージは、第1クロック端子 (CLKa) にゲート端子が接続され、最初入力信号 (IN1, IN2, IN3) または一つ前のステージからの出力信号 (gi) が入力される第1トランジスタ (M1) と、第1トランジスタ (M1) の出力端にゲート端子が接続され、第2クロック端子 (CLKb) および出力線 (out) に接続される第2トランジスタ (M2) と、第1クロック端子 (CLKa) にゲート端子が接続され、第2電源 (VSS) と第1ノード (N1) との間に接続される第3トランジスタ (M3) と、第1トランジスタ (M1) の出力端にゲート端子が接続され、第1クロック端子 (CLKa) と第1ノード (N1) との間に接続される第4トランジスタ (M4) と、第1ノード (N1) にゲート端子が接続され、第1電源 (VDD) と出力線 (out) との間に接続される第5トランジスタ (M5) とを含んで構成されてもよい。

20

【0020】

第1トランジスタ (M1) の出力端と出力線 (out) との間に接続される第1キャパシタ (C1) がさらに含まれて構成されてもよい。

【0021】

走査駆動ユニットを構成する各々ステージは、第1クロック端子 (CLKa) と第2クロック端子 (CLKb) を具備して、第1クロック端子 (CLKa) および第2クロック端子 (CLKb) に入力される第1クロック信号 (CLK1) および第2クロック信号 (CLK2) は、ハイレベルおよびローレベルを繰り返し、互いに相反する位相と、互いにハイレベルとなる位相とを含むことができる。

30

【0022】

走査駆動ユニットを構成する各々ステージの中で、奇数番目のステージにおいて、第1クロック端子 (CLKa) には、第1クロック信号 (CLK1) が供給され、第2クロック端子 (CLKb) には、第2クロック信号 (CLK2) が供給されてもよい。

【0023】

走査駆動ユニットの奇数番目のステージにおいて、最初入力信号 (IN1) または一つ前のステージからの出力信号 (gi) が入力されるフリーチャージと、フリーチャージで入力される最初入力信号 (IN1) または一つ前のステージからの出力信号 (gi) のレベルに相当する信号を出力する評価遂行とが行われ、第1クロック信号 (CLK1) がローレベルで、第2クロック信号 (CLK2) がハイレベルに入力される期間に、フリーチャージが遂行されてもよく、第1クロック信号 (CLK1) がハイレベルで、第2クロック信号 (CLK2) がローレベルに入力される期間に、評価遂行されてもよい。

40

【0024】

走査駆動ユニットを構成する各々ステージの中で、偶数番目のステージにおいて、第1クロック端子 (CLKa) には、第2クロック信号 (CLK2) が供給され、第2クロッ

50

ク端子 (CLKb) には、第1クロック信号 (CLK1) が供給されてもよい。

【0025】

走査駆動ユニットの偶数番目のステージにおいて、一つ前のステージからの出力信号 (gi) が入力されるフリーチャージと、フリーチャージで入力される一つ前のステージからの出力信号 (gi) のレベルに相当する信号を出力する評価遂行とが行われ、第1クロック信号 (CLK1) がハイレベルで、第2クロック信号 (CLK2) がローレベルに入力される期間に、フリーチャージが遂行されてもよく、第1クロック信号 (CLK1) がローレベルで、第2クロック信号 (CLK2) がハイレベルに入力される期間に、評価遂行されてもよい。

【0026】

走査駆動ユニットの各々ステージにおいて、フリーチャージされる期間には、第1電源 (VDD) からハイレベルの信号が出力され、評価遂行される期間には、フリーチャージされる期間に入力される最初入力信号 (IN1) または一つ前のステージからの出力信号 (gi) レベルに相当する信号が出力され、第1クロック信号 (CLK1)、第2クロック信号 (CLK2) がハイレベルである時、以前が上記フリーチャージされる期間であれば、上記フリーチャージされる期間に出力される信号レベルを維持して出力でき、以前が上記評価遂行される期間であれば、ハイレベルの信号を出力することができる。

【0027】

本発明によれば、フリーチャージされる期間で、第5トランジスタ (M5) を通じて、第1電源 (VDD) のハイレベルの信号が出力されるので、従来の走査駆動回路より、ハイレベルで出力される信号がトランジスタの特性偏差の影響を受けないため、走査駆動回路の誤作動を防止できる。同じく、フリーチャージで第1キャパシタ (C1) にローレベルの信号が入力され、第1クロック信号 (CLK1)、第2クロック信号 (CLK2) が共にハイレベルの場合、第2トランジスタ (M2) を通じて、ハイレベルの第2クロック信号 (CLK2) が出力されるので、ハイレベルで出力される信号がトランジスタの特性偏差の影響を受けないため、走査駆動回路の誤作動を防止できる。さらに、フリーチャージされる期間で、ハイレベルの一つ前のステージからの出力信号 (gi) または最初入力信号 (IN1) が入力される場合、第1クロック信号 (CLK1)、第2クロック信号 (CLK2) が共にハイレベルの時、評価期間時のいずれにおいても、同様に第5トランジスタ (M5) から第1電源 (VDD) のハイレベルの信号が出力される。また、ステージからハイレベルの信号を出力する時、第5トランジスタ (M5) を通じて、第1電源 (VDD) のハイレベルの信号が出力され、または、第2トランジスタ (M2) を通じて、ハイレベルの第2クロック信号 (CLK2) が出力されるので、従来の走査駆動回路のようにインバータの出力端を充電しないので、漏れる電流 (leakage current) を最小化でき、放電効率を改善して動作速度を向上できる。

【0028】

第1ブースト駆動ユニットおよび第2ブースト駆動ユニットの各々ステージは、第1クロック端子 (CLKa) および第2クロック端子 (CLKb) を具備して、第1ブースト駆動ユニットの第1クロック端子 (CLKa) および第2クロック端子 (CLKb) に入力される第3クロック信号 (CLK3) および第4クロック信号 (CLK4) は、ハイレベルおよびローレベルを繰り返し、互いに相反する位相と、互いにハイレベルとなる位相とを含むことができ、第2ブースト駆動ユニットの第1クロック端子 (CLKa) および第2クロック端子 (CLKb) に入力される第5クロック信号 (CLK5) および第6クロック信号 (CLK6) は、ハイレベルおよびローレベルを繰り返し、互いに相反する位相と、互いにハイレベルとなる位相とを含むことができる。

【0029】

第1ブースト駆動ユニットの奇数番目のステージにおいて、第1クロック端子 (CLKa) には、第3クロック信号 (CLK3) が供給され、第2クロック端子 (CLKb) には、第4クロック信号 (CLK4) が供給されてもよく、第2ブースト駆動ユニットの奇数番目のステージにおいて、第1クロック端子 (CLKa) には、第5クロック信号 (C

10

20

30

40

50

L K 5) が供給され、第 2 クロック端子 (C L K b) には、第 6 クロック信号 (C L K 6) が供給されてもよい。

【 0 0 3 0 】

第 1 ブースト駆動ユニットの偶数番目のステージにおいて、第 1 クロック端子 (C L K a) には、第 4 クロック信号 (C L K 4) が供給され、第 2 クロック端子 (C L K b) には、第 3 クロック信号 (C L K 3) が供給されてもよく、第 2 ブースト駆動ユニットの偶数番目のステージにおいて、第 1 クロック端子 (C L K a) には、第 6 クロック信号 (C L K 6) が供給され、第 2 クロック端子 (C L K b) には、第 5 クロック信号 (C L K 5) が供給されてもよい。

【 0 0 3 1 】

第 3 クロック信号 (C L K 3) および第 4 クロック信号 (C L K 4) は、走査駆動ユニットに供給される第 1 クロック信号 (C L K 1) および第 2 クロック信号 (C L K 2) に比べて、互いにハイレベルでオーバーラップされる期間が長く、フリーチャージされる期間および評価遂行される期間が長くなるように入力されてよい。また、第 5 クロック信号 (C L K 5) および第 6 クロック信号 (C L K 6) は、走査駆動ユニットに供給される第 1 クロック信号 (C L K 1) および第 2 クロック信号 (C L K 2) に比べて、互いにハイレベルでオーバーラップされる期間が長く、フリーチャージされる期間および評価遂行される期間が長くなるように入力されてよい。

【 0 0 3 2 】

第 2 ブースト駆動ユニットのステージに入力される第 5 クロック信号 (C L K 5)、第 6 クロック信号 (C L K 6) および最初入力信号 (I N 3) と、第 1 ブースト駆動ユニットのステージに入力される第 3 クロック信号 (C L K 3)、第 4 クロック信号 (C L K 4) および最初入力信号 (I N 2) とを比べる時、第 5 クロック信号 (C L K 5) は、第 3 クロック信号 (C L K 3) より 1 水平周期遅延され、第 6 クロック信号 (C L K 6) は、第 4 クロック信号 (C L K 4) より 1 水平周期遅延され、第 2 ブースト駆動ユニットに入力される最初入力信号 (I N 3) は、第 1 ブースト駆動ユニットに入力される最初入力信号 (I N 2) より 1 水平周期遅延されて入力されてもよい。

【 0 0 3 3 】

第 1 ブースト駆動ユニットに入力される最初入力信号 (I N 2)、第 2 ブースト駆動ユニットに入力される最初入力信号 (I N 3) は、走査駆動ユニットに入力される最初入力信号 (I N 1) に比べて、広い幅のローレベルを備えることができる。

【 0 0 3 4 】

第 1 ブースト駆動ユニットおよび第 2 ブースト駆動ユニットを構成する各々ステージは、第 1 トランジスタ (M 1) の出力端にゲート端子が接続され、調節信号入力線およびブースト信号出力線 (B S T) に接続される第 6 トランジスタ (M 6) と、第 1 ノード (N 1) にゲート端子が接続され、第 1 電源 (V D D) とブースト信号出力線 (B S T) との間に接続される第 7 トランジスタ (M 7) とをさらに含むことができる。

【 0 0 3 5 】

第 1 ブースト駆動ユニットにおいて、奇数番目のステージには、調節信号入力線を通じて、第 1 調節信号 (D 1) が入力され、偶数番目のステージには、調節信号入力線を通じて、第 2 調節信号 (D 2) が入力されてもよい。

【 0 0 3 6 】

第 2 ブースト駆動ユニットにおいて、奇数番目のステージには、調節信号入力線を通じて、第 3 調節信号 (D 3) が入力され、偶数番目のステージには、調節信号入力線を通じて、第 4 調節信号 (D 4) が入力されてもよい。

【 0 0 3 7 】

第 1 ブースト駆動ユニットに印加される第 1 調節信号 (D 1)、第 2 調節信号 (D 2) と、第 1 ブースト駆動ユニットに印加される第 3 クロック信号 (C L K 3)、第 4 クロック信号 (C L K 4) とを比べる時、第 1 調節信号 (D 1) は、第 4 クロック信号 (C L K 4) よりハイレベルとローレベルの絶対値の差が少ないパルスで印加され、第 2 調節信号

10

20

30

40

50

(D2)は、第3クロック信号(CLK3)よりハイレベルとローレベルの絶対値の差が少ないパルスで印加されてもよい。

【0038】

第2ブースト駆動ユニットに印加される第3調節信号(D3)、第4調節信号(D4)と、第2ブースト駆動ユニットに印加される第5クロック信号(CLK5)、第6クロック信号(CLK6)とを比べる時、第3調節信号(D3)は、第6クロック信号(CLK6)よりハイレベルとローレベルの絶対値の差が少ないパルスで印加され、第4調節信号(D4)は、第5クロック信号(CLK5)よりハイレベルとローレベルの絶対値の差が少ないパルスで印加されてもよい。

【0039】

本発明によれば、調節信号入力線から第1走査駆動部に調節信号を入力することで、ブースト信号のパルス幅とスイングを自由に調整して出力させることによって、有機EL素子(OLED)に供給される電流(IOLED)を所望の値で設定することができる。

【0040】

上記課題を解決するために、本発明の第2の観点によれば、入力信号線または一つ前のステージからの出力線に従属接続され、互いに相反する位相の信号を入力する二つのクロック信号入力線に各々接続される複数のステージで構成される走査駆動回路において、連続して接続される複数のステージを通じて、順次選択信号およびブースト信号を出力する第1走査駆動部と、連続して接続される複数のステージを通じて、順次発光信号を出力する第2走査駆動部とが含まれ、第1走査駆動部は、奇数番目の選択信号および奇数番目のブースト信号を出力する第1走査/ブースト駆動ユニットと、偶数番目の選択信号および偶数番目のブースト信号を出力する第2走査/ブースト駆動ユニットとを含んで構成される走査駆動回路が提供される。

【0041】

第1走査/ブースト駆動ユニット、第2走査/ブースト駆動ユニットは、各々に対応する複数のステージを具備し、各々に具備されるステージは、第1クロック端子(CLKa)にゲート端子が接続され、一つ前のステージからの出力信号(gi)または最初入力信号(IN4、IN5)が入力される第1トランジスタ(M1)と、第1トランジスタ(M1)の出力端にゲート端子が接続され、第2クロック端子(CLKb)および出力線(out)に接続される第2トランジスタ(M2)と、第1クロック端子(CLKa)にゲート端子が接続され、第2電源(VSS)と第1ノード(N1)との間に接続される第3トランジスタ(M3)と、第1トランジスタ(M1)の出力端にゲート端子が接続され、第1クロック端子(CLKa)と第1ノード(N1)との間に接続される第4トランジスタ(M4)と、第1ノード(N1)にゲート端子が接続され、第1電源(VDD)と出力線(out)との間に接続される第5トランジスタ(M5)と、第1トランジスタ(M1)の出力端にゲート端子が接続され、調節信号入力線およびブースト信号出力線(BST)に接続される第6トランジスタ(M6)と、第1ノード(N1)にゲート端子が接続され、第1電源(VDD)とブースト信号出力線(BST)との間に接続される第7トランジスタ(M7)と、第1トランジスタ(M1)の出力端にゲート端子が接続され、選択制御信号入力線および選択信号出力線(SEL)に接続される第8トランジスタ(M8)と、第1ノード(N1)にゲート端子が接続され、第1電源(VDD)と選択信号出力線(SEL)との間に接続される第9トランジスタ(M9)とを含むことができる。

【0042】

第1トランジスタ(M1)の出力端と出力線(out)との間に接続される第1キャパシタ(C1)をさらに含むことができる。

【0043】

調節信号入力線に、ブースト信号のハイレベルおよびローレベルの絶対値差であるパルスのスイングを調整する所定の調節信号が印加されてもよい。

【0044】

調節信号入力線に、所定の負の電圧を供給する第3電源(VL)が印加されてもよい。

10

20

30

40

50

【 0 0 4 5 】

選択制御信号入力線に、奇数番目の選択信号および偶数番目の選択信号を順次出力するための選択制御信号が印加されてもよい。

【 0 0 4 6 】

上記課題を解決するために、本発明の第3の観点によれば、選択信号線、データ線、発光信号線およびブースト信号線に接続されるように配置される複数の画素を含む画素部と、データ線にデータ信号を供給するデータ駆動回路と、互いに相反する位相の信号を入力する二つのクロック信号入力線に各々接続される複数のステージを具備し、連続して接続される複数のステージを通じて、順次選択信号および/またはブースト信号を出力する第1走査駆動部と、連続して接続される複数のステージを通じて、順次発光信号を出力する第2走査駆動部とで構成される走査駆動回路とを備え、第1走査駆動部は、選択信号を出力する走査駆動ユニットと、奇数番目のブースト信号を出力する第1ブースト駆動ユニットと、偶数番目のブースト信号を出力する第2ブースト駆動ユニットとを含んで構成される有機電界発光表示装置が提供される。

10

【 0 0 4 7 】

上記課題を解決するために、本発明の第4の観点によれば、選択信号線、データ線、発光信号線およびブースト信号線に接続されるように配置される複数の画素を含む画素部と、データ線にデータ信号を供給するデータ駆動回路と、互いに相反する位相の信号を入力する二つのクロック信号入力線に各々接続される複数のステージを具備し、連続して接続される複数のステージを通じて、順次選択信号およびブースト信号を出力する第1走査駆動部と、連続して接続される複数のステージを通じて、順次発光信号を出力する第2走査駆動部とで構成される走査駆動回路とを備え、第1走査駆動部は、奇数番目の選択信号および奇数番目のブースト信号を出力する第1走査/ブースト駆動ユニットと、偶数番目の選択信号および偶数番目のブースト信号を出力する第2走査/ブースト駆動ユニットとを含んで構成される有機電界発光表示装置が提供される。

20

【 発明の効果 】

【 0 0 4 8 】

以上説明したように本発明によれば、走査駆動回路でスタティック電流が流れる経路を除去することで、消費電力を低減することができる。また、走査駆動回路を通じて、ハイレベル出力を行う時、出力端を充電しなくなって漏れる電流 (leakage current) を最小化し、ローレベル出力を行う時、出力端を放電する電流の減少程度を最小化して、放電効率を向上して動作速度を速くすることができる。さらに、本発明の有機電界発光表示装置の画素回路の駆動トランジスタにブースト信号を入力するので、駆動トランジスタのゲート電圧を所望の電圧値に設定できるため、有機EL素子 (OLED) に流れる電流 (IOLED) を所望の値で設定できる。

30

【 発明を実施するための最良の形態 】

【 0 0 4 9 】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

40

【 0 0 5 0 】

図4は、本発明の実施形態に係る有機電界発光表示装置を概略的に図示するブロック図である。図4に図示されるように、本発明の実施形態に係る有機電界発光表示装置は、有機EL表示パネル (以下、表示パネル) 100、データ駆動回路200、走査駆動回路300を含んで構成される。走査駆動回路300は、選択信号および/またはブースト信号を供給する第1走査駆動部310と、発光信号を供給する第2走査駆動部320とから構成される。

【 0 0 5 1 】

但し、第1走査駆動部310は、選択信号およびブースト信号をそれぞれ別に出力するために、走査駆動ユニットおよびブースト駆動ユニットで分離して構成されることも可能

50

である。この場合、ブースト信号を出力するブースト駆動ユニットは、奇数番目のブースト信号および偶数番目のブースト信号を分離して出力できるように、再度分離して構成される。

【0052】

表示パネル100は、列方向に延長して形成される複数のデータ線(D1~Dm)、行方向に延長して形成される複数の信号線(S1~Sn)、複数の信号線(B1~Bn)、複数の信号線(E1~En)およびマトリクス形状に形成される複数の画素回路110を含む。ここで、複数の選択信号線(S1~Sn)は、画素を選択するための選択信号を伝達する。複数の発光信号線(E1~En)は、有機EL素子の発光期間を制御するための発光信号を伝達する。複数のブースト信号線(B1~Bn)は、駆動薄膜トランジスタ(m1)のゲート電圧を所望の値で設定するためのブースト信号を伝達する。そして、データ線(D1~Dm)、選択信号線(S1~Sn)、発光信号線(E1~En)およびブースト信号線(B1~Bn)によって定義される画素領域に、各々画素回路110が形成される。

10

【0053】

データ駆動回路200は、データ線(D1~Dm)にデータ電流(IDATA)を印加する。走査駆動回路300の第1走査駆動部310は、選択信号線(S1~Sn)に画素回路を選択するための選択信号を順次印加し、画素回路の駆動薄膜トランジスタ(m1)のゲート電圧を所望の値で設定するためのブースト信号をブースト信号線(B1~Bn)に順次印加する。また、走査駆動回路300の第2走査駆動部320は、画素回路110の輝度を制御するための発光信号を発光信号線(E1~En)に順次印加する。

20

【0054】

図5は、図4に図示される有機電界発光表示装置の各画素領域に具備される画素回路の実施形態を示す回路図である。但し、図5では、説明の便宜上、j番目のデータ線(Dj)とi番目の選択信号線(Si)、i番目の発光信号線(Ei)、i番目のブースト信号線(Bi)に接続される画素回路のみを図示する。

【0055】

図5に図示されるように、本発明の実施形態に係る画素回路110は、有機EL素子(OLED)、トランジスタ(m1~m4)、キャパシタ(C1)、およびキャパシタ(C2)を含む。ここで、トランジスタ(m1~m4)では、PMOSトランジスタを用いるが、これに限定されない。

30

【0056】

トランジスタ(m1)は、電源(VDD)と有機EL素子(OLED)との間に接続され、有機EL素子(OLED)に流れる電流を制御する。具体的には、トランジスタ(m1)のソースは、電源(VDD)に接続され、ドレイン(出力端)は、トランジスタ(m3)を通じて、有機EL素子(OLED)のカソードに接続される。また、トランジスタ(m2)は、ゲートが選択信号線(Si)に接続され、ソースがデータ線(Dj)に、ドレインがトランジスタ(m1)のゲートに接続される。これにより、トランジスタ(m2)は、選択信号線(Si)からの選択信号に応答して、データ線(Dj)からのデータ信号(データ電流IDATA)をトランジスタ(m1)のゲートに伝達する。トランジスタ(m4)は、ゲートが選択信号線(Si)に接続され、ソースがデータ線(Dj)に、ドレインがトランジスタ(m1)のドレインに接続される。これにより、トランジスタ(m4)は、選択信号に応答してトランジスタ(m1)をダイオード連結させる。

40

【0057】

また、キャパシタ(C1)は、トランジスタ(m1)のゲートとソースとの間に接続され、データ線(Dj)からのデータ電流(IDATA)に相当する電圧を充電する。トランジスタ(m3)は、ゲートが発光信号線(Ei)に接続され、ソースがトランジスタ(m1)のドレインに、ドレインが有機EL素子(OLED)のカソードに接続される。よって、トランジスタ(m3)は、発光信号線(Ei)からの発光信号に応答して、トランジスタ(m1)に流れる電流を有機EL素子(OLED)に伝達する。また、キャパシタ

50

(C2)は、トランジスタ(m1)のゲートとブースト信号線(Bi)との間に接続される。この時、キャパシタ(C2)のノードの電圧は、ブースト信号線(Bi)からのブースト信号の電圧上昇幅(V_B)ほど上昇するようになって、トランジスタ(m1)のゲート電圧(V_G)の増加量(ΔV_G)は、下記数式1のようになる。したがって、トランジスタ(m1)、トランジスタ(m2)の寄生キャパシタンス成分に対応して、ブースト信号の電圧上昇幅(V_B)を調節してトランジスタ(m1)のゲート電圧(V_G)の上昇幅(ΔV_G)を所望の値で設定することができる。すなわち、有機EL素子(OLED)に供給される電流(I_{OLED})を所望の値で設定することができる。

【0058】

【数1】

$$\Delta V_G = \frac{\Delta V_B C_2}{C_1 + C_2} \dots \dots \dots \text{(数式1)}$$

10

【0059】

上記数式1で、V_Gは、トランジスタ(m1)のゲート電圧(V_G)の増加量であり、V_Bは、ブースト信号線(Bi)からのブースト信号の電圧上昇幅である。C₁は、トランジスタ(m1)の寄生キャパシタンスであり、C₂は、トランジスタ(m2)の寄生キャパシタンスである。

20

【0060】

図6は、図5の画素回路に入力される選択信号および発光信号、ブースト信号に対するタイミング図である。図5および図6を参照すると、選択信号線(Si)の選択信号によってトランジスタ(m2)およびトランジスタ(m4)がターンオンされて、トランジスタ(m1)のゲートにデータ線(Dj)から印加されるデータ電流(IDATA)が伝達される間に、トランジスタ(m3)がターンオフされている必要がある。もしも、トランジスタ(m1)のゲートにデータ線(Dj)から印加されるデータ電流(IDATA)が伝達される間に、トランジスタ(m3)がターンオンされて有機EL素子(OLED)に電流が流れると、トランジスタ(m1)のドレインには、データ電流(IDATA)と有機EL素子(OLED)に流れる電流の差に相当する電流が流れ、この電流に対応する電圧がキャパシタ(C1)に書込み(充電)される。

30

【0061】

これによって、図6に図示されるように、発光信号線(Ei)のハイレベルの発光信号パルスの終端を選択信号線(Si)のローレベルの選択信号パルスの終端より、後にすると、トランジスタ(m2)がターンオンされている途中で、トランジスタ(m3)がターンオンされない。すなわち、本発明の実施形態の場合、水平周期を基準として、選択信号のローレベルパルス幅が水平周期より、例えば、約2μs少なく印加され、これに対して、発光信号のハイレベルパルス幅は、選択信号のローレベルパルス幅をすべて含むように大きく印加される。そして、ブースト信号線(Bi)のローレベルのブースト信号パルスの終端が選択信号のローレベルのパルスの終端より先に来ると、キャパシタ(C2)のノード電圧が上昇した後、データ電流(IDATA)の書込みが完了するので、キャパシタ(C2)のノード電圧を上昇させる効果が消える。

40

【0062】

よって、本発明の実施形態の場合、図6に図示されるように、選択信号線(Si)に伝達される選択信号のローレベルパルスの終端を、ブースト信号線(Bi)に伝達されるローレベルのブースト信号のパルスの終端より先に来ようすれば、データ電流(IDATA)の書込み以後に、キャパシタ(C2)のノード電圧が上昇する。また、ブースト信号のローレベルのパルスのスタートが、選択信号のローレベルのパルスのスタートより後に来れば、キャパシタ(C1)に電圧が書込みされる途中で、キャパシタ(C2)のノード電圧の下降によって、キャパシタ(C1)の電圧が変わる。

50

【0063】

このように、キャパシタ(C1)の電圧が変更されると、キャパシタ(C1)の電圧書き込み動作を再度行わなければならないので、キャパシタ(C1)に電圧を書き込みする時間が不足する。よって、図6に図示されるように、選択信号線(Si)に伝達されるローレベルの選択信号のスタートを、ブースト信号線(Bi)に伝達されるローレベルのブースト信号のスタートより後に来るようにすると、キャパシタ(C2)のノード電圧が下降した以後に、データ電流(IDATA)の書き込み動作がなされる。そして、ブースト信号線(Bi)と発光信号線(Ei)とに接続される負荷の差によって、ハイレベルの発光信号のパルスの終端が、ローレベルのブースト信号のパルスの終端より先に来ると、ハイレベルの発光信号のパルスの終端とローレベルのブースト信号のパルスの終端の期間中、キャパシタ(C2)のノード電圧上昇前の電流が有機EL素子(OLED)に流れて、有機EL素子(OLED)にストレスを与える。このような動作が引き続いて繰り返されると、有機EL素子(OLED)の寿命が短くなる。

10

【0064】

したがって、図6に図示されるように、ブースト信号線(Bi)に伝達されるローレベルのブースト信号パルスの終端を、発光信号線(Ei)に伝達されるハイレベルの発光信号パルスの終端より先に来るようにし、キャパシタ(C2)のノード電圧上昇以後に、有機EL素子(OLED)に電流が流れることができる。

【0065】

また、ハイレベルの発光信号のパルススタートが、ローレベルのブースト信号のパルススタートより後に来ると、ローレベルのブースト信号のパルススタートとハイレベルの発光信号のパルススタートとの間の期間中、キャパシタ(C2)のノード電圧下降による電流が有機EL素子(OLED)に流れて有機EL素子(OLED)にストレスを与える。このようなストレスが繰り返されると、有機EL素子(OLED)の寿命が短くなることがある。したがって、図6に図示されるように、ハイレベルの発光信号のパルススタートをローレベルのブースト信号のパルススタートより先に来るようにし、トランジスタ(m3)がターンオフされた以後に、キャパシタ(C2)のノード電圧が降下するようにする。

20

【0066】

すなわち、本発明の実施形態の場合、ブースト信号のローレベルパルス幅は、選択信号のローレベルパルス幅を含むように大きく印加されながら、発光信号のハイレベルパルス幅より少なく印加される。このような選択信号、ブースト信号および発光信号は、図4を通じて説明したように、第1走査駆動部310および第2走査駆動部320を通じて、出力されてパネルに供給される。

30

【0067】

以下では、図6に図示される波形を備える選択信号およびブースト信号を出力する本発明の実施形態に係る走査駆動回路の構成および動作について説明する。すなわち、本発明の実施形態の走査駆動回路の中で、第1走査駆動部310の構成について説明し、発光信号を出力する第2走査駆動部320は、第1走査駆動部310の構成および動作から十分に類推可能である。簡単に説明すると、第2走査駆動部320は、入力信号線または一つ前のステージからの出力線に従属接続され、互いに相反する位相の信号を出力する二つのクロック信号入力線に接続される複数のステージを具備する。その連続して接続される複数のステージを通じて、順次発光信号を出力する。

40

【0068】

(第1実施形態)

図7は、本発明の第1実施形態に係る走査駆動回路の第1走査駆動部の構成を示すブロック図である。ここで、本発明の第1実施形態に係る第1走査駆動部310は、選択信号およびブースト信号を各々別に出力するために、走査駆動ユニット312およびブースト駆動ユニット314、ブースト駆動ユニット316で分離して構成される。特に、ブースト信号を出力するブースト駆動ユニットは、奇数番目のブースト信号および偶数番目のブ

50

ースト信号を分離して出力するために、第1ブースト駆動ユニット314および第2ブースト駆動ユニット316で構成される。走査駆動ユニット312および第1ブースト駆動ユニット314、第2ブースト駆動ユニット316は、各々に対応し、連続して接続される複数のステージを具備する。

【0069】

走査駆動ユニット312の各々ステージは、入力信号線(IN1)または一つ前のステージからの出力線(g_i)に従属接続される。第1ブースト駆動ユニット314の各々ステージは、入力信号線(IN2)または一つ前のステージの出力線(g_i)に従属接続され、第2ブースト駆動ユニット316の各々ステージは、入力信号線(IN3)または一つ前のステージの出力線(g_i)に従属接続される。より詳しく説明すると、走査駆動ユニット312の第1ステージが、入力信号線(IN1)に直接接続され、第2ステージは、第1ステージの出力線に接続され、第1ステージ以降のステージにおいて、一つ前のステージの出力線に接続される。よって、従属接続とは、入力信号線(IN1)に直接接続される第1ステージを介して、第2～第nステージが間接的に入力信号線(IN1)に接続されることを意味する。第1ブースト駆動部314および第2ブースト駆動部316のn個のステージにおいても、同様である。

【0070】

走査駆動ユニット312および第1ブースト駆動ユニット314、第2ブースト駆動ユニット316のn個のステージの出力線は、画素アレイに含まれるn個の選択信号線(S₁～S_n)、ブースト信号線(B₁～B_n)に各々接続されて、画素アレイを構成する各々の画素に選択信号およびブースト信号を供給する。第1ブースト駆動ユニット314は、奇数番目のブースト信号を出力するので、奇数番目のブースト信号線に接続され、第2ブースト駆動ユニット316は、偶数番目のブースト信号を出力するので、偶数番目のブースト信号線に接続される。ここで、走査駆動ユニット312の第1ステージには、最初入力信号(IN1)が供給され、第1ブースト駆動ユニット314の第1ステージには、最初入力信号(IN2)が供給され、第2ブースト駆動ユニット316の第1ステージには、最初入力信号(IN3)が供給される。そして、第1～第n-1ステージの出力信号(g_i)は、各々一つ後のステージに、入力信号として供給される。

【0071】

また、選択信号を出力する走査駆動ユニット312の各々ステージは、第1クロック端子(CLK_a)と第2クロック端子(CLK_b)を具備する。第1クロック信号(CLK₁)および第2クロック信号(CLK₂)は、ローレベルおよびハイレベルの信号を繰り返し、互いが相反する位相と、互いにハイレベルとなる位相とを備える。走査駆動ユニット312の奇数番目のステージの第1クロック端子(CLK_a)は、第1クロック信号入力線(CLK₁)に接続されるので、第1クロック信号(CLK₁)が供給され、第2クロック端子(CLK_b)は、第2クロック信号入力線(CLK₂)に接続されるので、第2クロック信号(CLK₂)が供給される。これと反対に、走査駆動ユニット312の偶数番目のステージの第1クロック端子(CLK_a)は、第2クロック信号入力線(CLK₂)に接続されるので、第2クロック信号(CLK₂)が供給され、第2クロック端子(CLK_b)は、第1クロック信号入力線(CLK₁)に接続されるので、第1クロック信号(CLK₁)が供給される。ここで、第1クロック信号入力線(CLK₁)、第2クロック信号入力線(CLK₂)は、互いに相反する位相の信号を入力する二つのクロック信号入力線である。

【0072】

すなわち、走査駆動ユニット312において、最初入力信号(IN1)または一つ前のステージからの出力信号(g_i)と、第1クロック信号(CLK₁)および第2クロック信号(CLK₂)の供給を受ける各々ステージは、最初入力信号(IN1)がローレベルの場合、各々ステージの出力線を通じて、第1クロック信号(CLK₁)および第2クロック信号(CLK₂)がハイレベルでオーバーラップされる所定の部分だけ、時間間隔を置いて、選択信号線に順次ローレベルの信号を出力する。

10

20

30

40

50

【 0 0 7 3 】

これと同様に、奇数番目のブースト信号を出力する第1ブースト駆動ユニット314および偶数番目のブースト信号を出力する第2ブースト駆動ユニット316の各ステージもまた、第1クロック端子(CLK a)と第2クロック端子(CLK b)を具備する。第3クロック信号(CLK 3)および第4クロック信号(CLK 4)は、ローレベルおよびハイレベルの信号を繰り返し、互いに相反する位相と、互いにハイレベルとなる位相とを備える。第5クロック信号(CLK 5)および第6クロック信号(CLK 6)も、ローレベルおよびハイレベルの信号を繰り返し、互いに相反する位相と、互いにハイレベルとなる位相とを備える。ここで、図7に図示されるように、第1ブースト駆動ユニット314の奇数番目のステージの第1クロック端子(CLK a)は、第3クロック信号入力線(CLK 3)に接続されるので、第3クロック信号(CLK 3)が供給され、第2クロック端子(CLK b)は、第4クロック信号入力線(CLK 4)に接続されるので、第4クロック信号(CLK 4)が供給される。これと反対に、第1ブースト駆動ユニット314の偶数番目のステージの第1クロック端子(CLK a)は、第4クロック信号入力線(CLK 4)に接続されるので、第4クロック信号(CLK 4)が供給され、第2クロック端子(CLK b)は、第3クロック信号入力線(CLK 3)に接続されるので、第3クロック信号(CLK 3)が供給される。ここで、第3クロック信号入力線(CLK 3)、第4クロック信号入力線(CLK 4)は、互いに相反する位相の信号を入力する二つのクロック信号入力線である。

10

【 0 0 7 4 】

同様に、第2ブースト駆動ユニット316の奇数番目のステージの第1クロック端子(CLK a)は、第5クロック信号入力線(CLK 5)に接続されるので、第5クロック信号(CLK 5)が供給され、第2クロック端子(CLK b)は、第6クロック信号入力線(CLK 6)に接続されるので、第6クロック信号(CLK 6)が供給される。これと反対に、第2ブースト駆動ユニット316の偶数番目のステージの第1クロック端子(CLK a)は、第6クロック信号入力線(CLK 6)に接続されるので、第6クロック信号(CLK 6)が供給され、第2クロック端子(CLK b)は、第5クロック信号入力線(CLK 5)に接続されるので、第5クロック信号(CLK 5)が供給される。ここで、第5クロック信号入力線(CLK 5)、第6クロック信号入力線(CLK 6)は、互いに相反する位相の信号を入力する二つのクロック信号入力線である。

20

30

【 0 0 7 5 】

すなわち、第1ブースト駆動ユニット314において、最初入力信号(IN 2)または一つ前のステージからの出力信号(g_i)と、第3クロック信号(CLK 3)および第4クロック信号(CLK 4)の供給を受ける各ステージは、最初入力信号(IN 2)がローレベルの場合、各ステージの出力線を通じて、第3クロック信号(CLK 3)および第4クロック信号(CLK 4)がハイレベルでオーバーラップされる所定の部分だけ、時間間隔を置いて奇数番目のブースト信号線に順次ローレベルの信号を出力する。同様に、第2ブースト駆動ユニット316において、最初入力信号(IN 3)または一つ前のステージからの出力信号(g_i)と、第5クロック信号(CLK 5)および第6クロック信号(CLK 6)の供給を受ける各ステージは、最初入力信号(IN 3)がローレベルの場合、各

40

【 0 0 7 6 】

この時、図6を通じて前述したように、ブースト信号のローレベルパルス幅は、これに対応する選択信号のローレベルパルス幅を含むように大きく出力されながら、発光信号のハイレベルパルス幅より少なく出力されることを特徴とする。また、選択信号のローレベルパルス幅は、水平周期より少ない幅で出力される。すなわち、本発明の第1実施形態の場合、出力されるブースト信号のパルス幅を水平周期より大きくするために、ブースト駆動ユニットを奇数番目のブースト信号出力用および偶数番目のブースト信号出力用に分け

50

て構成することを特徴とする。

【0077】

図8は、本発明の第1実施形態に係る第1走査駆動部内の任意のステージに対する回路図であり、図7に図示される走査駆動ユニット、第1ブースト駆動ユニットおよび第2ブースト駆動ユニットの奇数番目のステージに対する具体的な回路構成を示すものである。また、図9は、図8に図示されるステージの入力信号/出力信号のタイミング図である。

【0078】

図9を参照すると、走査駆動ユニット312の奇数番目のステージは、入力される第1クロック信号(CLK1)、第2クロック信号(CLK2)において、互いに位相の異なる第1期間の間には、フリーチャージを遂行し、第1期間と反転した位相を備える第2期間の間に、評価を遂行する。第1ブースト駆動ユニット314および第2ブースト駆動ユニット316の奇数番目のステージは、入力される第3クロック信号(CLK3)、第4クロック信号(CLK4)または第5クロック信号(CLK5)、第6クロック信号(CLK6)において、互いに位相の異なる第1期間の間には、フリーチャージを遂行し、第1期間と反転した位相を備える第2期間の間に、評価を遂行する。

10

【0079】

ここで、フリーチャージとは、最初入力信号(IN1またはIN2またはIN3)または一つ前のステージからの出力信号(gi)の入力を受け付けることである。評価遂行とは、フリーチャージで入力される信号(最初入力信号(IN1またはIN2またはIN3)または一つ前のステージからの出力信号(gi))のレベルに相当する信号(選択信号、ブースト信号)を出力することである。すなわち、走査駆動ユニット312、第1ブースト駆動ユニット314および第2ブースト駆動ユニット316の各々ステージにおいて、フリーチャージされる期間(第1期間)に、ローレベルの信号が入力される場合、評価遂行される期間(第2期間)では、フリーチャージで入力されたローレベルの信号を、クロック信号がハイレベルでオーバーラップされる所定の部分だけ、時間間隔を置いて順次後のステージで出力する。すなわち、フリーチャージ期間では、ハイレベルの信号(選択信号、ブースト信号)を出力し、評価期間では、フリーチャージ期間に入力される信号レベルに相当する信号(選択信号、ブースト信号)を出力する。また、奇数番目のステージの評価期間を偶数番目のステージのフリーチャージ期間と同じにする。

20

【0080】

以下、図8に図示される奇数番目のステージの回路構成を通じて、より具体的にステージの動作を説明する。但し、ステージに具備されるトランジスタは、以下、PMOS薄膜トランジスタをその例として説明するが、本発明の実施形態は、必ずしもこれに限定されない。

30

【0081】

図8を参照すると、本発明の第1実施形態に係る走査駆動ユニット312の奇数番目のステージ400は、第1クロック端子(CLKa)にゲート端子が接続され、一つ前のステージからの出力信号(gi)または最初入力信号(IN1)が入力される第1トランジスタ(M1)と、第1トランジスタ(M1)の出力端にゲート端子が接続され、第2クロック端子(CLKb)および出力線(out)に接続される第2トランジスタ(M2)と、第1クロック端子(CLKa)にゲート端子が接続され、第2電源(VSS)と第1ノード(N1)との間に接続される第3トランジスタ(M3)と、第1トランジスタ(M1)の出力端にゲート端子が接続され、第1クロック端子(CLKa)と第1ノード(N1)との間に接続される第4トランジスタ(M4)と、第1ノード(N1)にゲート端子が接続され、第1電源(VDD)と出力線(out)との間に接続される第5トランジスタ(M5)とを含んで構成される。また、第1トランジスタ(M1)の出力端と出力線(out)との間に接続される第1キャパシタ(C1)をさらに含んで構成される。そして、走査駆動ユニット312の奇数番目のステージの出力線は、一つ後の偶数番目のステージの第1トランジスタ(M1)のソースに接続される。第1ブースト駆動ユニット314、第2ブースト駆動ユニット316の場合についても、同様である。ここで、第1ブースト

40

50

駆動ユニット 3 1 4 の奇数番目のステージ 4 0 0 では，最初入力信号は，最初入力信号（I N 2）であり，第 2 ブースト駆動ユニット 3 1 6 の奇数番目のステージ 4 0 0 では，最初入力信号は，最初入力信号（I N 3）であり，それ以外の回路構成は，走査駆動ユニット 3 1 2 と同じである。

【 0 0 8 2 】

ここで，ステージが走査駆動ユニット 3 1 2 の奇数番目のステージ 4 0 0 の場合には，図 7 に図示されるように，第 1 クロック端子（C L K a）に第 1 クロック信号入力線（C L K 1）が接続されるので，第 1 クロック信号（C L K 1）が供給され，第 2 クロック端子（C L K b）に第 2 クロック信号入力線（C L K 2）が接続されるので，第 2 クロック信号（C L K 2）が供給される。これと反対に，ステージ 4 0 0 が偶数番目の場合には，第 1 クロック端子（C L K a）に第 2 クロック信号入力線（C L K 2）が接続されるので，第 2 クロック信号（C L K 2）が供給され，第 2 クロック端子（C L K b）に第 1 クロック信号入力線（C L K 1）が接続されるので，第 1 クロック信号（C L K 1）が供給される。

10

【 0 0 8 3 】

一方，ステージが第 1 ブースト駆動ユニット 3 1 4 の奇数番目のステージ 4 0 0 の場合には，図 7 に図示されるように，第 1 クロック端子（C L K a）に第 3 クロック信号入力線（C L K 3）が接続されるので，第 3 クロック信号（C L K 3）が供給され，第 2 クロック端子（C L K b）に第 4 クロック信号入力線（C L K 4）が接続されるので，第 4 クロック信号（C L K 4）が供給される。これと反対に，ステージ 4 0 0 が偶数番目の場合には，第 1 クロック端子（C L K a）に第 4 クロック信号入力線（C L K 4）が接続されるので，第 4 クロック信号（C L K 4）が供給され，第 2 クロック端子（C L K b）に第 3 クロック信号入力線（C L K 3）が接続されるので，第 3 クロック信号（C L K 3）が供給される。

20

【 0 0 8 4 】

また，ステージが第 2 ブースト駆動ユニット 3 1 6 の奇数番目のステージ 4 0 0 の場合には，図 7 で図示されるように，第 1 クロック端子（C L K a）に第 5 クロック信号入力線（C L K 5）が接続されるので，第 5 クロック信号（C L K 5）が供給され，第 2 クロック端子（C L K b）に第 6 クロック信号入力線（C L K 6）が接続されるので，第 6 クロック信号（C L K 6）が供給される。これと反対に，ステージ 4 0 0 が偶数番目の場合には，第 1 クロック端子（C L K a）に第 6 クロック信号入力線（C L K 6）が接続されるので，第 6 クロック信号（C L K 6）が供給され，第 2 クロック端子（C L K b）に第 5 クロック信号入力線（C L K 5）が接続されるので，第 5 クロック信号（C L K 5）が供給される。また，第 2 電源（V S S）には，別途の負の電源が印加されるが，図 8 に図示されるように接地されて構成されることも可能である。本発明の実施形態では，第 2 電源が接地で具現される。

30

【 0 0 8 5 】

走査駆動ユニット 3 1 2，第 1 ブースト駆動ユニット 3 1 4 および第 2 ブースト駆動ユニット 3 1 6 の各ステージは，大きく分けて伝達部，反転部，バッファ部で構成される。伝達部は，第 1 トランジスタ（M 1），第 2 トランジスタ（M 2）および第 1 キャパシタ（C 1）で構成される。反転部は，第 1 トランジスタ（M 1），第 3 トランジスタ（M 3），第 4 トランジスタ（M 4）で構成される。バッファ部は，第 5 トランジスタ（M 5）で構成される。

40

【 0 0 8 6 】

ステージが走査駆動ユニット 3 1 2 の奇数番目のステージだと仮定する場合，第 1 クロック信号（C L K 1）がローレベル，すなわち，第 2 クロック信号（C L K 2）がハイレベルである期間がフリーチャージ期間になる。第 1 クロック信号（C L K 1）がハイレベル，すなわち，第 2 クロック信号（C L K 2）がローレベルである期間が評価期間となる。このため，フリーチャージ期間では，ハイレベルの信号（選択信号）を出力し，評価期間では，フリーチャージ期間に入力される信号レベルに相当する信号（選択信号）を出力

50

する。また、ステージが走査駆動ユニット312の偶数番目のステージの場合、第1クロック信号(CLK1)がハイレベル、すなわち、第2クロック信号(CLK2)がローレベルである期間がフリーチャージ期間になる。第1クロック信号(CLK1)がローレベル、すなわち、第2クロック信号(CLK2)がハイレベルである期間が評価期間となる。

【0087】

但し、本発明の実施形態の場合、各ステージに入力される信号として、第1クロック信号(CLK1)、第2クロック信号(CLK2)または第3クロック信号(CLK3)、第4クロック信号(CLK4)または第5クロック信号(CLK5)、第6クロック信号(CLK6)が各々図9に図示されるように、共にハイレベルである所定の部分がオーバーラップされて提供されることを特徴とする。これは、各ステージに入力される一対の第1クロック信号(CLK1)、第2クロック信号(CLK2)または一対の第3クロック信号(CLK3)、第4クロック信号(CLK4)または一対の第5クロック信号(CLK5)、第6クロック信号(CLK6)が、ハイレベルで所定の部分オーバーラップされるだけ、時間間隔を置いて、順次後のステージにローレベルの信号を出力する。このように各ステージの出力信号間に所定の時間間隔を置くようにすることは、クロックスキュー(skew)または遅延(delay)に対するマージンを確保するためである。

【0088】

図8および図9より、走査駆動ユニット312の奇数番目のステージに対する回路を参照して、回路の動作を説明する。以下の回路の動作は、第1ブースト駆動ユニット314、第2ブースト駆動ユニット316の奇数番目のステージに対する回路の動作と同様である。また、走査駆動ユニット312、第1ブースト駆動ユニット314、第2ブースト駆動ユニット316の偶数番目のステージでは、入力される各々クロック信号が、奇数番目のステージで入力されるクロック信号の反対となる以外、同じ動作をするので、詳細な説明は略する。まず、フリーチャージ期間、すなわち、第1クロック信号(CLK1)がローレベル、すなわち、第2クロック信号(CLK2)がハイレベルに入力される間(第1期間)には、第1トランジスタ(M1)、第3トランジスタ(M3)がオンになって、これに最初入力信号(IN1)または一つ前のステージからの出力信号(gi)が第2トランジスタ(M2)、第4トランジスタ(M4)のゲート端子に伝達される。したがって、フリーチャージ期間には、第1キャパシタ(C1)に入力信号として、一つ前のステージからの出力信号(gi)または最初入力信号(IN1)に相当する電圧が保存される。第1ノード(N1)には、第1クロック信号(CLK1)または第2電源(VSS)によってローレベルの信号が充電されるので、第5トランジスタ(M5)がオンされて、ハイレベルの第1電源(VDD)が出力端(out)を通じて出力される。

【0089】

すなわち、フリーチャージ期間で、ステージのバッファ部(第5トランジスタ(M5))出力は、ハイレベルになる。また、第1クロック信号(CLK1)がハイレベル、第2クロック信号(CLK2)がローレベルに入力される間(第2期間)、すなわち、評価期間の間には、第1トランジスタ(M1)がオフされて、最初入力信号(IN1)が遮られ、これとともに、第2トランジスタ(M2)、第3トランジスタ(M3)、第4トランジスタ(M4)も同様にオフされる。この時、フリーチャージ期間の間に入力される信号、すなわち、一つ前のステージからの出力信号(gi)または最初入力信号(IN1)がハイレベルの場合には、フリーチャージ期間で第1キャパシタ(C1)には、ハイレベルの信号が保存されるので、評価期間の間、第2トランジスタ(M2)、第4トランジスタ(M4)は、オフされる。しかし、フリーチャージ期間で第3トランジスタ(M3)は、オンとなるので、第1ノード(N1)は、第2電源(VSS)のローレベルの信号が充電されるので、評価期間の間、第5トランジスタ(M5)はオンされ、第5トランジスタ(M5)(バッファ部)は、相変わらず第1電源(VDD)からハイレベルの信号を出力する。

【0090】

一方、フリーチャージ期間の間に入力される信号、すなわち、一つ前のステージからの出力信号 (g i) または最初入力信号 (I N 1) がローレベルの場合には、第1キャパシタ (C 1) によって保存されるローレベル信号によって、評価期間の間、第2トランジスタ (M 2) がオンになり、第4トランジスタ (M 4) がオンとなる。第4トランジスタ (M 4) がオンされることによって、第1ノード (N 1) に、第4トランジスタ (M 4) を通じて、ハイレベルの第1クロック信号 (C L K 1) が充電されるので、第5トランジスタ (M 5) はオフされる。伝達部では、第2トランジスタ (M 2) がオンになることによってローレベル値を備える第2クロック信号 (C L K 2) が出力端を通じて出力される。

【0091】

本発明の実施形態によれば、走査駆動回路にインバータを用いないため、フリーチャージ期間に入力される一つ前のステージからの出力信号 (g i) または最初入力信号 (I N 1) がローレベルの場合には、走査駆動回路にスタティック電流が流れないので、従来の走査駆動回路に比べて、消費電力を低減することができる。また、評価期間において、第2トランジスタ (M 2) を通じて、ローレベルの第2クロック信号 (C L K 2) が出力線から出力されるので、従来の走査駆動回路より、ローレベルで出力される信号がトランジスタの特性偏差の影響を受けないため、走査駆動回路の誤作動を防止できる。さらに、ローレベルの信号を出力する時、第2トランジスタ (M 2) を通じて、ローレベルの第2クロック信号 (C L K 2) が出力線から出力されるので、従来の走査駆動回路のようにインバータの出力端を放電する電流の減少程度を最小化でき、放電効率を改善して動作速度を向上できる。

【0092】

以上説明したように、評価期間において、各々ステージは、以前フリーチャージ期間に入力される信号、すなわち、一つ前のステージからの出力信号 (g i) または最初入力信号 (I N 1) がローレベルの場合には、ローレベルの信号を出力し、ハイレベルの場合には、ハイレベルの信号を出力するような動作を遂行する。

【0093】

但し、前述したようにステージに入力される信号としての第1クロック信号 (C L K 1)、第2クロック信号 (C L K 2) は、図9で図示されるように、互いにハイレベルである所定の部分だけオーバーラップされて提供されることを特徴とする。このため、第1クロック信号 (C L K 1) および第2クロック信号 (C L K 2) がハイレベルである時、その以前がフリーチャージ期間であれば、第1クロック信号 (C L K 1) によって制御される第1トランジスタ (M 1)、第3トランジスタ (M 3) がすべてオフになる。以前のフリーチャージ期間にハイレベルの信号が入力される時、第1キャパシタ (C 1) にハイレベルの信号が充電されるので、第2トランジスタ (M 2)、第4トランジスタ (M 4) は、オフされる。この場合、第1ノード (N 1) は、フリーチャージ期間に充電された第3トランジスタ (M 3) からの第2電源 (V S S) のローレベル電圧が充電されている。よって、第5トランジスタ (M 5) がオンとなり、以前の出力、第1電源 (V D D) のハイレベルの信号を維持する。また、以前のフリーチャージ期間にローレベルの信号が入力される場合、第1クロック信号 (C L K 1) および第2クロック信号 (C L K 2) がハイレベルとなると、第2トランジスタ (M 2) は第1キャパシタ (C 1) に充電されたローレベル信号によって、オンになり、第4トランジスタ (M 4) もオンされる。よって、第1ノード (N 1) に、第4トランジスタ (M 4) を通じて、ハイレベルの第1クロック信号 (C L K 1) が伝達されて、第5トランジスタ (M 5) は、遮断される。しかし、オンされた第2トランジスタ (M 2) を通じて、ハイレベルの第2クロック信号 (C L K 2) が、ハイレベルの信号 (選択信号) として出力される。

【0094】

一方、その以前が評価期間であれば、第1トランジスタ (M 1)、第3トランジスタ (M 3) がオフになっており、第2トランジスタ (M 2) は、以前の状態を維持する。つまり、フリーチャージ期間でローレベルの信号を入力された評価期間では、第2トランジスタ (M 2) は、第1キャパシタ (C 1) に充電されたローレベルの信号によって、オンさ

れ、第4トランジスタ(M4)もオンとなる。よって、オンされた第2トランジスタ(M2)を通じて、ハイレベルの第2クロック信号(CLK2)が、ハイレベルの信号(選択信号)として出力される。そして、フリーチャージ期間でハイレベルの信号を入力された評価期間では、第2トランジスタ(M2)、第4トランジスタ(M4)がオフされているので、フリーチャージ期間に第3トランジスタ(M3)を通じて充電されたローレベルが第1ノード(N1)で維持されるため、第5トランジスタ(M5)は、オンとなる。よって、第1電源(VDD)からハイレベルの信号出力が維持される。

【0095】

本発明の実施形態によれば、フリーチャージ期間で第5トランジスタ(M5)を通じて、第1電源(VDD)のハイレベルの信号が出力されることによって、従来の走査駆動回路より、ハイレベルで出力される信号がトランジスタの特性偏差の影響を受けないため、走査駆動回路の誤作動を防止できる。同じく、フリーチャージで第1キャパシタ(C1)にローレベルの信号が入力され、第1クロック信号(CLK1)、第2クロック信号(CLK2)が共にハイレベルの場合、第2トランジスタ(M2)を通じて、ハイレベルの第2クロック信号(CLK2)が出力されるので、ハイレベルで出力される信号がトランジスタの特性偏差の影響を受けないため、走査駆動回路の誤作動を防止できる。さらに、フリーチャージ期間でハイレベルの一つ前のステージからの出力信号(gi)または最初入力信号(IN1)が入力される場合、第1クロック信号(CLK1)、第2クロック信号(CLK2)が共にハイレベルの時、評価期間時のいずれにおいても、第5トランジスタ(M5)から第1電源(VDD)のハイレベルの信号が出力される。また、ハイレベルの信号を出力する時、第5トランジスタ(M5)を通じて、第1電源(VDD)のハイレベルの信号が出力され、または、第2トランジスタ(M2)を通じて、ハイレベルの第2クロック信号(CLK2)が出力されるので、従来の走査駆動回路のようにインバータの出力端を充電しないので、漏れる電流(leakage current)を最小化でき、放電効率を改善して動作速度を向上できる。

【0096】

このように第1クロック信号(CLK1)、第2クロック信号(CLK2)がハイレベルである時、以前がフリーチャージ期間であれば、ハイレベルの信号の出力を維持し、評価期間であれば、出力がハイレベルになるので、第1クロック信号(CLK1)、第2クロック信号(CLK2)のハイレベルでオーバーラップされるだけ、隣接したステージの出力パルスの中に、時間間隔を与えられるようになるのである。これは、ステージが第1ブースト駆動ユニット314の奇数番目のステージの場合、および第2ブースト駆動ユニット316の奇数番目のステージの場合にも、同じく適用される。

【0097】

したがって、図9に図示されるように、第3クロック信号(CLK3)、第4クロック信号(CLK4)および最初入力信号(IN2)の入力を受ける第1ブースト駆動ユニット314の出力パルスは、一对の第3クロック信号(CLK3)、第4クロック信号(CLK4)がハイレベルでオーバーラップされるだけ、時間間隔を置いて順次奇数番目のローレベルの信号を出力する。第5クロック信号(CLK5)、第6クロック信号(CLK6)および最初入力信号(IN3)の入力を受ける第2ブースト駆動ユニット316の出力パルスは、それぞれ一对の第5クロック(CLK5)、第6クロック信号(CLK6)がハイレベルでオーバーラップされるだけ、時間間隔を置いて、順次偶数番目のローレベルの信号を出力する。

【0098】

但し、第3クロック信号(CLK3)および第4クロック信号(CLK4)は、図9に図示されるように、第1クロック信号(CLK1)および第2クロック信号(CLK2)に比べて、ハイレベルでオーバーラップされる期間が長く、フリーチャージおよび評価期間が長くなるように入力される。また同様に、第5クロック信号(CLK5)および第6クロック信号(CLK6)は、第1クロック信号(CLK1)および第2クロック信号(CLK2)に比べて、ハイレベルでオーバーラップされる期間が長く、フリーチャージお

10

20

30

40

50

よび評価期間が長くなるように入力される。第1ブースト駆動ユニット314, 第2ブースト駆動ユニット316にそれぞれ入力される最初入力信号(IN2), 最初入力信号(IN3)は, また走査駆動ユニット312に入力される最初入力信号(IN1)に比べて, 広い幅のローレベルを備えることを特徴とする。

【0099】

また, 第2ブースト駆動ユニット316のステージに入力される第5クロック信号(CLK5), 第6クロック信号(CLK6)および最初入力信号(IN3)は, 第1ブースト駆動ユニット314のステージに入力される第3クロック信号(CLK3), 第4クロック信号(CLK4)および最初入力信号(IN2)がそれぞれ入力されるタイミングに比べると, それぞれ約1水平周期ほど遅延されて入力される。つまり, 第5クロック信号(CLK5)は, 第3クロック信号(CLK3)より約1水平周期ほど遅延されて入力され, 第6クロック信号(CLK6)は, 第4クロック信号(CLK4)より約1水平周期ほど遅延されて入力され, 最初入力信号(IN3)は, 最初入力信号(IN2)より約1水平周期ほど遅延されて入力される。これは, 図6を通じて説明したように, ブースト信号のローレベルパルス幅は, これに対応する選択信号のローレベルパルス幅を含むように大きく印加されるようにするためである。より具体的に説明すると, 第1ブースト駆動ユニット314は, 奇数番目のブースト信号を出力し, 第2ブースト駆動ユニット316は, 偶数番目のブースト信号を出力するため, それぞれが奇数番目, 偶数番目の選択信号に対応するように, 第1ブースト駆動ユニット314, 第2ブースト駆動ユニット316に入力される各々最初入力信号, クロック信号が約1水平周期ほど間をあけて, 入力される。

【0100】

すなわち, 本発明の第1実施形態は, 出力されるブースト信号のパルス幅をこれに対応する選択信号のパルス幅より大きくするために, ブースト駆動ユニットを奇数番目出力用および偶数番目出力用に分けて構成し, それぞれブースト駆動ユニットに印加される第3クロック信号(CLK3), 第4クロック信号(CLK4), 第5クロック信号(CLK5), 第6クロック信号(CLK6)の周期および最初入力信号(IN2), 最初入力信号(IN3)のローレベル幅を調節することを特徴とする。

【0101】

(第2実施形態)

図10は, 本発明の第2実施形態に係る走査駆動回路の第1走査駆動部の構成を示すブロック図である。但し, 図7を通じて説明した第1実施形態と同じ構成および動作に対しては, その説明を省略する。

【0102】

すなわち, 本発明の第2実施形態に係る第1走査駆動部は, 図7を通じて説明した第1実施形態と同様に, 選択信号およびブースト信号をそれぞれ別に出力させる走査駆動ユニットおよびブースト駆動ユニットで分離して構成される。特に, ブースト信号を出力するブースト駆動ユニットは, 奇数番目および偶数番目のブースト信号を分離して出力するように, 第1ブースト駆動ユニットおよび第2ブースト駆動ユニットで構成される。

【0103】

但し, 第1ブースト駆動ユニットおよび第2ブースト駆動ユニットに対して, 第3クロック信号(CLK3), 第4クロック信号(CLK4), 第5クロック信号(CLK5), 第6クロック信号(CLK6)と最初入力信号(IN2), 最初入力信号(IN3)の他に, 出力パルスのスイングを調節する第1調節信号(D1), 第2調節信号(D2), 第3調節信号(D3), 第4調節信号(D4)がさらに印加されることを特徴とする。したがって, 第1ブースト駆動ユニットおよび第2ブースト駆動ユニットの各々のステージは, 調節端子(CLKc)を具備する。この時, 第1ブースト駆動ユニットの奇数番目のステージには, 第1調節信号(D1)が入力され, 偶数番目のステージには, 第2調節信号(D2)が入力される。そして, 第2ブースト駆動ユニットの奇数番目のステージには, 第3調節信号(D3)が入力され, 偶数番目のステージには, 第4調節信号(D4)が

入力される。

【0104】

図11は、本発明の第2実施形態に係る第1走査駆動部内の任意のステージに対する回路図であり、図10に図示される走査駆動ユニットと、本発明の第2実施形態に係る第1ブースト駆動ユニットおよび第2ブースト駆動ユニットの奇数番目のステージに対する具体的な回路構成を示すものである。また、図12は、図11に図示されるステージの入力信号/出力信号のタイミング図である。ここで、第1ブースト駆動ユニットおよび第2ブースト駆動ユニットの奇数番目のステージについて説明するが、偶数番目のステージも同様の動作を行うので、その説明は、省略する。

【0105】

図11および図12に図示されるように、走査駆動ユニットのステージ400の構成およびこれに入力される信号のタイミング図は、図8および図9を通じて説明した第1実施形態の走査駆動ユニットと同一なので、その説明は省略する。但し、第1ブースト駆動ユニットおよび第2ブースト駆動ユニットの場合には、図8に図示される第1実施形態の構成で、第6トランジスタ(M6)および第7トランジスタ(M7)が追加構成され、出力されるブースト信号のスイングを調節するために、第6トランジスタ(M6)の入力端に第1調節信号(D1)、第2調節信号(D2)、第3調節信号(D3)、第4調節信号(D4)が入力されることを特徴とする。ここで、第1ブースト駆動ユニットの奇数番目のステージには、第1調節信号(D1)が入力され、偶数番目のステージには、第2調節信号(D2)が入力される。第2ブースト駆動ユニットの奇数番目のステージには、第3調節信号(D3)が入力され、偶数番目のステージには、第4調節信号(D4)が入力される。

【0106】

より詳しく説明すると、図11に図示されるように、第1ブースト駆動ユニットおよび第2ブースト駆動ユニットの各々奇数番目のステージ500は、第1トランジスタ(M1)~第5トランジスタ(M5)および第1キャパシタ(C1)の他に、第6トランジスタ(M6)および第7トランジスタ(M7)を具備する。第1ブースト駆動ユニットの奇数番目のステージ500の場合では、第6トランジスタ(M6)は、第1トランジスタ(M1)の出力端にゲート端子が接続され、第1調節信号入力線(D1)およびブースト信号出力線(BST)に接続される。第7トランジスタ(M7)は、第1ノード(N1)にゲート端子が接続され、第1電源(VDD)とブースト信号出力線(BST)との間に接続される。第2ブースト駆動ユニットの奇数番目のステージ500の場合では、第6トランジスタ(M6)は、第3調節信号入力線(D3)およびブースト信号出力線(BST)に接続される。第1ブースト駆動ユニットおよび第2ブースト駆動ユニットの各々偶数番目のステージでは、第6トランジスタ(M6)の一端は、第2調節信号入力線(D2)および第4調節信号入力線(D4)に接続される。このように、第6トランジスタ(M6)および第7トランジスタ(M7)が追加構成され、第6トランジスタ(M6)を通じて調節信号が印加されることによって、各ステージから出力されるブースト信号のハイレベルとローレベルの絶対値の差、すなわち、出力パルスのスイングは、調節信号によって調整される。従って、ステージの出力端を通じて第1実施形態と同じ信号が出力されて次のステージに入力されるが、各ステージのブースト信号出力線(BST)を通して、調節信号に対応したスイングを備えるブースト信号が出力される。

【0107】

以下、ブースト信号の調整について、より具体的に説明する。第1ブースト駆動ユニットの奇数番目のステージ500に入力される第3クロック信号(CLK3)がローレベルで、第4クロック信号(CLK4)がハイレベルの時(フリーチャージ期間)、第1トランジスタ(M1)を通じて、最初入力信号(IN2)または一つ前のステージからの出力信号(gi)が第6トランジスタ(M6)に伝達される。この場合、伝達される信号がハイレベルの時、第6トランジスタ(M6)はオフされるが、第1ノード(N1)によって、第7トランジスタ(M7)はオンとなるので、ブースト信号出力線(BST)には、第

10

20

30

40

50

1 電源 (VDD) によるハイレベルの信号が出力される。第 6 トランジスタ (M6) に伝達される信号がローレベルの時, 第 6 トランジスタ (M6) はオンとなるので, 第 1 調節信号入力線 (D1) よりハイレベルの第 1 調節信号 (D1) がブースト信号出力線 (BST) に出力される。ここで, 第 1 調節信号 (D1) のハイレベル値は, 第 1 電源 (VDD) の電圧に相当する。よって, フリーチャージ期間, ハイレベルの信号がブースト信号出力線 (BST) に出力される。

【0108】

その後, 第 3 クロック信号 (CLK3) がハイレベルで, 第 4 クロック信号 (CLK4) がハイレベルの時, 第 6 トランジスタ (M6) のゲート端子は, 第 1 キャパシタ (C1) の一端に接続されるので, 第 1 キャパシタ (C1) に充電される電圧 (信号) がローレベルの場合, 第 6 トランジスタ (M6) はオンされ, 第 7 トランジスタ (M7) はオフされるので, 第 6 トランジスタ (M6) を通して, ハイレベルの第 1 調節信号 (D1) がブースト信号出力線 (BST) に出力される。また, 第 3 クロック信号 (CLK3) がハイレベルで, 第 4 クロック信号 (CLK4) がローレベルの時 (評価期間), 第 6 トランジスタ (M6) は第 1 キャパシタ (C1) に充電された電圧によってオンが維持されているので, ローレベルとなった第 1 調節信号 (D1) が, ブースト信号出力線 (BST) に出力される。この時, 第 1 調節信号 (D1) のローレベルとハイレベルとの差 (スイング) は, 第 4 クロック信号 (CLK4) のローレベルとハイレベルとの差より小さいので, 第 1 調節信号 (D1) によって出力パルス (ブースト信号) のスイングを調整, 例えば, 小さくすることができる。同様に, 第 2 調節信号 (D2) のローレベルとハイレベルとの差 (スイング) は, 第 3 クロック信号 (CLK3) のローレベルとハイレベルとの差より小さくなる。さらに, 第 2 ブースト駆動ユニットに入力される第 3 調節信号 (D3) のローレベルとハイレベルとの差 (スイング) は, 第 6 クロック信号 (CLK6) のローレベルとハイレベルとの差より小さくなる。第 4 調節信号 (D4) のローレベルとハイレベルとの差 (スイング) は, 第 5 クロック信号 (CLK5) のローレベルとハイレベルとの差より小さくなる。

【0109】

図 12 に図示されるように, 第 1 ブースト駆動ユニットに印加される第 1 調節信号 (D1), 第 2 調節信号 (D2) は, 第 1 ブースト駆動ユニットに印加される第 3 クロック信号 (CLK3), 第 4 クロック信号 (CLK4) と比べる時, ハイレベルとローレベルの絶対値の差が少ないパルスに印加されることが分かる。すなわち, 調節信号は, これに対応するクロック信号に比べて, パルスのスイングが少ないのである。これによって, 図 11 に図示されるブースト駆動ユニットのステージを通じて出力されるブースト信号は, 第 1 実施形態のようにブースト信号のパルス幅が, これに対応する選択信号のパルス幅より大きく出力されるのみならず, 調節信号によってハイレベルとローレベルの絶対値の差が少ないパルス, すなわち, スイングが少ないパルスに出力される。すなわち, 本発明の第 2 実施形態は, 前述した第 1 実施形態に比べて, 出力されるブースト信号のパルススイングを調節信号を通じて調整することができるという長所がある。従って, ブースト信号のパルス幅とスイングを自由に調整して出力させることができるので, 有機 EL 素子 (OLED) に供給される電流 (IOLED) を所望の値で設定することができるという効果がある。

【0110】

(第 3 実施形態)

図 13 は, 本発明の第 3 実施形態に係る走査駆動回路の第 1 走査駆動部の構成を示すブロック図である。これは, 前述した第 1 実施形態および第 2 実施形態において, 走査駆動ユニットおよび第 1 ブースト駆動ユニット, 第 2 ブースト駆動ユニットで分けられて構成された第 1 走査駆動部に対して, 走査駆動ユニットも奇数番目, 偶数番目で分けて構成し, これを第 1 ブースト駆動ユニット, 第 2 ブースト駆動ユニットに結合するように構成することを特徴とする。

【0111】

10

20

30

40

50

すなわち、本発明の第3実施形態に係る走査/ブースト駆動ユニットは、図13に図示されるように、奇数番目の選択信号およびブースト信号を出力する第1走査/ブースト駆動ユニット318と、偶数番目の選択信号およびブースト信号を出力する第2走査/ブースト駆動ユニット319で構成される。但し、これは、前述した第1実施形態と第2実施形態を結合して導出されたものであり、前述したところの同じ部分に対しては、その説明を省略する。第1走査/ブースト駆動ユニット318に印加される第7クロック信号(CLK7)は、第1実施形態および第2実施形態の第3クロック信号(CLK3)と同じ動作を行い、第8クロック信号(CLK8)は、第1実施形態および第2実施形態の第4クロック信号(CLK4)と同じ動作を行う。そして、第2走査/ブースト駆動ユニット319に印加される第9クロック信号(CLK9)は、第1実施形態および第2実施形態の第5クロック信号(CLK5)と同じ動作を行い、第10クロック信号(CLK10)は、第1実施形態および第2実施形態の第6クロック信号(CLK6)と同じ動作を行う。

10

【0112】

第1走査/ブースト駆動ユニット318および第2走査/ブースト駆動ユニット319において、第7クロック信号(CLK7)、第8クロック信号(CLK8)、第9クロック信号(CLK9)、第10クロック信号(CLK10)と最初入力信号(IN4)、最初入力信号(IN5)および出力パルスのスイングを調節する第1調節信号(D1)、第2調節信号(D2)、第3調節信号(D3)、第4調節信号(D4)の他に、奇数番目および偶数番目の選択信号を順次出力させるための第1選択制御信号(A1)、第2選択制御信号(A2)、第3選択制御信号(A3)、第4選択制御信号(A4)がさらに印加されることを特徴とする。第1走査/ブースト駆動ユニット318および第2走査/ブースト駆動ユニット319の各々ステージは、選択制御信号端子(CLKd)を具備する。この時、第1走査/ブースト駆動ユニット318の奇数番目のステージには、第1選択制御信号(A1)が入力され、偶数番目のステージには、第2選択制御信号(A2)が入力される。第2走査/ブースト駆動ユニット319の奇数番目のステージには、第3選択制御信号(A3)が入力され、偶数番目のステージには、第4選択制御信号(A4)が入力される。

20

【0113】

図14は、本発明の第3実施形態に係る第1走査駆動部内の任意のステージに対する回路図であり、図13に図示される第1走査/ブースト駆動ユニットと第2走査/ブースト駆動ユニットの奇数番目のステージに対する具体的な回路構成を示すものである。また、図15は、図14に図示されるステージの入力信号/出力信号のタイミング図である。

30

【0114】

図14および図15に図示されるように、本発明の第3実施形態に係る走査/ブースト駆動ユニット310は、図11に図示される第2実施形態の構成で、第8トランジスタ(M8)および第9トランジスタ(M9)が追加構成される。走査/ブースト駆動ユニット310において、奇数番目および偶数番目の選択信号を順次出力させるために、第8トランジスタ(M8)の入力端に、第1選択制御信号(A1)、第2選択制御信号(A2)または第3選択制御信号(A3)、第4選択制御信号(A4)が入力されることを特徴とする。ここで、第1走査/ブースト駆動ユニット318の奇数番目、偶数番目ステージには、それぞれ第1選択制御信号(A1)、第2選択制御信号(A2)が入力され、第2走査/ブースト駆動ユニット319の奇数番目、偶数番目ステージには、それぞれ第3選択制御信号(A3)、第4選択制御信号(A4)が入力される。

40

【0115】

より詳しく説明すると、図14に図示されるように、走査/ブースト駆動ユニット310の奇数番目のステージ600は、第1トランジスタ~第7トランジスタ(M1~M7)および第1キャパシタ(C1)の他に、第8トランジスタ(M8)および第9トランジスタ(M9)が追加構成される。第1走査/ブースト駆動ユニット318の奇数番目のステージ600における第8トランジスタ(M8)は、第1トランジスタ(M1)の出力端にゲート端子が接続され、第1選択制御信号入力線(A1)および選択信号出力線(SEL

50

）に接続される。第9トランジスタ（M9）は、第1ノード（N1）にゲート端子が接続され、第1電源（VDD）と選択信号出力線（SEL）との間に接続される。第1走査/ブースト駆動ユニット318の偶数番目のステージ600の場合、第8トランジスタ（M8）は、第2選択制御信号入力線（A2）および選択信号出力線（SEL）に接続される。また、第2走査/ブースト駆動ユニット319の奇数番目のステージ600の場合、第8トランジスタ（M8）は、第3選択制御信号入力線（A3）および選択信号出力線（SEL）に接続され、偶数番目のステージ600の場合、第8トランジスタ（M8）は、第4選択制御信号入力線（A4）および選択信号出力線（SEL）に接続される。

【0116】

このように第8トランジスタ（M8）および第9トランジスタ（M9）が追加構成され、第8トランジスタ（M8）を通じて選択制御信号が印加されることによって、奇数番目および偶数番目のステージから出力される選択信号が、図15に図示されるように順次出力できるようになる。以下、奇数番目および偶数番目の選択信号の出力について、より具体的に説明する。フリーチャージされる期間（第1期間）にローレベルの信号が入力される場合、第1走査/ブースト駆動ユニット318で評価遂行される期間（第2期間）において、第1キャパシタ（C1）に充電されたローレベルの信号が維持されるので、第8トランジスタ（M8）はオンとなる。そして、評価遂行される期間の所定の間、ハイレベルからローレベルに変換された第1選択制御信号（A1）（奇数番目の選択信号）が出力される。第2走査/ブースト駆動ユニット319に入力される第9クロック信号（CLK9）、第10クロック信号（CLK10）および最初入力信号（IN5）は、第7クロック信号（CLK8）、第8クロック信号（CLK8）および最初入力信号（IN4）に比べて、1水平周期遅れて印加される。従って、第2走査/ブースト駆動ユニット319の評価遂行される期間（第2期間）は、第1走査/ブースト駆動ユニット318の第2期間に比べて、1水平周期遅れて始まる。

【0117】

よって、第2走査/ブースト駆動ユニット319の評価遂行される期間（第2期間）の所定の間、出力されるローレベルの信号（第3選択制御信号つまり、偶数番目の選択信号）は、奇数番目のローレベルの選択信号に比べて、第1選択制御信号（A1）、第3選択制御信号（A3）がともにハイレベルである所定の期間後に、出力される。そして、第2選択制御信号（A2）のローレベルは、第1選択制御信号（A1）のローレベル印加時より、遅れて印加されるので、ローレベルの偶数番目の選択信号（第3選択制御信号）が出力された後に、ローレベルの奇数番目の選択信号（第2選択制御信号）が出力される。このように、奇数番目の選択信号、偶数番目の選択信号が、順次出力される。第4選択制御信号（A4）についても同様である。すなわち、本発明の第3実施形態は、前述した第2実施形態のようにブースト信号のパルス幅およびスイングを調整するのみならず、全体的に駆動ユニットの数を減らすことができるという長所がある。

【0118】

（第4実施形態）

図16は、本発明の第4実施形態に係る走査駆動回路の走査/ブースト駆動ユニット構成を示すブロック図である。これは、前述した第3実施形態の構成と同じであるが、各ステージに入力される第1調節信号（D1）、第2調節信号（D2）、第3調節信号（D3）、第4調節信号（D4）の入力が除去されることにその特徴があるので、具体的な構成に対する説明は省略する。

【0119】

図17は、本発明の第4実施形態に係る走査/ブースト駆動ユニット内の任意のステージに対する回路図であり、図16に図示される第1走査/ブースト駆動ユニットと第2走査/ブースト駆動ユニットの奇数番目のステージに対する具体的な回路構成を示すものである。また、図18は、図17に図示されるステージの入力信号/出力信号のタイミング図である。

【0120】

10

20

30

40

50

図17および図18に図示されるように、本発明の第4実施形態に係る走査/ブースト駆動ユニットは、図14に図示される第3実施形態の構成と同一である。但し、第6トランジスタ(M6)の入力端に、既存の第1調節信号(D1)、第2調節信号(D2)、第3調節信号(D3)、第4調節信号(D4)でない第3電源(VL)が印加されることを特徴とする。この時、第3電源(VL)は、調節信号のローレベル値に相当する負の電圧を供給することを特徴する。この場合にも、図18に図示されるように、前述した第3実施形態と類似する出力波形を得ることができる。

【0121】

すなわち、本発明の第4実施形態は、第3実施形態に比べる時、第6トランジスタ(M6)の入力端に既存の第1調節信号(D1)、第2調節信号(D2)、第3調節信号(D3)、第4調節信号(D4)でない第3電源(VL)が印加されることの以外には、その構成および動作が同じなので具体的な説明は省略する。

10

【0122】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【図面の簡単な説明】

【0123】

【図1】従来一般的な走査駆動回路の構成を示すブロック図である。

20

【図2】図1に図示される走査駆動回路における任意のステージの回路図である。

【図3】図2に図示されるステージの入力信号/出力信号波形図である。

【図4】本発明の実施形態に係る有機電界発光表示装置を概略的に図示したブロック図である。

【図5】図4に図示される有機電界発光表示装置の各画素領域に具備される画素回路の実施形態を示す回路図である。

【図6】図5の画素回路に入力される選択信号および発光信号、ブースト信号に対するタイミング図である。

【図7】本発明の第1実施形態に係る走査駆動回路の第1走査駆動部の構成を示すブロック図である。

30

【図8】本発明の第1実施形態に係る第1走査駆動部内の任意のステージに対する回路図である。

【図9】図8に図示されるステージの入力信号/出力信号のタイミング図である。

【図10】本発明の第2実施形態に係る走査駆動回路の第1走査駆動部の構成を示すブロック図である。

【図11】本発明の第2実施形態に係る第1走査駆動部内の任意のステージに対する回路図である。

【図12】図11に図示されるステージの入力信号/出力信号のタイミング図である。

【図13】本発明の第3実施形態に係る走査駆動回路の走査/ブースト駆動ユニットの構成を示すブロック図である。

40

【図14】本発明の第3実施形態に係る走査/ブースト駆動ユニット内の任意のステージに対する回路図である。

【図15】図14に図示されるステージの入力信号/出力信号のタイミング図である。

【図16】本発明の第4実施形態に係る走査駆動回路の走査/ブースト駆動ユニットの構成を示すブロック図である。

【図17】本発明の第4実施形態に係る走査/ブースト駆動ユニット内の任意のステージに対する回路図である。

【図18】図17に図示されるステージの入力信号/出力信号のタイミング図である。

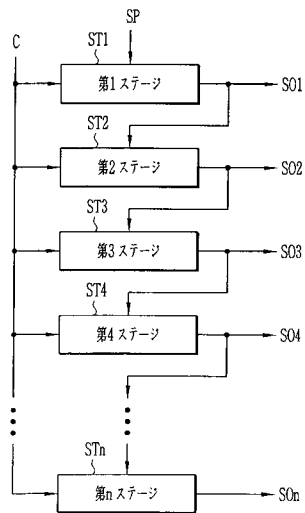
【符号の説明】

【0124】

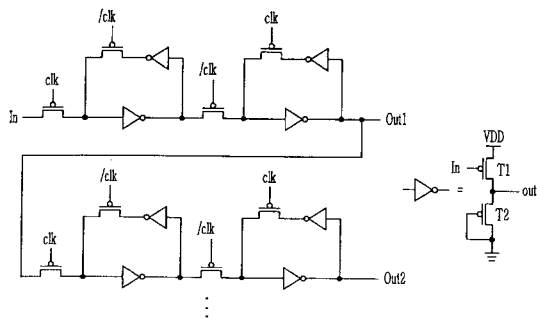
50

- 3 0 0 走査駆動回路
- 3 1 0 第 1 走査駆動部
- 3 2 0 第 2 走査駆動部

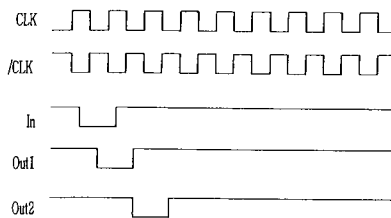
【 図 1 】



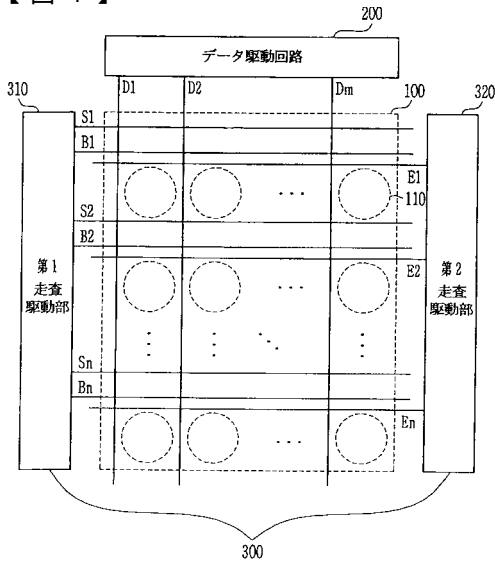
【 図 2 】



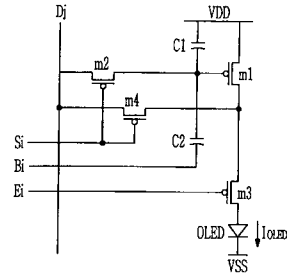
【 図 3 】



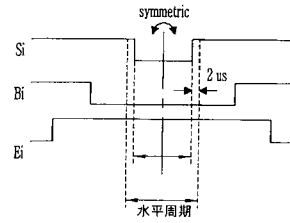
【 図 4 】



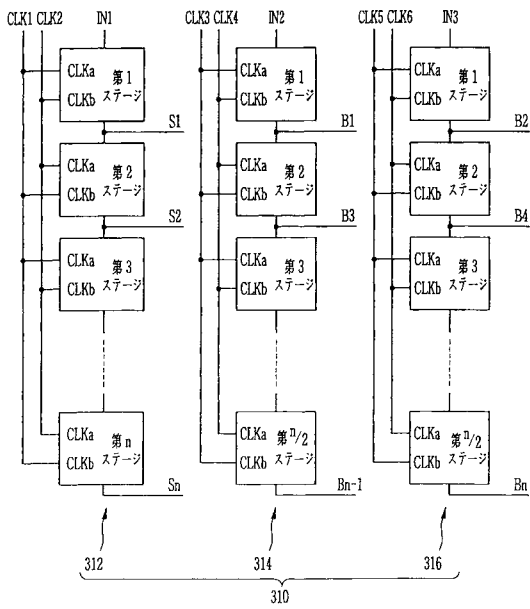
【 図 5 】



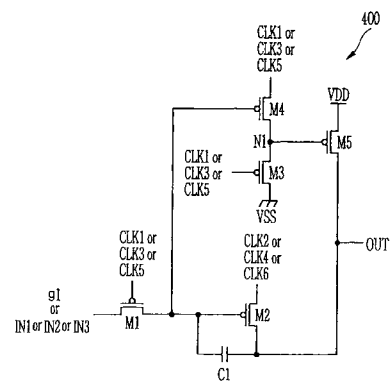
【 図 6 】



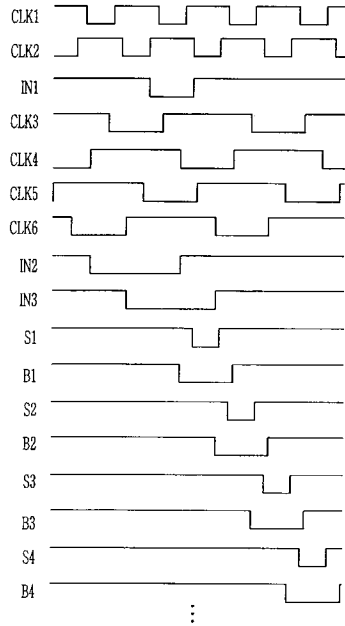
【 図 7 】



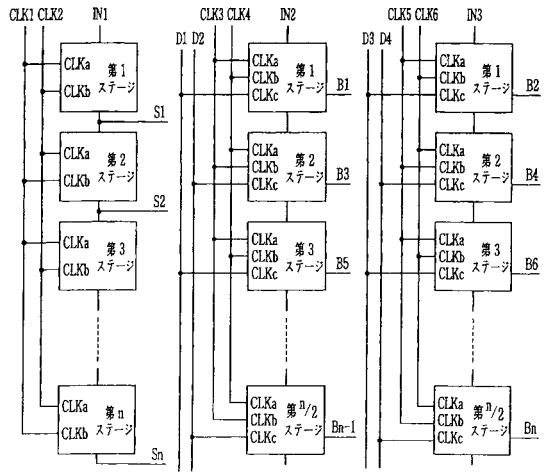
【 図 8 】



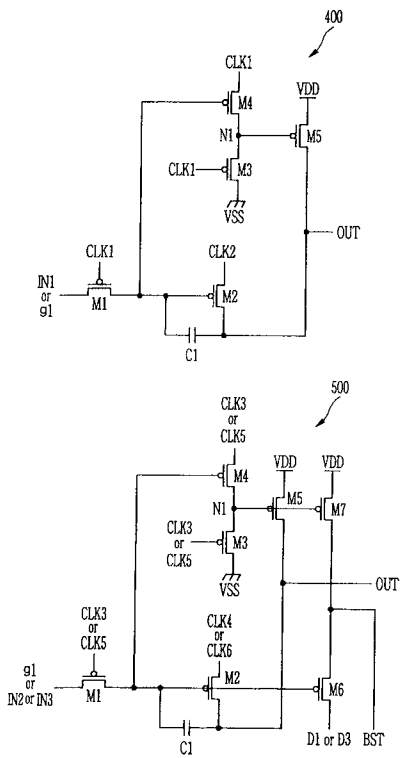
【 図 9 】



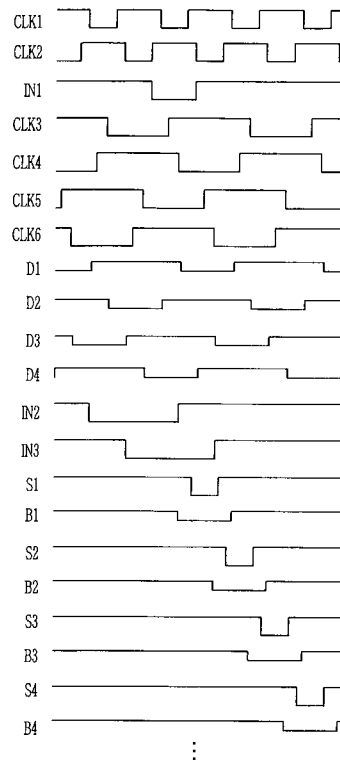
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 1 A
H 0 5 B	33/14	A

专利名称(译)	使用扫描驱动器扫描驱动电路和有机电致发光显示设备		
公开(公告)号	JP2007086728A	公开(公告)日	2007-04-05
申请号	JP2006108765	申请日	2006-04-11
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	申東蓉		
发明人	申 東蓉		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.670.E G09G3/20.624.B G09G3/20.622.M G09G3/20.622.C G09G3/20.622.D G09G3/20.621.A H05B33/14.A G09G3/20.622.E G09G3/3233 G09G3/3266 G09G3/3283 G11C19/00 G11C19/00.J G11C19/28.210 G11C19/28.230		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC04 3K107/CC14 3K107/CC21 3K107/EE03 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD09 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA10 5B074/CA01 5C380/AA01 5C380/AB06 5C380/BA01 5C380/BA10 5C380/BA13 5C380/BA20 5C380/BA34 5C380/BA50 5C380/BC20 5C380/BD09 5C380/CA13 5C380/CB01 5C380/CB14 5C380/CB17 5C380/CB19 5C380/CB25 5C380/CB26 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC42 5C380/CC52 5C380/CC61 5C380/CC64 5C380/CD024 5C380/CE20 5C380/CF07 5C380/CF10 5C380/CF15 5C380/CF22 5C380/CF23 5C380/CF43 5C380/DA02 5C380/DA06 5C380/DA32 5C380/HA05 5C380/HA06		
优先权	1020050087426 2005-09-20 KR		
其他公开文献	JP4612581B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于电致发光显示器的扫描驱动电路。解决方案：扫描驱动电路300包括多个级，它们与从属于输入信号线（IN1，IN2，IN3）的输入线耦合的两个时钟信号输入线耦合，或者与具有相反相位的输入信号包括：第一扫描驱动器310，其通过多个连续耦合的级顺序地输出选择信号和/或升压信号；以及第二扫描驱动器320，其通过多个依次耦合的级顺序地输出发光信号，驱动器310包括用于输出选择信号的扫描驱动单元312，用于输出奇数编号的升压信号的第一升压驱动单元314和用于输出偶数编号的升压信号的第二升压驱动单元316。

