

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-531752

(P2004-531752A)

(43) 公表日 平成16年10月14日(2004.10.14)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 365Z	3K007
H01L 21/336	G09F 9/30 330Z	5C094
H01L 27/15	H01L 27/15 B	5F110
H01L 29/786	H05B 33/14 A	
H05B 33/14	H01L 29/78 612Z	
	審査請求 未請求 予備審査請求 有 (全 33 頁) 最終頁に続く	

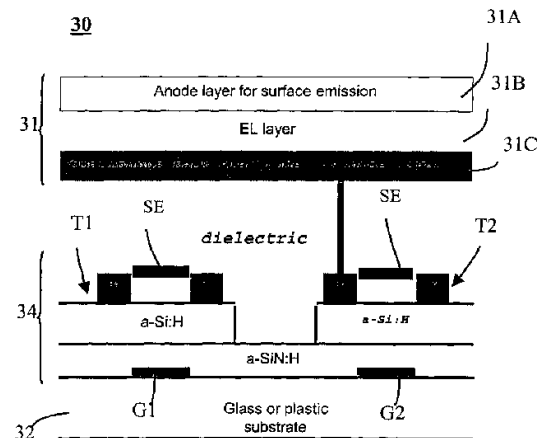
(21) 出願番号	特願2002-566553 (P2002-566553)	(71) 出願人	503297235 イグニス イノベーション インコーポレ ーテッド IGNIS INNOVATION IN C. カナダ国 エヌ2エル 3ジー1 オンタ リオ州、 ウォータールー、 カルペッパ ー ドライブ 55 55 Culpepper Drive, Waterloo, Ontario N2L 3G1, Canada
(86) (22) 出願日	平成14年2月18日 (2002.2.18)	(74) 代理人	100097490 弁理士 細田 益稔
(85) 翻訳文提出日	平成15年8月18日 (2003.8.18)	(74) 代理人	100113354 弁理士 石井 総
(86) 国際出願番号	PCT/CA2002/000180		
(87) 国際公開番号	W02002/067328		
(87) 国際公開日	平成14年8月29日 (2002.8.29)		
(31) 優先権主張番号	60/268,899		
(32) 優先日	平成13年2月16日 (2001.2.16)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 遮蔽電極を有する有機発光ダイオード表示器

(57) 【要約】

有機発光ダイオード (OLED) 表示器が、陰極層と OLED 駆動回路との間に少なくとも1つの遮蔽電極を含んでいる。上記 OLED 駆動回路は少なくとも1つの薄膜トランジスタ (TFT) を有し、上記遮蔽電極は該薄膜トランジスタに対応するように、且つ、上記陰極層の一層近くに配置され、上記薄膜トランジスタのソースとドレインとの間の全領域を覆う。上記遮蔽電極は接地されるか又は上記薄膜トランジスタのゲートに接続され、これにより、当該表示器のピクセルにおける寄生容量を最小化して、表示性能を向上させる。提示されたアーキテクチャは、アモルファスシリコン又は他の技術での高密度の駆動回路の集積を可能にし、それでいて高表示開口比を維持する。



【特許請求の範囲】

【請求項 1】

有機発光ダイオード（O L E D）表示器において、
基板と、
前記基板上に形成されると共に、各々が動作中に漏れ電流を生じさせるような寄生容量を低減する手段を有する複数のピクセルと、
を有していることを特徴とする O L E D 表示器。

【請求項 2】

請求項 1 に記載の O L E D 表示器において、前記寄生容量を低減する手段が接地されることを特徴とする O L E D 表示器。

10

【請求項 3】

請求項 1 に記載の O L E D 表示器において、前記寄生容量を低減する手段が導電体の少なくとも 1 つの遮蔽電極により形成されることを特徴とする O L E D 表示器。

【請求項 4】

請求項 3 に記載の O L E D 表示器において、前記ピクセルの各々が、
光を放出する O L E D と、
該 O L E D を電氣的に駆動する駆動回路と、
を有し、前記少なくとも 1 つの遮蔽電極が前記 O L E D の層と前記駆動回路との間に配置されることを特徴とする O L E D 表示器。

【請求項 5】

20

請求項 4 に記載の O L E D 表示器において、前記 O L E D は陽極層と、エレクトロルミネッセント層と、陰極層とを含み、前記駆動回路は少なくとも 1 つの薄膜トランジスタを有し、前記少なくとも 1 つの遮蔽電極は前記陰極層と前記少なくとも 1 つの薄膜トランジスタとの間において該少なくとも 1 つの薄膜トランジスタに対応するように配置されることを特徴とする O L E D 表示器。

【請求項 6】

請求項 5 に記載の O L E D 表示器において、前記寄生容量を低減する手段は前記少なくとも 1 つの薄膜トランジスタのゲートに電氣的に接続されることを特徴とする O L E D 表示器。

【請求項 7】

30

請求項 5 に記載の O L E D 表示器において、前記少なくとも 1 つの遮蔽電極は前記少なくとも 1 つの薄膜トランジスタのソースとドレインとの間の全領域を覆うことを特徴とする O L E D 表示器。

【請求項 8】

請求項 7 に記載の O L E D 表示器において、前記少なくとも 1 つの遮蔽電極は前記陰極層に対して一層近くに配置されることを特徴とする O L E D 表示器。

【請求項 9】

請求項 8 に記載の O L E D 表示器において、前記 O L E D 及び前記駆動回路は前記基板上に垂直方向に積層されることを特徴とする O L E D 表示器。

【請求項 10】

40

請求項 9 に記載の O L E D 表示器において、前記ピクセルの各々はトップ放射用に形成されることを特徴とする O L E D 表示器。

【請求項 11】

請求項 10 に記載の O L E D 表示器において、前記駆動回路は逆スタガ薄膜構造で形成されることを特徴とする O L E D 表示器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に係り、更に詳細には遮蔽電極を有する有機発光ダイオード表示器に関する。

50

【背景技術】

【0002】

高分子又は有機発光ダイオード（OLED）は、1以上の有機EL層又は斯かる層の有機EL領域内での注入された電子及び正孔の放射的再結合により発生される光を放出するようなエレクトロルミネッセント（EL）層である。

【0003】

OLEDを使用するOLED表示器は、簡単な構造、速い応答時間及び広い視野角を含む種々の利点のために、益々注目を集めている。

【0004】

図1Aは、一般的なアクティブマトリクスOLED（AMOLED）表示装置の上面図である。図1Aにおいて、符号10はOLED表示装置を示す。該OLED表示装置10は、OLED表示器12と、ゲートマルチプレクサ16と、ドライバ18とを有している。OLED表示器12は、例えば画像を表示するためのマトリクスアレイ形態の複数のピクセル14からなっている。符号Cは、ピクセルの拡大のための、OLED表示器12の一部を示している。 10

【0005】

図1Bは、図1Aの部分Cから取り出された、図1AのOLED表示器の部分拡大図である。図1Bに示されるように、ピクセル14の各々は、OLED22と薄膜（TF）駆動回路24とを有している。実施例1Bにおけるアドレス及びデータラインは、図1Aに示されるように、ゲートマルチプレクサ16及びドライバ18に各々接続されている。 20

【0006】

図1Cは、1つのピクセルの図1BのA-A'線に沿う断面図であり、OLED22及びTF駆動回路24がガラス基板32上に形成されていることを示している。

【0007】

基板32は透明でも又は不透明でもよい。このように、該OLED表示器は光を基板32を介して又は陰極層を介して放出するように構成することができる。図1Cは、基板32を介して光を放出するようなピクセルを示している。

【0008】

OLED22において、陽極層は典型的には透明導電材料から形成される一方、陰極層は典型的には低仕事関数の導電金属から形成される。 30

【0009】

上記陽極層は透明ボトム電極として形成され、上記陰極層は当該OLED層上に連続したトップ電極として形成される。

【0010】

一般的なAMOLED表示器においては、光放出表示面積の全ピクセル面積に対する比として定義される開口比又はフィルファクタが表示品質を保証する程度充分に高いことを保証することが重要である。

【0011】

図1AのAMOLED表示器は、バックプレーン電子回路が集積されるガラス基板32上の開口を介しての光放出に基づくものである。安定した駆動電流のためにTF集積のピクセル上（オンピクセル）密度を増加させることは、上記開口の寸法を減少させることになる。同様の問題が、ピクセルサイズが縮小（下方スケーリング）される場合にも起こる。 40

【0012】

スケーリング又はオンピクセル集積密度に対して不変な開口比を有するための解決策は、OLED層をバックプレーン電子回路又はTF駆動回路上に垂直方向に積層されたOLEDにより形成されたピクセルの断面図である。図2において、符号14はピクセルを示している。該ピクセル14は、基板32上に垂直方向に積層されたOLED31と、バックプレーン電子回路24とを有している。符号T1及びT2は薄膜トランジスタを各々示している。図2に関する更なる説明は、後に、図3が説明される際になされる。 50

【0013】

上述した構造を持つAMOLED表示装置10の動作を図1Aないし1Dを参照して詳細に説明する。

【0014】

図1Dは図1Cの等価回路を示す説明図である。該等価回路として、例えばポリシリコン技術により実現された2トランジスタ式ドライバ回路が図示されている。該等価回路は図2に示すようにアモルファスシリコン技術を用いてAMOLED表示器に適用することができるが、TFTの型式及びOLEDの位置の変更を伴う。

【0015】

ゲートマルチプレクサ16からの電圧V_{address}がアドレスラインの1つを活性化すると、薄膜トランジスタT1がオンされるので、ドライバ18からの電圧V_{data}がデータラインの1つを介してコンデンサCsの充電を開始する。この時点で、上記電圧V_{data}はドライバ薄膜トランジスタT2のゲート容量も生じさせる。上記データライン上の電圧V_{data}に依存して、コンデンサCsはドライバトランジスタT2をオンさせるまで充電され、次いで該ドライバトランジスタT2が導通開始して、OLED22を適切なレベルの電流により駆動する。上記アドレスラインがオフされると、トランジスタT1はオフされるが、ドライバトランジスタT2のゲートにおける電圧は殆ど同一のまま残存する。従って、上記OLEDを介しての電流は、トランジスタT1がオフされた後も変化されないままとなる。該OLEDの電流は、異なる電圧が当該ピクセルに書き込まれる次の時点にのみ変化する。

10

20

【0016】

しかしながら、連続したバック電極はトランジスタT1の漏れ電流を生じさせるような寄生容量を招来し、斯かる寄生容量の作用は、該連続したバック電極がスイッチング及び他の薄膜トランジスタ上に延びる場合にドライバトランジスタT2の動作に影響を与えるほど重大になる。即ち、上記の連続したバック電極の存在は薄膜トランジスタに大きな漏れ電流を引き起こすような寄生チャンネルを生じさせ得る。該漏れ電流とは、薄膜トランジスタT1のゲートがオフ状態の場合に該薄膜トランジスタT1のソースとドレインとの間に流れる電流のことである。

【0017】

上記漏れ電流はドライバ薄膜トランジスタT2のゲート上の電荷を、当該容量を放電させることにより排出し得、該トランジスタを連続的にオン状態に維持する。従って、該漏れ電流は当該表示器の総電力消費を増加させる。

30

【発明の開示】

【発明が解決しようとする課題】

【0018】

本発明の目的は、性能を向上させるために寄生容量を最小化する遮蔽電極を有するような高分子又は有機発光ダイオード(OLED)表示器を提供することにある。

【0019】

また、本発明の他の目的は、高開口比のための垂直方向のピクセル回路集積を介しての表面放射を可能にするような遮蔽電極を有するOLED表示器を提供することにある。

40

【課題を解決するための手段】

【0020】

上記アーキテクチャは、アモルファスシリコン又は他の技術での高密度の駆動回路の集積を可能にし、それでいて、高開口比は維持する。

【0021】

上記目的を達成するため、本発明によるOLED表示器は、基板と、該基板上に形成されると共に、各々が漏れ電流を生じさせるような寄生容量を低減させるためのユニットを有するような複数のピクセルとを有している。

【0022】

上記寄生容量低減ユニットは導電体の少なくとも1つの遮蔽電極により形成される。上記

50

ピクセルの各々は光を放出するOLED層と、該OLED層を電氣的に駆動する駆動回路とを有し、上記少なくとも1つの遮蔽電極は上記OLED層と上記駆動回路との間に配置される。

【0023】

好ましくは、上記OLED層は陽極層と、エレクトロルミネッセント層と、陰極層とを有し、上記駆動回路は少なくとも1つの薄膜トランジスタを有し、上記少なくとも1つの遮蔽電極は前記陰極層と前記少なくとも1つの薄膜トランジスタとの間において該少なくとも1つの薄膜トランジスタに対応するように配設される。該少なくとも1つの遮蔽電極は、上記少なくとも1つの薄膜トランジスタのソースとドレインとの間の全体の領域を覆う。好ましくは、上記少なくとも1つの遮蔽電極は上記陰極層に一層近づけて配置される。 10

【0024】

上記OLED層及び駆動回路は上記基板上に垂直方向に積層することができ、これら垂直方向に積層されたOLED層及び駆動回路はトップ放射部を形成し、上記駆動回路は逆スタガ薄膜トランジスタ構造で形成することができる。上記少なくとも1つの遮蔽電極は、アルミニウム、モリブデン、又はLCD製造工程における標準の金属化層から長方形形状に形成される。前記寄生容量低減ユニットは電氣的に接地されるか又は前記少なくとも1つの薄膜トランジスタのゲートに接続される。

【0025】

本発明による上記構造を備えるようなOLED表示器は、駆動回路における寄生容量を最小化すると共に、ドライバ薄膜トランジスタのゲートにおける電圧を保持することにより薄膜トランジスタの漏れ電流を最小化する。 20

【0026】

更に、本発明によるOLED表示器は、OLED層をバックプレーン電子回路上に、トップ又は表面放射用の透明トップ電極と共に垂直方向に積層されるのを可能にする。

【発明を実施するための最良の形態】

【0027】

本発明の上記目的及び特徴は、本発明の好ましい実施例を添付図面を参照して詳細に説明することにより一層明らかとなるであろう。

【0028】

以下、本発明の実施例による有機発光ダイオード表示器について添付図面を参照して詳細に説明する。尚、全開示を通して同様の符号は同様の構成要素を示している。 30

【0029】

図3は、本発明の一実施例により駆動回路上に形成された遮蔽電極を備えるAMOLED表示器のピクセルを示す断面図である。

【0030】

前述したように、該AMOLED表示器は、ピクセルのマトリクスアレイからなるものであるが、図3は説明の簡略化のために1つのピクセルのみを示している。

【0031】

図3に示されるように、ピクセル30は、OLED層31と、中間又は遮蔽電極SEと、駆動回路34と、基板32とを含んでいる。 40

【0032】

OLED31は、陽極電極即ち陽極層31Aと、EL層31Bと、陰極層31Cとを有している。図3は、トップ又は表面放射ピクセルを示している。陰極電極31Cは連続したバック電極を形成している。

【0033】

駆動回路34は2つの薄膜トランジスタT1及びT2からなっている。該駆動回路34は3以上の薄膜トランジスタにより構成することもでき、ピクセル30は基板32上に形成された駆動回路34上に垂直方向に積層されたOLED31により構成することができる。上記駆動回路34は、逆スタガ薄膜トランジスタ構造により形成することができる。a-Si:H及びa-SiN:Hはピクセル30に使用される材料を示している。図3は、 50

ピクセル 30 が陰極層 31 C と駆動回路 34 との間に誘電体層を有していることも示している。

【0034】

TFT トランジスタ T1 はソース S1 と、ドレイン D1 と、ゲート G1 とを有し、TFT トランジスタ T2 はソース S2 と、ドレイン D2 と、ゲート G2 とからなっている。図 3 においては、薄膜トランジスタ T2 のソース S2 は陰極層 31 C に電氣的に接続されている。

【0035】

基板 32 は、当業者により既知のガラス、プラスチック又は半導体ウェファから形成することができる。

10

【0036】

遮蔽電極 SE は、OLED 31 と駆動回路 34 との間に配置される。これら遮蔽電極 SE は、好ましくは、連続するバック電極 31 C の一層近くに配置される。

【0037】

遮蔽電極 SE はアルミニウム又はモリブデンから形成することができ、LCD 製造工程における標準の金属化層を該遮蔽電極 SE 用に形成することができる。

【0038】

遮蔽電極 SE は、例えば、長方形形状に形成され、薄膜トランジスタ T1 及び T2 の各々のソースとドレインとの間の全体領域を覆うべきである。各遮蔽電極 SE は電氣的に接地されるか、又は薄膜トランジスタ T1 及び T2 のゲートに各々電氣的に接続される。

20

【0039】

図 4 は、図 3 のピクセルを、該ピクセルの動作中に誘導される寄生容量 Cp1 及び Cp2 と共に示す説明図である。

【0040】

図 5 は、図 4 の第 1 等価回路を示す説明図で、遮蔽電極 SE はドライバ TFT トランジスタ T1 及び T2 のゲートに各々電氣的に接続されている。

【0041】

図 6 は、図 4 の第 2 等価回路を示す説明図で、遮蔽電極 SE は電氣的に接地されている。

【0042】

図 4、5 及び 6 は、ピクセル 30 の動作中に、連続するバック電極 31 C と遮蔽電極 SE との間に寄生容量 Cp1 及び Cp2 が誘導されることを示している。

30

【0043】

図 4、5 及び 6 に示すような遮蔽電極 SE を有するピクセルの動作は、これら遮蔽電極 SE が電氣的に大地に接続され、又は上記薄膜トランジスタのゲートに各々電氣的に接続されるとしても、図 1 D のものと依然として同一となる。即ち、前記ゲートマルチプレクサ 16 からの電圧 Vaddress がアドレスラインの 1 つを活性化すると、薄膜トランジスタ T1 がオンされるので、前記ドライバ 18 からの電圧 Vdata がデータラインの 1 つを介してコンデンサ Cs の充電を開始する。この時点で、上記電圧 Vdata はドライバ薄膜トランジスタ T2 のゲート容量も生じさせる。上記データライン上の電圧 Vdata に依存して、コンデンサ Cs はドライバトランジスタ T2 をオンさせるまで充電され、次いで該ドライバトランジスタ T2 が導通開始して、OLED 31 を適切なレベルの電流により駆動する。上記アドレスラインがオフされると、トランジスタ T1 はオフされるが、ドライバトランジスタ T2 のゲートにおける電圧は殆ど同一のまま残存する。従って、上記 OLED を介しての電流は、トランジスタ T1 のオフ後も変化されないままとなる。該 OLED の電流は、異なる電圧が当該ピクセルに書き込まれる次の時点にのみ変化する。この時点で、前記の連続したバック電極はトランジスタ T1 の漏れ電流を生じさせるような寄生容量を引き起こし得る。斯かる寄生容量の影響を最小化するために、上記遮蔽電極 SE が導入されている。即ち、上記のような動作の間において、遮蔽電極 SE は電位が薄膜トランジスタ T1 及び T2 に伝搬するのを遮断し、従って、電荷が当該ピクセル 30 の不所望な領域に誘導されるのを防止する。そして、遮蔽電極 SE により生じた寄生容量 Cp1 及び Cp2 は、上

40

50

記陰極における電圧を一定に保持することにより当該OLEDの動作を安定化させるように作用する。

【0044】

以上、本発明の好ましい実施例を説明したが、当業者によれば、本発明が上述した好ましい実施例に限定されるものではなく、添付請求項に記載された本発明の趣旨及び範囲内において種々の変更及び変形を実施することができると理解されるであろう。

【図面の簡単な説明】

【0045】

【図1】図1Aは、駆動ユニットを備える一般的なアクティブマトリクスOLED（AMOLED）表示器の上面図であり、図1Bは、図1AのAMOLED表示器の部分的拡大図である。

10

【0046】

【図1C】図1Cは、1つのピクセルの図1BのA-A'線に沿う断面図である。

【0047】

【図1D】図1Dは、図1Cの等価回路を示す説明図である。

【0048】

【図2】図2は、バックプレーン電子回路上に垂直方向に積層されたOLEDにより形成されたピクセルの断面図である。

【0049】

【図3】図3は、本発明の一実施例により駆動回路上に形成された遮蔽電極を備えるAMOLED表示器のピクセルを示す断面図である。

20

【0050】

【図4】図4は、動作の間に誘導される寄生容量を伴うような図3のピクセルを示す説明図である。

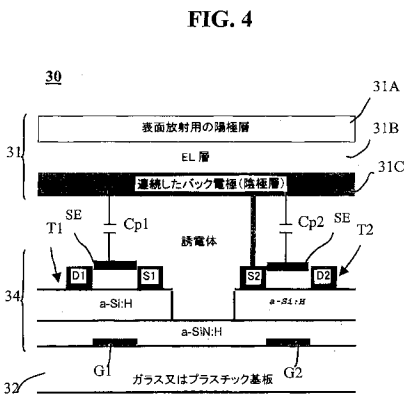
【0051】

【図5】図5は、図4の第1等化回路を示す説明図である。

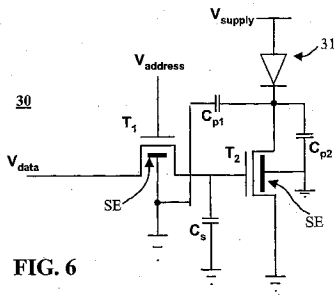
【0052】

【図6】図6は、図4の第2等価回路を示す説明図である。

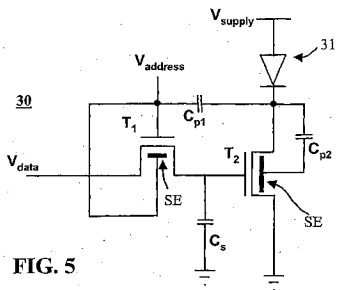
【 図 4 】



【 図 6 】



【 図 5 】



(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)



PCT

(81) **Designated States (national):** AE, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DR, EC, EE, ES, FI, GB, GD, GE, GI, GM, GR, GU, ID, IL, IN, IS, JP, KE, KP, KR, KZ, KW, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, NO, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,
MX, MZ, NO, NZ, OM, PH, PI, PT, RO, RU, SD, SE, SG,
SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VN, YU, ZA, ZM, ZW.

SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VN, YU, ZA, ZM, ZW.

© 2004 Blackwell Publishing Ltd *Journal of Internal Medicine* 255: 105–114

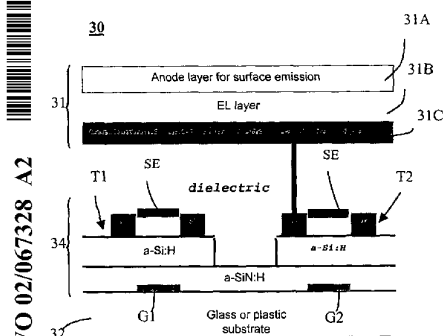
(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW); Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM); European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SI, TR); OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

GB, GR, IE, IT, LU, MC, NL, PT, SI, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
without international search report and to be republished
upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: ORGANIC LIGHT EMITTING DIODE DISPLAY HAVING SHIELD ELECTRODES



(57) **Abstract:** An organic light emitting diode (OLED) display includes at least one shield electrode between a cathode layer and an OLED driver. The OLED driver circuit has at least one thin-film transistor (TFT), and the shield electrode is disposed to correspond to the thin-film transistor and closer to the cathode layer, covering an entire region between the source and drain of the thin-film transistor. The shield electrode is either grounded or tied to the gate of the thin-film transistor, to thereby minimize parasitic capacitances in the pixels of the display to enhance the display performance. The presented architecture enables high density drive circuit integration in amorphous silicon or other technologies, yet preserving a high display aperture ratio.

WO 02/067328 A2

WO 02/067328

PCT/CA02/00180

1

ORGANIC LIGHT EMITTING DIODE DISPLAY HAVING SHIELD ELECTRODES

BACKGROUND OF THE INVENTION

5

1. Field of the Invention

The present invention relates to a display device, and more particularly to an organic light emitting diode display having shield electrodes.

10 2. Description of the Prior Art

The polymeric or organic light emitting diodes (OLEDs) are electroluminescent (EL) layers that emit light generated by radiative recombination of injected electrons and holes within one or more organic EL layers or an organic EL region thereof.

15 The OLED displays employing the OLED have been attracting more attention because of their various advantages including simple structures, fast response times and wide viewing angles.

FIG. 1A is a top view of a general active matrix
20 OLED (AMOLED) display device. In FIG. 1A, a reference numeral 10 denotes an OLED display device. The OLED display device 10 has an OLED display 12, a gate multiplexer 16, and a driver 18. The OLED display 12 consists of a plurality of pixels 14 in a matrix array form for displaying images, for example. A
25 reference numeral C denotes a portion of the OLED display 12 in store for enlargement of pixels

FIG. 1B is a partially enlarged view of the OLED display of FIG. 1A, taken from the portion C of FIG. 1A. As shown in FIG. 1B, each of the pixels 14 has an OLED 22 and a thin-film
30 (TFT) drive circuit 24. Address and data lines in FIG. 1B are connected to the gate multiplexer 16 and the driver 18, respectively, as shown in FIG. 1A.

FIG. 1C is a cross-sectioned view for one pixel, taken along lines A-A' of FIG. 1B, showing that the OLED 22 and the
35 TFT drive circuit 24 are formed on a glass substrate 32.

WO 02/067328

PCT/CA02/00180

2

The substrate 32 may be transparent or opaque. Thus, the OLED display may be configured to emit light through the substrate 32 or through the cathode layer. FIG. 1C shows such a pixel emitting light through the substrate 32.

5 In the OLED 22, the anode layer is typically made of a transparent conducting material, while the cathode layer is typically made of a conducting metal with a low work function.

The anode layer is formed as a transparent bottom electrode, while the cathode layer is formed as a continuous top electrode over the OLED layer.

10 In a general AMOLED display, it is important to ensure that the aperture ratio or fill factor, which is defined as the ratio of light emitting display area to the total pixel area, should be high enough to ensure display quality.

15 The AMOLED display 10 in FIG. 1A is based on light emission through an aperture on the glass substrate 32 where the backplane electronics is integrated. Increasing the on-pixel density of TFT integration for stable drive current reduces the size of the aperture. The same problem happens

20 when pixel sizes are scaled down.

The solution to having an aperture ratio that is invariant on scaling or on-pixel integration density is to vertically stack the OLED layer on the backplane electronics or the TFT drive circuit, along with a transparent top electrode. FIG. 2 is a cross-sectioned view for a pixel formed with an OLED vertically stacked on the backplane electronics.

25 In FIG. 2, a reference number 14 denotes the pixel. The pixel 14 has the OLED 31 and the backplane electronics 24 which are vertically stacked on the substrate 32. Reference numerals T1 and T2 denote thin-film transistors respectively. A more description of FIG. 2 can be found, later, when FIG. 3 is described.

WO 02/067328

PCT/CA02/00180

3

The operations of the AMOLED display device 10 having the above structure will be described in detail with reference to FIGs. 1A-1D.

FIG. 1D is a view for showing an equivalent circuit of FIG. 1C. A 2-transistor driver circuit realized, for example, in polysilicon technology is illustrated for the equivalent circuit. The equivalent circuit can be applied to the AMOLED display as shown in FIG. 2 using amorphous silicon technology but with variation in TFT type and OLED location.

When a voltage $V_{address}$ from the gate multiplexer 16 activates one of the address lines, a thin-film transistor T1 is turned on so that a voltage V_{data} from the driver 18 starts charging a capacitor C_s through one of the data lines. At this time, the voltage V_{data} also causes a gate capacitance of a driver thin-film transistor T2. Depending on the voltage V_{data} on the data line, the capacitor C_s charges up to turn the driver transistor T2 on, which then starts conducting to drive the OLED 22 with an appropriate level of current. When the address line is turned off, the transistor T1 is turned off, and a voltage at the gate of the driver transistor T2 remains almost the same. Hence, the current through the OLED remains unchanged after the turn-off of the transistor T1. The current of the OLED changes only the next time around when a different voltage is written into the pixel.

However, the continuous back electrode can give rise to parasitic capacitance causing the leakage current of the transistor T1, whose effects can become significant enough to affect the operation of the driver transistor T2 when the continuous back electrode runs over the switching and other thin film transistors. That is, the presence of the continuous back electrode can induce a parasitic channel in thin-film transistors giving rise to high leakage current. The leakage current is the current that flows between the source and drain

WO 02/067328

PCT/CA02/00180

4

of the thin-film transistor T1 when the gate of the thin-film transistor T1 is in its OFF state.

The leakage current could drain away the charge on the gate of the driver thin-film transistor T2 by discharging the capacitance that keeps it continuously in its ON state. Accordingly, it adds to the total power consumption of the display.

SUMMARY OF THE INVENTION

10 It is an object of the present invention to provide a polymeric or organic light emitting diode(OLED) display having shield electrodes for minimizing parasitic capacitances to enhance the performance thereof.

15 It is another object of the present invention to provide an OLED display having shield electrodes for allowing surface emission through vertical pixel circuitry integration for a high aperture ratio.

The architecture enables high density drive circuit integration in amorphous silicon or other technologies, yet 20 preserving the high aperture ratio.

In order to achieve the above objects, an OLED display according to the present invention comprises a substrate, and a plurality of pixels formed on the substrate and each having a unit for reducing parasitic capacitances causing leakage 25 currents therein.

The parasitic capacitance reducing unit is formed with at least one shield electrode of electric conductor. Further, the pixels each include an OLED layer for emitting light; and a drive circuit for electrically driving the OLED layer, the at 30 least one shield electrode being disposed between the OLED layer and the drive circuit.

Preferably, the OLED layer includes an anode layer, an electroluminescent layer, and a cathode layer, and the drive circuit has at least one thin-film transistor, the at least

WO 02/067328

PCT/CA02/00180

5

one shield electrode being disposed to correspond to the at least one thin-film transistor between the cathode layer and the at least one thin-film transistor. The at least one shield electrode covers an entire region between a source and a drain of the at least one thin-film transistor. Preferably, the at least one shield electrode is disposed closer to the cathode layer.

The OLED layer and the drive circuit may be vertically stacked over the substrate, the vertically stacked OLED layer and the drive circuit form a top emission, and the drive circuit may be formed in inverted staggered thin-film transistor structures. The at least one shield electrode is formed of Aluminium, Molybdenum, or a standard metallization layer in LCD process in a rectangular shape. The parasitic capacitance reducing unit is electrically grounded or tied to a gate of the at least one thin-film transistor.

The OLED display with the above structure according to the present invention minimizes parasitic capacitance in the drive circuit and leakage currents in the thin-film transistors by holding the voltage at the gate of the driver thin-film transistor.

Further, the OLED display according to the present invention allows the OLED layer to be vertically stacked on the backplane electronics, along with a transparent top electrode for the top or surface emission.

BRIEF DESCRIPTION OF THE DRAWINGS

The above objects and features of the present invention will become more apparent by describing in detail a preferred embodiment thereof with reference to the attached drawings, in which:

FIG. 1A is a top view of a general active matrix OLED (AMOLED) display with driving units;

WO 02/067328

PCT/CA02/00180

6

FIG. 1B is a partially enlarged view of the AMOLED display of FIG. 1A;

FIG. 1C is a cross-sectioned view for one pixel, taken along lines A-A' of FIG. 1B;

5 FIG. 1D is a view for showing an equivalent circuit of FIG. 1C;

FIG. 2 is a cross-sectioned view for a pixel formed with an OLED vertically stacked on backplane electronics;

10 FIG. 3 is a cross-sectioned view for showing a pixel of an AMOLED display with shield electrodes formed over a drive circuit according to an embodiment of the present invention;

FIG. 4 is a view for showing the pixel of FIG. 3 with parasitic capacitance induced during operation thereof;

15 FIG. 5 is a view for showing a first equivalent circuit of FIG. 4; and

FIG. 6 is a view for showing a second equivalent circuit of FIG. 4.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

20 Hereinafter, descriptions will be made in detail on an organic light emitting diode display according to the embodiments of the present invention with reference to the accompanying drawings. Like reference numerals denotes like constituents throughout the disclosure.

25 FIG. 3 is a cross-sectioned view for showing a pixel of an AMOLED display with shield electrodes formed over a drive circuit according to an embodiment of the present invention.

30 As stated above, the AMOLED display consists of a matrix array of pixels, but FIG. 3 shows only one pixel for the sake of simplicity in description.

As shown in FIG. 3, a pixel 30 includes an OLED layer 31, intermediate or shield electrodes SE, a drive circuit 34, and a substrate 32.

WO 02/067328

PCT/CA02/00180

7

The OLED 31 has an anode electrode or an anode layer 31A, an EL layer 31B, and a cathode layer 31C. FIG. 3 shows the top or surface emission pixel. The cathode electrode 31C forms a continuous back electrode.

5 The drive circuit 34 consists of two thin-film transistors T1 and T2. The drive circuit 34 may be constructed with more than two thin-film transistors, and the pixel 30 may be structured with the OLED 31 vertically stacked over drive circuit 34 formed on the substrate 32. The drive circuit 34
10 can be formed with inverted staggered thin-film transistor structures. The a-Si:H and a-SiN:H denotes materials employed for the pixel 30. FIG. 3 also shows the pixel 30 has a dielectric layer between the cathode layer 31C and the drive circuit 34.

15 The TFT transistor T1 has a source S1, a drain D1, and a gate G1, and the TFT transistor T2 consists of a source S2, a drain D2, and a gate G2. In FIG. 3, the source S2 of the thin-film transistor T2 is electrically connected to the cathode layer 31C.

20 The substrate 32 may be made of glass, plastic, or semiconductor wafer which is known to one skilled in the art.

The shield electrodes SE are disposed between the OLED 31 and the drive circuit 34. The shield electrodes SE are preferably located closer to the continuous back electrode
25 31C.

Shield electrodes SE may be formed of Aluminium or Molybdenum, and a standard metallization layer in the LCD process may be formed for the shield electrodes SE.

The shield electrodes SE are formed, for example, in a
30 rectangular shape, and should cover the entire region between the source and drain of each of the thin-film transistors T1 and T2. The shield electrodes SE are electrically either grounded or tied to the gates of the thin-film transistors T1 and T2, respectively.

WO 02/067328

PCT/CA02/00180

8

FIG. 4 is a view for showing the pixel of FIG. 3 with parasitic capacitances C_{p1} and C_{p2} induced during operation thereof.

FIG. 5 is a view for showing a first equivalent circuit of FIG. 4, in which the shield electrodes SE are electrically tied to the gates of the driver TFT transistors T1 and T2, respectively.

FIG. 6 is a view for showing a second equivalent circuit of FIG. 4, in which the shield electrodes SE are electrically grounded.

FIGs. 4, 5, and 6 show that, during the operations of the pixel 30, the parasitic capacitances C_{p1} and C_{p2} are induced between the continuous back electrode 31C and the shield electrodes SE.

The operations of the pixel having the shield electrodes SE as shown in FIGs. 4, 5, and 6 are still the same as those of FIG. 1D, even though the shield electrodes SE are electrically connected to either ground or the gates of the thin-film transistors respectively. That is, when a voltage Vaddress from the gate multiplexer 16 activates one of the address lines, a thin-film transistor T1 is turned on so that a voltage Vdata from the driver 18 starts charging a capacitor Cs through one of the data lines. At this time, the voltage Vdata also causes a gate capacitance of a driver thin-film transistor T2. Depending on the voltage Vdata on the data line, the capacitor Cs charges up to turn the driver transistor T2 on, which then starts conducting to drive the OLED 22 with an appropriate level of current. When the address line is turned off, the transistor T1 is turned off, and a voltage at the gate of the driver transistor T2 remains almost the same. Hence, the current through the OLED remains unchanged after the turn-off of the transistor T1. The current of the OLED changes only the next time around when a different voltage is written into the pixel. At this time, the

WO 02/067328

PCT/CA02/00180

9

continuous back electrode can give rise to parasitic capacitance causing the leakage current of the transistor T1. In order to minimize the effect of the parasitic capacitance, the shield electrodes SE are introduced. That is during the
5 above operation the shield electrodes SE shield electric potentials from propagating through to the thin-film transistors T1 and T2, hence preventing electric charges from being induced in the undesired regions of the pixel 30, and the parasitic capacitances Cp1 and Cp2 caused by the shield
10 electrodes SE serve to stabilize the OLED operations by holding the voltage at the cathode steady.

Although the preferred embodiments of the present invention have been described, it will be understood by those skilled in the art that the present invention should not be
15 limited to the described preferred embodiments, but various changes and modifications can be made within the spirit and scope of the present invention as defined by the appended claims.

20

WO 02/067328

PCT/CA02/00180

10

What is claimed is:

1. An organic light emitting diode (OLED) display, comprising:
a substrate; and
5 a plurality of pixels formed on the substrate and each having a means for reducing parasitic capacitances causing leakage currents therein during operations thereof.
2. The OLED display as claimed in claim 1, wherein the
10 parasitic capacitances-reducing means is grounded.
3. The OLED display as claimed in claim 1, wherein the parasitic capacitance reducing means is formed with at least one shield electrode of electric conductor.
- 15 4. The OLED display as claimed in claim 3, wherein the pixels each include:
an OLED for emitting light; and
a drive circuit for electrically driving the OLED, the at
20 least one shield electrode being disposed between the OLED layer and the drive circuit.
5. The OLED display as claimed in claim 4, wherein the OLED includes an anode layer, an electroluminescent layer, and a
25 cathode layer, and the drive circuit has at least one thin-film transistor, the at least one shield electrode being disposed to correspond to the at least one thin-film transistor between the cathode layer and the at least one thin-film transistor.
- 30 6. The OLED display as claimed in claim 5, wherein the parasitic capacitances-reducing means is electrically tied to a gate of the at least one TFT transistor.

WO 02/067328

PCT/CA02/00180

11

7.The OLED display as claimed in claim 5, wherein the at least one shield electrode covers an entire region between a source and a drain of the at least one thin-film transistor.

5 8.The OLED display as claimed in claim 7, wherein the at least one shield electrode is disposed closer to the cathode layer.

9.The OLED display as claimed in claim 8, wherein the OLED and the drive circuit are vertically stacked over the substrate.

10

10.The OLED display as claimed in claim 9, wherein the pixels are each formed for a top emission.

11.The OLED display as claimed in claim 10, wherein the drive circuit is formed in inverted staggered thin-film structures.

15

12.The OLED display as claimed in claim 11, wherein the at least one shield electrode is formed of a standard metallization layer in LCD process or any other metallization.

20

13.The OLED display as claimed in claim 11, wherein the at least one shield electrode is formed in a rectangular shape.

FIG. 1B

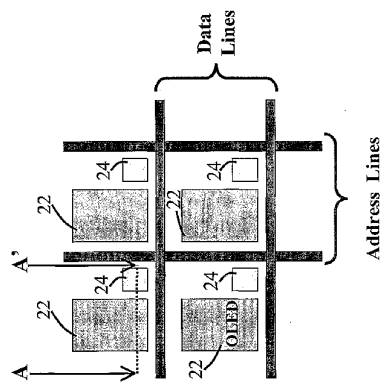
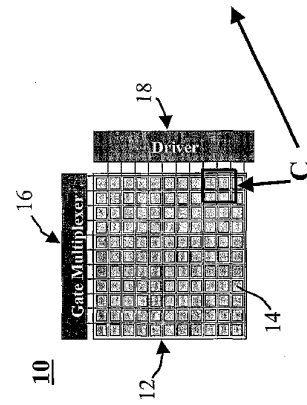


FIG. 1A



2/6

FIG. 1C

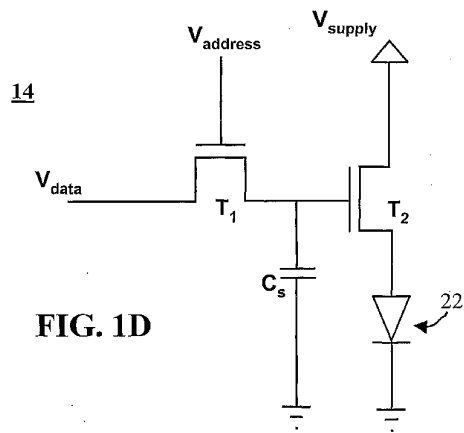
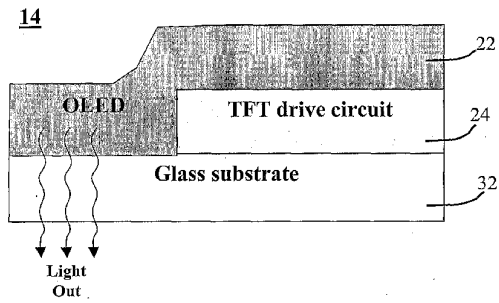


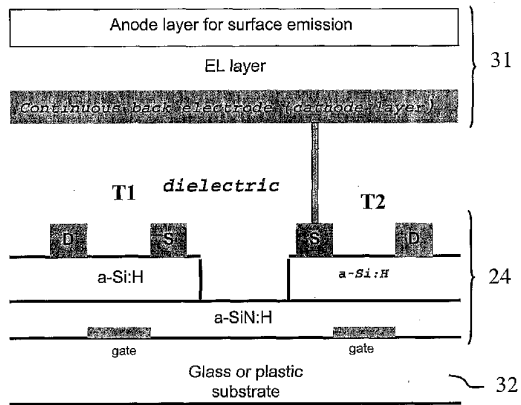
FIG. 1D

WO 02/067328

PCT/CA02/00180

3/6

FIG. 2
(PRIOR ART)

14

WO 02/067328

PCT/CA02/00180

4/6

FIG. 3

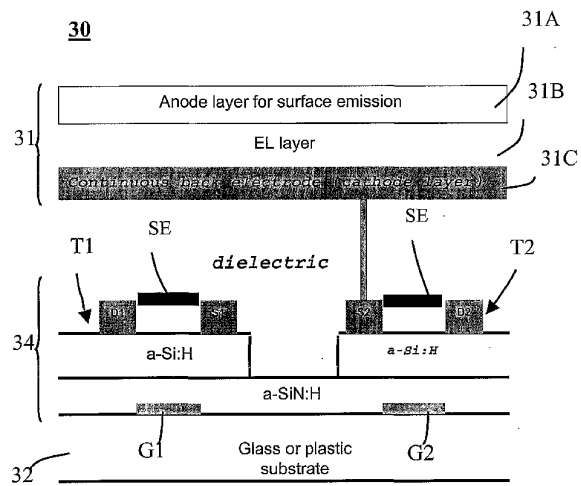
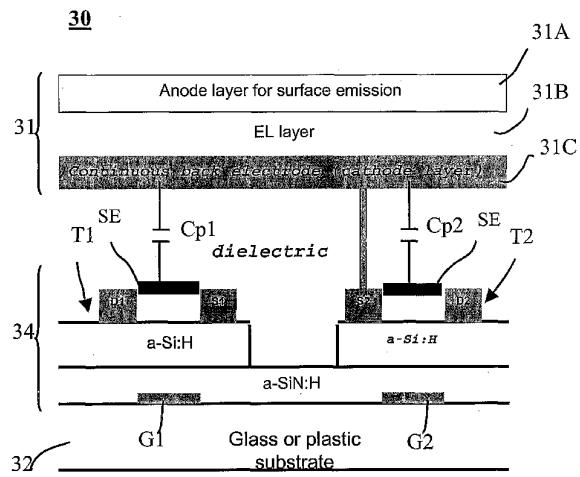


FIG. 4



WO 02/067328

PCT/CA02/00180

6/6

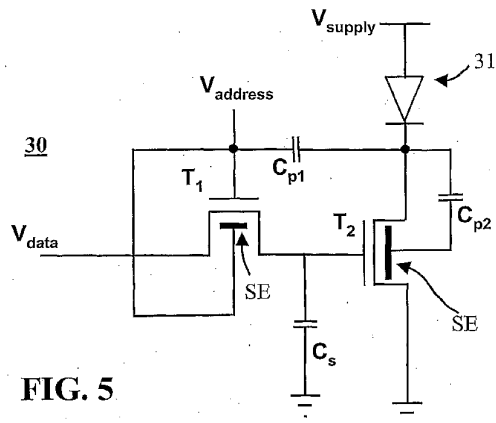


FIG. 5

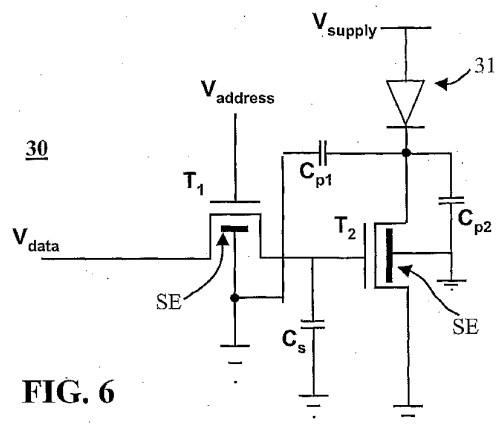


FIG. 6

【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
29 August 2002 (29.08.2002)

PCT

(10) International Publication Number
WO 02/067328 A3

(51) International Patent Classification: H01L 27/00

(21) International Application Number: PCT/CA02/00180

(22) International Filing Date: 18 February 2002 (18.02.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data: 60/268,899 16 February 2001 (16.02.2001) US

(71) Applicant (for all designated States except US): INNOVATION INC. [CA/CA]; 55 Culpepper Drive, Waterloo, Ontario N2L 3G1 (CA).

(72) Inventors; and

(75) Inventors/Applicants (for US only): NATHAN, Arokia [CA/CA]; 55 Culpepper Drive, Waterloo, Ontario N2L 3G1 (CA). SERVATI, Peyman [IR/CA]; 907 159 University Avenue West, Waterloo, Ontario N2L 3E8 (CA). KARIM, Karim, S. [CA/CA]; 1320 80 Mooregate Crescent, Kitchener, Ontario N2M 5G1 (CA).

(74) Agents: HARRIS, John, D. et al.; Gowling Laidlaw Henderson LLP, Suite 2600, 160 Elgin Street, Ottawa, Ontario K1P 1C3 (CA).

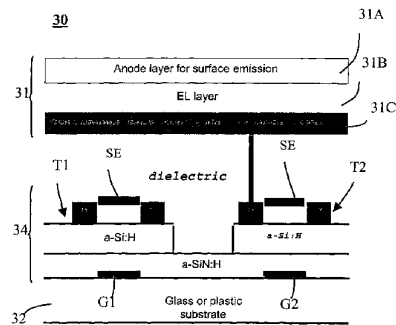
(81) Designated States (national): AE, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GU, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PI, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BI, CH, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:
— with international search report

[Continued on next page]

(54) Title: ORGANIC LIGHT EMITTING DIODE DISPLAY HAVING SHIELD ELECTRODES



(57) Abstract: An organic light emitting diode (OLED) display includes at least one shield electrode (SE) between a cathode layer (31A) and an OLED drive circuit (34). The OLED drive circuit has at least one thin-film transistor (TFT), and the shield electrode is disposed to correspond to the thin-film transistor and closer to the cathode layer, covering an entire region between the source and drain of the thin-film transistor. The shield electrode is either grounded or tied to the gate of the thin-film transistor, to thereby minimize parasitic capacitance in the pixels of the display to enhance the display performance. The presented architecture enables high density drive circuit integration in amorphous silicon or other technologies, yet preserving a high display aperture ratio.

WO 02/067328 A3

WO 02/067328 A3 

(88) Date of publication of the international search report: 7 November 2002 *For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/CA 02/00180
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L27/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L H05B		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) PAJ, INSPEC, WPI Data, EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 940 796 A (SEIKO EPSON CORP) 8 September 1999 (1999-09-08) abstract	1
A	NATHAN A ET AL: "Thin film imaging technology on glass and plastic" ICH 2000. PROCEEDINGS OF THE 12TH INTERNATIONAL CONFERENCE ON MICROELECTRONICS. (IEEE CAT. NO.00EX453), ICH 2000. PROCEEDINGS OF THE 12TH INTERNATIONAL CONFERENCE ON MICROELECTRONICS, TEHRAN, IRAN, 31 OCT.-2 NOV. 2000, pages 11-14, XP002206242 2000, Tehran, Iran, Univ. Tehran, Iran ISBN: 964-360-057-2 page 13, column 1, line 11-48 -/--	1
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document number of the same patent family		
Date of the actual completion of the international search 17 July 2002		Date of mailing of the international search report 31/07/2002
Name and mailing address of the ISA European Patent Office, P.O. 5616 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2940, Tx: 31 651 epo nl, Fax: (+31-70) 340-3076		Authorized officer De Laere, A

Form PCT/ISA/210 (record sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		International Application No. PCT/CA 02/00180
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 08, 29 August 1997 (1997-08-29) -& JP 09 090405 A (SHARP CORP), 4 April 1997 (1997-04-04) abstract -----	1
A	EP 1 028 471 A (SANYO ELECTRIC CO) 16 August 2000 (2000-08-16) the whole document -----	1
A	PATENT ABSTRACTS OF JAPAN vol. 2000, no. 09, 13 October 2000 (2000-10-13) -& JP 2000 172199 A (SANYO ELECTRIC CO LTD), 23 June 2000 (2000-06-23) abstract -----	1

Form PCT/ISA210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
 information on patent family members

International Application No.
 PCT/CA 02/00180

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0940796	A	08-09-1999	JP 11065487 A 05-03-1999
			EP 0940796 A1 08-09-1999
			US 6373453 B1 16-04-2002
			WO 9910861 A1 04-03-1999
			TW 430776 B 21-04-2001
			US 2002075207 A1 20-06-2002
JP 09090405	A	04-04-1997	NONE
EP 1028471	A	16-08-2000	JP 2000231346 A 22-08-2000
			EP 1028471 A2 16-08-2000
			TW 441222 B 16-06-2001
JP 2000172199	A	23-06-2000	NONE

フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

H O 1 L 29/78 6 2 3 Z

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,P L,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZM,ZW

(74)代理人 100097504

弁理士 青木 純雄

(72)発明者 ネイサン, アロキア

カナダ国 エヌ２エル ３ジー１、 オンタリオ州、 ウォータールー、 カルペッパー ドライ
ブ ５５

(72)発明者 サルバティ, ペイマン

カナダ国 エヌ２エル ３イー８、 オンタリオ州、 ウォータールー、 ユニバーシティ アベ
ニュー ウェスト ９０７ １５９

(72)発明者 カリム, カリム, エス.

カナダ国 エヌ２エム ５ジー１ オンタリオ州、 キッチナー、 ムーレゲイト クレセント
１３２０ ８０

Fターム(参考) 3K007 AB03 AB05 BA06 DB03

5C094 AA21 AA53 BA03 BA27 CA19 DA09 ED15 FB01 FB14

5F110 AA02 AA06 AA09 BB02 CC07 DD01 DD02 GG02 GG15 NN71

NN73 NN80

专利名称(译)	具有屏蔽电极的有机发光二极管显示器		
公开(公告)号	JP2004531752A	公开(公告)日	2004-10-14
申请号	JP2002566553	申请日	2002-02-18
[标]申请(专利权)人(译)	伊格尼斯创新公司		
申请(专利权)人(译)	伊格尼斯创新公司		
[标]发明人	ネイサンアロキア サルバティペイマン カリムカリムエス		
发明人	ネイサン, アロキア サルバティ, ペイマン カリム, カリム, エス.		
IPC分类号	H01L51/50 G09F9/30 H01L21/336 H01L21/77 H01L27/12 H01L27/15 H01L27/32 H01L29/786 H05B33/14		
CPC分类号	H01L27/3272 H01L27/12 H01L27/124 H01L2251/5315		
FI分类号	G09F9/30.365.Z G09F9/30.330.Z H01L27/15.B H05B33/14.A H01L29/78.612.Z H01L29/78.623.Z		
F-TERM分类号	3K007/AB03 3K007/AB05 3K007/BA06 3K007/DB03 5C094/AA21 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA09 5C094/ED15 5C094/FB01 5C094/FB14 5F110/AA02 5F110/AA06 5F110/AA09 5F110/BB02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/GG02 5F110/GG15 5F110/NN71 5F110/NN73 5F110/NN80		
代理人(译)	所以, 石井 青木 纯雄		
优先权	60/268899 2001-02-16 US		
其他公开文献	JP4392165B2		
外部链接	Espacenet		

摘要(译)

有机发光二极管 (OLED) 显示器包括在阴极层和OLED驱动电路之间的至少一个屏蔽电极。其中, 所述OLED驱动电路包括至少一个薄膜晶体管 (TFT), 所述屏蔽电极与所述薄膜晶体管对应设置, 靠近所述阴极层设置, 所述薄膜晶体管的源极与漏极之间的薄膜晶体管覆盖整个区域。屏蔽电极接地或连接到薄膜晶体管的栅极, 从而使显示器像素处的寄生电容最小化, 以提高显示性能。所呈现的架构允许在非晶硅或其他技术中集成高密度驱动电路, 同时仍保持高显示器孔径比。

