

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-531751

(P2004-531751A)

(43) 公表日 平成16年10月14日(2004.10.14)

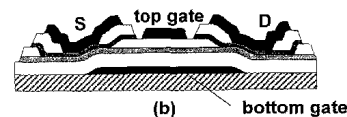
(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 338	3K007
G09G 3/20	G09F 9/30 365Z	5C080
G09G 3/30	G09G 3/20 611D	5C094
H01L 21/336	G09G 3/20 641D	5F110
H01L 27/15	G09G 3/30 J	
審査請求 未請求 予備審査請求 有 (全 47 頁) 最終頁に続く		

(21) 出願番号	特願2002-566552 (P2002-566552)	(71) 出願人	503297235
(86) (22) 出願日	平成14年2月18日 (2002.2.18)		イグニス イノベーション インコーポレ
(85) 翻訳文提出日	平成15年8月18日 (2003.8.18)		ーテッド
(86) 国際出願番号	PCT/CA2002/000173		I G N I S I N N O V A T I O N I N
(87) 国際公開番号	W02002/067327		C.
(87) 国際公開日	平成14年8月29日 (2002.8.29)		カナダ国 エヌ2エル 3ジー1 オンタ
(31) 優先権主張番号	60/268, 900		リオ州、ウォータールー、カルペッパ
(32) 優先日	平成13年2月16日 (2001.2.16)		ー ドライブ 55
(33) 優先権主張国	米国 (US)		55 Culpepper Drive,
			Waterloo, Ontario
			N2L 3G1, Canada
		(74) 代理人	100097490
			弁理士 細田 益稔
		(74) 代理人	100113354
			弁理士 石井 総
		最終頁に続く	

(54) 【発明の名称】 有機発光ダイオード表示器用のピクセル電流ドライバ

(57) 【要約】

ピクセル電流ドライバが、各々がデュアルゲートを有すると共にOLED層を駆動するためのものであるような複数の薄膜トランジスタ(TFT)を有している。上記デュアルゲートのうちのトップゲートは、上記薄膜トランジスタの各々のソースとドレインとの間に形成され、これにより寄生容量を最小化する。該トップゲートは接地されるか又はボトムゲートに電気的に接続される。上記複数の薄膜トランジスタは、電圧で計画された態様で形成された2つの薄膜トランジスタ、又は電流で計画された ΔV_T が補償される態様で形成された5つの薄膜トランジスタとすることができる。 δV_T を補償するような異なる数の薄膜トランジスタを備える電流で計画された回路の他の例も提示されている。上記OLED層は連続的であり、100%に近い開口比を提供するために上記複数の薄膜トランジスタ上に垂直方向に積層される。



□ glass substrate □ a-SiN_x:H □ a-Si:H ■ n⁺μc-Si:H ■ metal

【特許請求の範囲】

【請求項 1】

光を放出する有機発光ダイオード（OLED）層を有する有機発光ダイオード用のピクセル電流ドライバにおいて、

各々がデュアルゲートを有すると共に前記 OLED 層を駆動するためのものであるような複数の薄膜トランジスタ（TFT）であって、前記デュアルゲートのトップゲートが前記薄膜トランジスタの各々のソースとドレインとの間に形成され、これにより寄生容量を最小化するような複数の薄膜トランジスタを有するピクセル電流ドライバ。

【請求項 2】

請求項 1 に記載のピクセル電流ドライバにおいて、前記薄膜トランジスタの各々が、a-Si:H 型薄膜トランジスタであるピクセル電流ドライバ。 10

【請求項 3】

請求項 1 に記載のピクセル電流ドライバにおいて、前記薄膜トランジスタの各々が、ポリシリコン型薄膜トランジスタであるピクセル電流ドライバ。

【請求項 4】

請求項 3 に記載のピクセル電流ドライバにおいて、前記薄膜トランジスタの各々が、p チャンネル薄膜トランジスタであるピクセル電流ドライバ。

【請求項 5】

請求項 2 に記載のピクセル電流ドライバにおいて、前記デュアルゲートが通常の逆スタガ TFT 構造で作製されるピクセル電流ドライバ。 20

【請求項 6】

請求項 2 に記載のピクセル電流ドライバにおいて、前記トップゲートが接地されているピクセル電流ドライバ。

【請求項 7】

請求項 2 に記載のピクセル電流ドライバにおいて、前記トップゲートがボトムゲートに電氣的に接続されるピクセル電流ドライバ。

【請求項 8】

請求項 2 に記載のピクセル電流ドライバにおいて、前記複数の薄膜トランジスタが 2 つの薄膜トランジスタであるピクセル電流ドライバ。

【請求項 9】

請求項 8 に記載のピクセル電流ドライバにおいて、前記 2 つの薄膜トランジスタが電圧で計画された態様で形成されるピクセル電流ドライバ。 30

【請求項 10】

請求項 2 に記載のピクセル電流ドライバにおいて、前記複数の薄膜トランジスタが 5 つの薄膜トランジスタであるピクセル電流ドライバ。

【請求項 11】

請求項 10 に記載のピクセル電流ドライバにおいて、前記 5 つの薄膜トランジスタが、電流で計画された ΔV_T 補償型の態様で形成されるピクセル電流ドライバ。

【請求項 12】

請求項 2 に記載のピクセル電流ドライバにおいて、前記 OLED 層が連続的であり、前記複数の薄膜トランジスタ上に垂直方向に積層されるピクセル電流ドライバ。 40

【請求項 13】

請求項 2 に記載のピクセル電流ドライバにおいて、当該ピクセル電流ドライバが、ピクセルにおける前記薄膜トランジスタの各々の V_{th} のずれを自動的に補償するカレントミラー型のピクセル電流ドライバであるピクセル電流ドライバ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機発光ダイオード表示器に係り、更に詳細には、有機発光ダイオード（OLED）とトランジスタ層との間の寄生結合を最小化することができるような有機発光表示 50

器用のピクセル電流ドライバに関する。

【背景技術】

【0002】

OLEDは、液晶表示器(LCD)と比較して速い応答時間、大きな視野角、高いコントラスト、軽い重さ、少ない電力及び可撓性基板に対する順応性の点で、近年、表示器のアプリケーションの分野で大きな興味を獲得している。OLEDがLCDを超える優越性を示すにも拘わらず、カプセル封入及び寿命、歩留まり、カラー効率並びに駆動電子回路に関する幾つかの挑む問題が依然として残存しており、これらの全てが大きな注目を受けている。受動マトリクスアドレス型OLED表示器は既に市場に出回っているが、これらは次世代表示器で要求される解像度をサポートしていない。何故なら、高情報内容(HIC)フォーマットは、アクティブマトリクスアドレス方式でのみ可能であるからである。アクティブマトリクスアドレス方式は、各OLEDピクセルにおいて必要とされるバイアス電圧及び駆動電流を供給するために、アモルファスシリコン(a-Si:H)、多結晶シリコン(poly-Si)又はポリマ技術を用いて製造された薄膜トランジスタ(TFT)に基づくバックプレーン電子回路の層を含む。ここで、各ピクセル上における電圧は一層低く、全フレーム期間を通しての電流は小さな一定の値であり、かくして、受動マトリクスアドレス方式に関連するような過度のピーク駆動及び漏れ電流を防止する。これは、OLEDの寿命を増加させる。

10

【0003】

アクティブマトリクスOLED(AMOLED)表示器においては、開口比又はフィルファクタ(全ピクセル面積に対する光放出表示面積の比として定義される)が表示品質を保証するために十分に大きいことを保証することが重要である。従来のAMOLED表示器は、バックプレーン電子回路が集積されるガラス基板上の開口を介しての光放出に基づくものである。安定した駆動電流のためにTFT集積のピクセル上(オンピクセル)密度を増加させることは、上記開口の大きさを減少させることになる。ピクセルの大きさが縮小される場合にも、同様のことが起きる。縮尺又はオンピクセル集積密度に対して不変であるような開口比を持つための解決策は、OLED層をバックプレーン電子回路上に透明トップ電極と共に垂直方向に積層することである(図2参照)。図2において、符号S及びDはソース及びドレインを各々示す。これは、OLEDピクセル上の連続したバック電極を意味する。しかしながら、この連続したバック電極は寄生容量を生じさせ得、斯かる寄生容量の影響は該電極がスイッチング及び他の薄膜トランジスタ(TFT)上を走る場合に著しくなる。ここで、上記バック電極の存在はTFTに寄生チャンネルを誘起し得、大きな漏れ電流を生じさせる。該漏れ電流とは、当該TFTのゲートがオフ状態の場合に該TFTのソースとドレインとの間で流れる電流である。

20

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

従って、本発明の目的は、OLEDとトランジスタ層との間の寄生的結合を最小化することができるような有機発光表示器(OLED)用のピクセル電流ドライバを提供することにある。

40

【課題を解決するための手段】

【0005】

上記目的を達成するため、本発明による光を放出するOLED層用のピクセル電流ドライバは、各々がデュアルゲートを有すると共にOLED層を駆動するためのものであるような複数の薄膜トランジスタ(TFT)を有している。上記デュアルゲートのうちのトップゲートは上記薄膜トランジスタの各々のソースとドレインとの間に形成され、これにより寄生容量を最小化する。

【0006】

上記薄膜トランジスタの各々は、a-Si:H型の薄膜トランジスタ又はポリシリコン型の薄膜トランジスタとすることができる。

50

【 0 0 0 7 】

該ピクセル電流ドライバは、ピクセルにおける薄膜トランジスタの各々の V_{th} のずれを自動的に補償するカレントミラー型のピクセル電流ドライバである。そして、該ピクセル電流ドライバは白黒表示用ともなり、又はフルカラー表示用ともなる。

【 0 0 0 8 】

上記デュアルゲートは、通常の逆スタガTFT構造で製造される。これらTFTの各々の幅は同TFTの長さよりも大きく形成され、トップゲート用のソースとドレインとの間に十分な間隔を設ける。好ましくは、上記長さは $30\mu m$ とし、上記幅は $1600\mu m$ とする。これらトランジスタの長さ及び幅は、当該回路により必要とされる最大駆動電流及び使用される製造技術に応じて変化しても良い。上記トップゲートは接地されるか、又はボトムゲートに電氣的に接続される。上記複数の薄膜トランジスタは、電圧で計画された(voltage-programmed)態様により形成された2つの薄膜トランジスタ、又は電流で計画された ΔV_T 補償型の態様で形成された5つの薄膜トランジスタ、又は4つの薄膜トランジスタとすることができる。上記OLED層は上記複数の薄膜トランジスタ上に垂直方向に積層される。

10

【 0 0 0 9 】

本発明によるa-Si:H電流ドライバの上記構成によれば、TFTのトップチャンネルに誘起される電荷は最小化され、該TFTにおける漏れ電流は回路性能を向上させるように最小化される。

【 発明を実施するための最良の形態 】

20

【 0 0 1 0 】

本発明の上記目的及び特徴は、本発明の好ましい実施例を添付図面を参照して詳細に説明することにより一層明らかになるであろう。

【 0 0 1 1 】

アモルファスシリコンは、ポリシリコンと較べて等価な電子的特性を享受しないが、アモルファスシリコンはページャ、携帯電話及び他の移動体装置に要求されるもののような小面積表示器用の多くの駆動要件を十分に満たす。ポリシリコンTFTは、これらTFTが高移動度により良好なピクセル駆動能力を提供することができることに於いて1つの重要な利点を有しており、上記移動度は $\mu_{FE} \sim 100\text{ cm}^2/\text{Vs}$ のオーダーでもあり得る。このことは、ポリシリコンを大面積(例えば、ラップトップの大きさの)VGA及びSVGA表示器にとって非常に望ましいものにしている。しかし、a-Si:H TFT($\mu_{FE} \sim 1\text{ cm}^2/\text{Vs}$)に関連する低移動度は、制限要因とはならない。何故なら、所要の駆動電流を提供するために、ピクセルにおける駆動トランジスタの面積を拡大することができるからである。OLED駆動電流密度は、殆どの表示器にとり必要な輝度である $100\text{ cd}/\text{m}^2$ なる輝度を提供するためには、 10 V 動作において典型的には $10\text{ mA}/\text{cm}^2$ である。例えば、 $0.5\text{ cm}^2/\text{Vs}$ なるa-Si:H TFTの移動度及び $25\mu m$ なるチャンネル長の場合、この駆動電流要件は $300\mu m^2$ なる所要のピクセル面積となり、これは3インチ程度の白黒表示器アプリケーションに対するピクセル解像度及び速度の要件を十分に満たすものである。図1は、2Tドライバ及び5Tドライバなる2つのタイプのドライバ(後述する)に関して算出されたデバイス移動度に伴う、所要のピクセルサイズの变化に関してのシミュレーション結果を図示しており、ここで、 μ_0 は値が0.1ないし $1\text{ cm}^2/\text{Vs}$ の範囲内であるような基準移動度を示している。例えば、2Tドライバ(図5A参照)のピクセルの面積は、スイッチングトランジスタの面積、駆動トランジスタの面積及び相互接続部、バイアスライン等により占有される面積を含む。図1において、駆動電流及びフレームレートは、 230×230 のアレイに対して、各々、 $10\mu A$ 及び 50 Hz に一定に維持されている。2Tドライバと5Tドライバとの間では面積の大幅な節約は存在しないが、移動度の増加に伴い節約が顕著になることが明らかである。これは、 μ_{FE} とTFTアスペクト比、即ち W/L (幅/長さ)との間で取引が存在するような駆動トランジスタの面積の減少から主に生じる。

30

40

【 0 0 1 2 】

50

閾電圧 (V_T) の均一性及び安定性に関しては、ポリシリコン及び $a-Si:H$ の両者は同一の問題を共有する。もっとも、比較すると、後者は、安定性ではなくて、より良好な空間的均一性 (ΔV_T) を提供する。このように、両者ともに駆動電流のピクセル間変化が問題であり得る。もっとも、 ΔV_T を補償するために、従って駆動電流の均一性を改善するためには、賢明な回路設計技術を使用することができる。長期間的信頼性に関しては、表示及び画像化用の $a-Si:H$ 技術に基づく製品が既に存在し、OLEDに関連する信頼性の問題は異なるかも知れないものの、ポリシリコン技術に関しては十分に明らかではない。 $a-Si:H$ 技術に関連する製造工程は標準のものであって、主流の集積回路 (IC) 技術から、大幅に少ない資本設備コストで適応化される。 $a-Si:H$ 技術の主たる利点の1つは、低価格になり、良く確立された技術であることであるが、ポリシリコンは未だ製造可能性の段階に到達する必要がある。また、該技術は将来のアプリケーションに対する大きな有望さも保持している。何故なら、良好に付着された $a-Si:H$ 、 $a-SiNx:H$ 及び TFT アレイを低温度 ($120^\circ C$) で達成することができ、かくして、プラスチック基板に対して順応的にさせ、これが機械的可撓性表示器にとって重大な要件であるからである。

10

【0013】

バック電極によりピクセルにおける全 TFT において誘起される導通を最小化するために、デュアルゲート構造に基づく交互の TFT 構造が採用される。デュアルゲート TFT (図3参照) においては、OLED電極が $a-Si:H$ チャンネル領域 (図2参照) をバイアスするのを防止するために、TFT 構造にトップゲートが追加される。該トップゲート上の電圧は、当該 TFT の (寄生) トップチャンネルに誘起される電荷を最小化するように選択することができる。該トップゲート上の電圧の選択の基となる目的は、当該駆動回路における寄生容量及び TFT における漏れ電流を最小化して回路性能を向上させることにある。以下においては、 $a-Si:H$ バックプレーン電子回路に基づく表面放出 (100% 開口比) AMOLED 表示器にとり中核となるデュアルゲート TFT の動作を説明する。

20

【0014】

図3は、この目的のために製造されるデュアルゲート TFT の構造を示し、ここで、符号 S 及び D はソース及びドレインを各々示している。当該製造工程は、トップゲートをパターンニングするために6番目のマスクを必要とする点を除き通常の逆スタガ TFT 構造のものと同一である。該 TFT の長さは、トップゲートのためにソースとドレインとの間に十分な間隔を設けるために約 $30\mu m$ であり、幅は、測定用にかなりの漏れ電流を生成するために、これらの TFT のうち4つを並列に相互接続して非常に大きく ($1600\mu m$) されている。電流の測定には遅延時間が挿入されて、時間依存性容量を生じさせるような当該 $a-Si:H$ 活性層内の欠陥により生成される過渡期間を、当該測定が通過したことを保証する。

30

【0015】

図4は、4つの場合に関して、即ち第1にトップゲートが $-10V$ に接続されている場合、第2にトップゲートが接地されている場合、第3にトップゲートが浮動状態の場合、最後にトップゲートがボトムゲートに短絡されている場合に関して、静的電流測定の結果を示している。浮動状態のトップゲートの場合、当該特性は通常の単一ゲート TFT のものと概ね類似している。漏れ電流は、特にトップゲートが負の電圧でバイアスされる場合に相対的に大きくなる。漏れ電流の最小の値は、トップゲートが $0V$ 又はボトムゲートの電圧の何れかに固定された場合に得られる。特に、後者の場合に、当該 TFT の性能は、(順方向) 準閾 (sub-threshold) 動作状態において著しく改善される。この準閾性能の向上は、トップゲート上の正のバイアスによる実効導通経路のバルク $a-Si:H$ 領域に対する下側境界から離れる方向の強制的ずれにより説明することができる。これは、当該 TFT の準閾傾斜上の上記下側境界におけるトラップ状態の影響を減少させる。

40

【0016】

上記トップゲートとしての他の金属コンタクトの追加は当該 TFT の漏れ電流を減少させ

50

るが、斯かる金属コンタクトは、O L E D ピクセルを垂直方向に積層することにより生じる可能性のある寄生容量によりピクセル回路性能を潜在的に悪化させ得ることに注意すべきである。このように、トップゲート接続の選択は、極めて重大なものである。例えば、ピクセル回路におけるトップゲートが、関連する T F T のボトムゲートに接続された場合、これはゲートとカソードとの間に位置する寄生容量を生じさせ、該寄生容量はマルチプレクサ O / P が当該 T F T スイッチを駆動する場合に（当該寄生容量の充電により）望ましくない表示動作に繋がる可能性がある。一方、トップゲートが接地された場合、これは、寄生容量が接地されて、信頼性のある安定した回路動作を生じることになる。

【 0 0 1 7 】

ここで考察される O L E D 駆動回路は、良く知られた電圧で計画された（voltage-programmed）2 T ドライバ、及びもっと複雑な電流で計画された ΔV_T 補償型 5 T ドライバである（図 5 A 及び 6 A 参照）。後者は前の設計の大幅な変形例であり、少ないピクセル面積（ $< 300 \mu m$ ）、少ない漏れ電流、低い電源電圧（20 V）、高い直線性（ $\sim 30 dB$ ）及び大きなダイナミックレンジ（ $\sim 40 dB$ ）に繋がる。5 T ドライバの動作を詳述する前に、比較的簡単な電圧駆動 2 T ドライバを説明する。図 5 B は、2 T ピクセルドライバの入力 - 出力タイミング図を示している。アドレスラインが活性化されると、データライン上の電圧がコンデンサ C_s 及びドライバトランジスタ T_2 のゲート容量を充電し始める。データライン上の電圧に応じて、上記コンデンサはドライバトランジスタ T_2 を導通させるまで充電し、次いで、該トランジスタは当該 O L E D を適切な電流レベルで駆動するよう導通開始する。アドレスラインがオフされると、 T_1 はオフするが、 T_2 のゲートにおける電圧は残存する。何故なら、 T_1 の漏れ電流は比較上取るに足りないからである。従って、当該 O L E D を経る電流は、オフ過程後も変化されないままとなる。該 O L E D の電流は、異なる電圧が該ピクセルに書き込まれる次の時点でのみ変化する。

【 0 0 1 8 】

前のドライバとは異なり、この場合に 5 T ピクセルに書き込まれるデータは電流である（図 6 A 参照）。図 6 B は、5 T ピクセルドライバの入力 - 出力タイミング図を示す。アドレスライン電圧 $V_{address}$ 及び I_{data} は同時に活性化又は非活性化される。 $V_{address}$ が活性化されると、該電圧は T_1 及び T_2 を強制的にオンさせる。 T_1 は即座に導通を開始するが、 T_2 は導通を開始しない。何故なら、 T_3 及び T_4 がオフであるからである。従って、 T_2 のドレイン及びソースにおける電圧は等しくなる。 T_1 を経る電流の流れは、上記 2 T ドライバと全く同様に、トランジスタ T_3 及び T_5 のゲートコンデンサを充電し始める。これらのトランジスタの電流は増加し始め、結果として、 T_2 は電流を導通し始める。従って、 I_{data} の T_1 の持ち分は減少し、 I_{data} の T_2 の持ち分が増加する。この過程は、 T_3 及び T_5 のゲートコンデンサが、 T_3 の電流を I_{data} となるように強制するような電圧まで充電する（ T_1 を介して）まで、継続する。この時点で、 T_1 の電流は零となり、全 I_{data} は T_2 及び T_3 を介して流れる。同時に、 T_5 は当該 O L E D を経る電流を駆動し、該電流は理想的には $I_{data} * (W_5 / W_3)$ に等しく、これは電流利得を意味する。ここで、 I_{data} 及び $V_{address}$ が非活性化されると、 T_2 はオフされるが、 T_3 及び T_5 における容量の存在により、これら 2 つのデバイスの電流は容易には変化し得ない。何故なら、上記容量がバイアス電圧を一定に維持するからである。これは、 T_4 が T_3 のものと同一の電流を伝導するのを強制し、書き込み期間が経過しても、ドライバ T_5 が同一の電流を当該 O L E D に流し込むのを可能にする。次いで、当該ピクセルへの新たな値の書き込みが、当該 O L E D への電流駆動を変化させる。

【 0 0 1 9 】

上記 5 T ドライバ回路に関する過渡シミュレーションの結果が、図 7 に示されている。分かるように、該回路は 70 μs 未満の書き込み時間を有し、斯かる時間は殆どのアプリケーションに対して許容されるものである。該 5 T ドライバ回路は所要のピクセルサイズを大幅には増加させない（図 1 参照）。何故なら、 T_2 、 T_3 及び T_4 のサイズが縮小されるからである。これは、内部利得（ $W_5 / W_3 = 8$ ）も提供し、該内部利得は 10 μA の O L E D 電流に対して所要の入力電流を 2 μA 未満まで減少させる。上記 2 T 及び 5 T ド

ライバ回路に関する伝達特性が、信頼の置ける物理学的に基づいたTFTモデルを用いて順方向及び逆方向の両状況に関して発生されて、図8及び図9に各々図示されている。同様の設計と比較して幾何学的に規定された内部ピクセル利得により、5Tドライバ回路に関しては、伝達特性(I_{data}/I_{OLED})の大幅に改善された直線性($\sim 30\text{ dB}$)が見られる。加えて、高電流経路には2つの部品(OLED及び T_5)が存在し、該経路は所要の電源電圧を減少させ、従ってダイナミックレンジを改善する。図9によれば、20Vなる電源電圧及び $I_{OLED} = 10\text{ }\mu\text{A}$ なる範囲内の駆動電流に対して良好なダイナミックレンジ($\sim 40\text{ dB}$)が見られ、これは高輝度に対して現実的である。図10は、上記2T及び5Tドライバ回路に関して、閾電圧のずれに伴うOLED電流の変化を図示している。上記5Tドライバ回路は、閾電圧のズレを、特に該ずれが電源電圧の10%より小さいような場合に補償する。これは、該5Tドライバ回路が電流で計画されたものであるからである。対照的に、2T回路におけるOLED電流は、閾電圧のずれに伴い著しく変化する。ここで述べた5Tドライバ回路は、大幅に低い電源電圧で動作し、大幅に大きな駆動電流を有し、少ない面積しか占有しない。

【0020】

該ピクセルアーキテクチャは、OLED駆動電流の均一性及び高アスペクト比のために高いオンピクセルTFT集積密度を可能にするような表面(トップ)放出AMOLED表示器と整合性が良い。オンピクセル利得、高直線性($\sim 30\text{ dB}$)、及び同様の設計(27V)と較べて低電源電圧(15ないし20V)で高ダイナミックレンジ($\sim 40\text{ dB}$)を提供するような5Tドライバ回路を説明した。ここで述べた結果は、ガラス及びプラスチックの両基板上での3インチの移動体白黒表示アプリケーションに対しa-Si:Hを使用する可能性を示している。後者の場合、TFTの移動度は低くなるが、図1に示すように、それでも駆動トランジスタのサイズは、ピクセル面積に対する要件を満たすように拡大することができる。

【0021】

ポリシリコンは、アモルファスシリコンよりも高い電子及び正孔移動度を有している。上記正孔移動度はpチャンネルTFTの製造を可能にするほど十分に大きい。

【0022】

pチャンネルTFTを有する利点は、ボトム放出OLEDを、非常に良好な電流源となるようにpチャンネル駆動TFTと共に使用することができる点にある。1つの斯様な回路が図11に示されている。図11において、p型駆動TFTのソースは V_{dd} に接続されている。かくして、 V_{gs} (ゲートソース間電圧)、従って該p型TFTの駆動電流は、OLED特性とは独立したものとなる。言い換えると、図11に示すドライバは良好な電流源として動作する。従って、ボトム放出OLEDはpチャンネル駆動TFTと一緒に使用するのに適しており、トップ放出OLEDはnチャンネルTFTと一緒に使用するのに適している。

【0023】

ポリシリコンを使用することの取り引きは、ポリシリコンTFTを作成する工程がアモルファスシリコンのものより大幅に高い温度を必要とする点である。この高温処理要件はコストを大幅に増加させ、プラスチック基板に対して順応性もない。更に、ポリシリコン技術は、アモルファスシリコン程には成熟しておらず、広く利用可能でもない。対照的に、アモルファスシリコンは液晶表示器(LCD)に現在使用されている十分に確立された技術である。トップ放出OLED型回路設計と組み合わせられたアモルファスシリコンがAMOLED表示器にとり最も有望であることは、これらの理由によるものである。

【0024】

ポリシリコンTFTと比較して、アモルファスシリコンTFTはn型であり、従って図2に示すようなトップ放出回路に一層適している。しかしながら、アモルファスシリコンTFTは、物質的構造による固有の安定性問題を有している。アモルファスシリコン回路設計において、最大の障害は、長時間のゲートバイアスの後の閾電圧 T_{th} の上昇である。このずれは、OLED表示ピクセルの駆動TFTにおいて特に顕著である。この駆動TFT

Tは常に“オン”状態にあり、該状態においては当該TFTのゲートには正の電圧が存在する。結果として、該TFTの V_{th} は上昇し、駆動電流は下記の電流 - 電圧関係式に基づいて減少する：

$$I_{ds} = (\mu C_o \times W / 2L) (V_{gs} - V_{th}) \quad (\text{飽和領域において})$$

表示器においては、これは、OLEDの輝度が時間と共に低下することを意味し、これは許容されるものではない。従って、先に示した2T回路は、 V_{th} の如何なる増加も補償しないのでOLED表示器にとっては実用的ではない。

【0025】

第1のカレントミラー型ピクセルドライバ回路が提示され、該回路はピクセルにおける駆動TFTの V_{th} のずれを自動的に補償した。この回路は図6Aに示した5T回路である 10

【0026】

白黒表示器用に4つの更なるOLEDピクセルドライバ回路が提示され、フルカラー表示器用に1つの回路が提示される。これらの全ての回路は、 V_{th} のずれを自動的に補償するようなメカニズムを有している。図12に示す第1回路は、図6Aの5T回路の変形例である。(前記5T回路からトランジスタ T_4 が削除されている。)この回路は、前記5T回路より小さな面積しか占有せず、より大きなダイナミックレンジを提供する。この一層大きなダイナミックレンジは入力端における一層大きな信号の振れを許容し、これは、当該OLEDの輝度を、より広い範囲にわたり調整することができることを意味する。

【0027】

図13は、OLED表示器用の4Tピクセルドライバ回路を示している。図13に示す該回路は、カレントミラーに基づく4Tピクセルドライバ回路である。この回路の利点は、コンデンサ C_s の放電時間が大幅に低減されるという点にある。これは、放電経路が2つのTFT(図12の回路における3つのTFTと比較して)しか有していないという理由による。充電時間は同一のままである。他の利点は、この回路により提供される付加的な利得が存在する点にある。その理由は、 T_3 及び T_4 が同一のソース電圧を有していないことである。しかしながら、この利得は非線形なので、或る場合には望ましくないかも知れない。 20

【0028】

図14には、他の4T回路が示されている。この回路は、前の回路(図13)において存在するような非線形利得は有していない。何故なら、 T_3 及び T_4 のソース端子は同一の電圧であるからである。該回路は、小さなコンデンサ放電時間と共に、図13の回路の他の特徴も依然として維持する。 30

【0029】

図15は、4T回路の他の例を示している。この回路は、良好なカレントミラー特性は有していない。しかしながら、この回路は図16に示す3色RGB回路用の構築ブロックを形成する。該回路も、小さなコンデンサ放電時間及び高ダイナミックレンジを有している。

【0030】

図16に示すフルカラー回路は、表示器上のRGBピクセルにより必要とされる面積を最小化する一方、閾電圧のずれの補償、ピクセル内電流利得、低コンデンサ放電時間及び高ダイナミックレンジ等の所望の特徴を維持する。 40

【0031】

上述した回路においては最小の寄生効果で以ってOLED層の垂直方向の集積を可能にするためにデュアルゲートTFTが使用されていることに注意することが重要である。しかしながら、それにも拘わらず、当該回路は単純な単一ゲートTFTであってさえも、 V_{th} のずれを補償する。加えて、これらの回路はn型のアモルファスシリコンTFTを使用する。しかしながら、これら回路はp型又はn型TFTを使用するポリシリコン技術にも適用可能である。ポリシリコンで作成された場合、これら回路は、この技術における問題である閾電圧の不均一性を補償することができる。p型回路は上述した回路と共役的であ 50

り、ボトム放出ピクセルに適している。

【図面の簡単な説明】

【 0 0 3 2 】

【図 1】図 1 は、2 T 及び 5 T ピクセルドライバに関して、移動度に伴う所要のピクセル面積の変化を示す。

【図 2】図 2 は、表面放出 a S i : H A M O L E D 表示器のピクセルアーキテクチャを示す。

【図 3】図 3 は、デュアルゲート T F T 構造の断面を示す。

【図 4】図 4 は、種々のトップゲートバイアスに対するデュアルゲート T F T の順方向及び逆方向伝達特性を示す。

10

【図 5 A】図 5 A は、2 T ピクセルドライバの等化回路を示す。

【図 5 B】図 5 B は、2 T ピクセルドライバの関連する入力 - 出力タイミング図を示す。

【図 6 A】図 6 A は、5 T ピクセルドライバの等化回路を示す。

【図 6 B】図 6 B は、5 T ピクセルドライバの関連する入力 - 出力タイミング図を示す。

【図 7】図 7 は、3 つの連続した書込サイクルに対する上記 5 T ドライバの過渡性能を示す。

【図 8】図 8 は、異なる電源電圧に対する上記 2 T ピクセルドライバの入力 - 出力伝達特性を示す。

【図 9】図 9 は、異なる電源電圧に対する 5 T ピクセルドライバの入力 - 出力伝達特性を示す。

20

【図 1 0】図 1 0 は、O L E D 電流の変化を、閾電圧の正規化されたずれの関数として示す。

【図 1 1】図 1 1 は、p チャンネル駆動 T F T を有する 2 T ポリシリコン型ピクセル電流ドライバを示す。

【図 1 2】図 1 2 は、O L E D 表示器用の 4 T ピクセル電流ドライバを示す。

【図 1 3】図 1 3 は、より小さな放電時間を持つ 4 T ピクセル電流ドライバを示す。

【図 1 4】図 1 4 は、非線形利得を有さない 4 T ピクセル電流ドライバを示す。

【図 1 5】図 1 5 は、フルカラー回路の構築ブロックであるような 4 T ピクセル電流ドライバを示す。

【図 1 6】図 1 6 は、O L E D 表示器用のフルカラー (R G B) ピクセル電流ドライバを示す。

30

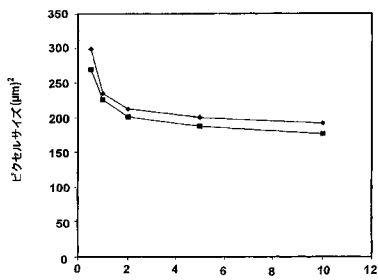
【符号の説明】

【 0 0 3 3 】

C _s	コンデンサ
O L E D	有機発光ダイオード
T ₁ ~ T ₅	薄膜トランジスタ

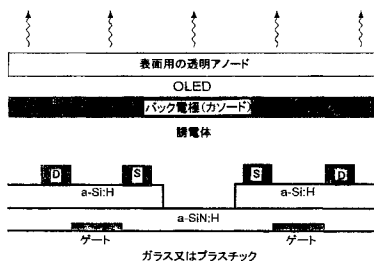
【 図 1 】

Fig. 1



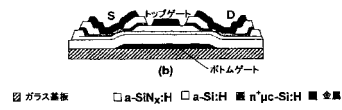
【 図 2 】

Fig. 2



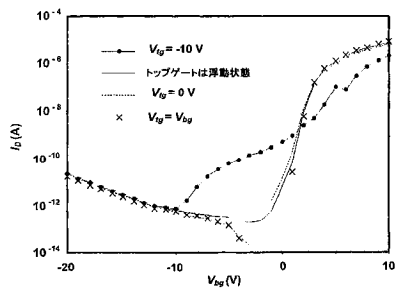
【 図 3 】

Fig. 3



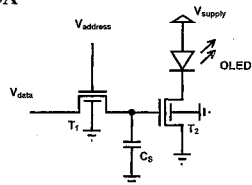
【 図 4 】

Fig. 4



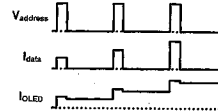
【 図 5 A 】

Fig. 5A



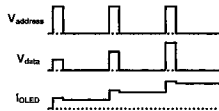
【 図 6 B 】

Fig. 6B



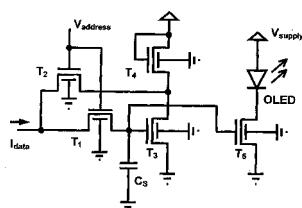
【 図 5 B 】

Fig. 5B



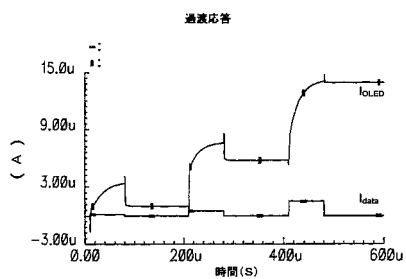
【 図 6 A 】

Fig. 6A



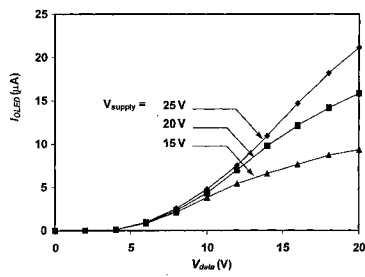
【 図 7 】

Fig. 7



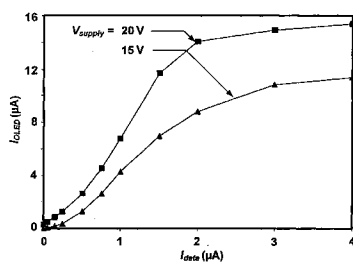
【 図 8 】

Fig. 8



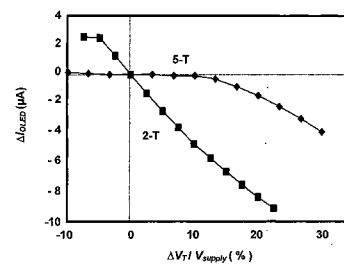
【 図 9 】

Fig. 9



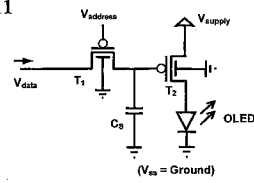
【 図 10 】

Fig. 10



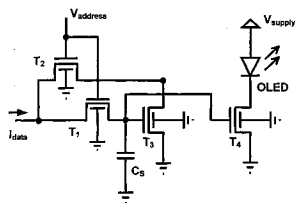
【 図 11 】

Fig. 11



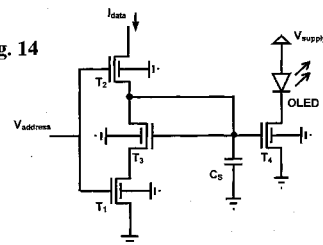
【 図 12 】

Fig. 12



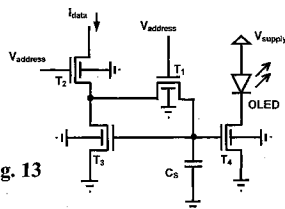
【 図 14 】

Fig. 14



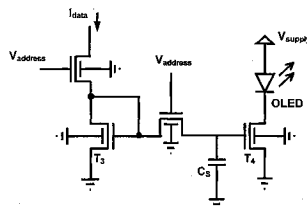
【 図 13 】

Fig. 13



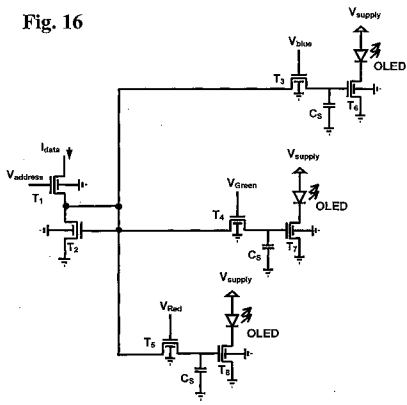
【 図 15 】

Fig. 15



【 図 1 6 】

Fig. 16



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
29 August 2002 (29.08.2002)

PCT

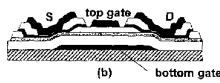
(10) International Publication Number
WO 02/067327 A2

- (51) International Patent Classification: **H01L 27/00**
- (21) International Application Number: PCT/CA02/00173
- (22) International Filing Date: 18 February 2002 (18.02.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data:
60/268,900 16 February 2001 (16.02.2001) CA
- (71) Applicant (for all designated States except US): **IGNIS INNOVATION INC.**, [CA/CA]; 55 Culpepper Drive, Waterloo, Ontario N2L 3G1 (CA).
- (72) Inventors; and
(75) Inventors/Applicants (for US only): **NATHAN, Arokia** [CA/CA]; 55 Culpepper Drive, Waterloo, Ontario N2L 3G1 (CA); **SERVATI, Peyman** [IR/CA]; 907 159 University Avenue West, Waterloo, Ontario N2L 3E8 (CA); **SAKARIYA, Kapil** [CA/CA]; c/o Ignis Innovation Inc., 55 Culpepper Drive, Waterloo, Ontario N2L 3G1 (CA).
- (74) Agents: **HARRIS, John, D.** et al.; Gowling Lafleur Henderson LLP, 160 Elgin Street, suite 2600, Ottawa, Ontario K1P 1C3 (CA).
- (81) Designated States (national): AF, AG, AI, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LI, LR, LS, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.
- (84) Designated States (regional): ARIPO patent (GI, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SI, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- Published:**
— without international search report and to be republished upon receipt of that report
- For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.



WO 02/067327 A2

(54) Title: PIXEL CURRENT DRIVER FOR ORGANIC LIGHT EMITTING DIODE DISPLAYS

□ glass substrate □ a-Si_xN_yH □ a-Si:H □ n⁺μc-Si:H ■ metal

(57) Abstract: A pixel current driver comprises a plurality of thin film transistors (TFTs) each having dual gates and for driving OLED layers. A top gate of the dual gates is formed between a source and a drain of each of the thin film transistors, to thereby minimizing parasitic capacitance. The top gate is grounded or electrically tied to a bottom gate. The plurality of thin film transistors may be two thin film transistors formed in voltage-programmed manner or five thin film transistors formed in a current-programmed ΔV_T -compensated manner. Other versions of the current-programmed circuit with different numbers of thin film transistors are also presented that compensate for δV_T . The OLED layer are continuous and vertically stacked on the plurality of thin film transistors to provide an aperture ratio close to 100%.

WO 02/067327

PCT/CA02/00173

1

PIXEL CURRENT DRIVER FOR ORGANIC LIGHT EMITTING DIODE DISPLAYS

BACKGROUND OF THE INVENTION

5

1. Field of the Invention

The present invention relates to a an organic light emitting diode display, and more particularly to an a pixel current driver for an organic light emitting display(OLED), capable of minimizing parasitic couplings between the OLED and the transistor layers.

2. Description of the Prior Art

OLED displays have gained significant interest recently in display applications in view of their faster response times, larger viewing angles, higher contrast, lighter weight, lower power, amenability to flexible substrates, as compared to liquid crystal displays (LCDs). Despite the OLED's demonstrated superiority over the LCD, there still remain several challenging issues related to encapsulation and lifetime, yield, color efficiency, and drive electronics, all of which are receiving considerable attention. Although passive matrix addressed OLED displays are already in the marketplace, they do not support the resolution needed in the next generation displays, since high information content (HIC) formats are only possible with the active matrix addressing scheme. Active matrix addressing involves a layer of backplane electronics, based on thin-film transistors (TFTs) fabricated using amorphous silicon (a-Si:H), polycrystalline silicon (poly-Si), or polymer technologies, to provide the bias voltage and drive current needed in each OLED pixel. Here, the voltage on each pixel is lower and the current throughout the entire frame period is a low constant value, thus avoiding the excessive peak driving and leakage currents associated with

WO 02/067327

PCT/CA02/00173

2

passive matrix addressing. This in turn increases the lifetime of the OLED.

In active matrix OLED (AMOLED) displays, it is important to ensure that the aperture ratio or fill factor (defined as the ratio of light emitting display area to the total pixel area) should be high enough to ensure display quality. Conventional AMOLED displays are based on light emission through an aperture on the glass substrate where the backplane electronics is integrated. Increasing the on-pixel density of TFT integration for stable drive current reduces the size of the aperture. The same happens when pixel sizes are scaled down. The solution to having an aperture ratio that is invariant on scaling or on-pixel integration density is to vertically stack the OLED layer on the backplane electronics, along with a transparent top electrode (see Fig. 2). In Fig. 2, reference numerals S and D denote a source and a drain respectively. This implies a continuous back electrode over the OLED pixel. However, this continuous back electrode can give rise to parasitic capacitance, whose effects become significant when the electrode runs over the switching and other thin film transistors (TFTs). Here, the presence of the back electrode can induce a parasitic channel in TFTs giving rise to high leakage current. The leakage current is the current that flows between source and drain of the TFT when the gate of the TFT is in its OFF state.

SUMMARY OF THE INVENTION

Accordingly, it is an object of the present invention to provide to a pixel current driver for an organic light emitting display(OLED), capable of minimizing parasitic couplings between the OLED and the transistor layers.

In order to achieve the above object, a pixel current driver for OLED layer for emitting light according to the present invention comprises a plurality of thin film

WO 02/067327

PCT/CA02/00173

3

transistors(TFTs) each having dual gates and for driving the OLED layer. A top gate of the dual gates is formed between a source and a drain of each of the thin film transistors, to thereby minimize parasitic capacitance.

5 Each of the thin film transistor may be an a-Si:H based thin film transistor or a polysilicon-based thin film transistor.

The pixel current driver is a current mirror based pixel current driver for automatically compensating for shifts in the V_{th} of each of the thin film transistor in a pixel and the pixel current driver is for monochrome displays or for full color displays.

The dual gates are fabricated in a normal inverted staggered TFT structure. A width of each of the TFTs is formed larger than a length of the same to provide enough spacing between the source and drain for the top gate. Preferably, the length is $30\mu\text{m}$ and the width is $1600\mu\text{m}$. The length and width of the transistors may change depending on the maximum drive current required by the circuit and the fabrication technology used. The top gate is grounded or electrically tied to a bottom gate. The plurality of thin film transistors may be two thin film transistors formed in voltage-programmed manner or five thin film transistors formed in a current-programmed ΔV_T -compensated manner, or four or The OLED layer is vertically stacked on the plurality of thin film transistors.

25 With the above structure of an a-Si:H current driver according to the present invention, the charge induced in the top channel of the TFT is minimized, and the leakage currents in the TFT is minimized so as to enhance circuit performance.

30

BRIEF DESCRIPTION OF THE DRAWINGS

The above objects and features of the present invention will become more apparent by describing in detail preferred

WO 02/067327

PCT/CA02/00173

4

embodiments thereof with reference to the attached drawings in which:

Fig. 1 shows variation of required pixel areas with mobility for 2-T and 5-T pixel drivers;

5 Fig. 2 shows a pixel architecture for surface emissive a-Si:H AMOLED displays;

Fig. 3 shows a cross section of a dual-gate TFT structure;

Fig. 4 shows forward and reverse transfer characteristics of dual-gate TFT for various top gate biases;

10 Fig. 5A and Fig. 5B show an equivalent circuit for a 2-T pixel driver and its associated input-output timing diagrams;

Fig. 6A and Fig. 6B show an equivalent circuit for a 5-T pixel driver and its associated input-output timing diagrams;

15 Fig. 7 shows transient performance of the 5-T driver for three consecutive write cycles;

Fig. 8 shows input-output transfer characteristics for the 2-T pixel driver for different supply voltages;

Fig. 9 shows input-output transfer characteristics for the 5-T pixel driver for different supply voltages;

20 Fig. 10 shows variation in OLED current as a function of the normalized shift in threshold voltage;

25 Fig. 11 shows a 2-T polysilicon based pixel current driver having p-channel drive TFTs;

Fig. 12 shows a 4-T pixel current driver for OLED displays;

WO 02/067327

PCT/CA02/00173

5

Fig. 13 shows a 4-T pixel current driver with a lower discharge time;

Fig. 14 shows a 4-T pixel current driver without non-linear gain;

Fig. 15 shows a 4-T pixel current driver that is the building block for the full color circuit; and

Fig. 16 shows a full color(RGB) pixel current driver for OLED displays.

DETAILED DESCRIPTION OF THE PREFERRED EMBODIMENTS

Although amorphous Si does not enjoy equivalent electronic properties compared to poly-Si, it adequately meets many of the drive requirements for small area displays such as those needed in pagers, cell phones, and other mobile devices. Poly-Si TFTs have one key advantage in that they are able to provide better pixel drive capability because of their higher mobility, which can be of the order of $\mu_{FE} \sim 100 \text{ cm}^2/\text{Vs}$. This makes poly-Si highly desirable for large area (e.g. laptop size) VGA and SVGA displays. The lower mobility associated with a-Si:H TFTs ($\mu_{FE} \sim 1 \text{ cm}^2/\text{Vs}$) is not a limiting factor since the drive transistor in the pixel can be scaled up in area to provide the needed drive current. The OLED drive current density is typically $10 \text{ mA}/\text{cm}^2$ at 10V operation to provide a brightness of $100 \text{ cd}/\text{m}^2$ - the required luminance for most displays. For example, with an a-Si:H TFT mobility of $0.5 \text{ cm}^2/\text{Vs}$ and channel length of $25 \mu\text{m}$, this drive current requirement translates into required pixel area of $300 \mu\text{m}^2$, which adequately meets the requirements of pixel resolution and speed for some 3 inch monochrome display applications. Figure 1 illustrates simulation results for the variation of the required pixel size with device mobility calculated for two types of drivers,

WO 02/067327

PCT/CA02/00173

6

which will be elaborated later, the 2-T and the 5-T drivers, wherein μ_0 denotes a reference mobility whose value is in the range 0.1 to 1 cm^2/Vs . For instance, the area of the pixel for the 2-T driver (see Figure 5A) comprises of the area of the switching transistors, area of the drive transistor, and the area occupied by interconnects, bias lines, etc. In Fig. 1, the drive current and frame rate are kept constant at 10 μA and 50Hz, respectively, for a 230 x 230 array. It is clear that there is no significant savings in area between the 2-T and 5-T drivers but the savings are considerable with increasing mobility. This stems mainly from the reduction in the area of the drive transistor where there is a trade-off between μ_{FE} and TFT aspect ratio, W/L(Wide/Length).

In terms of threshold voltage (V_T) uniformity and stability, both poly-Si and a-Si:H share the same concerns, although in comparison, the latter provides for better spatial uniformity but not stability (ΔV_T). Thus the inter-pixel variation in the drive current can be a concern in both cases, although clever circuit design techniques can be employed to compensate for ΔV_T hence improving drive current uniformity. In terms of long term reliability, it is not quite clear with poly-Si technology, although there are already products based on a-Si:H technology for displays and imaging, although the reliability issues associated with OLEDs may yet be different. The fabrication processes associated with a-Si:H technology are standard and adapted from mainstream integrated circuit (IC) technology, but with capital equipment costs that are much lower. One of the main advantages of the a-Si:H technology is that it has become low cost and well-established technology, while poly-Si has yet to reach the stage of manufacturability. The technology also holds great promise for futuristic applications since good as-deposited a-Si:H, a-SiN_x:H, and TFT arrays can be achieved at low temperatures

WO 02/067327

PCT/CA02/00173

7

($\leq 120^{\circ}\text{C}$) thus making it amenable to plastic substrates, which is a critical requirement for mechanically flexible displays.

To minimize the conduction induced in all TFTs in the pixel by the back electrode, an alternate TFT structure based on a dual-gate structure is employed. In a dual gate TFT (see Fig. 3), a top gate electrode is added to the TFT structure to prevent the OLED electrodes from biasing the a-Si:H channel area (refer to Fig. 2). The voltage on the top gate can be chosen such so as to minimize the charge induced in the (parasitic) top channel of the TFT. The objective underlying the choice of the voltage on the top gate is to minimize parasitic capacitance in the driver circuits and leakage currents in the TFTs so as to enhance circuit performance. In what follows, the operation of the dual-gate TFT is described, which will be central to surface emissive (100% aperture ratio) AMOLED displays based on a-Si:H backplane electronics.

Figure 3 illustrates the structure of a dual-gate TFT fabricated for this purpose, wherein reference numerals S and D denote a source and a drain respectively. The fabrication steps are the same as of that of a normal inverted staggered TFT structure except that it requires a sixth mask for patterning the top gate. The length of the TFT is around $30\mu\text{m}$ to provide enough spacing between the source and drain for the top gate, and the width is made very large ($1600\mu\text{m}$) with four of these TFTs are interconnected in parallel to create a sizeable leakage current for measurement. A delay time is inserted in the measurement of the current to ensure that the measurement has passed the transient period created by defects in the a-Si:H active layer, which give rise to a time-dependent capacitance.

Figure 4 shows results of static current measurements for four cases: first when the top gate is tied to -10V , second when the top gate is grounded, third when the top gate is floating, and lastly when the top gate is shorted to the

WO 02/067327

PCT/CA02/00173

8

bottom gate. With a floating top gate, the characteristics are almost similar to that of a normal single gate TFT. The leakage current is relatively high particularly when the top gate is biased with a negative voltage. The lowest values of leakage current are obtained when the top gate is pegged to either 0V or to the voltage of the bottom gate. In particular, with the latter the performance of the TFT in the (forward) sub-threshold regime of operation is significantly improved. This enhancement in sub-threshold performance can be explained by the forced shift of the effective conduction path away from the bottom interface to the bulk a-Si:H region due to the positive bias on the top gate. This in turn decreases the effect of the trap states at the bottom interface on the sub-threshold slope of the TFT.

It should be noted that although the addition of another metal contact as the top gate reduces the leakage current of the TFT, it can potentially degrade pixel circuit performance by possible parasitic capacitances introduced by vertically stacking the OLED pixel. Thus the choice of top gate connection becomes extremely critical. For example, if the top gates in the pixel circuit are connected to the bottom gates of the associated TFTs, this gives rise to parasitic capacitances located between the gates and the cathode, which can lead to undesirable display operation (due to the charging up of the parasitic capacitance) when the multiplexer O/P drives the TFT switch. On the other hand, if the top gates are grounded, this results in the parasitic capacitance being grounded to yield reliable and stable circuit operation.

The OLED drive circuits considered here are the well-known voltage-programmed 2-T driver and the more sophisticated current-programmed ΔV_T -compensated 5-T version (see Figs. 5A and 6A). The latter is a significant variation of the previous designs, leading to reduced pixel area ($<300\mu\text{m}$), reduced leakage, lower supply voltage (20V), higher linearity ($\sim 30\text{dB}$),

WO 02/067327

PCT/CA02/00173

9

and larger dynamic range ($\sim 40\text{dB}$). Before dwelling on the operation of the 5-T driver, the operation of the relatively simple voltage-driven 2-T driver is described. Fig. 5B shows input-output timing diagrams of the 2-T pixel driver. When the address line is activated, the voltage on the data line starts charging capacitor C_s and the gate capacitance of the driver transistor T_2 . Depending on the voltage on the data line, the capacitor charges up to turn the driver transistor T_2 on, which then starts conducting to drive the OLED with the appropriate level of current. When the address line is turned off, T_1 is turned off but the voltage at the gate of T_2 remains since the leakage current of T_1 is trivial in comparison. Hence, the current through the OLED remains unchanged after the turn off process. The OLED current changes only the next time around when a different voltage is written into the pixel.

Unlike the previous driver, the data that is written into the 5-T pixel in this case is a current (see Fig. 6A). Fig. 6B shows input-output timing diagrams of a 5-T pixel driver. The address line voltage, V_{address} and I_{data} are activated or deactivated simultaneously. When V_{address} is activated, it forces T_1 and T_2 to turn on. T_1 immediately starts conducting but T_2 does not since T_3 and T_4 are off. Therefore, the voltages at the drain and source of T_2 become equal. The current flow through T_1 starts charging the gate capacitor of transistors T_1 and T_3 , very much like the 2-T driver. The current of these transistors start increasing and consequently T_2 starts to conduct current. Therefore, T_1 's share of I_{data} reduces and T_2 's share of I_{data} increases. This process continues until the gate capacitors of T_2 and T_3 charge (via T_1) to a voltage that forces the current of T_2 to be I_{data} . At this time, the current of T_1 is zero and the entire I_{data} goes through T_2 and T_3 . At the same time, T_3 drives a current through the OLED, which is ideally equal to $I_{\text{data}} \cdot (W_2/W_3)$, which signifies a current gain. Now if I_{data} and V_{address} are deactivated, T_2 will turn off, but due to

WO 02/067327

PCT/CA02/00173

10

the presence of capacitances in T_3 and T_5 , the current of these two devices cannot be changed easily, since the capacitances keep the bias voltages constant. This forces T_4 to conduct the same current as that of T_3 , to enable the driver T_5 to drive the same current into the OLED even when the write period is over. Writing a new value into the pixel then changes the current driven into the OLED.

The result of transient simulation for the 5-T driver circuit is shown in Fig. 7. As can be seen, the circuit has a write time of $<70\mu s$, which is acceptable for most applications. The 5-T driver circuit does not increase the required pixel size significantly (see Fig. 1) since the sizes of T_2 , T_3 , and T_4 are scaled down. This also provides an internal gain ($W_5/W_3 = 8$), which reduces the required input current to $<2\mu A$ for $10\mu A$ OLED current. The transfer characteristics for the 2-T and 5-T driver circuits are illustrated in Figs. 8 and 9, respectively, generated using reliable physically-based TFT models for both forward and reverse regimes. A much improved linearity ($\sim 30dB$) in the transfer characteristics (I_{data}/I_{OLED}) is observed for the 5-T driver circuit due to the geometrically-defined internal pixel gain as compared to similar designs. In addition, there are two components (OLED and T_5) in the high current path, which in turn decreases the required supply voltage and hence improves the dynamic range. According to Figure 9, a good dynamic range ($\sim 40dB$) is observed for supply voltage of 20V and drive currents in the range $I_{OLED} \leq 10\mu A$, which is realistic for high brightness. Figure 10 illustrates variation in the OLED current with the shift in threshold voltage for the 2-T and 5-T driver circuits. The 5-T driver circuit compensates for the shift in threshold voltage particularly when the shift is smaller than 10% of the supply voltage. This is because the 5-T driver circuit is current-programmed. In contrast, the OLED current in the 2-T circuit changes significantly with a shift

WO 02/067327

PCT/CA02/00173

11

in threshold voltage. The 5-T driver circuit described here operates at much lower supply voltages, has a much larger drive current, and occupies less area.

The pixel architectures are compatible to surface (top) emissive AMOLED displays that enables high on-pixel TFT integration density for uniformity in OLED drive current and high aperture ratio. A 5-T driver circuit has been described that provides on-pixel gain, high linearity (~30dB), and high dynamic range (~40dB) at low supply voltages (15-20V) compared to the similar designs (27V). The results described here illustrate the feasibility of using a-Si:H for 3-inch mobile monochrome display applications on both glass and plastic substrates. With the latter, although the mobility of the TFT is lower, the size of the drive transistor can be scaled up yet meeting the requirements on pixel area as depicted in Fig. 1.

Polysilicon has higher electron and hole mobilities than amorphous silicon. The hole mobilities are large enough to allow the fabrication of p-channel TFTs.

The advantage of having p-channel TFTs is that bottom emissive OLEDs can be used along with a p-channel drive TFT to make a very good current source. One such circuit is shown in Fig. 11. In Fig. 11, the source of the p-type drive TFT is connected to Vdd. Therefore, Vgs, gate-to-source voltage, and hence the drive current of the p-type TFT is independent of OLED characteristics. In other words, the driver shown in Fig. 11 performs as a good current source. Hence, bottom emissive OLEDs are suitable for use with p-channel drive TFTs, and top emissive OLEDs are suitable for use with n-channel TFTs.

The trade-off with using polysilicon is that the process of making polysilicon TFTs requires much higher temperatures than that of amorphous silicon. This high temperature processing requirement greatly increases the cost, and is not amenable to plastic substrates. Moreover, polysilicon

WO 02/067327

PCT/CA02/00173

12

technology is not as mature and widely available as amorphous silicon. In contrast, amorphous silicon is a well-established technology currently used in liquid crystal displays (LCDs). It is due to these reasons that amorphous silicon combined with top emissive OLED based circuit designs is most promising for AMOLED displays.

Compared to polysilicon TFTs, amorphous silicon TFTs are n-type and thus are more suitable for top emission circuits as shown in Fig. 2. However, amorphous silicon TFTs have inherent stability problems due to the material structure. In amorphous silicon circuit design, the biggest hurdle is the increase in threshold voltage V_{th} after prolonged gate bias. This shift is particularly evident in the drive TFT of an OLED display pixel. This drive TFT is always in the 'ON' state, in which there is a positive voltage at its gate. As a result, its V_{th} increases and the drive current decreases based on the current-voltage equation below:

$$I_{ds} = (\mu C_{ox} W / 2L) (V_{gs} - V_{th})^2 \quad (\text{in Saturation region})$$

In the display, this would mean that the brightness of the OLED would decrease over time, which is unacceptable. Hence, the 2-T circuits shown earlier are not practical for OLED displays as they do not compensate for any increase in V_{th} .

The first current mirror based pixel driver circuit is presented, which automatically compensated for shifts in the V_{th} of the drive TFT in a pixel. This circuit is the 5-T circuit shown in Fig. 6A.

Four more OLED pixel driver circuits are presented for monochrome displays, and one circuit for full colour displays. All these circuits have mechanisms that automatically compensate for V_{th} shift. The first circuit shown in Fig. 12 is a modification of the 5-T circuit of Fig. 6A. (Transistor T_4 has been removed from the 5-T circuit). This circuit occupies a smaller area than the 5-T circuit, and provides a higher

WO 02/067327

PCT/CA02/00173

13

dynamic range. The higher dynamic range allows for a larger signal swing at the input, which means that the OLED brightness can be adjusted over a larger range.

Fig. 12 shows a 4-T pixel driver circuit for OLED displays. The circuit shown in Fig. 13 is a 4-T pixel driver circuit based on a current mirror. The advantage of this circuit is that the discharge time of the capacitor C_s is substantially reduced. This is because the discharge path has two TFTs (as compared to three TFTs in the circuit of Fig. 12). The charging time remains the same. The other advantage is that there is an additional gain provided by this circuit because T_3 and T_4 do not have the same source voltages. However, this gain is non-linear and may not be desirable in some cases.

In Fig. 14, another 4-T circuit is shown. This circuit does not have the non-linear gain present in the previous circuit (Fig. 13) since the source terminals of T_3 and T_4 are at the same voltage. It still maintains the lower capacitance discharge time, along with the other features of the circuit of Fig. 8.

Fig. 15 shows another version of the 4-T circuit. This circuit is does not have good current mirror properties. However, this circuit forms the building block for the 3 colour RGB circuit shown in Fig. 16. It also has a low capacitance discharge time and high dynamic range.

The full colour circuit shown in Fig. 16 minimizes the area required by an RGB pixel on a display, while maintaining the desirable features like threshold voltage shift compensation, in-pixel current gain, low capacitance discharge time, and high dynamic range.

It is important to note that the dual-gate TFTs are used in the above-mentioned circuits to enable vertical integration of the OLED layers with minimum parasitic effects. But nevertheless the circuit compensates for the V_{th} shift even if

WO 02/067327

PCT/CA02/00173

14

the simple single-gate TFTs. In addition, these circuits use
n-type amorphous silicon TFTs. However, the circuits are
applicable to polysilicon technology using p-type or n-type
TFTs. These circuits when made in polysilicon can compensate
5 for the non-uniformity of the threshold voltage, which is a
problem in this technology. The p-type circuits are conjugates
of the above-mentioned circuits and are suitable for the
bottom emissive pixels.

WO 02/067327

PCT/CA02/00173

15

We claim

1.A pixel current driver for an organic light emitting diode(OLED) having an OLED layer for emitting light,
5 comprising:

a plurality of thin film transistors(TFTs) each having dual gates and for driving the OLED layer, a top gate of the dual gates being formed between a source and a drain of each of the thin film transistors, to thereby minimize parasitic
10 capacitance.

2.The pixel current driver as claimed in claim 1, wherein each of the thin film transistor is an a-Si:H based thin film transistor.
15

3.The pixel current driver as claimed in claim 1, wherein each of the thin film transistor is a polysilicon-based thin film transistor.

4.The pixel current driver as claimed in claim 3, wherein each of the thin film transistors is a p-channel thin film transistor.
20

5.The pixel current driver as claimed in claim 2, wherein the dual gates are fabricated in a normal inverted staggered TFT structure.
25

6.The pixel current driver as claimed in claim 2, wherein the top gate is grounded.
30

7.The pixel current driver as claimed in claim 2, wherein the top gate is electrically tied to a bottom gate.

WO 02/067327

PCT/CA02/00173

15

8.The pixel current driver as claimed in claim 2, wherein the plurality of thin film transistors are two thin film transistors.

5 9.The pixel current driver as claimed in claim 8, wherein the two thin film transistors are formed in a voltage-programmed manner.

10 10.The pixel current driver as claimed in claim 2, wherein the plurality of thin film transistors are five thin film transistors.

11.The pixel current driver as claimed in claim 10, wherein the five thin film transistors are formed in a current-programmed ΔV_T -compensated manner.

12.The pixel current driver as claimed in claim 2, wherein the OLED layer is continuously and vertically stacked on the plurality of thin film transistors.

20 13.The pixel current driver as claimed in claim 2, wherein the pixel current driver is a current mirror based pixel current driver for automatically compensating for shifts in the V_{th} of each of the thin film transistor in a pixel.

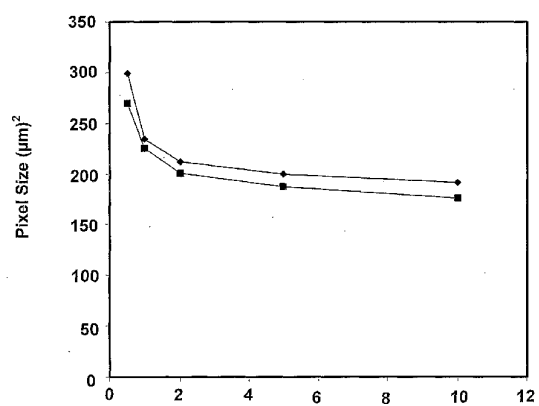
25 14.The pixel current driver as claimed in claim 10, wherein the pixel current driver is for monochrome displays.

30 15.The pixel current driver as claimed in claim 10, wherein the pixel current driver is for full color displays.

WO 02/067327

PCT/CA02/00173

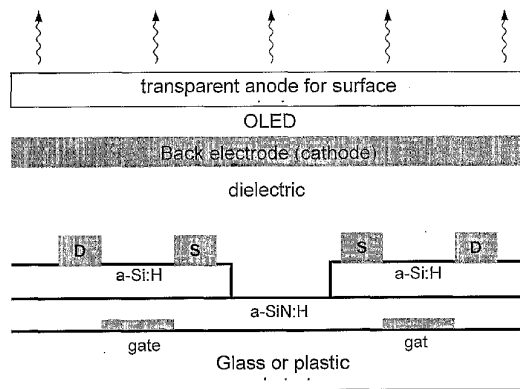
1/13

Fig. 1

WO 02/067327

PCT/CA02/00173

2/13

Fig. 2

WO 02/067327

PCT/CA02/00173

3/13

Fig. 3

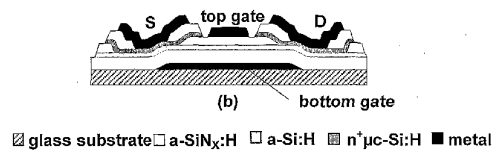
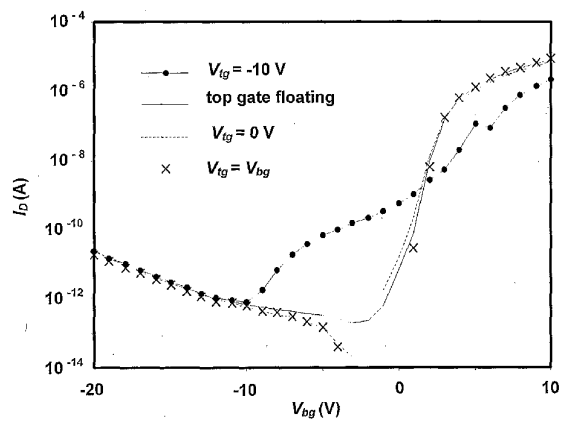


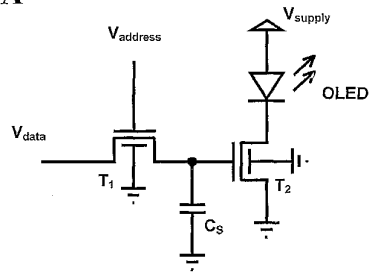
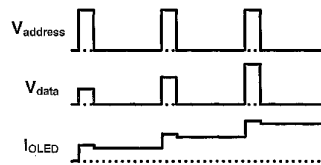
Fig. 4



WO 02/067327

PCT/CA02/00173

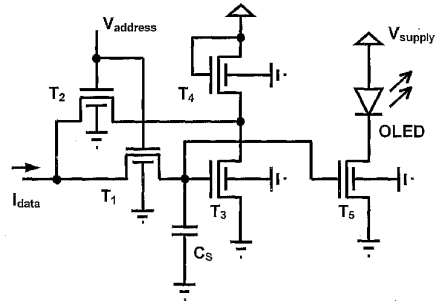
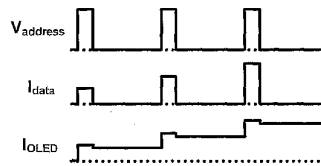
4/13

Fig. 5A**Fig. 5B**

WO 02/067327

PCT/CA02/00173

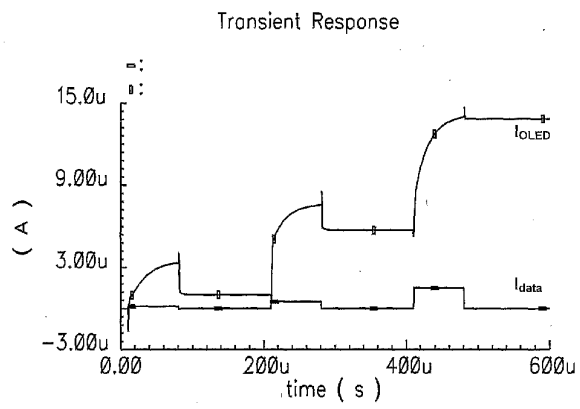
5/13

Fig. 6A**Fig. 6B**

WO 02/067327

PCT/CA02/00173

6/13

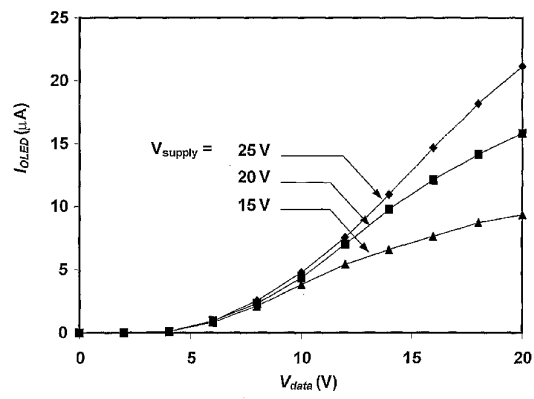
Fig. 7

WO 02/067327

PCT/CA02/00173

7/13

Fig. 8

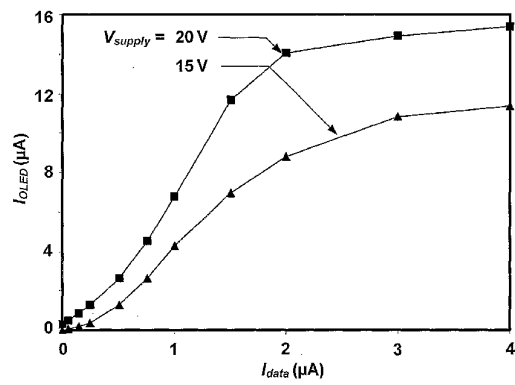


WO 02/067327

PCT/CA02/00173

8/13

Fig. 9

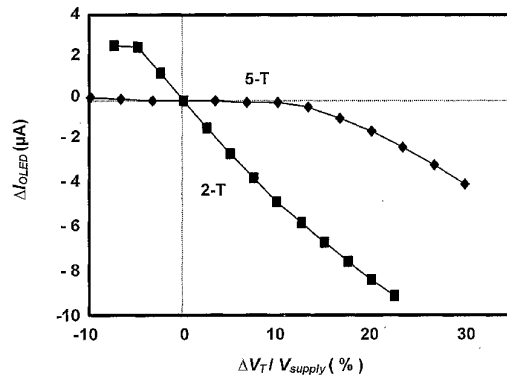


WO 02/067327

PCT/CA02/00173

9/13

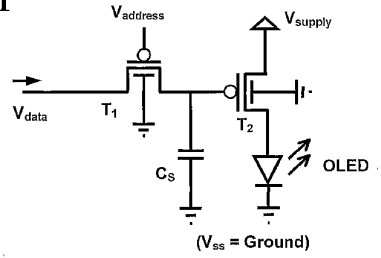
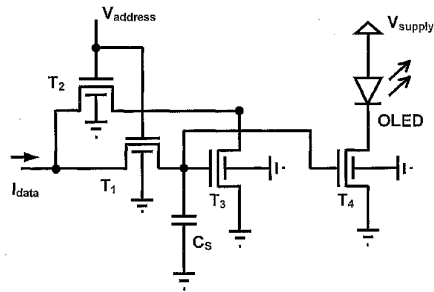
Fig. 10



WO 02/067327

PCT/CA02/00173

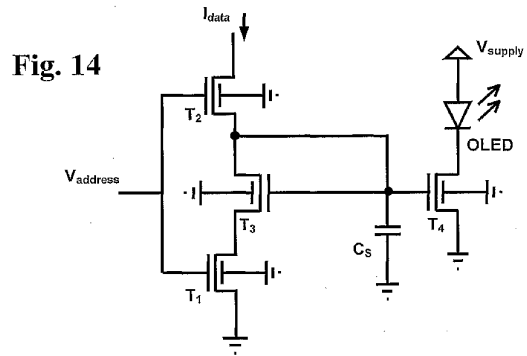
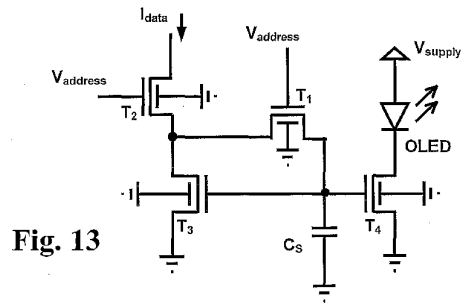
10/13

Fig. 11**Fig. 12**

WO 02/067327

PCT/CA02/00173

11/13



12/13

Fig. 15

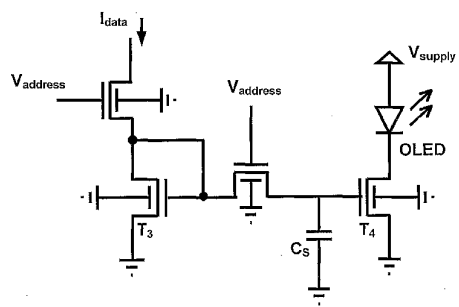
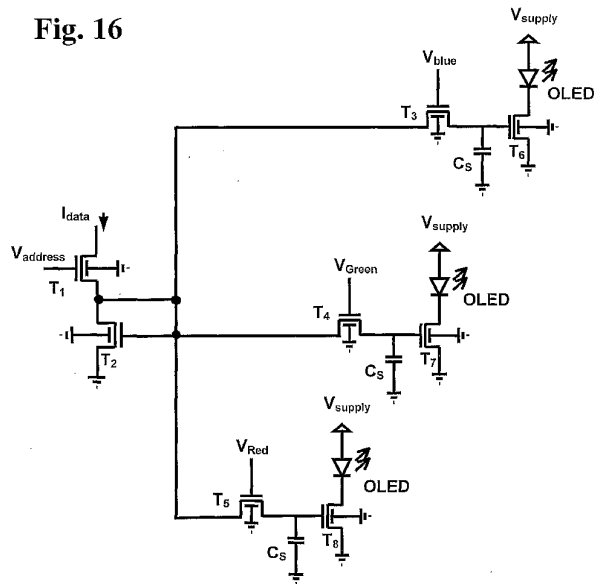


Fig. 16



【国際公開パンフレット（コレクション）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property
Organization
International Bureau(43) International Publication Date
29 August 2002 (29.08.2002)

PCT

(10) International Publication Number
WO 2002/067327 A3

(51) International Patent Classification: H01L 27/00

(21) International Application Number:
PCT/CA2002/000173

(22) International Filing Date: 18 February 2002 (18.02.2002)

(25) Filing Language: English

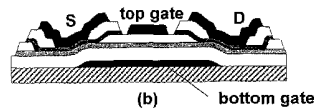
(26) Publication Language: English

(30) Priority Data:
60/268,900 16 February 2001 (16.02.2001) CA(71) Applicant (for all designated States except US): IGNIS
INNOVATION INC. [CA/CA]; 55 Culpepper Drive, Wa-
terloo, Ontario N2L 3G1 (CA).

(72) Inventors; and

(75) Inventors/Applicants (for US only): NATHAN, Arokia
[CA/CA]; 55 Culpepper Drive, Waterloo, Ontario N2L
3G1 (CA); SERVATI, Peyman [IR/CA]; 907 159 Uni-
versity Avenue West, Waterloo, Ontario N2L 3E8 (CA);
SAKARIYA, Kapil [CA/CA]; c/o Ignis Innovation Inc.,
55 Culpepper Drive, Waterloo, Ontario N2L 3G1 (CA).(74) Agents: HARRIS, John, D. et al.; Gowling Lafleur Hen-
derson LLP, 160 Elgin Street, suite 2600, Ottawa, Ontario
K1P 1C3 (CA).(81) Designated States (national): AE, AG, AL, AM, AT, AU,
AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU,
CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,
MX, MY, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG,
SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VN, YU, ZA, ZM, ZW.(84) Designated States (regional): ARIPO patent (GH, GM,
KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),
Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM),
European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR,
GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).Published:
— with international search report(88) Date of publication of the international search report:
21 May 2004For two-letter codes and other abbreviations, refer to the "Guid-
ance Notes on Codes and Abbreviations" appearing at the begin-
ning of each regular issue of the PCT Gazette.

(54) Title: PIXEL CURRENT DRIVER FOR ORGANIC LIGHT EMITTING DIODE DISPLAYS



■ glass substrate □ a-SiN_x:H ■ a-Si:H ■ n⁺μc-Si:H ■ metal

(57) Abstract: A pixel current driver comprises a plurality of thin film transistors (TFTs) each having dual gates and for driving OLED layers. A top gate of the dual gates is formed between a source and a drain of each of the thin film transistors, to thereby minimize parasitic capacitance. The top gate is grounded or electrically tied to a bottom gate. The plurality of thin film transistors may be two thin film transistors formed in voltage-programmed manner or five thin film transistors formed in a current-programmed ΔV_T-compensated manner. Other versions of the current-programmed circuit with different numbers of thin film transistors are also presented that compensate for δV_T. The OLED layer are continuous and vertically stacked on the plurality of thin film transistors to provide an aperture ratio close to 100%.

WO 2002/067327 A3

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/CA 02/00173
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L27/00 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L H05B G09G Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, PAJ, INSPEC		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MA E Y ET AL: "ORGANIC LIGHT-EMITTING DIODE/THIN FILM TRANSISTOR INTEGRATION FOR FOLDABLE DISPLAYS" CONFERENCE RECORD OF THE 1997 INTERNATIONAL DISPLAY RESEARCH CONFERENCE AND INTERNATIONAL WORKSHOPS ON LCD TECHNOLOGY AND EMISSIVE TECHNOLOGY. TORONTO, SEPT. 15 - 19, 1997, INTERNATIONAL DISPLAY RESEARCH CONFERENCE (IDRC), SANTA ANA, CA, STD, US, vol. CONF. 17 15 September 1997 (1997-09-15), pages 78-81, XP000931235 page L-78, column 2, last paragraph -page L-80, column 1, paragraph 1 --- -/-	1,2,5
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
17 July 2002		31/07/2002
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-0940, Tx. 31 051 epo nl, Fax: (+31-70) 340-3016		Authorized officer: De Laere, A

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/CA 02/00173

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 08, 29 August 1997 (1997-08-29) - & JP 09 090405 A (SHARP CORP), 4 April 1997 (1997-04-04) abstract	1
A	EP 1 028 471 A (SANYO ELECTRIC CO) 16 August 2000 (2000-08-16) the whole document	1,3
A	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 13, 30 November 1999 (1999-11-30) - & JP 11 231805 A (SANYO ELECTRIC CO LTD), 27 August 1999 (1999-08-27) abstract	1
A	NATHAN A ET AL: "Thin film imaging technology on glass and plastic" ICM 2000. PROCEEDINGS OF THE 12TH INTERNATIONAL CONFERENCE ON MICROELECTRONICS. (IEEE CAT. NO.00EX453), ICM 2000. PROCEEDINGS OF THE 12TH INTERNATIONAL CONFERENCE ON MICROELECTRONICS, TEHRAN, IRAN, 31 OCT.-2 NOV. 2000, pages 11-14, XP002206242 2000, Tehran, Iran, Univ. Tehran, Iran ISBN: 964-360-057-2 page 13, column 1, line 11-48	1,2,12
P,X	US 2001/030323 A1 (IKEDA HIROYUKI) 18 October 2001 (2001-10-18) page 7, paragraph 40 - paragraph 41; figure 10	1,3,4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.
PCT/CA 02/00173

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 09090405	A	04-04-1997	NONE
EP 1028471	A	16-08-2000	JP 2000231346 A EP 1028471 A2 TW 441222 B
			22-08-2000 16-08-2000 16-06-2001
JP 11231805	A	27-08-1999	NONE
US 2001030323	A1	18-10-2001	JP 2001284592 A
			12-10-2001

フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 29/786	H 0 1 L 27/15	B
H 0 5 B 33/14	H 0 5 B 33/14	A
	H 0 1 L 29/78	6 1 2 Z
	H 0 1 L 29/78	6 1 7 N
	H 0 1 L 29/78	6 1 4

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,P L,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZM,ZW

(74)代理人 100097504

弁理士 青木 純雄

(72)発明者 ネイサン, アロキア

カナダ国 エヌ２エル ３ジー １、 オンタリオ州、 ウォータールー、 カルペッパー ドライ
ブ ５ ５

(72)発明者 サルバティ, ペイマン

カナダ国 エヌ２エル ３イー ８、 オンタリオ州、 ウォータールー、 ユニバーシティ アベ
ニュー ウェスト ９ ０ ７ １ ５ ９

(72)発明者 サカリヤ, カビル

カナダ国 エヌ２エル ３ジー １ オンタリオ州、 ウォータールー、 カルペッパー ドライブ
５ ５ イグニス イノベーション インコーポレーテッド内

F ターム(参考) 3K007 AB03 AB05 BA06 DB03 GA00

5C080 AA06 BB05 DD10 FF11 JJ03 JJ04 JJ05 JJ06

5C094 AA03 AA10 AA15 AA25 AA55 BA03 BA27 CA19 CA25 DB01

EA04 EA05 FA02 FB01 FB20 GA10

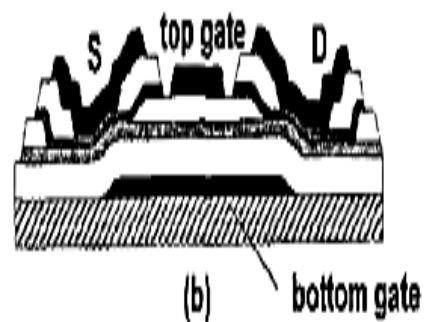
5F110 AA02 AA06 BB01 DD01 EE30 GG02 GG06 GG13 GG15 GG28

GG29 NN71 NN73

专利名称(译)	用于有机发光二极管显示器的像素电流驱动器		
公开(公告)号	JP2004531751A	公开(公告)日	2004-10-14
申请号	JP2002566552	申请日	2002-02-18
[标]申请(专利权)人(译)	伊格尼斯创新公司		
申请(专利权)人(译)	伊格尼斯创新公司		
[标]发明人	ネイサンアロキア サルバティペイマン サカリヤカピル		
发明人	ネイサン, アロキア サルバティ, ペイマン サカリヤ, カピル		
IPC分类号	H01L51/50 G09F9/30 G09G3/20 G09G3/30 G09G3/32 H01L21/336 H01L27/12 H01L27/15 H01L27/32 H01L29/786 H05B33/14		
CPC分类号	G09G3/3233 G09G3/3241 G09G2300/0804 G09G2320/0223 H01L27/12 H01L27/283 H01L27/3276		
FI分类号	G09F9/30.338 G09F9/30.365.Z G09G3/20.611.D G09G3/20.641.D G09G3/30.J H01L27/15.B H05B33/14.A H01L29/78.612.Z H01L29/78.617.N H01L29/78.614		
F-TERM分类号	3K007/AB03 3K007/AB05 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD10 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA03 5C094/AA10 5C094/AA15 5C094/AA25 5C094/AA55 5C094/BA03 5C094/BA27 5C094/CA19 5C094/CA25 5C094/DB01 5C094/EA04 5C094/EA05 5C094/FA02 5C094/FB01 5C094/FB20 5C094/GA10 5F110/AA02 5F110/AA06 5F110/BB01 5F110/DD01 5F110/EE30 5F110/GG02 5F110/GG06 5F110/GG13 5F110/GG15 5F110/GG28 5F110/GG29 5F110/NN71 5F110/NN73		
代理人(译)	所以, 石井 青木 纯雄		
优先权	60/268900 2001-02-16 US		
其他公开文献	JP4383743B2		
外部链接	Espacenet		

摘要(译)

像素电流驱动器包括多个薄膜晶体管 (TFT)，每个薄膜晶体管具有双栅极并用于驱动OLED层。双栅极的顶栅形成在每个薄膜晶体管的源极和漏极之间，从而最小化寄生电容。顶栅接地或电连接到底栅。多个薄膜晶体管可以是通过电压有计划地形成的两个薄膜晶体管，或者是由电流规划的 ΔV_T 补偿的方式形成的五个薄膜晶体管。你可以做到。还给出了具有不同数量的薄膜晶体管以补偿 δV_T 的当前规划电路的其他示例。OLED层是连续的并且在多个薄膜晶体管上垂直堆叠，以提供接近100%的孔径比。



| glass substrate □ a-SiN_x:H ■ a-Si:H ■ n⁺μc-Si:H ■ me