

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2004-163941
(P2004-163941A)

(43) 公開日 平成16年6月10日(2004.6.10)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09F 9/30	G09F 9/30 338	3K007
H01L 29/786	G09F 9/30 330Z	5C094
H05B 33/12	G09F 9/30 365Z	5F110
H05B 33/14	H05B 33/12 B	
H05B 33/22	H05B 33/14 A	
審査請求 有 請求項の数 16 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2003-379858 (P2003-379858)	(71) 出願人	000002369
(22) 出願日	平成15年11月10日 (2003.11.10)		セイコーエプソン株式会社
(62) 分割の表示	特願平9-177454の分割		東京都新宿区西新宿2丁目4番1号
原出願日	平成9年7月2日 (1997.7.2)	(74) 代理人	100095728
			弁理士 上柳 雅普
		(74) 代理人	100107076
			弁理士 藤綱 英吉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	小澤 徳郎
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		Fターム(参考)	3K007 AB05 AB18 BA06 CA00 DB03 FA01 GA00
		最終頁に続く	

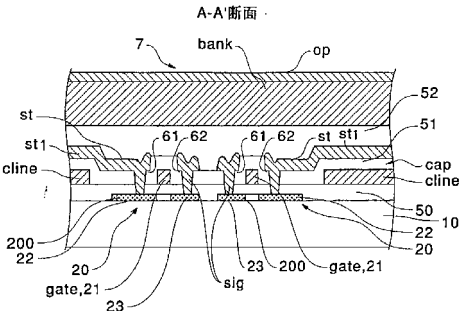
(54) 【発明の名称】 表示装置及びアクテプマトリクス基板

(57) 【要約】

【課題】 基板上に有機半導体膜の形成領域を規定するためのバンク層を利用して、データ線や駆動回路に容量が寄生することを防止することのできる表示装置を提供すること。

【解決手段】 エレクトロルミネッセンス素子またはLED素子のような発光素子を構成するための有機半導体膜を画素領域7に形成する際には、その周囲に黒色のレジストからなるバンク層bankを形成しておく。このバンク層bankは、画像信号を画素領域7の第1のTFT20および保持容量capに供給するデータ線sigと対向電極opとの間にも形成し、データ線sigに容量が寄生するのを防止する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

複数の走査線と、
前記複数の走査線と交差する方向に設けられた複数のデータ線と、
複数の共通給電線と、
前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素と、
前記複数のデータ線に対して画像信号を出力する第 1 の駆動回路と、
前記複数の走査線に対して走査信号を出力する第 2 の駆動回路と、を有し、
前記複数の画素の各々は、
画素電極と、
前記画素電極に対向する対向電極との間に流れる駆動電流によって発光する発光素子と、
を備え、
前記発光素子は有機半導体膜を含み、
前記有機半導体膜は絶縁膜からなるバンク層で囲まれており、
前記第 1 の駆動回路及び前記第 2 の駆動回路のうち少なくともいずれかは、前記バンク層によって覆われていること、
を特徴とする表示装置。

【請求項 2】

複数の走査線と、
前記複数の走査線と交差する方向に設けられた複数のデータ線と、
複数の共通給電線と、
前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素と、
前記複数のデータ線に対して画像信号を出力する第 1 の駆動回路と、
前記複数の走査線に対して走査信号を出力する第 2 の駆動回路と、を有し、
前記複数の画素の各々は、
画素電極と、
前記画素電極に対向する対向電極との間に流れる駆動電流によって発光する発光素子と、
を備え、
前記発光素子は有機半導体膜を含み、
前記有機半導体膜は絶縁膜からなるバンク層で囲まれており、
前記第 1 の駆動回路及び前記第 2 の駆動回路のうち少なくともいずれかの配線層と前記対向電極との間には前記バンク層が介在していること、
を特徴とする表示装置。

【請求項 3】

請求項 1 または 2 に記載の表示装置において、
前記複数の画素の各々は、
ゲート電極を備え、前記複数の走査線のうち対応する走査線を介して走査信号が前記ゲート電極に供給される第 1 のトランジスタと、
前記複数のデータ線のうち対応するデータ線及び前記第 1 のトランジスタを介して供給される画像信号に応じて、前記複数の共通給電線のうち対応する共通給電線と前記画素電極との電気的な接続の制御を行う第 2 のトランジスタと、を備えていること、
を特徴とする表示装置。

【請求項 4】

請求項 3 に記載の表示装置において、
前記第 2 のトランジスタの一部と前記画素電極とは重なっていること、
を特徴とする表示装置。

【請求項 5】

請求項 3 または 4 に記載の表示装置において、

前記第 1 のトランジスタは前記バンク層により覆われていること、
を特徴とする表示装置。

【請求項 6】

請求項 3 乃至 5 のいずれかに記載の表示装置において、
前記第 2 のトランジスタと前記画素電極とは中継電極を介して接続されており、
前記中継電極は前記バンク層により覆われていること、
を特徴とする表示装置。

【請求項 7】

請求項 1 乃至 6 のいずれかに記載の表示装置において、
前記有機半導体膜は、インクジェット法により形成された膜であり、
前記バンク層は、撥水性を有する膜であること、
を特徴とする表示装置。

10

【請求項 8】

請求項 1 乃至 7 のいずれかに記載の表示装置において、
前記バンク層は、膜厚が $1\ \mu\text{m}$ 以上であること、
を特徴とする表示装置。

【請求項 9】

請求項 1 乃至 8 のいずれかに記載の表示装置において、
前記バンク層は黒色のレジスト膜から構成されていること、
を特徴とする表示装置。

20

【請求項 10】

請求項 1 乃至 9 のいずれかに記載の表示装置において、
前記複数の共通給電線の各々の単位長さ当たりの抵抗値は、前記複数のデータ線の対応するデータ線の単位長さ当たりの抵抗値よりも小さいこと、
を特徴とする表示装置。

【請求項 11】

請求項 1 乃至 10 のいずれかに記載の表示装置において、
前記複数の共通給電線の各々の線幅は、前記複数のデータ線の対応するデータ線の線幅よりも大であること、
を特徴とする表示装置。

30

【請求項 12】

複数の走査線と、
前記複数の走査線と交差する方向に設けられた複数のデータ線と、
複数の共通給電線と、
前記複数のデータ線に対して画像信号を出力する第 1 の駆動回路と、
前記複数の走査線に対して走査信号を出力する第 2 の駆動回路と、
前記複数のデータ線と前記複数の走査線との交差部に対応して形成された複数の画素電極と、を備え、
前記複数の画素電極の各々の周囲には絶縁膜からなるバンク層が設けられており、
前記第 1 の駆動回路及び前記第 2 の駆動回路のうち少なくともいずれかは、前記バンク層によって覆われていること、
を特徴とするアクティブマトリクス基板。

40

【請求項 13】

複数の走査線と、
前記複数の走査線と交差する方向に設けられた複数のデータ線と、
複数の共通給電線と、
前記複数のデータ線に対して画像信号を出力する第 1 の駆動回路と、
前記複数の走査線に対して走査信号を出力する第 2 の駆動回路と、
前記複数のデータ線と前記複数の走査線との交差部に対応して形成された複数の画素電極と、を備え、

50

前記複数の画素電極の各々の周囲には絶縁膜からなるバンク層が設けられており、
前記第１の駆動回路及び前記第２の駆動回路のうち少なくともいずれかの配線層と前記
対向電極との間には前記バンク層が介在していること、
を特徴とするアクティブマトリクス基板。

【請求項１４】

請求項１２または１３に記載のアクティブマトリクス基板において、前記複数の画素電
極の各々に対応して、

前記複数の走査線のうち対応する走査線にゲート電極が接続された第１のトランジスタ
と、

前記複数の共通給電線のうち対応する共通給電線にソースまたはドレインが接続された
第２のトランジスタと、を備え、

前記複数のデータ線の各々の少なくとも１部は前記バンク層により覆われており、

前記第２のトランジスタの少なくとも１部は前記バンク層により覆われていること、

を特徴とするアクティブマトリクス基板。

【請求項１５】

請求項１４に記載のアクティブマトリクス基板において、

前記第１のトランジスタの少なくとも１部は前記バンク層により覆われていること、

を特徴とするアクティブマトリクス基板。

【請求項１６】

請求項１２乃至１５のいずれかに記載のアクティブマトリクス基板と、

前記複数の画素電極の各々に対応して有機半導体膜が設けられたこと、

を特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、有機半導体膜に駆動電流が流れることによって発光するＥＬ（エレクトロル
ミネッセンス）素子またはＬＥＤ（発光ダイオード）素子などの発光素子を薄膜トランジ
スタ（以下、ＴＦＴという。）で駆動制御するアクティブマトリクス型の表示装置に関す
るものである。さらに詳しくは、その表示特性を向上するためのレイアウトの最適化技術
に関するものである。

【背景技術】

【０００２】

ＥＬ素子またはＬＥＤ素子などの電流制御型発光素子を用いたアクティブマトリクス型
の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自
己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性
が少ないなどの利点もある。

【０００３】

図１３は、このような表示装置の一例として、電荷注入型の有機薄膜ＥＬ素子を用いた
アクティブマトリクス型表示装置のブロック図を示してある。この図に示す表示装置１Ａ
では、透明基板上に、複数の走査線ｇａｔｅと、該走査線ｇａｔｅの延設方向に対して交
差する方向に延設された複数のデータ線ｓｉｇと、該データ線ｓｉｇに並列する複数の共
通給電線ｃｏｍと、データ線ｓｉｇと走査線ｇａｔｅとの交差点に対応する画素領域７と
が構成されている。データ線ｓｉｇに対しては、シフトレジスタ、レベルシフタ、ビデオ
ライン、アナログスイッチを備えるデータ側駆動回路３が構成されている。走査線に対し
ては、シフトレジスタおよびレベルシフタを備える走査側駆動回路４が構成されている。
また、画素領域７の各々には、走査線を介して走査信号がゲート電極に供給される第１の
ＴＦＴ２０と、この第１のＴＦＴ２０を介してデータ線ｓｉｇから供給される画像信号を
保持する保持容量ｃａｐと、該保持容量ｃａｐによって保持された画像信号がゲート電極
に供給される第２のＴＦＴ３０と、第２のＴＦＴ３０を介して共通給電線ｃｏｍに電氣的

に接続したときに共通給電線 c o m から駆動電流が流れ込む発光素子 4 0 とが構成されている。

【 0 0 0 4 】

すなわち、図 1 4 (A)、(B) に示すように、いずれの画素領域においても、島状の 2 つの半導体膜を利用して第 1 の T F T 2 0 および第 2 の T F T 3 0 が形成され、第 2 の T F T 3 0 のソース・ドレイン領域の一方には、第 1 層間絶縁膜 5 1 のコンタクトホールを介して中継電極 3 5 が電氣的に接続し、該中継電極 3 5 には画素電極 4 1 が電氣的に接続している。この画素電極 4 1 の上層側には、正孔注入層 4 2、有機半導体膜 4 3、対向電極 o p が積層されている。ここで、対向電極 o p は、データ線 s i g などを跨いで複数の画素領域 7 にわたって形成されている。

10

【 0 0 0 5 】

第 2 の T F T 3 0 のソース・ドレイン領域のもう一方には、コンタクトホールを介して共通給電線 c o m が電氣的に接続している。これに対して、第 1 の T F T 2 0 では、そのソース・ドレイン領域の一方に電氣的に接続する電位保持電極 s t は、ゲート電極 3 1 の延設部分 3 1 0 に電氣的に接続している。この延設部分 3 1 0 に対しては、その下層側においてゲート絶縁膜 5 0 を介して半導体膜 4 0 0 が対向し、この半導体膜 4 0 0 は、それに導入された不純物によって導電化されているので、延設部分 3 1 0 およびゲート絶縁膜 5 0 とともに保持容量 c a p を構成している。ここで、半導体膜 4 0 0 に対しては第 1 の層間絶縁膜 5 1 のコンタクトホールを介して共通給電線 c o m が電氣的に接続している。従って、保持容量 c a p は、第 1 の T F T 2 0 を介してデータ線 s i g から供給される画

20

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

しかしながら、前記の表示装置において、画素電極 4 1 に対向する対向電極 o p は、液晶表示装置と相違して、同じ透明基板 1 0 上において、その表面全体、あるいは複数の画素領域 7 にわたって形成されるため、対向電極 o p はデータ線 s i g との間に第 2 の層間絶縁膜 5 2 のみを有することになる。このため、データ線 s i g には大きな容量が寄生することになって、従来の表示装置のままでは、データ線 s i g の負荷が大きい。同様な問題点は、データ側駆動回路 3 や走査側駆動回路 4 の表面側に重なるように対向電極 o p が形成されることに起因して、駆動回路に形成される配線層と対向電極との間に寄生する容量が大きく、データ側駆動回路 3 の負荷が大きいという問題点を引き起こす。

30

【 0 0 0 7 】

ここに、本発明者は、インクジェットヘッドから吐出した液状の材料から有機半導体膜を所定の領域に形成することを検討するとともに、この方法で有機半導体膜を形成する際に有機半導体膜が側方にはみ出すことを防止するために有機半導体膜の形成領域をレジストなどで構成したバンク層で囲うことを検討してきた。このような構成などを利用して、本願発明者は上記の問題点を解消することを提案する。

40

【 0 0 0 8 】

すなわち、本発明の課題は、基板上に有機半導体膜の形成領域を規定するためのバンク層を利用して、データ線や駆動回路に容量が寄生することを防止することのできる表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の第 1 の表示装置は、複数の走査線と、前記複数の走査線と交差する方向に設けられた複数のデータ線と、複数の共通給電線と、前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素と、前記複数のデータ線に対して画像信号を出力する第 1 の駆動回路と、前記複数の走査線に対して走査信号を出力する第 2 の駆動

50

回路と、を有し、前記複数の画素の各々は、画素電極と、前記画素電極に対向する対向電極との間に流れる駆動電流によって発光する発光素子と、を備え、前記発光素子は有機半導体膜を含み、前記有機半導体膜は絶縁膜からなるバンク層で囲まれており、前記第1の駆動回路及び前記第2の駆動回路のうち少なくともいずれかは、前記バンク層によって覆われていること、を特徴とする。

【0010】

本発明の第2の表示装置は、複数の走査線と、前記複数の走査線と交差する方向に設けられた複数のデータ線と、複数の共通給電線と、前記複数のデータ線と前記複数の走査線とによりマトリクス状に形成された複数の画素と、前記複数のデータ線に対して画像信号を出力する第1の駆動回路と、前記複数の走査線に対して走査信号を出力する第2の駆動回路と、を有し、前記複数の画素の各々は、画素電極と、前記画素電極に対向する対向電極との間に流れる駆動電流によって発光する発光素子と、を備え、前記発光素子は有機半導体膜を含み、前記有機半導体膜は絶縁膜からなるバンク層で囲まれており、前記第1の駆動回路及び前記第2の駆動回路のうち少なくともいずれかの配線層と前記対向電極との間には前記バンク層が介在していること、を特徴とする。 10

【0011】

上記の表示装置において、前記複数の画素の各々は、ゲート電極を備え、前記複数の走査線のうち対応する走査線を介して走査信号が前記ゲート電極に供給される第1のトランジスタと、前記複数のデータ線のうち対応するデータ線及び前記第1のトランジスタを介して供給される画像信号に応じて、前記複数の共通給電線のうち対応する共通給電線と前記画素電極との電気的な接続の制御を行う第2のトランジスタと、を備えていることが好ましい。 20

【0012】

上記の表示装置において、前記第2のトランジスタの一部と前記画素電極とは重なっていることが好ましい。

【0013】

上記の表示装置において、前記第1のトランジスタは前記バンク層により覆われていることが好ましい。

【0014】

上記の表示装置において、前記第2のトランジスタと前記画素電極とは中継電極を介して接続されており、前記中継電極は前記バンク層により覆われていることが好ましい。 30

【0015】

上記の表示装置において、前記有機半導体膜は、インクジェット法により形成された膜であり、前記バンク層は、撥水性を有する膜であることが好ましい。

【0016】

上記の表示装置において、前記バンク層は、膜厚が1 μm 以上であることが好ましい。

【0017】

上記の表示装置において、前記バンク層は黒色のレジスト膜から構成されていることが好ましい。

【0018】

上記の表示装置において、前記複数の共通給電線の各々の単位長さ当たりの抵抗値は、前記複数のデータ線の対応するデータ線の単位長さ当たりの抵抗値よりも小さいことが好ましい。 40

【0019】

上記の表示装置において、前記複数の共通給電線の各々の線幅は、前記複数のデータ線の対応するデータ線の線幅よりも大であることが好ましい。

【0020】

本発明の第1のアクティブマトリクス基板は、複数の走査線と、前記複数の走査線と交差する方向に設けられた複数のデータ線と、複数の共通給電線と、前記複数のデータ線に対して画像信号を出力する第1の駆動回路と、前記複数の走査線に対して走査信号を出力 50

する第2の駆動回路と、前記複数のデータ線と前記複数の走査線との交差部に対応して形成された複数の画素電極と、を備え、前記複数の画素電極の各々の周囲には絶縁膜からなるバンク層が設けられており、前記第1の駆動回路及び前記第2の駆動回路のうち少なくともいずれかは、前記バンク層によって覆われていること、を特徴とする。

【0021】

本発明の第2のアクティブマトリクス基板は、複数の走査線と、前記複数の走査線と交差する方向に設けられた複数のデータ線と、複数の共通給電線と、前記複数のデータ線に対して画像信号を出力する第1の駆動回路と、前記複数の走査線に対して走査信号を出力する第2の駆動回路と、前記複数のデータ線と前記複数の走査線との交差部に対応して形成された複数の画素電極と、を備え、前記複数の画素電極の各々の周囲には絶縁膜からなるバンク層が設けられており、前記第1の駆動回路及び前記第2の駆動回路のうち少なくともいずれかの配線層と前記対向電極との間には前記バンク層が介在していること、を特徴とする。

10

【0022】

上記のアクティブマトリクス基板において、前記複数の画素電極の各々に対応して前記複数の走査線のうち対応する走査線にゲート電極が接続された第1のトランジスタと、前記複数の共通給電線のうち対応する共通給電線にソースまたはドレインが接続された第2のトランジスタと、を備え、前記複数のデータ線の各々の少なくとも1部は前記バンク層により覆われており、前記第2のトランジスタの少なくとも1部は前記バンク層により覆われていることが好ましい。

20

【0023】

上記のアクティブマトリクス基板において、前記第1のトランジスタの少なくとも1部は前記バンク層により覆われていることが好ましい。

【0024】

本発明の第3の表示装置は、上記のアクティブマトリクス基板と、前記複数の画素電極の各々に対応して有機半導体膜が設けられたこと、特徴とする。

【0025】

本発明では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号がゲート電極に供給される第1のTFTと、該第1のTFTを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号がゲート電極に供給される第2のTFTと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、前記データ線の少なくとも一部を覆うように構成されていることを特徴とする。

30

40

【0026】

本発明において、対向電極は少なくとも画素領域の全面、あるいはストライプ状に広い領域にわたって形成され、データ線と対向する状態にある。従って、このままでは、データ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間にバンク層が介在しているので、対向電極との間に形成される容量がデータ線に寄生することを防止できる。その結果、データ線駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0027】

本発明において、前記基板上には、前記複数の画素領域とともに、前記データ線に対して前記画像信号を出力する第1の駆動回路、または前記走査線に対して前記走査信号を出

50

力する第2の駆動回路が形成される場合がある。このような駆動回路の形成領域も、前記の対向電極と対向していると、駆動回路に形成された配線層にも大きな容量が寄生することになる。しかるに本発明では、駆動回路もバンク層によって覆うことによって、対向電極との間に形成される容量が駆動回路に寄生することを防止できる。その結果、駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0028】

本発明において、前記有機半導体膜は、たとえば、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、前記有機半導体膜をインクジェット法により形成する際のはみ出しを防止するための撥水性の膜である。また、前記バンク層は、前記有機半導体膜のはみ出しを防止するという観点から1 μm 以上の膜厚で構成してもよく、この場合には、前記有機半導体膜は撥水性でなくても隔壁として機能する。

10

【0029】

本発明において、前記画素電極の形成領域のうち、前記第1のTF Tおよび前記第2のTF Tと重なる領域も前記バンク層で覆われていることが好ましい。本発明において、画素電極の形成領域のうち、前記第1のTF Tの形成領域および前記第2のTF Tの形成領域と重なる領域では、たとえ対向電極との間に駆動電流が流れて有機半導体膜が発光しても、この光は第1のTF Tや第1のTF Tに遮られ、表示には寄与しない。かかる表示に寄与しない部分で有機半導体膜に流れる駆動電流は、表示という面からみて無効電流といえる。そこで、本発明では、従来ならこのような無効電流が流れるはずの部分にバンク層を形成し、そこに駆動電流が流れることを防止する。その結果、共通給電線に流れる電流が小さくすることができるので、その分、共通給電線の幅を狭くすれば、その結果として、その分、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

20

【0030】

本発明では、前記バンク層を黒色のレジスト膜から構成することによって、それをブラックマトリクスとして利用し、表示の品位を高めることが好ましい。すなわち、本発明に係る表示装置では、対向電極が少なくとも画素領域の全面、あるいは広い領域にわたってストライプ状に形成されると、対向電極からの反射光がコントラスト比を低下させる。しかるに本発明では、寄生容量を防止するための機能も担うバンク層を黒色のレジストで構成したため、ブラックマトリクスとしても機能する。それ故、バンク層は対向電極からの反射光を遮るので、コントラスト比が向上する。

30

【0031】

本発明において、共通給電線には、各画素の発光素子を駆動するための駆動電流が流れるので、データ線に比較して大きな電流が流れる。そこで、本発明では、前記共通給電線の単位長さ当たりの抵抗値を、前記データ線の単位長さ当たりの抵抗値よりも小さくして、その電流容量を大きくすることが好ましい。たとえば、前記共通給電線と前記データ線とは材料及び膜厚が同一である場合には、前記共通給電線の線幅を前記データ線の線幅よりも広くする。

【0032】

本発明において、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素領域が配置され、該画素領域に対して前記共通給電線とは反対側を前記データ線が通っていることが好ましい。すなわち、データ線、それに接続する画素群、1本の共通給電線、それに接続する画素群、および該画素群に画素信号を供給するデータ線を1つの単位としてそれを走査線の延設方向に繰り返す。このように構成すると、2列分の画素に対して1本の共通給電線で済む。それ故、1列の画素群ごとに共通給電線を形成する場合と比較して、共通給電線の形成領域を狭めることができるので、その分、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

40

【0033】

50

また、上記の構成によると、2本のデータ線が並列することになるため、これらのデータ線の間でクロストークが発生するおそれがある。そこで、本発明では、2本のデータ線の中に相当する位置には配線層を形成することが好ましい。このように構成すると、2本のデータ線の間にはそれらとは別の配線層が通っているので、このような配線層を少なくとも画像の1水平走査期間で固定電位としておくだけで上記のクロストークを防止できる。

【0034】

本発明において、前記有機半導体膜をインクジェット法で形成するのであれば、前記走査線の延設方向に沿って隣接するいずれの画素領域間でも、前記有機半導体膜の形成領域の中心のピッチを等しくしておくことが好ましい。このように構成すると、走査線の延設方向に沿って等間隔の位置にインクジェットヘッドから前記有機半導体膜の材料を吐出させればよいので、位置制御機構が簡易で済むとともに、位置精度が向上する。

10

【発明を実施するための最良の形態】

【0035】

図面を参照して、本発明の実施の形態を説明する。

(アクティブマトリクス基板の全体構成)

図1は、表示装置の全体のレイアウトを模式的に示すブロック図である。

【0036】

この図に示すように、本形態の表示装置1では、その基体たる透明基板10の中央部分が表示部2とされている。透明基板10の外周部分のうち、データ線sigの両端側には画像信号を出力するデータ側駆動回路3(第1の駆動回路)、および検査回路5が構成され、走査線gateの両端側には走査信号を出力する走査側駆動回路4(第2の駆動回路)が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって相補型TFTが構成され、この相補型TFTは、シフトレジスタ、レベルシフタ、アナログスイッチなどを構成している。なお、透明基板10上において、データ側駆動回路3よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド6が形成されている。

20

【0037】

このよう構成した表示装置1では、液晶表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigとが構成され、これらのデータ線sigと走査線gateとによりマトリクス状に形成された複数の画素領域7が構成されている。

30

【0038】

これらの画素領域7のいずれにも、図2に示すように、走査線gateを介して走査信号がゲート電極21(第1のゲート電極)に供給される第1のTFT20が構成されている。このTFT20のソース・ドレイン領域の一方は、データ線sigに電氣的に接続され、他方は電位保持電極stに電氣的に接続されている。走査線gateに対しては容量線clineが並列配置され、この容量線clineと電位保持電極stとの間には保持容量capが形成されている。従って、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。

40

【0039】

電位保持電極stには第2のTFT30のゲート電極31(第2のゲート電極)が電氣的に接続されている。第2のTFT30のソース・ドレイン領域の一方は、共通給電線comに電氣的に接続されている一方、他方は発光素子40の一方の電極(後述する画素電極)に電氣的に接続されている。共通給電線comは、定電位に保持されている。従って、第2のTFT30がオン状態になったときに、第2のTFT30を介して共通給電線comの電流が発光素子40に流れ、発光素子40を発光させる。

【0040】

但し、本形態では、共通給電線comの両側には、該共通給電線comとの間で駆動電

50

流の供給が行われる発光素子 40 を有する画素領域 7 が配置され、これらの画素領域 7 に対して共通給電線 com とは反対側を 2 本のデータ線 sig が通っている。すなわち、データ線 sig、それに接続する画素群、1 本の共通給電線 com、それに接続する画素群、および該画素群に画素信号を供給するデータ線 sig を 1 つの単位としてそれを走査線 gate の延設方向に繰り返してあり、共通給電線 com は、1 本で 2 列分の画素に対して駆動電流を供給する。従って、1 列の画素群ごとに共通給電線 com を形成する場合と比較して、共通給電線 com の形成領域が狭くて済み、発光面積を増やすことができるので、輝度、コントラスト比などの表示性能を向上させることができる。なお、このように 1 本の共通給電線 com に 2 列分の画素が接続される構成としたため、データ線 sig は 2 本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。

10

(画素領域の構成)

このように構成した表示装置 1 の各画素領域 7 の構造を図 3 ないし図 6 (A) を参照して詳述する。

【0041】

図 3 は、本形態の表示装置 1 に形成されている複数の画素領域 7 のうちの 3 つの画素領域 7 を拡大して示す平面図、図 4、図 5、および図 6 (A) はそれぞれは、その A - A' 線における断面図、B - B' 線における断面図、および C - C' 線における断面図である。

【0042】

20

まず、図 3 における A - A' 線に相当する位置では、図 4 に示すように、透明基板 10 上には各画素領域 7 の各々に第 1 の TFT 20 を形成するための島状のシリコン膜 200 が形成され、その表面にはゲート絶縁膜 50 が形成されている。また、ゲート絶縁膜 50 の表面にはゲート電極 21 が形成され、該ゲート電極 21 に対して自己整合的に高濃度の不純物が導入されたソース・ドレイン領域 22、23 が形成されている。ゲート絶縁膜 50 の表面側には第 1 の層間絶縁膜 51 が形成され、この層間絶縁膜に形成されたコンタクトホール 61、62 を介して、ソース・ドレイン領域 22、23 にはデータ線 sig、および電位保持電極 st がそれぞれ電氣的に接続されている。

【0043】

各画素領域 7 には走査線 gate と並列するように、走査線 gate やゲート電極 21 と同一の層間 (ゲート絶縁膜 50 と第 1 の層間絶縁膜 51 との間) には容量線 cline が形成されており、この容量線 cline に対しては、第 1 の層間絶縁膜 51 を介して電位保持電極 st の延設部分 st1 が重なっている。このため、容量線 cline と電位保持電極 st の延設部分 st1 とは、第 1 の層間絶縁膜 51 を誘電体膜とする保持容量 cap を構成している。なお、電位保持電極 st およびデータ線 sig の表面側には第 2 の層間絶縁膜 52 が形成されている。

30

【0044】

図 3 における B - B' 線に相当する位置では、図 5 に示すように、透明基板 10 上に形成された第 1 の層間絶縁膜 51 および第 2 の層間絶縁膜 52 の表面に各画素領域 7 に対応するデータ線 sig が 2 本、並列している状態にある。

40

【0045】

図 3 における C - C' 線に相当する位置では、図 6 (A) に示すように、透明基板 10 上には共通給電線 com を挟む 2 つの画素領域 7 に跨がるように、第 2 の TFT 30 を形成するための島状のシリコン膜 300 が形成され、その表面にはゲート絶縁膜 50 が形成されている。また、ゲート絶縁膜 50 の表面には、共通給電線 com を挟むように、各画素領域 7 の各々にゲート電極 31 がそれぞれ形成され、このゲート電極 31 に対して自己整合的に高濃度の不純物が導入されたソース・ドレイン領域 32、33 が形成されている。ゲート絶縁膜 50 の表面側には第 1 の層間絶縁膜 51 が形成され、この層間絶縁膜に形成されたコンタクトホール 63 を介して、ソース・ドレイン領域 62 に中継電極 35 が電氣的に接続されている。一方、シリコン膜 300 の中央の 2 つの画素領域 7 において共通

50

のソース・ドレイン領域 33 となる部分に対しては、第 1 の層間絶縁膜 51 のコンタクトホール 64 を介して、共通給電線 com が電氣的に接続されている。これらの共通給電線 com、および中継電極 35 の表面には第 2 の層間絶縁膜 52 が形成されている。第 2 の層間絶縁膜 52 の表面には ITO 膜からなる画素電極 41 が形成されている。この画素電極 41 は、第 2 の層間絶縁膜 52 に形成されたコンタクトホール 65 を介して中継電極 35 に電氣的に接続され、また中継電極 35 を介して第 2 の TFT30 のソース・ドレイン領域 32 に電氣的に接続されている。

【0046】

ここで、画素電極 41 は発光素子 40 の一方の電極を構成している。すなわち、画素電極 41 の表面には正孔注入層 42 および有機半導体膜 43 が積層され、さらに有機半導体膜 43 の表面には、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極 op が形成されている。この対向電極 op は、少なくとも画素領域 41 の全面、あるいはストライプ状に形成された共通の電極であって、一定の電位に保持されている。

10

【0047】

このように構成された発光素子 40 では、対向電極 op および画素電極 41 をそれぞれ正極および負極として電圧が印加され、図 7 に示すように、印加電圧がしきい値電圧を越えた領域で有機半導体膜 43 に流れる電流（駆動電流）が急激に増大する。その結果、発光素子 40 は、エレクトロルミネッセンス素子あるいは LED 素子として発光し、発光素子 40 の光は、対向電極 op に反射されて透明な画素電極 41 および透明基板 10 を透過して出射される。

20

【0048】

このような発光を行うための駆動電流は、対向電極 op、有機半導体膜 43、正孔注入層 42、画素電極 41、第 2 の TFT30、および共通給電線 com から構成される電流経路を流れるため、第 2 の TFT30 がオフ状態になると、流れなくなる。但し、本形態の表示装置 1 では、走査信号によって選択されて第 1 の TFT20 がオン状態になると、データ線 sig から画像信号が第 1 の TFT20 を介して保持容量 cap に書き込まれる。従って、第 2 の TFT30 のゲート電極は、第 1 の TFT20 がオフ状態になっても、保持容量 cap によって画像信号に相当する電位に保持されるので、第 2 の TFT30 はオン状態のままである。それ故、発光素子 40 には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量 cap に書き込まれて、第 2 の TFT30 がオフ状態になるまで維持される。

30

（表示装置の製造方法）

このように構成した表示装置 1 の製造方法では、透明基板 10 上に第 1 の TFT20 および第 2 の TFT30 を製造するまでの工程は、液晶表示装置 1 のアクティブマトリクス基板を製造する工程と略同様であるため、図 8 を参照してその概要を説明する。

【0049】

図 8 は、表示装置 1 の各構成部分を形成していく過程を模式的に示す工程断面図である。

【0050】

すなわち、図 8 (A) に示すように、透明基板 10 に対して、必要に応じて、TEOS（テトラエトキシシラン）や酸素ガスなどを原料ガスとしてプラズマ CVD 法により厚さが約 2000 ~ 5000 オングストロームのシリコン酸化膜からなる下地保護膜（図示せず。）を形成する。次に基板の温度を約 350 に設定して、下地保護膜の表面にプラズマ CVD 法により厚さが約 300 ~ 700 オングストロームのアモルファスのシリコン膜からなる半導体膜 100 を形成する。次にアモルファスのシリコン膜からなる半導体膜 100 に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜 100 をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビームの長寸が 400 mm のラインビームを用い、その出力強度はたとえば 200 mJ / cm² である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の 90 % に相当する部分が各領域毎に重なるようにラインビームを走査していく。

40

50

【 0 0 5 1 】

次に、図 8 (B) に示すように、半導体膜 1 0 0 をパターニングして島状の半導体膜 2 0 0、3 0 0 とし、その表面に対して、T E O S (テトラエトキシシラン) や酸素ガスなどを原料ガスとしてプラズマ C V D 法により厚さが約 6 0 0 ~ 1 5 0 0 オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜 5 0 を形成する。

【 0 0 5 2 】

次に、図 8 (C) に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターニングし、ゲート電極 2 1、3 1 を形成する (ゲート電極形成工程)。この工程では、走査線 g a t e および容量線 c l i n e も形成する。なお、図中、3 1 0 は、ゲート電極 3 1 の延設部分である。

10

【 0 0 5 3 】

この状態で、高濃度のリンイオンを打ち込んで、シリコン薄膜 2 0 0、3 0 0 にはゲート電極 2 1、3 1 に対して自己整合的にソース・ドレイン領域 2 2、2 3、3 2、3 3 を形成する。なお、不純物が導入されなかった部分がチャネル領域 2 7、3 7 となる。

【 0 0 5 4 】

次に、図 8 (D) に示すように、第 1 の層間絶縁膜 5 1 を形成した後、コンタクトホール 6 1、6 2、6 3、6 4、6 9 を形成し、データ線 s i g、容量線 c l i n e およびゲート電極 3 1 の延設部分 3 1 0 に重なる延設部分 s t 1 を備える電位保持電極 s t、共通給電線 c o m、および中継電極 3 5 を形成する。その結果、電位保持電極 s t はコンタクトホール 6 9 および延設部分 3 1 0 を介してゲート電極 3 1 に電氣的に接続する。このようにして第 1 の T F T 2 0 および第 2 の T F T 3 0 を形成する。また、容量線 c l i n e と電位保持電極 s t の延設部分 s t 1 とによって保持容量 c a p が形成される。

20

【 0 0 5 5 】

次に、図 8 (E) に示すように、第 2 の層間絶縁膜 5 2 を形成し、この層間絶縁膜には、中継電極 3 5 に相当する部分にコンタクトホール 6 5 を形成する。次に、第 2 の層間絶縁膜 5 2 の表面全体に I T O 膜を形成した後、パターニングし、コンタクトホール 6 5 を介して第 2 の T F T 3 0 のソース・ドレイン領域 3 2 に電氣的に接続する画素電極 4 1 を形成する。

【 0 0 5 6 】

次に、図 8 (F) に示すように、第 2 の層間絶縁膜 5 2 の表面側に黒色のレジスト層を形成した後、このレジストを発光素子 4 0 の正孔注入層 4 2 および有機半導体膜 4 3 を形成して発光領域とすべき領域を囲むように残し、バンク層 b a n k を形成する。ここで、有機半導体膜 4 3 は、各画素毎に独立して、たとえば箱状に形成される場合、データ線 s i g に沿ってストライプ状に形成される場合などのいずれの場合であっても、それに対応する形状にバンク層 b a n k を形成するだけで、本形態に係る製造方法を適用できる。

30

【 0 0 5 7 】

次に、バンク層 b a n k の内側領域に対してインクジェットヘッド I J から、正孔注入層 4 2 を構成するための液状の材料 (前駆体) を吐出し、バンク層 b a n k の内側領域に正孔注入層 4 2 を形成する。同様に、バンク層 b a n k の内側領域に対してインクジェットヘッド I J から、有機半導体膜 4 3 を構成するための液状の材料 (前駆体) を吐出し、バンク層 b a n k の内側領域に有機半導体膜 4 3 を形成する。ここで、バンク層 b a n k はレジストから構成されているため、撥水性である。これに対して、有機半導体膜 4 3 の前駆体は親水性の溶媒を用いているため、有機半導体膜 4 3 の塗布領域はバンク層 b a n k によって確実に規定され、隣接する画素にはみ出ることがない。それ故、有機半導体膜 4 3 などを所定領域内だけに形成できる。但し、予めバンク層 b a n k からなる隔壁が 1 μ m ほどの高さであれば、バンク層 b a n k が撥水性でなくても、バンク層 b a n k は隔壁として十分に機能する。なお、バンク層 b a n k を形成しておけば、インクジェット法に代えて、塗布法で正孔注入層 4 2 や有機半導体膜 4 3 を形成する場合でもその形成領域を規定できる。

40

50

【 0 0 5 8 】

このように、有機半導体膜 4 3 や正孔注入層 4 2 をインクジェット法により形成する場合には、その作業効率を高めるために、本形態では、図 3 に示すように、走査線 gate の延設方向に沿って隣接するいずれの画素領域 7 間でも、前記有機半導体膜 4 3 の形成領域の中心のピッチ P を等しくしてある。従って、矢印 Q で示すように、走査線 gate の延設方向に沿って等間隔の位置にインクジェットヘッド I J から有機半導体膜 4 3 の材料などを吐出すればよいので、作業効率がよいという利点がある。また、インクジェットヘッド I J が等ピッチの移動で良いということにより、インクジェットヘッド I J の移動機構が簡易になり、かつ、インクジェットヘッド I J の打ち込み精度を高めるのも容易になる。

10

【 0 0 5 9 】

しかる後には、図 8 (G) に示すように、透明基板 1 0 の表面全体に対して、あるいはストライプ状に対向電極 op を形成する。なお、バンク層 bank については、それが黒色のレジストから構成されているので、そのまま残し、以下に説明するように、ブラックマトリクス B M、および寄生容量を低減するための絶縁層として利用する。

【 0 0 6 0 】

なお、図 1 に示すデータ側駆動回路 3 や走査側駆動回路 4 にも T F T が形成されるが、これらの T F T は前記の画素領域 7 に T F T を形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成する T F T も、画素領域 7 の T F T と同一の層間に形成されることになる。

20

【 0 0 6 1 】

また、前記第 1 の T F T 2 0、および第 2 の T F T 3 0 については、双方が N 型、双方が P 型、一方が N 型で他方が P 型のいずれでもよいが、このようないずれの組合せであっても周知の方法で T F T を形成していけるので、その説明を省略する。

【 0 0 6 2 】

なお、発光素子 4 0 としては、発光効率（正孔注入率）がやや低下するものの、正孔注入層 4 2 を省くこともある。また、正孔注入層 4 2 に代えて電子注入層を有機半導体膜 4 3 に対して正孔注入層 4 2 とは反対側に形成する場合、正孔注入層 4 2 および電子注入層の双方を形成する場合がある。

（バンク層の形成領域）

30

本形態では、図 1 に示す透明基板 1 0 の周辺領域の総てに対して、前記のバンク層 bank（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路 3 および走査側駆動回路 4 はいずれも、バンク層 bank によって覆われている。このため、これらの駆動回路の形成領域に対して対向電極 op が重なる状態にあっても、駆動回路の配線層と対向電極 op との間にバンク層 bank が介在することになる。それ故、駆動回路 3、4 に容量が寄生することを防止できるため、駆動回路 3、4 の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【 0 0 6 3 】

また、本形態では、図 3 ないし図 5 に示すように、データ線 sig に重なるようにバンク層 bank を形成してある。従って、データ線 sig と対向電極 op との間にバンク層 bank が介在することになるので、データ線 sig に容量が寄生することを防止できる。その結果、データ側駆動回路 3 の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

40

【 0 0 6 4 】

さらに、本形態では、図 3、図 4、および図 6 (A) に示すように、画素電極 4 1 の形成領域のうち、中継電極 3 5 と重なる領域にもバンク層 bank が形成されている。図 6 (B) に示すように、例えば、中継電極 3 5 と重なる領域にバンク層 bank がないと、対向電極 op との間に駆動電流が流れて有機半導体膜 4 3 が発光しても、この光は中継電極 3 5 と対向電極 op との間に挟まれて外に出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかる

50

に本形態では、従来ならこのような無効電流が流れるはずの部分にバンク層 *b a n k* を形成し、そこに駆動電流が流れることを防止するので、共通給電線 *c o m* に無駄な電流が流れることが防止できる。それ故、共通給電線 *c o m* の幅はその分、狭くてよい。

【 0 0 6 5 】

たとえば、本形態では、共通給電線 *c o m* には、データ線 *s i g* と違って、発光素子 40 を駆動するための大きな電流が流れ、しかも、2 列分の画素に対して駆動電流を供給する。それ故、共通給電線 *c o m* については、データ線 *s i g* と同一の材料から構成されているが、その線幅をデータ線 *s i g* の線幅よりも広く設定してあるため、共通給電線 *c o m* の単位長さ当たりの抵抗値は、データ線 *s i g* の単位長さ当たりの抵抗値よりも小さい。それでも、本形態では、共通給電線 *c o m* に前記の無効電流が流れることを抑えること
10
によって、共通給電線 *c o m* の線幅については必要最小限の線幅としてあるので、画素領域 7 の発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【 0 0 6 6 】

また、前記のようにバンク層 *b a n k* を形成しておくこと、バンク層 *b a n k* はブラックマトリクスとして機能し、コントラスト比などの表示の品位が向上する。すなわち、本形態に係る表示装置 1 では、対向電極 *o p* が透明基板 10 の表面側において画素領域 7 の全面、あるいは広い領域にわたってストライプ状に形成されるため、対向電極 *o p* での反射光がコントラスト比を低下させる。しかるに本形態では、寄生容量を防止するための機能
20
も担うバンク層 *b a n k* を黒色のレジストで構成したため、バンク層 *b a n k* はブラックマトリクスとしても機能し、対向電極 *o p* からの反射光を遮るので、コントラスト比が向上する。

[上記形態の改良例]

上記形態では、共通給電線 *c o m* の両側のそれぞれに、該共通給電線 *c o m* との間で駆動電流が流れる画素領域 7 が配置され、該画素領域 7 に対して前記共通給電線 *c o m* とは反対側を 2 本のデータ線 *s i g* が並列して通っている。従って、2 本のデータ線 *s i g* の間でクロストークが発生するおそれがある。そこで、本形態では、図 9、図 10 (A)、
(B) に示すように、2 本のデータ線 *s i g* の間に相当する位置には、ダミーの配線層 D A を形成してある。このダミーの配線層 D A としては、たとえば、画素電極 41 と同時形成された I T O 膜 D A 1 を利用することができる。また、ダミーの配線層 D A としては、
30
2 本のデータ線 *s i g* の間に容量線 *c l i n e* からの延設部分 D A 2 を構成してもよい。これらの双方をダミーの配線層 D A として用いてもよい。

【 0 0 6 7 】

このように構成すると、並列する 2 本のデータ線 *s i g* の間にはそれらとは別の配線層 D A が通っているため、このような配線層 D A (D A 1、D A 2) を少なくとも画像の 1 水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。すなわち、第 1 の層間絶縁膜 51 および第 2 の層間絶縁膜 52 は、膜厚が凡そ 1.0 μm であるのに対して、2 本のデータ線 *s i g* 2 本の間隔は約 2 μm 以上であるため、各データ線 *s i g* とダミーの配線層 D A (D A 1、D A 2) との間に構成される容量に比して、2 本の
40
データ線 *s i g* の間に構成される容量は十分に無視できる。それ故、データ線 *s i g* から漏れた高周波数の信号はダミーの配線層 D A で吸収されるので、2 本のデータ線 *s i g* の間でのクロストークを防止できる。

[その他の形態]

なお、上記形態では、保持容量 *c a p* を構成するのに容量線 *c l i n e* (容量電極) を形成したが、従来技術で説明したように、T F T を構成するためのポリシリコン膜を利用して保持容量 *c a p* を構成してもよい。

【 0 0 6 8 】

また、図 11 に示すように、共通給電線 *c o m* と電位保持電極 *s t* との間に保持容量 *c a p* を構成してもよい。この場合には、図 12 (A)、(B) に示すように、電位保持電極 *s t* とゲート電極 31 とを電氣的に接続させるためのゲート電極 31 の延設部分 310
50

を共通給電線 c o m の下層側にまで拡張し、この延設部分 3 1 0 と共通給電線 c o m との間の位置する第 1 の層間絶縁膜 5 1 を誘電体膜とする保持容量 c a p を構成すればよい。

【産業上の利用可能性】

【0069】

以上説明したように、本発明に係る表示装置では、発光素子を構成する有機半導体膜の形成領域を規定する絶縁性のバンク層をデータ線と対向電極との間、または駆動回路と対向電極との間に介在させることに特徴を有する。従って、データ線や駆動回路に重なるように対向電極を形成しても、データ線や駆動回路の配線層に容量が寄生することを防止できる。それ故、駆動回路の負荷を低減できるとともに、画像信号の高周波数化を図ることができる。

10

【図面の簡単な説明】

【0070】

【図1】本発明を適用した表示装置、およびそれに形成したバンク層の形成領域を模式的に示す説明図である。

【図2】本発明を適用した表示装置のブロック図である。

【図3】本発明を適用した表示装置の画素領域を拡大して示す平面図である。

【図4】図3のA - A'線における断面図である。

【図5】図3のB - B'線における断面図である。

【図6】(A)は図3のC - C'線における断面図、(B)はバンク層の形成領域を中継電極を覆うまで拡張しない構造の断面図である。

20

【図7】図1に示す表示装置に用いた発光素子のI - V特性を示すグラフである。

【図8】本発明を適用した表示装置の製造方法を示す工程断面図である。

【図9】図1に示す表示装置の改良例を示すブロック図である。

【図10】(A)は、図9に示す表示装置に形成したダミーの配線層を示す断面図、(B)はその平面図である。

【図11】図1に示す表示装置の変形例を示すブロック図である。

【図12】(A)は、図11に示す表示装置に形成した画素領域を拡大して示す平面図、(B)はその断面図である。

【図13】従来の表示装置のブロック図である。

【図14】(A)は、図13に示す表示装置に形成した画素領域を拡大して示す平面図、(B)はその断面図である。

30

【符号の説明】

【0071】

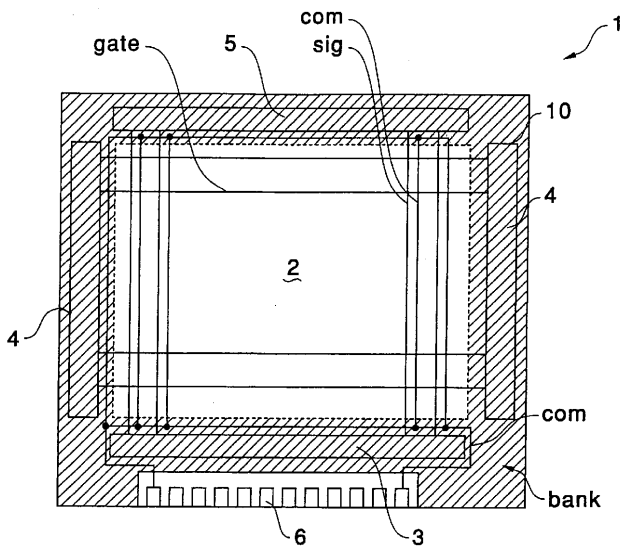
1	表示装置
2	表示部
3	データ側駆動回路(第1の駆動回路)
4	走査側駆動回路(第2の駆動回路)
5	検査回路
6	実装用パッド
7	画素領域
10	透明基板
20	第1のTFT
21	第1のTFTのゲート電極
30	第2のTFT
31	第2のTFTのゲート電極
40	発光素子
41	膜画素電極
42	正孔注入層
43	有機半導体膜
50	ゲート絶縁膜

40

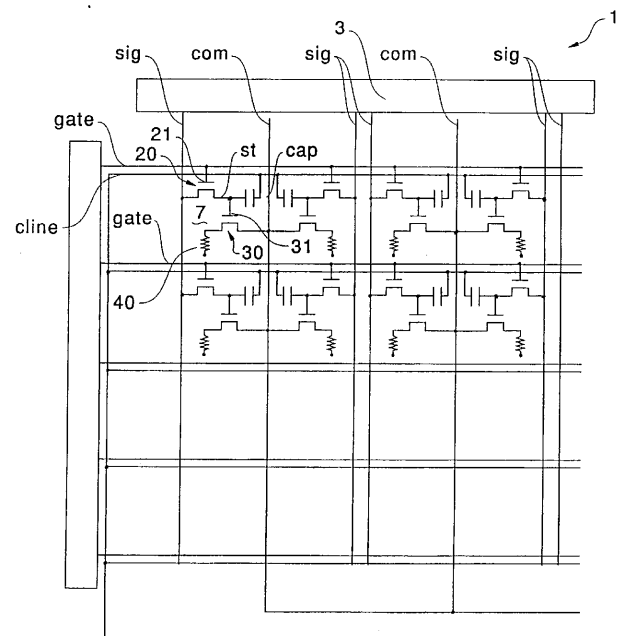
50

5 1	第 1 の層間絶縁膜
5 2	第 2 の層間絶縁膜
D A	ダミーの配線層
b a n k	バンク層
c a p	保持容量
c l i n e	容量線
c o m	共通給電線
g a t e	走査線
o p	対向電極
s i g	データ線
s t	電位保持電極

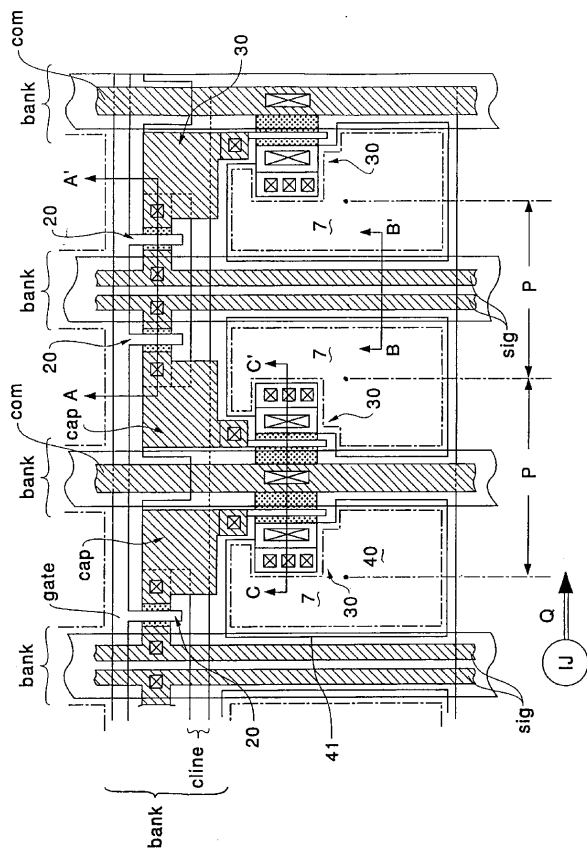
【図 1】



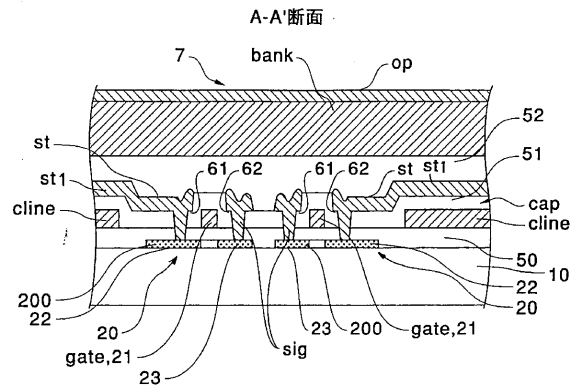
【図 2】



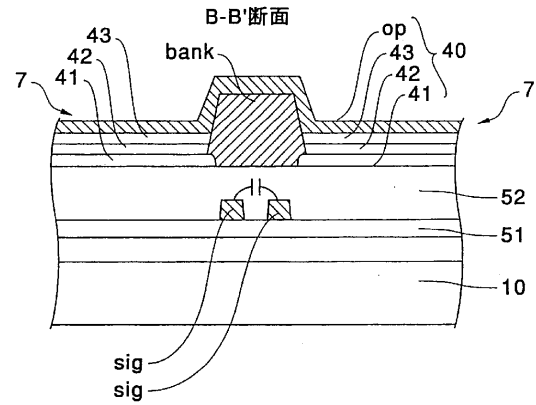
【 図 3 】



【 図 4 】

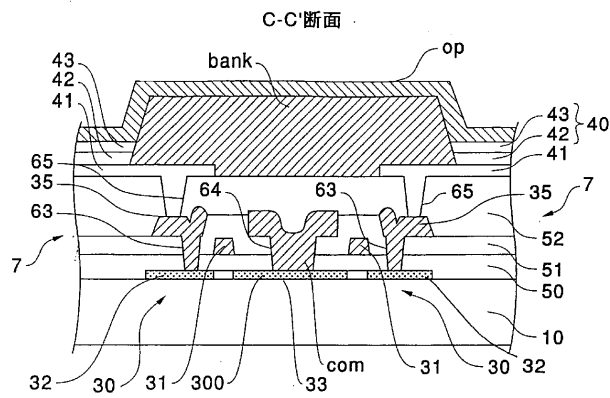


【 図 5 】

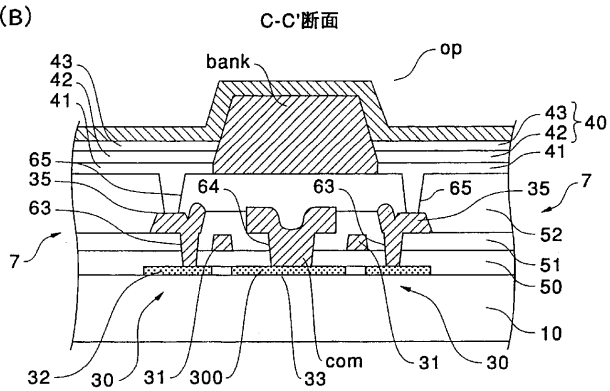


【 図 6 】

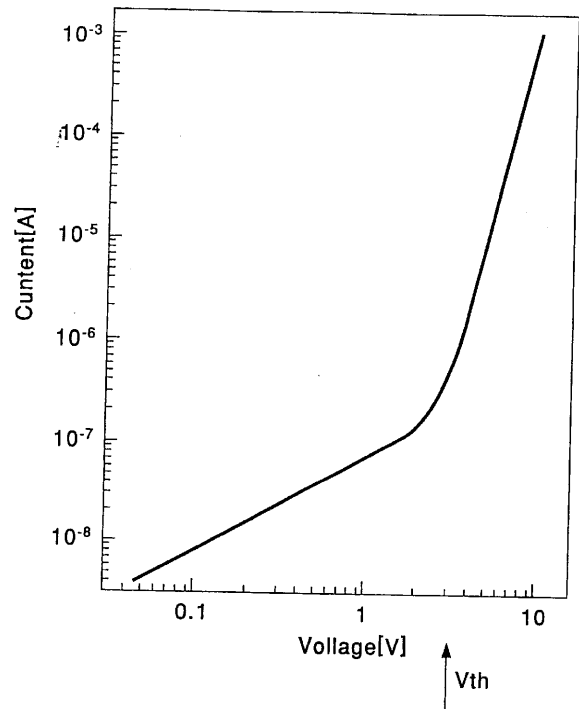
(A)



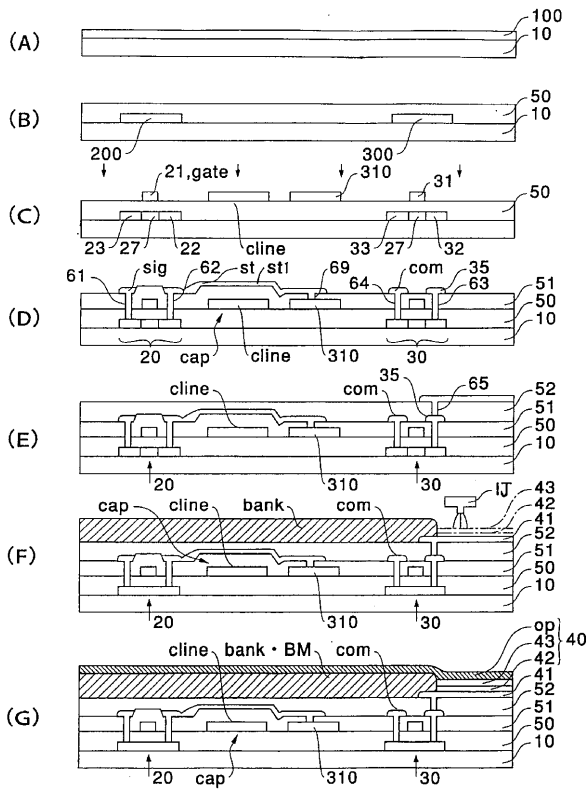
(B)



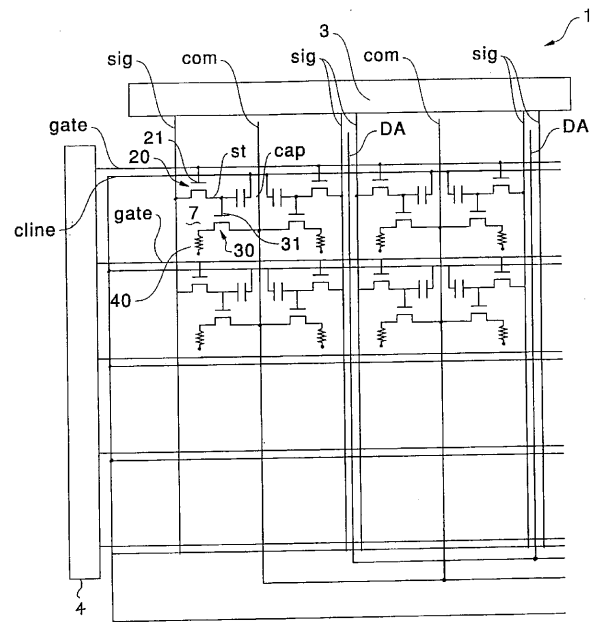
【圖 7】



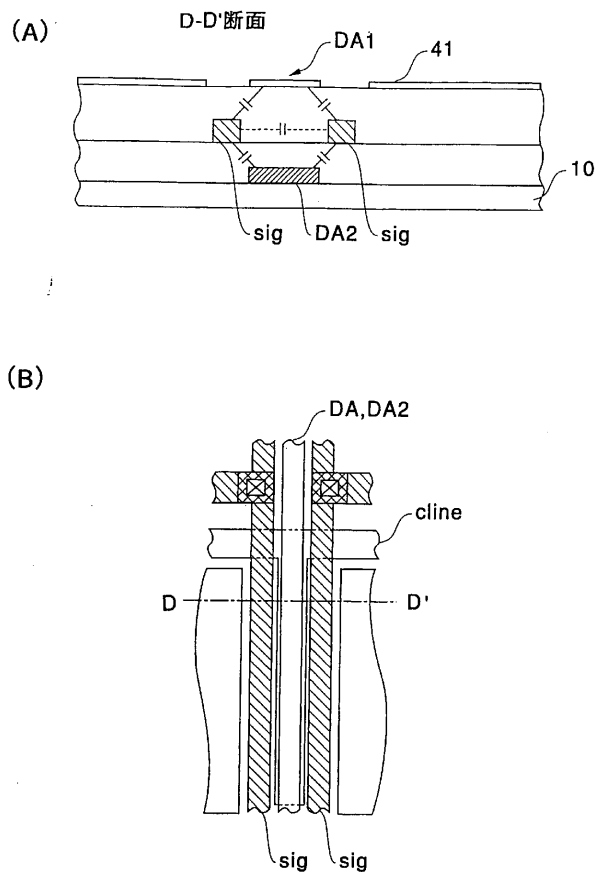
【図 8】



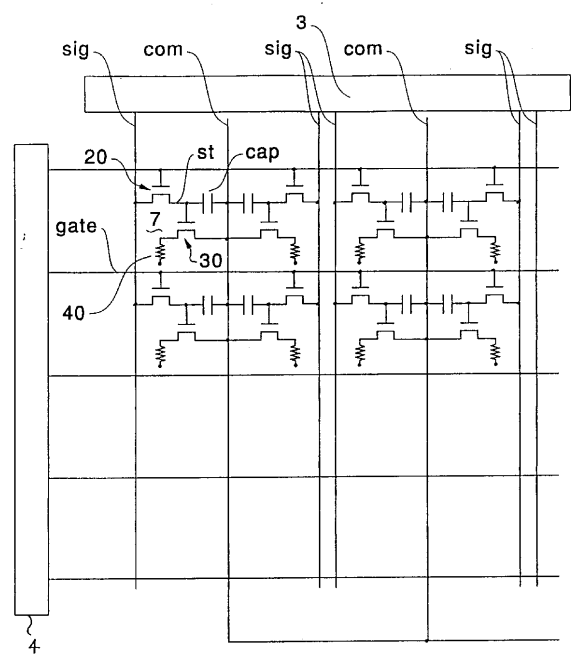
【図 9】



【図 10】

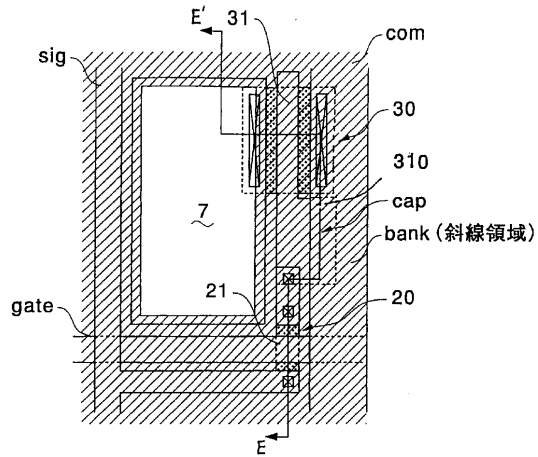


【図 11】

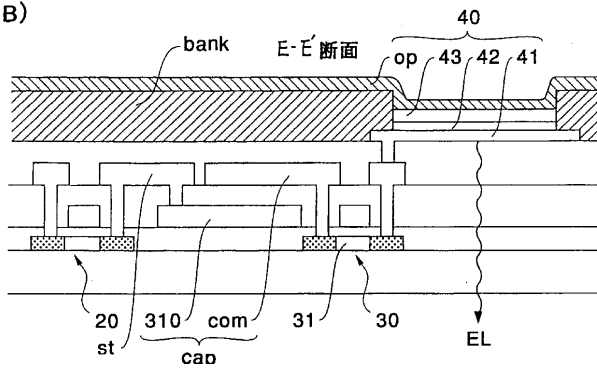


【図 1 2】

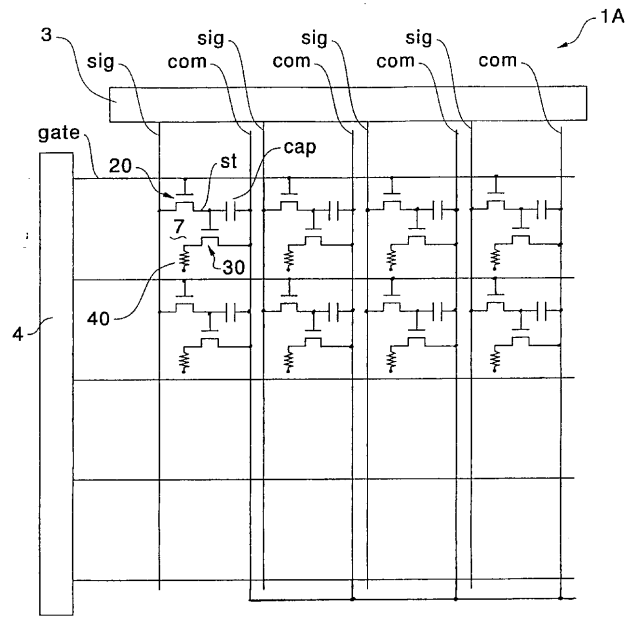
(A)



(B)

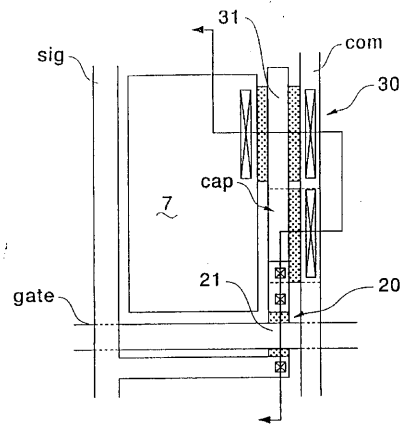


【図 1 3】

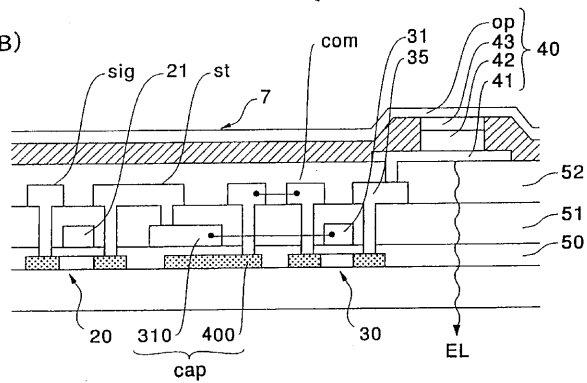


【図 1 4】

(A)



(B)



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 5 B 33/22 Z
H 0 1 L 29/78 6 1 2 B
H 0 1 L 29/78 6 1 9 A

F ターム(参考) 5C094 AA13 AA21 AA48 AA53 BA03 BA23 BA27 CA19 DA09 DA13
DB01 DB04 EA04 EA07 FA01 FA02 FB01 FB02 FB12 FB15
GB10 JA08
5F110 AA02 AA09 BB02 BB04 CC02 DD13 EE03 EE04 EE44 FF02
FF03 FF30 GG02 GG13 GG25 GG45 HJ01 HJ13 NN03 NN05
NN27 NN71 NN73 PP01 PP03 PP05 PP06 QQ11

专利名称(译)	显示装置和有源矩阵基板		
公开(公告)号	JP2004163941A	公开(公告)日	2004-06-10
申请号	JP2003379858	申请日	2003-11-10
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	小澤 徳郎		
发明人	小澤 徳郎		
IPC分类号	H05B33/12 G09F9/30 G09G3/32 H01L27/32 H01L29/786 H01L51/50 H05B33/14 H05B33/22		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0842 H01L27/3246 H01L27/3276 H01L51/5284		
FI分类号	G09F9/30.338 G09F9/30.330.Z G09F9/30.365.Z H05B33/12.B H05B33/14.A H05B33/22.Z H01L29/78.612.B H01L29/78.619.A G09F9/30.330 G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB05 3K007/AB18 3K007/BA06 3K007/CA00 3K007/DB03 3K007/FA01 3K007/GA00 5C094/AA13 5C094/AA21 5C094/AA48 5C094/AA53 5C094/BA03 5C094/BA23 5C094/BA27 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB02 5C094/FB12 5C094/FB15 5C094/GB10 5C094/JA08 5F110/AA02 5F110/AA09 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD13 5F110/EE03 5F110/EE04 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG45 5F110/HJ01 5F110/HJ13 5F110/NN03 5F110/NN05 5F110/NN27 5F110/NN71 5F110/NN73 5F110/PP01 5F110/PP03 5F110/PP05 5F110/PP06 5F110/QQ11 3K107/AA01 3K107/BB01 3K107/CC11 3K107/DD89 3K107/EE04 3K107/EE27 3K107/FF04 3K107/FF15 3K107/GG08 3K107/GG24		
代理人(译)	须泽 修		
其他公开文献	JP3873965B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置，该显示装置能够通过利用用于在基板上限定有机半导体膜的形成区域的堤层来防止电容寄生在数据线或驱动电路上。当在像素区域7中形成用于形成诸如电致发光元件或LED元件的发光元件的有机半导体膜时，在有机半导体膜周围形成由黑色抗蚀剂制成的堤层堤。该堤层堤也形成在将图像信号提供给第一TFT 20的数据线sig与像素区域7中的存储电容器盖和对电极op之间，以防止电容寄生在数据线sig上。要做。[选择图]图4

