

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-125852

(P2004-125852A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int.Cl.⁷

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/20

611H

G09G 3/20

623R

G09G 3/20

624B

G09G 3/20

641D

テーマコード (参考)

3K007

5C080

審査請求 未請求 請求項の数 8 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2002-285706 (P2002-285706)

(22) 出願日 平成14年9月30日 (2002.9.30)

(71) 出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(74) 代理人 100079119

弁理士 藤村 元彦

(72) 発明者 石塚 真一

埼玉県鶴ヶ島市富士見6丁目1番1号 パ

イオニア株式会社総合研究所内

Fターム(参考) 3K007 AB11 AB17 BA06 DB03 GA04

5C080 AA06 BB05 DD05 DD28 EE28

FF11 JJ02 JJ03 JJ04 JJ07

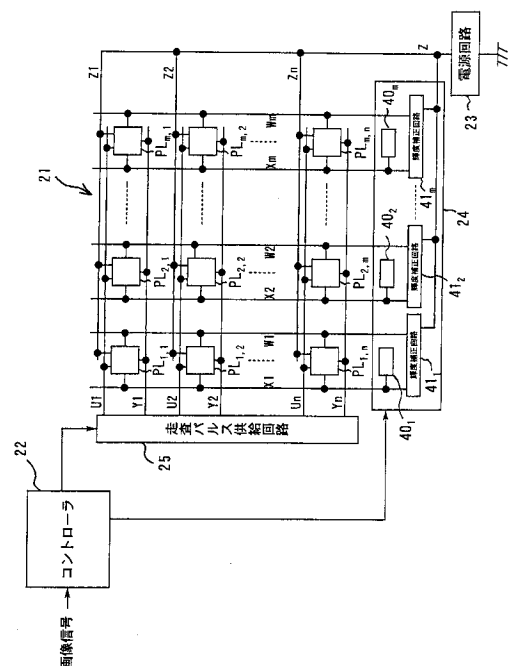
(54) 【発明の名称】 表示パネル及び表示装置

(57) 【要約】

【課題】長時間使用時においても正しい階調表示を行うことができる有機エレクトロルミネセンス素子等の発光素子を配置したアクティブ駆動型の表示パネル、その表示パネルを用いた表示装置及びその表示パネルの駆動方法を提供する。

【解決手段】表示パネルの画素部各々が、データ信号を保持する保持手段と、保持手段に保持されたデータ信号に応じて駆動素子を活性化させてデータ信号に対応した量の駆動電流を発光素子に供給させる画素制御手段とを有し、表示制御手段が、走査期間内において駆動電流を検出する駆動電流検出手段と、走査期間内において駆動電流検出手段によって検出された駆動電流がデータ信号が示す発光輝度に対応した電流に等しくなるように保持手段に保持されたデータ信号を補正するデータ補正手段とを有している。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

各々が発光素子と駆動素子との直列回路からなり複数の群に分けられた複数の画素部を備えたアクティブ駆動型表示パネルであって、
前記複数の画素部各々の直列回路の一端に共通接続された基準電位線と、
前記複数の画素部に共通の第 1 電源線と、
前記複数の群各々に対応して設けられた複数の第 2 電源線と、を有し、
前記複数の画素部各々は、前記直列回路の他端と前記第 1 電源線との間の電氣的接続及び
前記直列回路の他端と前記前記複数の画素部のうちの対応する群の前記第 2 電源線との間の電氣的接続を行うスイッチ手段を有することを特徴とする表示パネル。

10

【請求項 2】

前記スイッチ手段は、前記直列回路の他端と前記第 1 電源線とを電氣的に接続する第 1 スイッチ素子と、前記直列回路の他端と前記複数の画素部のうちの対応する群の前記第 2 電源線とを電氣的に接続する第 2 スイッチ素子とからなることを特徴とする請求項 1 記載の表示パネル。

【請求項 3】

前記表示パネルは、前記群に対応する列として配置された複数のデータ線と、行配置され前記複数のデータ線と互いに交差する複数の走査線とを有し、前記複数のデータ線と前記複数の走査線による複数の交差位置毎に前記画素部が配置され、
前記複数の画素部各々は、キャパシタと、
前記キャパシタがゲートとソースとの間に接続された前記駆動素子としての第 1 電界効果トランジスタと、
アノードが前記第 1 電界効果トランジスタのドレインに接続されかつカソードが前記基準電位線に接続された前記発光素子としての有機エレクトロルミネセンス素子と、
ゲートが前記複数の走査線のうちの対応する行の走査線に接続されソースが前記複数のデータ線のうちの対応する列のデータ線に接続されかつドレインが前記第 1 電界効果トランジスタのゲートに接続された第 2 電界効果トランジスタと、ゲートが前記対応する行の走査線に接続されソースが前記複数の第 2 電源線のうちの対応する列の第 2 電源線に接続されかつドレインが前記第 1 電界効果トランジスタのソースに接続された前記第 2 スイッチ素子としての第 3 電界効果トランジスタと、
ゲートが前記第 3 電界効果トランジスタのゲートのレベルを反転したレベルとなりソースが前記第 1 電源線に接続されかつドレインが前記第 1 電界効果トランジスタのソースに接続された前記第 1 素子としての第 4 電界効果トランジスタと、を有することを特徴とする請求項 1 又は 2 記載の表示パネル。

20

30

【請求項 4】

列配置された複数のデータ線と、行配置され前記複数のデータ線と互いに交差する複数の走査線と、前記複数のデータ線と前記複数の走査線による複数の交差位置毎に発光素子と駆動素子との直列回路からなる画素部とを備えたアクティブ駆動型表示パネルと、
入力画像信号に応じて前記複数の走査線のうちから 1 の走査線を所定のタイミングで順次指定してその 1 の走査線に走査パルスを供給し、前記走査パルスが供給された走査期間内において前記複数のデータ線のうちから前記 1 の走査線上の発光させるべき発光素子に対応するデータ線に発光輝度を示すデータ信号を個別に供給する表示制御手段と、を備えた表示装置であって、
前記画素部各々は、前記データ信号を保持する保持手段と、
前記保持手段に保持された前記データ信号に応じて前記駆動素子を活性化させて前記データ信号に対応した量の駆動電流を前記発光素子に供給させる画素制御手段と、を備え、
前記表示制御手段は、前記走査期間内において前記駆動電流を検出する駆動電流検出手段と、
前記走査期間内において前記駆動電流検出手段によって検出された前記駆動電流が前記データ信号が示す発光輝度に対応した電流に等しくなるように前記保持手段に保持された前

40

50

記データ信号を補正するデータ補正手段と、を備えたことを特徴とする表示装置。

【請求項 5】

前記表示パネルは、前記複数の画素部各々の直列回路の一端に共通接続された基準電位線と、

前記基準電位線との間で電源電圧が印加される第 1 電源線と、

前記複数のデータ線各々に対応して設けられ前記電流検出手段から前記電源電圧に等しい電圧が前記基準電位線との間で印加される複数の第 2 電源線と、を有し、

前記保持手段は、キャパシタからなり、

前記駆動素子は、前記キャパシタがゲートとソースとの間に接続された第 1 電界効果トランジスタからなり、

前記発光素子は、アノードが前記第 1 電界効果トランジスタのドレインに接続されかつカソードが前記基準電位線に接続された有機エレクトロルミネセンス素子からなり、

前記画素制御手段は、ゲートが前記複数の走査線のうちの対応する行の走査線に接続されソースが前記複数のデータ線のうちの対応する列のデータ線に接続されかつドレインが前記第 1 電界効果トランジスタのゲートに接続された第 2 電界効果トランジスタと、

ゲートが前記対応する行の走査線に接続されソースが前記複数の第 2 電源線のうちの対応する列の第 2 電源線に接続されかつドレインが前記第 1 電界効果トランジスタのソースに接続された第 3 電界効果トランジスタと、

ゲートが前記第 3 電界効果トランジスタのゲートのレベルを反転したレベルとなりソースが前記第 1 電源線に接続されかつドレインが前記第 1 電界効果トランジスタのソースに接続された第 4 電界効果トランジスタと、

を有し、

前記走査期間内において前記駆動電流が前記複数の第 2 電源線のうちの対応する列の第 2 電源線、前記第 3 電界効果トランジスタのソース・ドレイン間及び前記第 1 電界効果トランジスタのソース・ドレイン間を介して前記有機エレクトロルミネセンス素子に供給され、前記走査期間外において前記駆動電流が前記第 1 電源線、前記第 4 電界効果トランジスタのソース・ドレイン間及び前記第 1 電界効果トランジスタのソース・ドレイン間を介して前記有機エレクトロルミネセンス素子に供給されることを特徴とする請求項 4 記載の表示装置。

【請求項 6】

前記駆動電流検出手段は、前記画素部に印加される電源電圧に等しい電圧で前記駆動電流を出力するソースフォロワ電源部と、前記ソースフォロワ電源部が出力する駆動電流の電流源となしかつ前記前記駆動電流に等しいミラー電流を検出駆動電流として出力する電流ミラー回路と、からなることを特徴とする請求項 4 記載の表示装置。

【請求項 7】

前記データ補正手段は、前記駆動電流検出手段によって検出された前記駆動電流と所定の電流との差電流を検出する差電流検出手段と、

前記差電流が減少するように補正電圧を出力する補正電圧発生手段と、

前記補正電圧を前記対応する列のデータ線を介して前記画素制御手段に供給する手段と、からなることを特徴とする請求項 4 記載の表示装置。

【請求項 8】

列配置された複数のデータ線と、行配置され前記複数のデータ線と互いに交差する複数の走査線と、前記複数のデータ線と前記複数の走査線による複数の交差位置毎に発光素子と駆動素子との直列回路からなる画素部とを備えたアクティブ駆動型表示パネルの駆動方法であって、

入力画像信号に応じて前記複数の走査線のうちから 1 の走査線を所定のタイミングで順次指定してその 1 の走査線に走査パルスを供給し、前記走査パルスが供給された走査期間内において前記複数のデータ線のうちから前記 1 の走査線上の発光させるべき発光素子に対応するデータ線に発光輝度を示すデータ信号を個別に供給し、

前記画素部各々において前記データ信号を保持し、

10

20

30

40

50

その保持した前記データ信号に応じて前記駆動素子を活性化させて前記データ信号に対応した量の駆動電流を前記発光素子に供給させ、
前記走査期間内において前記駆動電流を検出し、
前記走査期間内において検出した前記駆動電流が前記データ信号が示す発光輝度に対応した電流に等しくなるように前記保持した前記データ信号を補正することを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機エレクトロルミネセンス素子等の発光素子を用いたアクティブ駆動型の表示パネル、その表示パネルを用いた表示装置及びその表示パネルの駆動方法に関する。 10

【0002】

【従来の技術】

現在、画素を担う発光素子として有機エレクトロルミネセンス素子（以下、単にEL素子と称する）を用いた表示パネルを搭載したエレクトロルミネセンス表示装置（以下、EL表示装置と称する）が着目されている。このEL表示装置による表示パネルの駆動方式として、単純マトリクス駆動型と、アクティブマトリクス駆動型が知られている。アクティブマトリクス駆動型のEL表示装置は、単純マトリクス型のものに比べて、低消費電力であり、また画素間のクロストークが少ないなどの利点を有し、特に大画面表示装置や高精細度表示装置用として適している。 20

【0003】

EL表示装置は、図1に示すように、表示パネル1と、表示パネル1を画像信号に応じて駆動する駆動装置2とから構成される。

表示パネル1には、陽極電源線3、陰極電源線4、1画面の垂直（縦）方向に伸張して平行に配列されたm個のデータ線（データ電極） $A_1 \sim A_m$ 、データ線 $A_1 \sim A_m$ と直交して1画面のn個の水平走査線（走査電極） $B_1 \sim B_n$ が各々形成されている。陽極電源線3には駆動電圧 V_c が印加されており、陰極電源線4には接地電位GNDが印加されている。更に、表示パネル1におけるデータ線 $A_1 \sim A_m$ 及び走査線 $B_1 \sim B_n$ の各交差部に、1つの画素を担う画素部 $E_{1,1} \sim E_{m,n}$ が形成されている。

【0004】

画素部 $E_{1,1} \sim E_{m,n}$ 各々は同一の構成であり、図2に示すように構成されている。すなわち、走査線選択用のFET（Field Effect Transistor）11のゲートGには走査線Bが接続され、そのドレインDにはデータ線Aが接続されている。FET11のソースSには発光駆動用トランジスタとしてのFET12のゲートGが接続されている。FET12のソースSには陽極電源線3を介して駆動電圧 V_c が印加されており、そのゲートG及びソースS間にはキャパシタ13が接続されている。更に、FET12のドレインDにはEL素子15のアノード端が接続されている。EL素子15のカソード端には、陰極電源線4を介して接地電位GNDが印加されている。 30

【0005】

駆動装置2は、表示パネル1の走査線 $B_1 \sim B_n$ 各々に順次、択一的に走査パルスを印加して行く。更に、駆動装置2は、走査パルスの印加タイミングに同期させて、各水平走査線に対応した入力画像信号に応じた画素データパルス $DP_1 \sim DP_m$ を発生し、これらをデータ線 $A_1 \sim A_m$ に夫々印加する。画素データパルスDPの各々は、入力画像信号によって示される輝度レベルに応じたパルス電圧を有する。走査パルスの印加された走査線B上に接続されている画素部の各々が画素データの書込対象となる。画素データの書込対象となった画素部E内のFET11は、走査パルスに応じてオン状態となり、データ線Aを介して供給された画素データパルスDPをFET12のゲートG及びキャパシタ13に夫々印加する。FET12は、かかる画素データパルスDPのパルス電圧に応じた発光駆動電流を発生し、これをEL素子15に供給する。この発光駆動電流に応じてEL素子15は、画素データパルスDPのパルス電圧に応じた輝度で発光する。この間、キャパシタ1 40 50

3は、画素データパルスDPのパルス電圧によって充電される。かかる充電動作により、キャパシタ13には、入力画像信号によって示される輝度レベルに応じた電圧が保持され、いわゆる画素データの書き込みが為される。ここで、画素データの書込対象から開放されると、FET11はオフ状態となり、FET12のゲートGに対する画素データパルスDPの供給を停止する。ところが、この間においても、上述した如くキャパシタ13に保持された電圧がFET12のゲートGに印加され続けているので、FET12は、発光駆動電流をEL素子15に流し続ける。

【0006】

各画素部 $E_1, \dots, E_m, \dots, E_n$ のEL素子15の発光輝度は、画素データパルスDPのパルス電圧によって上記したようにキャパシタ13に保持される電圧によって定まる。すなわち、キャパシタ13の保持電圧はFET12のゲート電圧となるので、FET12はゲート・ソース間電圧 V_{gs} に応じた駆動電流（ドレイン電流 I_d ）をEL素子15に流すことになる。FET12のゲート・ソース間電圧 V_{gs} とドレイン電流 I_d との関係は例えば、図3に示す通りである。キャパシタ13の保持電圧のレベルに応じたレベルの駆動電流がEL素子15を流れることはキャパシタ13の保持電圧のレベルに応じた発光輝度となる。よって、EL表示装置における階調表示が可能となっている。

【0007】

【発明が解決しようとする課題】

FET12の如き駆動トランジスタでは、温度変化やトランジスタ自体のばらつきによってゲート・ソース間電圧 V_{gs} とドレイン電流 I_d との関係特性は変化する。例えば、図4に示すように標準特性（破線）に対して特性が変動した場合（実線の特性）には、同一のゲート・ソース間電圧 V_{gs} に対するドレイン電流 I_d が各々異なるので、所望の輝度でEL素子を発光させることができなくなる。

【0008】

階調表示のために要求される輝度変化範囲に対するゲート・ソース間電圧 V_{gs} の電圧変化範囲は予め定められる。ゲート・ソース間電圧 V_{gs} とドレイン電流 I_d との関係特性が標準であるならば、ゲート・ソース間電圧 V_{gs} の電圧変化範囲に対するドレイン電流 I_d の電流変化範囲は図5(a)に示すようになる。図5(a)のドレイン電流 I_d の電流変化範囲が階調表示のために要求される輝度変化範囲に対応した範囲である。一方、その関係特性が変動している場合には、予め定められたゲート・ソース間電圧 V_{gs} の電圧変化範囲に対してドレイン電流 I_d の電流変化範囲は図5(b)及び図5(c)に示すように、図5(a)に示した階調表示のために要求される輝度変化範囲とは異なる。よって、駆動トランジスタの温度変化やトランジスタ自体のばらつきによって入力制御電圧に対する駆動電流特性が変化すると、正しい階調表示が不可能となる。

【0009】

そこで、本発明の目的は、長時間使用時においても正しい階調表示を行うことができる有機エレクトロルミネセンス素子等の発光素子を配置したアクティブ駆動型の表示パネル、その表示パネルを用いた表示装置及びその表示パネルの駆動方法を提供することである。

【0010】

【課題を解決するための手段】

本発明の表示パネルは、各々が発光素子と駆動素子との直列回路からなり複数の群に分けられた複数の画素部を備えたアクティブ駆動型表示パネルであって、複数の画素部各々の直列回路の一端に共通接続された基準電位線と、複数の画素部に共通の第1電源線と、複数の群各々に対応して設けられた複数の第2電源線と、を有し、複数の画素部各々は、直列回路の他端と第1電源線との間の電氣的接続及び直列回路の他端と複数の画素部のうちの対応する群の第2電源線との間の電氣的接続を行うスイッチ手段を有することを特徴としている。

【0011】

本発明の表示装置は、列配置された複数のデータ線と、行配置され複数のデータ線と互いに交差する複数の走査線と、複数のデータ線と複数の走査線による複数の交差位置毎に発

10

20

30

40

50

光素子と駆動素子との直列回路からなる画素部とを備えたアクティブ駆動型表示パネルと、入力画像信号に応じて複数の走査線のうちから１の走査線を所定のタイミングで順次指定してその１の走査線に走査パルスを供給し、走査パルスが供給された走査期間内において複数のデータ線のうちから１の走査線上の発光させるべき発光素子に対応するデータ線に発光輝度を示すデータ信号を個別に供給する表示制御手段と、を備えた表示装置であって、画素部各々は、データ信号を保持する保持手段と、保持手段に保持されたデータ信号に応じて駆動素子を活性化させてデータ信号に対応した量の駆動電流を発光素子に供給させる画素制御手段と、を備え、表示制御手段は、走査期間内において駆動電流を検出する駆動電流検出手段と、走査期間内において駆動電流検出手段によって検出された駆動電流がデータ信号が示す発光輝度に対応した電流に等しくなるように保持手段に保持されたデータ信号を補正するデータ補正手段と、を備えたことを特徴としている。

10

【００１２】

本発明の表示パネルの駆動方法は、列配置された複数のデータ線と、行配置され複数のデータ線と互いに交差する複数の走査線と、複数のデータ線と複数の走査線による複数の交差位置毎に発光素子と駆動素子との直列回路からなる画素部とを備えたアクティブ駆動型表示パネルの駆動方法であって、入力画像信号に応じて複数の走査線のうちから１の走査線を所定のタイミングで順次指定してその１の走査線に走査パルスを供給し、走査パルスが供給された走査期間内において複数のデータ線のうちから１の走査線上の発光させるべき発光素子に対応するデータ線に発光輝度を示すデータ信号を個別に供給し、画素部各々においてデータ信号を保持し、その保持したデータ信号に応じて駆動素子を活性化させてデータ信号に対応した量の駆動電流を発光素子に供給させ、走査期間内において駆動電流を検出し、走査期間内において検出した駆動電流がデータ信号が示す発光輝度に対応した電流に等しくなるように保持したデータ信号を補正することを特徴としている。

20

【００１３】

【発明の実施の形態】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図６は本発明を適用したＥＬ表示装置を示している。この表示装置は、表示パネル２１と、コントローラ２２と、電源回路２３と、データ信号供給回路２４と、走査パルス供給回路２５とを備えている。

【００１４】

表示パネル２１は各々が平行に配置された複数のデータ線 $X_1 \sim X_m$ （ m は２以上の整数）と、複数の走査線 $Y_1 \sim Y_n$ （ n は２以上の整数）と、複数の電源線（第１電源線） $Z_1 \sim Z_n$ とを備えている。表示パネル２１は、更に、複数の走査線 $U_1 \sim U_n$ と複数の電源線（第２電源線） $W_1 \sim W_m$ とを備えている。

30

複数のデータ線 $X_1 \sim X_m$ と複数の電源線 $W_1 \sim W_m$ とは図６に示すように平行に配列されている。同様に、複数の走査線 $Y_1 \sim Y_n$ 、 $U_1 \sim U_n$ と複数の電源線 $Z_1 \sim Z_n$ とは図６に示すように平行に配列されている。複数のデータ線 $X_1 \sim X_m$ 及び複数の電源線 $W_1 \sim W_m$ は複数の走査線 $Y_1 \sim Y_n$ 、 $U_1 \sim U_n$ 及び複数の電源線 $Z_1 \sim Z_n$ の各々と互いに交差している。その交差位置各々に画素部 $PL_{1,1} \sim PL_{m,n}$ が配置され、マトリックス表示パネルが形成されている。電源線 $Z_1 \sim Z_n$ は互いに接続されて１つの陽極電源線 Z となっている。電源線 Z には電源回路２３から電源電圧である駆動電圧 V_A が供給される。表示パネル２１には陽極電源線 $Z_1 \sim Z_n$ 、 Z の他に図示しないが、陰極電源線、すなわちアース線が設けられている。

40

【００１５】

複数の画素部 $PL_{1,1} \sim PL_{m,n}$ 各々は同一の構成を有し、図７に示すように、４つの $FET_{31} \sim 34$ と、キャパシタ３５と、有機ＥＬ素子３６とを備えている。図７に示した画素部ではそこに関係するデータ線を X_i 、電源線を W_i 、走査線を Y_j 、 U_j 、電源線を Z_j としている。 FET_{31} のゲートは走査線 Y_j に接続され、そのソースはデータ線 X_i に接続されている。 FET_{31} のドレインにはキャパシタ３５の一端と FET_{32} のゲートとが接続されている。キャパシタ３５の他端と FET_{32} のソースとは FET

50

33, 34 各々のドレインに接続されている。FET32のドレインはEL素子36のアノードに接続されている。EL素子36のカソードはアース接続されている。

【0016】

FET33のゲートは上記のFET31のゲート共に走査線Yjに接続され、FET33のソースは電源線Wiに接続されている。FET33のドレインは上記のようにFET32のソース、FET34のドレイン及びキャパシタ35の他端に接続されている。

FET34のゲートは走査線Ujに接続され、ソースは電源線Zjに接続されている。

【0017】

表示パネル21は走査線Y1~Yn, U1~Unを介して走査パルス供給回路25に接続され、またデータ線X1~Xm及び電源線W1~Wmを介してデータ信号供給回路24に接続されている。コントローラ22は入力される画像信号に応じて表示パネル21を階調駆動制御するために走査制御信号及びデータ制御信号を生成する。走査制御信号は走査パルス供給回路25に供給され、データ制御信号はデータ信号供給回路24に供給される。 10

【0018】

走査パルス供給回路25は、走査線Y1~Yn, U1~Unに接続されており、走査制御信号に応じて走査パルスを所定のタイミングで走査線Y1~Ynに所定の順番で供給し、走査線U1~Unにはその走査パルスの反転パルスを供給する。1つの走査パルスが発生している期間が1走査期間である。

データ信号供給回路24は、データ線X1~Xm及び電源線W1~Wmに接続されており、データ制御信号に応じて走査パルスが供給される走査線上に位置する画素部各々に対する画素データパルスを生成する。その画素データパルスは発光輝度を示すデータ信号であり、データ信号供給回路24内のm個のバッファメモリ40₁~40_mに保持される。データ信号供給回路24は、そのバッファメモリ40₁~40_m各々から対応するデータ線X1~Xmを介して発光駆動されるべき画素部に対して画素データパルスを供給する。非発光の画素部に対してはEL素子を発光させることがないレベルの画素データパルスを供給する。 20

【0019】

データ信号供給回路24にはm個の輝度補正回路41₁~41_mが備えられ、データ線X1~Xm及び電源線W1~Wmに対応している。

輝度補正回路41₁~41_m各々は同一の構成であり、図8に示すように電流ミラー回路45、電流源46、差動増幅回路47及びソースフォロワ電源部48からなる。図8では図7に示したデータ線Xi、電源線Wi、走査線Yj, Uj、電源線Zjが用いられている。電流ミラー回路45は2つのFET51, 52からなり、電流入力側のFET52に流れる電流量と同量の電流が出力側のFET51を流れる。電流ミラー回路45の電流出力端には電流源46と差動増幅回路47が接続されている。FET51, 52各々のソースには電源電圧VAより高い電圧VBが印加される。 30

【0020】

電流源46は所定値の電流を出力する。所定値は有機EL素子36の発光輝度に応じて定められる。すなわち、一定した輝度で発光させる場合には、所定値は一定値であるが、データ信号レベルに応じて発光輝度を変化させる場合には、所定値は各発光輝度に応じた値となり、コントローラ22によって制御される。 40

差動増幅回路47はオペアンプ61及び抵抗62, 63からなる。差動増幅回路47の非反転入力端子が電流ミラー回路45の電流出力端及び電流源46に接続されている。抵抗62は差動増幅回路47の非反転入力端子とアースとの間に接続され、抵抗63は差動増幅回路47の非反転入力端子と出力端子との間に接続されている。差動増幅回路47の反転入力端子はアース接続されている。差動増幅回路47の出力端子はデータ線Xiに接続されている。ソースフォロワ電源部48はオペアンプ65及び2つのFET66, 67からなる。FET66, 67はインバータを構成し、FET66はPチャンネルのFETであり、FET67はNチャンネルのFETである。FET66のソースは上記の電流ミラー回路45の電流入力端に接続されている。共通接続されたFET66, 67の各ゲート 50

はオペアンプ 65 の出力端子に接続されている。FET 66 のドレインと FET 67 のソースとの接続ラインはオペアンプ 65 の反転入力端子と電源線 W_i に接続されている。FET 67 のドレインはアース接続されている。オペアンプ 65 の非反転入力端子には電源回路 23 から電源電圧 V_A が供給される。

【0021】

次に、図 7 及び図 8 の回路の動作について図 9 及び図 10 を参照して説明する。ここでは、表示パネル 21 の特に j ライン（走査線 Y_j ）を走査して EL 素子 36 を発光させるときの動作を説明する。

コントローラ 22 は図 9 に示すように、画像信号に応じて j ラインのための走査制御信号を走査パルス供給回路 25 に供給し（ステップ S1）、 j ラインのデータ制御信号をデータ信号供給回路 24 に供給する（ステップ S2）。これによって走査パルス供給回路 25 からは走査線 Y_j に走査パルスが供給され、その走査パルスの反転パルスが走査線 U_j に供給される。データ信号供給回路 24 において画素データパルスが上記のバッファメモリ（ $40_1 \sim 40_m$ のうちの 40_i ：図示せず）に保持されてそれが電流源 46 に供給される。走査パルスは図 10 に示すように、1 走査期間に亘って高レベルとなるパルスである。反転パルスは 1 走査期間において低レベルとなる。画素データパルスは EL 素子 36 に流す駆動電流に対応したパルス電圧を有する。

【0022】

一方、走査パルスは FET 31, 33 各々のゲートに供給されるので、FET 31, 33 はオンとなる。反転パルスは FET 34 のゲートに供給されるので、FET 34 はオフとなる。

FET 33 のオンによって電源線 W_i の電圧 V_A が FET 33 のソース・ドレイン間を介して FET 32 のソースに供給される状態となる。

【0023】

FET 31 のオンによって画素データパルスはデータ線 X_i 及び FET 31 のソース・ドレイン間を介して FET 32 のゲート及びキャパシタ 35 に印加される。FET 32 がオンされることによって電源線 W_i の電圧 V_A による駆動電流が FET 32 のソース・ドレイン間を介して EL 素子 36 に流れる。これによって EL 素子 36 は発光する。また、キャパシタ 35 は充電され、画素データパルスの電圧に応じた充電電圧になる。

【0024】

このとき EL 素子 36 に流れる駆動電流は電流ミラー回路 45 の FET 52 からソースフォロワ電源部 48 の FET 66、電源線 W_i 、FET 33 及び FET 32 を介して流れる。電流ミラー回路 45 の FET 51 は FET 52 の出力電流である駆動電流に等しいミラー電流を出力する。ミラー電流は電流源 46 に流れ込むが、所定値より大の電流であるならば、所定値を越える分の電流は差動増幅回路 47 に流れ込む。所定値より小の電流であるならば、その足りない電流分は差動増幅回路 47 から電流源 46 に流れ込む。差動増幅回路 47 の出力電圧はデータ線 X_i に印加されるので、駆動電流が所定値に等しくなるように画素データパルスの電圧レベルが補正される。

【0025】

ここで、駆動電流を I_d 、電流源 46 の所定値の電流を I_r とすると、 $I_d > I_r$ であれば、電流 $I_d - I_r$ が電流ミラー回路 45 の FET 51 から差動増幅回路 47 に流れ込み、差動増幅回路 47 の出力電圧、すなわちデータ線 X_i の電圧は高くなる。このデータ線 X_i の電圧は FET 31 を介して FET 32 のゲート及びキャパシタ 35 の一端に印加される。FET 32 のソース電圧は V_A で一定であるので、FET 32 のゲート・ソース間電圧であるキャパシタ 35 の端子間電圧が低下する。よって、駆動電流 I_d が減少して所定値の電流 I_r に等しくなり、EL 素子 36 は所定の輝度で発光する。一方、 $I_d < I_r$ であれば、電流 $I_r - I_d$ が差動増幅回路 47 から電流源 46 に流れ込み、差動増幅回路 47 の出力電圧、すなわちデータ線 X_i の電圧は低くなる。このデータ線 X_i の電圧は FET 31 を介して FET 32 のゲート及びキャパシタ 35 の一端に印加される。FET 32 のソース電圧は V_A で一定であるので、FET 32 のゲート・ソース間電圧であるキャ

10

20

30

40

50

パシタ 35 の端子間電圧が上昇する。よって、駆動電流 I_d が増加して所定値の電流 I_r に等しくなり、EL 素子 36 は所定の輝度で発光する。

【0026】

j ラインの走査期間が終了すると、j ラインは発光維持期間となる。発光維持期間になると、走査パルス供給回路 25 は走査線 Y_j に供給されていた走査パルスを消滅させるので、FET 31, 33 がオフとなる。走査パルスの消滅と同時に反転パルスが消滅し、走査線 U_j のレベルは高レベルとなるので、FET 34 はオンとなる。データ信号供給回路 24 はデータ線 X_i に供給されていた画素データパルスの保持をリセットする。

【0027】

キャパシタ 35 はその充電電圧である端子間電圧を維持するので、FET 32 は所定値の電流 I_r に等しい駆動電流 I_d を EL 素子 36 に供給し続けて EL 素子 36 を発光させる。この発光維持期間においては電源線 Z_j から FET 34 のソース・ドレイン間及び FET 32 のソース・ドレイン間を介して EL 素子 36 に駆動電流 I_d は流れる。キャパシタ 35 の端子間電圧が走査期間に補正された場合にはその補正後の電圧で発光維持期間においてもキャパシタ 35 の端子間電圧は維持されるので、EL 素子 36 の発光輝度も走査期間終了直前の所定の輝度のまま維持される。j ライン上の画素部各々は次の走査期間の開始までは発光維持期間となる。

【0028】

コントローラ 22 は j ラインの走査期間が終了すると（ステップ S3）、次の $j+1$ ラインの走査期間の動作に移行する（ステップ S4）。n ライン分の走査期間が終了すると、1 ラインの走査期間の動作に移行する。各走査期間における動作は上記したステップ S1 ~ S3 に示した動作と同一であり、走査期間毎に上記したステップ S1 ~ S3 が実行される。

【0029】

従って、上記した実施例によれば、製造上のバラツキ、環境温度の変化又は累積発光時間等により EL 素子の内部抵抗値が変動してしまっても、表示パネル 21 の画面全体の輝度レベルを常に所望の輝度範囲内に維持させることができるのである。

なお、上記した実施例においては、発光素子として有機 EL 素子を用いた表示装置を示したが、発光素子としてはこれに限らず、他の発光素子を用いた表示装置に本発明を適用しても良い。

【0030】

また、上記した実施例においては、画素部の FET 31, 33 のゲートには走査線 Y_j を介して走査パルスが供給され、FET 34 のゲートには走査線 U_j を介して反転パルスが供給されるが、FET 31, 33, 34 各々に独立した走査線を介して各パルスを供給しても良い。また、走査線 U_j を設けず、画素部内で走査パルスをインバータによって反転させて反転パルスを生成し、それを FET 34 のゲートに供給しても良い。

【0031】

以上の如く、画素部各々が、データ信号を保持する保持手段と、保持手段に保持されたデータ信号に応じて駆動素子を活性化させてデータ信号に対応した量の駆動電流を発光素子に供給させる画素制御手段とを有し、表示制御手段が、走査期間内において駆動電流を検出する駆動電流検出手段と、走査期間内において駆動電流検出手段によって検出された駆動電流がデータ信号が示す発光輝度に対応した電流に等しくなるように保持手段に保持されたデータ信号を補正するデータ補正手段とを有しているので、長時間使用時においても正確に階調表示を行うことができる。

【図面の簡単な説明】

【図 1】従来の EL 表示装置の構成を示すブロック図である。

【図 2】図 1 の画素部の構成を示す回路図である。

【図 3】画素部の FET のゲート・ソース間電圧 - ドレイン電流特性を示す図である。

【図 4】ゲート・ソース間電圧 - ドレイン電流特性の変動を示す図である。

【図 5】ゲート・ソース間電圧の変化範囲に対するドレイン電流の変化範囲を示す図であ

る。

【図 6】本発明を適用した表示装置の構成を示すブロック図である。

【図 7】図 6 の装置中の画素部の構成を示す回路図である。

【図 8】図 6 の装置中の輝度補正回路を示す図である。

【図 9】コントローラの各走査期間の動作を示すフローチャートである。

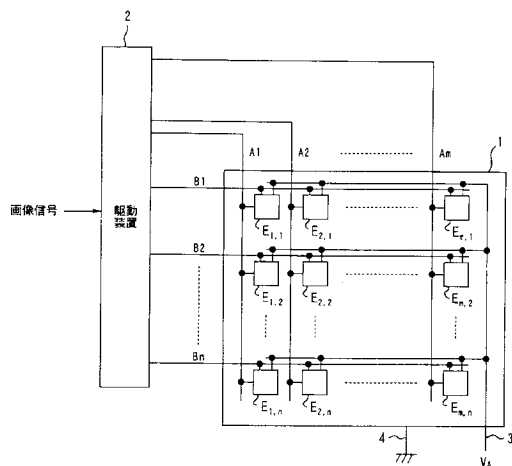
【図 10】走査パルス及び反転パルスを示す図である。

【符号の説明】

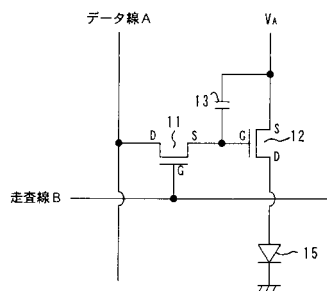
- 1, 21 表示パネル
- 22 コントローラ
- 24 データ信号供給回路
- 25 走査パルス供給回路
- 45 電流ミラー回路
- 46 電流源
- 47 差動増幅回路
- 48 ソースフォロウ電源部

10

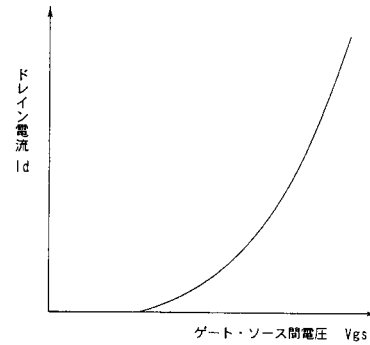
【図 1】



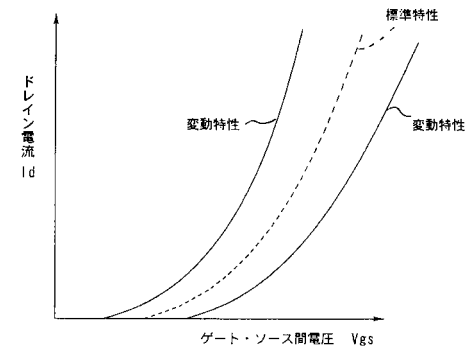
【図 2】



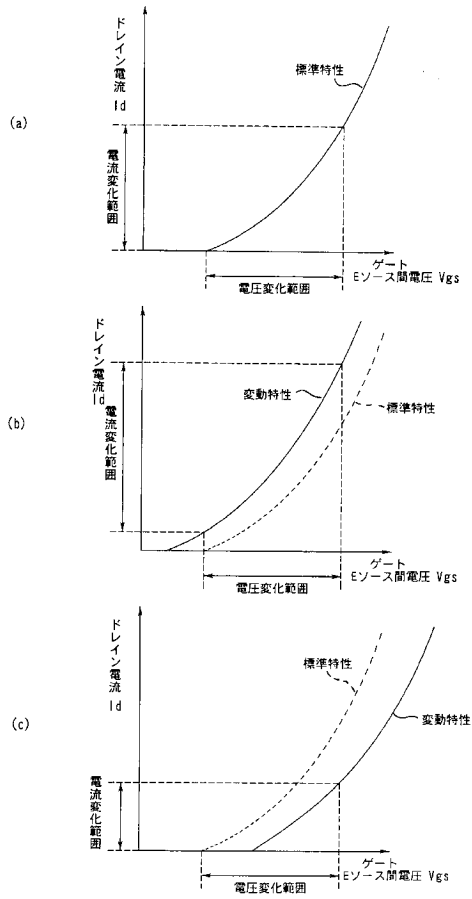
【図 3】



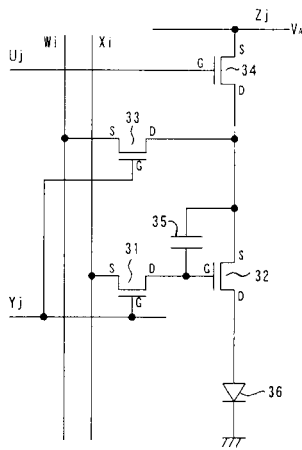
【図 4】



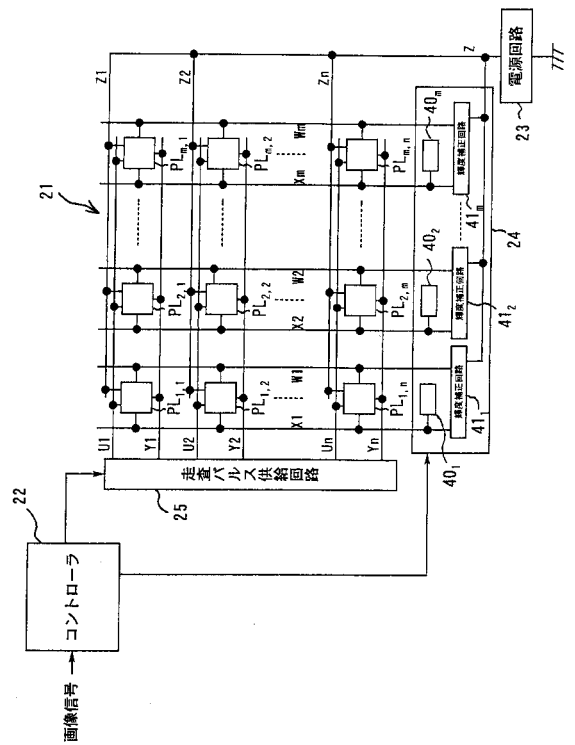
【図 5】



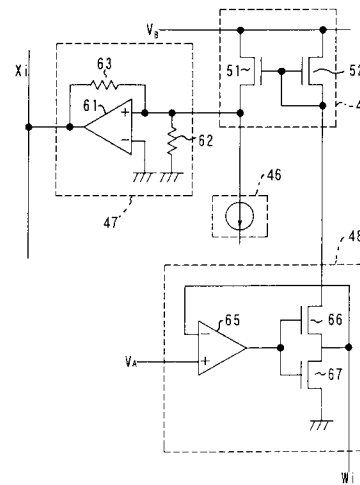
【図 7】



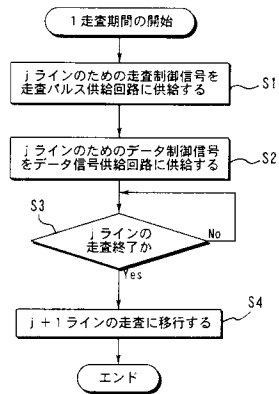
【図 6】



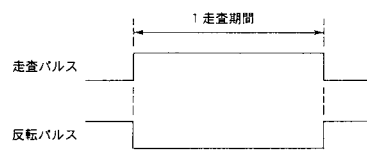
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 1 P

H 0 5 B 33/14 A

专利名称(译)	显示面板和显示设备		
公开(公告)号	JP2004125852A	公开(公告)日	2004-04-22
申请号	JP2002285706	申请日	2002-09-30
[标]申请(专利权)人(译)	日本先锋公司		
申请(专利权)人(译)	先锋公司		
[标]发明人	石塚真一		
发明人	石塚 真一		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/3233 G09G3/3291 G09G2300/0842 G09G2300/0861 G09G2320/029 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.623.R G09G3/20.624.B G09G3/20.641.D G09G3/20.641.P H05B33/14.A G09G3/20.642.A G09G3/20.642.P G09G3/20.670.J G09G3/30.K G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB11 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07 3K107/AA01 3K107/BB01 3K107/CC21 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB46 5C380/BA38 5C380/BA39 5C380/BD04 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC09 5C380/CC52 5C380/CC61 5C380/CC63 5C380/CD014 5C380/CF26 5C380/CF27 5C380/CF28 5C380/CF41 5C380/DA02 5C380/DA06		
代理人(译)	藤村元彦		
其他公开文献	JP4230746B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有源驱动型显示面板，其中即使在长时间使用时也执行诸如有机电致发光元件的发光元件，其执行正确的灰色阴影显示，并且还安排提供一种使用显示面板的显示装置和显示面板的驱动方法。解决方案：显示面板的每个像素部分设置有利于保持数据信号的保持装置和用于激活与保持装置中保持的数据信号对应的驱动元件并提供与其对应的量的驱动电流的像素控制装置。数据信号发送到发光元件。显示控制装置具有：驱动电流检测装置，用于检测扫描周期内的驱动电流；和数据校正装置，用于校正保持装置中保持的数据信号，使得驱动电流检测装置检测到的驱动电流。扫描周期变得等于与数据信号表示的发光亮度相对应的电流。Z

