(19)日本国特許庁(JP)　　(12)公開特許公報(A)　　(11)特許出願公開番号
特開2004-109977
(P2004-109977A)
(43)公開日　平成16年4月8日(2004.4.8)

(51) Int.Cl.[7]	F I			テーマコード（参考）
G09G 3/30	G09G	3/30	J	3K007
G09G 3/20	G09G	3/20	611H	5C080
H01L 29/786	G09G	3/20	611J	5F110
H05B 33/14	G09G	3/20	624B	
	G09G	3/20	641D	

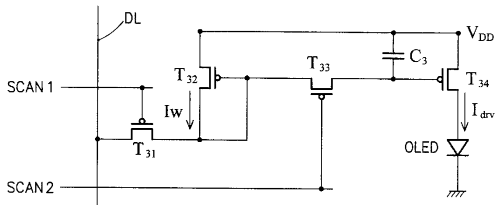
審査請求 未請求　請求項の数 19　ＯＬ　（全 11 頁）　最終頁に続く

(21) 出願番号　特願2003-145365 (P2003-145365)
(22) 出願日　平成15年5月22日 (2003.5.22)
(31) 優先権主張番号　91121426
(32) 優先日　平成14年9月19日 (2002.9.19)
(33) 優先権主張国　台湾 (TW)

(71) 出願人　390023582
財団法人工業技術研究院
台湾新竹縣竹東鎮中興路四段１９５號
(74) 代理人　100065226
弁理士　朝日奈　宗太
(74) 代理人　100098257
弁理士　佐木　啓二
(74) 代理人　100117112
弁理士　秋山　文男
(74) 代理人　100117123
弁理士　田中　弘
(72) 発明者　施　俊任
台湾彰化縣秀水郷彰水路２段３０５号
(72) 発明者　陳　尚立
台湾新竹市金城一路６２号４樓
最終頁に続く

(54)【発明の名称】アクティブマトリクス有機発光ダイオードの画素構造

(57)【要約】
【課題】ＯＬＥＤに安定、かつ正確に電流を提供することができ、製造上の変動の影響を受けないアクティブマトリクスＯＬＥＤの画素構造を提供する。
【解決手段】第一スイッチングトランジスタは、第一スキャンラインに結合された制御端子と、データラインＤＬに結合された第一端子とを備える。第一Ｐ型トランジスタは互いに結合されたドレイン端子とゲート端子と、電源に結合されたソース端子とを備え、ドレイン端子は第一スイッチングトランジスタの第二端子に結合されている。第二スイッチングトランジスタは第一Ｐ型トランジスタのゲート端子に結合される第一端子と、第二スキャンラインに結合される制御端子とを備える。第二Ｐ型トランジスタは、電源に結合されたソース端子と、第二スイッチングトランジスタの第二端子に結合されたゲート端子とを備える。保持容量は、電源と第二Ｐ型トランジスタのゲート端子間に結合される。ＯＬＥＤは第二Ｐ型トランジスタのドレイン端子に結合された陽極と、接地に結合された陰極とを備える。
【選択図】　図１



【特許請求の範囲】
【請求項１】
アクティブマトリクス有機発光ダイオードの画素構造であって、
第一スキャンラインに結合された制御端子と、データラインに結合された第一端子とを備える第一スイッチング装置と、
互いに結合されたドレイン端子とゲート端子と、電源に結合されたソース端子とを備え、前記ドレイン端子は前記第一スイッチング装置の第二端子に結合されている第一Ｐ型トランジスタと、
前記第一Ｐ型トランジスタの前記ゲート端子に結合される第一端子と、第二スキャンラインに結合される制御端子とを備える第二スイッチング装置と、
前記電源に結合されたソース端子と、前記第二スイッチング装置の第二端子に結合されたゲート端子とを備える第二Ｐ型トランジスタと、
前記電源と前記第二Ｐ型トランジスタの前記ゲート端子間に結合される保持容量と、
前記第二Ｐ型トランジスタのドレイン端子に結合された陽極と、接地に結合された陰極とを備える有機発光ダイオード
からなることを特徴とする画素構造。
【請求項２】
前記第二スイッチング装置の前記第二端子と前記第二Ｐ型トランジスタの前記ゲート端子間に結合された二つの端子と、補償スキャンラインに結合された第三端とを有する容量性素子をさらに備え、第二スキャンラインが非アクティブのとき、前記補償スキャンラインが起動し、前記第二スキャンラインが起動するとき、前記補償スキャンラインは起動しない請求項１記載の画素構造。
【請求項３】
前記容量性素子が、前記第二スイッチング装置の第二端子、前記第二Ｐ型トランジスタの前記ゲート端子にそれぞれ結合されたソース端子、ドレイン端子と、前記補償スキャンラインに結合されたゲート端子とを備えるダミートランジスタであって、前記ダミートランジスタの前記ソース端子と前記ドレイン端子が互いに結合される特徴とする請求項２記載の画素構造。
【請求項４】
前記ダミートランジスタの大きさが前記第二スイッチング装置の大きさの半分である請求項３記載の画素構造。
【請求項５】
前記第二スイッチング装置の前記第一端子と前記第二端子とにそれぞれ結合された二端と、補償スキャンラインに結合された制御端子とを有する第三スイッチング装置をさらに備え、前記第二スイッチング装置がＣＭＯＳを構築し、第二スキャンラインが非アクティブのとき、前記補償スキャンラインは起動し、前記第二スキャンラインが起動するとき、前記補償スキャンラインは起動しない請求項１記載の画素構造。
【請求項６】
前記第一スイッチング装置が、Ｎ型薄膜トランジスタである請求項１記載の画素構造。
【請求項７】
前記第一スイッチング装置が、Ｐ型薄膜トランジスタである請求項１記載の画素構造。
【請求項８】
前記第二スイッチング装置が、Ｎ型薄膜トランジスタである請求項１記載の画素構造。
【請求項９】
前記第二スイッチング装置が、Ｐ型薄膜トランジスタである請求項１記載の画素構造。
【請求項１０】
前記第二トランジスタがＰ型薄膜トランジスタであるとき、前記第三スイッチング装置は、Ｎ型薄膜トランジスタである請求項５記載の画素構造。
【請求項１１】
前記第二トランジスタがＮ型薄膜トランジスタであるとき、前記第三スイッチング装置は

、Ｐ型薄膜トランジスタである請求項５記載の画素構造。
【請求項１２】
アクティブマトリクス有機発光ダイオードの画素構造であって、
第一スキャンラインに結合された制御端子と、データラインに結合された第一端子とを備える第一スイッチング装置と、
互いに結合されたドレイン端子とゲート端子と、電源に結合されたソース端子とを備え、前記ドレイン端子が前記第一スイッチング装置の第二端子に結合されている第一Ｐ型トランジスタと、
前記第一Ｐ型トランジスタの前記ゲート端子に結合される第一端子と、第二スキャンラインに結合される制御端子とを備える第二スイッチング装置と、
前記電源に結合されたソース端子を備える第二Ｐ型トランジスタと、
前記第二スイッチング装置の第二端子、前記第二Ｐ型トランジスタの前記ゲート端子にそれぞれ結合されたソース端子、ドレイン端子と、補償スキャンラインに結合されたゲート端子とを備えるダミートランジスタであって、前記ダミートランジスタの前記ソース端子と前記ドレイン端子は互いに結合され、前記第二スイッチング装置の半分の大きさを有し、第二スキャンラインが非アクティブのとき、前記補償スキャンラインが起動し、前記第二スキャンラインが起動するとき、前記補償スキャンラインは起動しないダミートランジスタと、
前記電源と前記第二Ｐ型トランジスタのゲート端子間に結合される保持容量と、前記第二Ｐ型トランジスタのドレイン端子に結合された陽極と、接地に結合された陰極とを備えるＯＬＥＤ
からなることを特徴とする画素構造。
【請求項１３】
前記第一スイッチング装置がＮ型薄膜トランジスタで、前記第二スイッチング装置がＰ型薄膜トランジスタである請求項１記載の画素構造。
【請求項１４】
前記第一スイッチング装置がＰ型薄膜トランジスタで、前記第二スイッチング装置はＮ型薄膜トランジスタである請求項１記載の画素構造。
【請求項１５】
アクティブマトリクス有機発光ダイオードの画素構造であって、
第一スキャンラインに結合された制御端子と、データラインに結合された第一端子とを備える第一スイッチング装置と、
互いに結合されたドレイン端子とゲート端子と、電源に結合されたソース端子とを備え、前記ドレイン端子は前記第一スイッチング装置の第二端子に結合されている第一Ｐ型トランジスタと、
前記第一Ｐ型トランジスタの前記ゲート端子に結合される第一端子と、第二スキャンラインに結合される制御端子とを備える第二スイッチング装置と、
前記第二スイッチング装置の前記第一端子と前記第二端子とにそれぞれ結合された二つの端子と、補償スキャンラインに結合された制御端子とを備える第三スイッチング装置であって、前記第二および第三スイッチング装置はＣＭＯＳスイッチング装置を構築し、第二スキャンラインが非アクティブのとき、前記補償スキャンラインが起動し、前記第二スキャンラインが起動するとき、前記補償スキャンラインは起動しない第三スイッチング装置と、
前記電源に結合されたソース端子と、前記第二スイッチング装置の第二端子に結合されたゲート端子とを備える第二Ｐ型トランジスタと、
前記電源と前記第二Ｐ型トランジスタの前記ゲート端子間に結合される保持容量と、
前記第二Ｐ型トランジスタのドレイン端子に結合された陽極と、接地に結合された陰極とを備えるＯＬＥＤ
からなることを特徴とする画素構造。
【請求項１６】

前記第一スイッチング装置が、Ｎ型薄膜トランジスタである請求項１５記載の画素構造。
【請求項１７】
前記第一スイッチング装置が、Ｐ型薄膜トランジスタで請求項１５記載の画素構造。
【請求項１８】
前記第二スイッチング装置は、Ｎ型薄膜トランジスタで、前記第三スイッチング装置は、Ｐ型薄膜トランジスタである請求項１５記載の画素構造。
【請求項１９】
前記第二スイッチング装置が、Ｐ型薄膜トランジスタで、前記第三スイッチング装置が、Ｎ型薄膜トランジスタである請求項１５記載の画素構造。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、画素構造に関し、とくにアクティブマトリクス有機発光ダイオード（ａｃｔｉｖｅ　ｍａｔｒｉｘ　ｏｒｇａｎｉｃ　ｌｉｇｈｔ　ｅｍｉｔｔｉｎｇ　ｄｉｏｄｅ、ＡＭＯＬＥＤ）の電流プログラム画素構造に関する。
【０００２】
【従来の技術】
一般に、アクティブマトリクスディスプレイにおいて、イメージ（ないしは画像）はマトリクス中の大量の画素により表示され、各画素の輝度は輝度データにより制御される（例えば、特許文献１参照）。
【０００３】
図９は、ＡＭＯＬＥＤの従来の画素構造１０を示す図である。スキャンライン（ないしは走査線）ＳＬがプログラム状態で起動するとき、トランジスタ$Ｔ_1$はオンになり、データラインＤＬは特定の駆動トランジスタ$Ｔ_2$に供給する電流を流出または流入させる。一方、トランジスタ$Ｔ_2$のゲート－ソース電圧が調整されて、保持容量$Ｃ_1$に記憶される。スキャンラインＳＬが非アクティブの、再生状態（ｒｅｐｒｏｄｕｃｔｉｏｎ　ｓｔａｔｅ）と称されるつぎの状態において、トランジスタ$Ｔ_1$はオフになり、トランジスタ$Ｔ_2$はデータラインＤＬと絶縁される。保持容量$Ｃ_1$に記憶されたゲート－ソース電圧は、有機発光ダイオード（以下、ＯＬＥＤという）の電流を再生し、発光させる。従来の画素構造中、各駆動トランジスタ$Ｔ_2$のスレッショルド電圧は、製造工程上の不均一性のために変動し、この変動は、ＯＬＥＤを通過する出力駆動電流の大きな変化を生じ、各ＯＬＥＤの輝度は不統一となり、均一性を損なう。
【０００４】
そのため、図１０で示される改善された画素構造２０が使われている。スキャンラインＳＣＡＮ１およびＳＣＡＮ２がプログラム状態で起動するとき、トランジスタ$Ｔ_3$および$Ｔ_4$はオンになり、データラインＤＬはトランジスタ$Ｔ_5$により供給する電流を流出または流入させ、駆動電流はＯＬＥＤを流れて、トランジスタ$Ｔ_5$および$Ｔ_6$からなる電流ミラー構造（ｃｕｒｒｅｎｔ　ｍｉｒｒｏｒ　ｓｔｒｕｃｔｕｒｅ）のため、保持容量$Ｃ_2$は充電されるか、放電される。再生状態において、スキャンラインＳＣＡＮ１とＳＣＡＮ２が非アクティブのとき、トランジスタ$Ｔ_3$および$Ｔ_4$はオフになり、トランジスタ$Ｔ_6$は、データラインＤＬと絶縁され、トランジスタ$Ｔ_5$のゲート－ソース電圧は、保持容量$Ｃ_2$により記憶される。この構造に基づいて、トランジスタ$Ｔ_5$を流れる電流は、
【０００５】
【数１】

$$I_5 = k(Vgs - Vt)^2 \times \frac{W_5}{L_5}$$ および

$$I_{OLED} = k(Vgs - Vt)^2 \times \frac{W_6}{L_6} \qquad k = \frac{\mu Cox}{2}$$

よって、$$\frac{I_{OLED}}{I_5} = \frac{(W_6 \times L_5)}{(W_5 \times L_6)}$$ そののち、駆動電流はOLEDに流れ、

$$I_{OLED} = I_5 \times \frac{(W_6 \times L_5)}{(W_5 \times L_6)}$$

【０００６】
よって、駆動電流は、トランジスタT_5およびT_6の大きさにしたがって、ＯＬＥＤに流れ、トランジスタのスレッショルド電圧、プロセスの変化とは関係がない。
【０００７】
電流プログラム画素構造２０において、スキャンラインＳＬが非アクティブのとき、トランジスタT_5のドレイン端子の電圧はＶＤＤまで増加し、トランジスタT_5の電圧は、ゲート端子とドレイン端子間の寄生容量により、保持容量C_2に結合される。これにより、ＯＬＥＤを流れる出力駆動電流が変化する。
【０００８】
【特許文献１】
国際公開第０１／０６４８４号パンフレット
【０００９】
【発明が解決しようとする課題】
本発明は、ＯＬＥＤに安定、かつ正確に電流を提供することができ、製造上の変動の影響を受けない電流プログラムＡＭＯＬＥＤ画素構造を提供することを目的とする。
【００１０】
【課題を解決するための手段】
本発明は、スイッチングトランジスタにより生じるスイッチ効果を改善することができる電流プログラムＡＭＯＬＥＤ画素構造を提供し、信頼性を向上する。
【００１１】
本発明において、第一スイッチングトランジスタは、第一スキャンラインに結合された制御端子と、データラインＤＬに結合された第一端子とを備える。第一Ｐ型トランジスタは互いに結合されたドレイン端子とゲート端子と、電源に結合されたソース端子とを備え、ドレイン端子は第一スイッチングトランジスタの第二端子に結合されている。第二スイッチングトランジスタは第一Ｐ型トランジスタのゲート端子に結合される第一端子と、第二スキャンラインに結合される制御端子とを備える。第二Ｐ型トランジスタは、電源に結合されたソース端子と、第二スイッチングトランジスタの第二端子に結合されたゲート端子とを備える。保持容量は、電源と第二Ｐ型トランジスタのゲート端子間に結合される。ＯＬＥＤは第二Ｐ型トランジスタのドレイン端子に結合された陽極と、接地に結合された陰極とを備える。
【００１２】
【発明の実施の形態】
前述した本発明の目的、特徴、および長所をいっそう明瞭にするため、以下に本発明の好ましい実施の形態をあげ、図を参照しつつさらに詳しく説明する。
【００１３】
図１は、本発明のＡＭＯＬＥＤの画素構造を示す図である。図１で示されるように、スイッチングトランジスタT_{31}は、データラインＤＬに結合された第一端子と、スキャンラインＳＣＡＮ１に結合された制御端子とを備える。スイッチングトランジスタT_{32}は、

ソース端子とトランジスタT_{31}の第二端子に結合されたドレイン端子と、電源ＶＤＤに結合されたソース端子とを備える。スイッチングトランジスタT_{33}は、トランジスタT_{32}のゲート端子に結合された第一端子と、第二スキャンラインＳＣＡＮ２に結合された制御端子とを備える。スイッチングトランジスタT_{34}は、電源ＶＤＤに結合されたソース端子と、スイッチングトランジスタT_{33}の第二端子に結合されたゲート端子とを備える。保持容量C_3は、電源ＶＤＤとスイッチングトランジスタT_{34}のゲート端子間に結合される二つの端子を備えている。ＯＬＥＤは、Ｐ型トランジスタT_{34}のドレイン端子に結合された陽極と、接地に結合された陰極とを備える。

【００１４】

スイッチングトランジスタT_{31}は、スキャンラインＳＣＡＮ１により、画素構造とデータラインＤＬ間の電気的接続を制御し、電流ＩｗはスイッチングトランジスタT_{32}に流れる。スイッチングトランジスタT_{32}は、プログラム状態のとき、トランジスタT_{32}のゲート端子と、スイッチングトランジスタT_{34}のゲート端子を電気的に接続する。スイッチングトランジスタT_{34}は、ゲート端子上の保持容量C_3に記憶された電圧にしたがって、対応する駆動電流Ｉｄｒｖを ＯＬＥＤに出力する。

【００１５】

スイッチングトランジスタT_{32}およびT_{34}のゲート端子は、スイッチングトランジスタT_{33}により互いに結合され、電流ミラーが構築される。よって、駆動電流Ｉｄｒｖは、電流Ｉｗに比例する。

【００１６】

図４は、図１で示される本発明のＡＭＯＬＥＤ画素構造を備える表示装置を示す図である。スキャンライン駆動回路２１はスキャンラインを連続して駆動させ、電流源を備えるデータライン駆動回路２２は、輝度データにしたがって、データラインに電流を供給する。複数の画素構造２５は二つのスキャンラインと一つのデータラインの交差部分に配置され、各画素構造２５は図１で示される構造と同じである。

【００１７】

本発明にかかわる画素構造の駆動方法は以下のとおりである。スキャンラインＳＣＡＮ１およびＳＣＡＮ２がプログラム状態のとき、スイッチングトランジスタT_{31}およびT_{33}は、まず、オンになり、電流源を備えるデータラインＤＬにより、電流ＩｗはトランジスタT_{32}を流れ、電流源は輝度データにしたがって変化する。

【００１８】

スキャンラインＳＣＡＮ２は、そののち、再生状態の間、スキャンラインＳＣＡＮ１より前に、非アクティブ状態になり、スイッチングトランジスタT_{33}はオフになり、トランジスタT_{32}とT_{34}間は絶縁する。つぎに、スキャンラインＳＣＡＮ１は非アクティブになり、画素構造とデータラインＤＬ間は絶縁する。その後、トランジスタT_{34}上のゲート電圧は、保持容量C_3に記憶され、もう一つの画素構造は、データラインＤＬによりプログラムされる。

【００１９】

トランジスタT_{32}およびT_{34}のゲート端子は、プログラム状態で、スイッチングトランジスタT_{33}により互いに結合されるとき、電流ミラーが構築されるので、駆動電流Ｉｄｒｖは電流Ｉｗに比例し、トランジスタのスレッショルド電圧およびプロセスの変化の影響を受けない。トランジスタT_{31}がオフのとき、ドレインーゲート電圧は増加するが、スイッチングトランジスタT_{33}はスイッチングトランジスタT_{31}より先にオフになるため、トランジスタT_{32}は保持容量C_3と絶縁され、保持容量C_3に記憶された電圧は、トランジスタT_{31}により生じる、フィードスルー効果（ｆｅｅｄｔｈｒｏｕｇｈ ｅｆｆｅｃｔ）と呼ばれるスイッチ効果に影響を受けない。さらに、スイッチングトランジスタT_{31}およびT_{33}と、トランジスタT_{32}およびT_{34}はＰ型薄膜トランジスタであるが、Ｎ型薄膜トランジスタと置き換えてもよい。図５で示されるように、トランジスタT_{32}およびT_{34}は、Ｎ型薄膜トランジスタT_{62}およびT_{64}により代替され、駆動方法は、図１で示される画素構造と同様である。

【００２０】
しかし、トランジスタT_{33}がスキャンラインＳＣＡＮ２にしたがって開閉するとき、トランジスタT_{33}はフィードスルー効果を生じて、保持容量C_3と結合し、トランジスタT_{34}のゲート電圧はフィードスルー効果により影響を受け、駆動電流は、プログラム状態中、プログラムされた電流値から逸脱する。
【００２１】
この問題を解決するため、他の実施の形態が提案される。図２は、本発明にかかわるＡＭＯＬＥＤの他の画素構造を示す図である。図２に示される素子について、図３と同様のものは同一の符号で示されている。図２に示されるように、画素構造は、さらに、容量性素子（ｃａｐａｃｉｔｉｖｅ　ｅｌｅｍｅｎｔ）を備える。この場合、この容量性素子は、トランジスタT_{32}の第二端子、トランジスタT_{34}のゲート端子にそれぞれ結合されたソース端子、ドレイン端子と、補償スキャンライン／ＳＣＡＮ２に結合されたゲート端子とを備えるダミー（ｄｕｍｍｙ）トランジスタT_{41}である。ダミートランジスタT_{41}のドレイン端子とソースは、互いに結合され、第二スキャンラインＳＣＡＮ２が非アクティブのとき、補償スキャンライン／ＳＣＡＮ２は起動し、第二スキャンラインＳＣＡＮ２が起動するとき、補償スキャンライン／ＳＣＡＮ２は起動しない。ダミートランジスタとトランジスタT_{31}の大きさは等しくない場合もあり、たとえば、ダミートランジスタT_{41}は、トランジスタT_{33}の半分である。
【００２２】
スイッチングトランジスタT_{33}により生じるフィードスルー効果は、ダミートランジスタT_{41}により補償される。たとえば、第二スキャンラインＳＣＡＮ２が非アクティブのとき、補償スキャンライン／ＳＣＡＮ２は起動し、第二スキャンラインＳＣＡＮ２が起動するとき、補償スキャンライン／ＳＣＡＮ２は起動しないので、ダミートランジスタは、トランジスタT_{33}により生じるフィードスルー効果を、逆フィードスルー効果で補償して、保持容量C_3に記憶された電圧は、トランジスタT_{33}により生じるフィードスルー効果に影響を受けない。さらに、トランジスタT_{31}およびT_{33}と、トランジスタT_{32}およびT_{34}はＰ型薄膜トランジスタであるが、Ｎ型薄膜トランジスタと置き換えてもよい。図７に示されるように、トランジスタT_{32}およびT_{34}は、Ｎ型薄膜トランジスタT_{62}およびT_{64}に置き換えられ、駆動方法は、図２で示される画素構造と同様である。図５は、図２に示される本発明のＡＭＯＬＥＤ画素構造を備える表示装置を示す図である。スキャンライン駆動回路２１はスキャンラインＳＬを連続して駆動させ、電流源を備えるデータライン駆動回路２２は、輝度データにしたがって、データラインＤＬに電流を提供する。複数の画素構造２５は二つのスキャンラインＳＬと一つのデータラインＤＬの交差部分に配置され、各画素構造２５は図２に示される構造と同じである。
【００２３】
トランジスタT_{33}により生じる、フィードスルー効果を解決するため、他の実施の形態が提案される。図３は、本発明にかかわるＡＭＯＬＥＤの他の画素構造を示す図である。図３に示される素子について、図１と同様のものは同一の符号で示されている。図３に示されるように、画素構造は、さらに、スイッチングトランジスタT_{35}を備える。スイッチングトランジスタT_{35}は、トランジスタT_{33}の第一端子と第二端子とにそれぞれ結合された二つの端子を備え、ＣＭＯＳスイッチング装置を構築し、ゲート端子は補償スキャンライン／ＳＣＡＮ２に結合され、第二スキャンラインＳＣＡＮ２が非アクティブのとき、補償スキャンライン／ＳＣＡＮ２は起動し、第二スキャンラインＳＣＡＮ２が起動するとき、補償スキャンライン／ＳＣＡＮ２は起動しない。
【００２４】
スイッチングトランジスタT_{33}により生じるフィードスルー効果は、スイッチングトランジスタT_{35}により除去される。たとえば、スイッチングトランジスタT_{35}とスイッチングトランジスタT_{33}はＣＭＯＳスイッチング装置を構築し、第二スキャンラインＳＣＡＮ２と補償スキャンライン／ＳＣＡＮ２により制御されるので、スイッチングトランジスタT_{35}が逆フィードスルー効果を生じて、フィードスルー効果を消去し、保持容量

C_3に記憶された電圧は、トランジスタT_{33}により生じるフィードスルー効果に影響を受けない。さらに、スイッチングトランジスタT_{31}およびT_{33}と、トランジスタT_{32}およびT_{34}はＰ型薄膜トランジスタであるが、Ｎ型薄膜トランジスタと置き換えてもよい。図８に示されるように、トランジスタT_{32}およびT_{34}は、Ｎ型薄膜トランジスタT_{62}およびT_{64}に置き換えられ、駆動方法は、図３に示される画素構造と同様である。

【００２５】

本発明では好ましい実施の形態を前述のとおり説明したが、本発明は決してこれらに限定されるものではなく、当業者なら明らかなとおり、本発明の精神と領域を脱しない範囲内で種々の変形や類似の構成をカバーすることができる。したがって添付の特許請求の範囲は、そのような変形や類似の構成を含むように最も広く与えられるべきである。

【００２６】

【発明の効果】

本発明によれば、ＯＬＥＤに安定、かつ正確に電流を提供することができ、製造上の変動の影響を受けない電流プログラムＡＭＯＬＥＤ画素構造を提供することができる。

【図面の簡単な説明】

【図１】本発明によかかわＡＭＯＬＥＤの画素構造を示す図である。

【図２】本発明にかかわるＡＭＯＬＥＤのもう一つの画素構造を示す図である。

【図３】本発明にかかわるＡＭＯＬＥＤのもう一つの画素構造を示す図である。

【図４】本発明の図１で示されるＡＭＯＬＥＤ画素構造を備える表示装置を示す図である。

【図５】本発明の図２、図３で示されるもう一つのＡＭＯＬＥＤ画素構造を備える表示装置を示す図である。

【図６】本発明にかかわるＡＭＯＬＥＤのもう一つの画素構造を示す図である。

【図７】本発明にかかわるＡＭＯＬＥＤのもう一つの画素構造を示す図である。

【図８】本発明にかかわるＡＭＯＬＥＤのもう一つの画素構造を示す図である。

【図９】ＡＭＯＬＥＤの公知の画素構造を示す図である。

【図１０】ＡＭＯＬＥＤの公知のもう一つの画素構造を示す図である。

【符号の説明】

Ｔ　トランジスタ

C_1、C_2、C_3　保持容量

２１　スキャンライン駆動回路

２２　データライン駆動回路

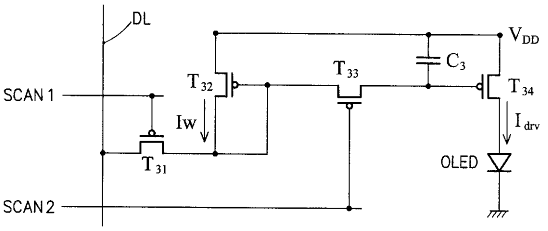
２５　複数の画素構造

ＶＤＤ　電源

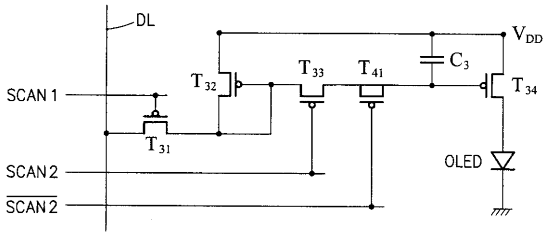
Ｉｄｒｖ　駆動電流

Ｉｗ　電流

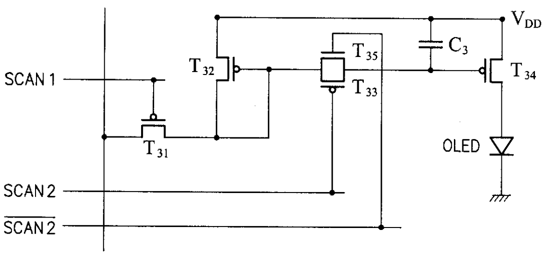
【図１】


DL
SCAN 1
SCAN 2
T32
T31
T33
T34
Iw
C3
VDD
Idrv
OLED

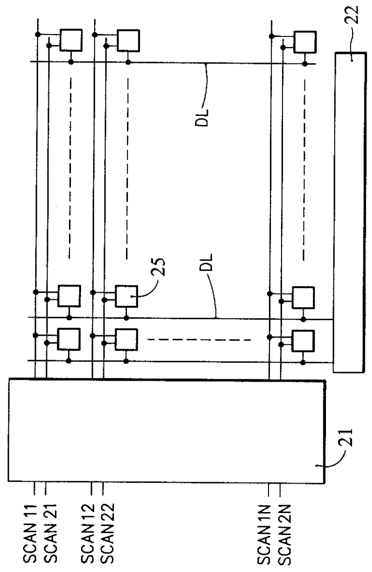
【図２】


DL
SCAN 1
SCAN 2
SCAN 2
T32
T31
T33
T41
T34
C3
VDD
OLED

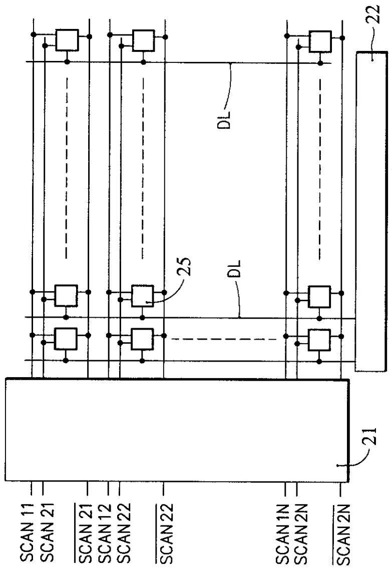
【図３】


SCAN 1
SCAN 2
SCAN 2
T32
T31
T35
T33
T34
C3
VDD
OLED

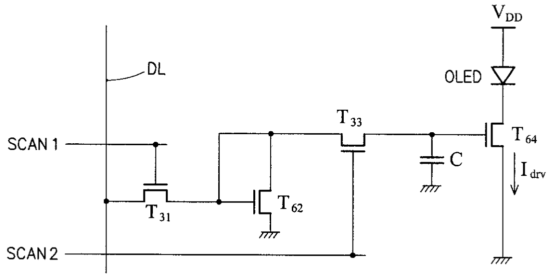
【図４】


22
DL
25
DL
21
SCAN 11
SCAN 21
SCAN 12
SCAN 22
SCAN 1N
SCAN 2N

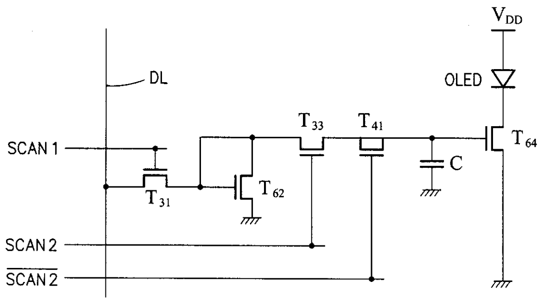
【図５】


22
DL
25
DL
21
SCAN 11
SCAN 21
SCAN 21
SCAN 12
SCAN 22
SCAN 22
SCAN 1N
SCAN 2N
SCAN 2N

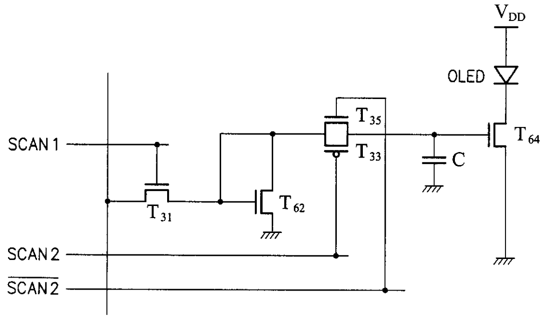
【図６】



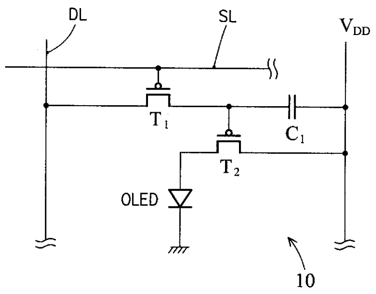
【図７】



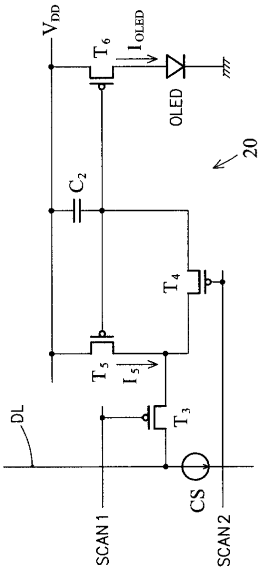
【図８】



【図９】



【図１０】



フロントページの続き

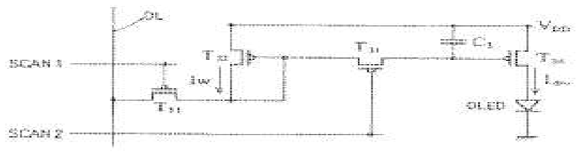
(51)Int.Cl.[7]	ＦＩ			テーマコード（参考）
	Ｈ０５Ｂ	33/14	Ａ	
	Ｈ０１Ｌ	29/78	６１４	

(72)発明者　陳　建儒
台湾屏東縣里港郷永春村民生路４号

Ｆターム(参考) 3K007 AB02 AB17 BA06 DB03 GA04
5C080 AA06 BB05 DD05 DD10 DD28 DD29 EE29 FF11 HH09 JJ02
JJ03
5F110 AA30 BB01 BB04 NN72 NN77 NN78

patsnap

专利名称(译)	有源矩阵有机发光二极管的像素结构		
公开(公告)号	JP2004109977A	公开(公告)日	2004-04-08
申请号	JP2003145365	申请日	2003-05-22
[标]申请(专利权)人(译)	财团法人工业技术研究院		
申请(专利权)人(译)	财团法人工业技术研究院		
[标]发明人	施俊任 陳尚立 陳建儒		
发明人	施 俊任 陳 尚立 陳 建儒		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H01L29/786 H05B33/14		
CPC分类号	G09G3/3241 G09G2300/0842 G09G2320/0219 G09G2320/0223		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.611.J G09G3/20.624.B G09G3/20.641.D H05B33/14.A H01L29/78.614 G09G3/3241 G09G3/3266 G09G3/3283 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD10 5C080/DD28 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5F110/AA30 5F110/BB01 5F110/BB04 5F110/NN72 5F110/NN77 5F110/NN78 3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC33 3K107/CC45 3K107/EE03 3K107/EE07 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/BA38 5C380/BA39 5C380/BA40 5C380/BB02 5C380/BB05 5C380/CA12 5C380/CA13 5C380/CB16 5C380/CC02 5C380/CC14 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CD012 5C380/CD014 5C380/CD015 5C380/CE20 5C380/CF43 5C380/DA02 5C380/DA06 5C380/HA03 5C380/HA13		
代理人(译)	秋山文雄 田中 弘		
优先权	091121426 2002-09-19 TW		
外部链接	Espacenet		

摘要(译)

要解决的问题：为有源矩阵OLED提供像素结构，其可以稳定且正确地向OLED提供电流并且不受制造工艺变化的影响。解决方案：第一开关晶体管设置有控制端子和第一端子，控制端子连接到第一扫描线，第一端子连接到数据线DL。第一P型晶体管设置有相互连接的漏极端子和栅极端子，并且源极端子连接到电源，漏极端子连接到第一开关晶体管的栅极端子。第二开关晶体管设置有第一端子和控制端子，第一端子连接到第一晶体管的栅极端子，控制端子连接到第二扫描线。第二P型晶体管设置有源极端子和栅极端子，源极端子连接到电源，栅极端子连接到第二开关晶体管的第二端子。保持电容器连接在电源和第二晶体管的栅极端子之间。 OLED设置有连接到第二晶体管的漏极端子的阳极和连接到接地的阴极。 Ž