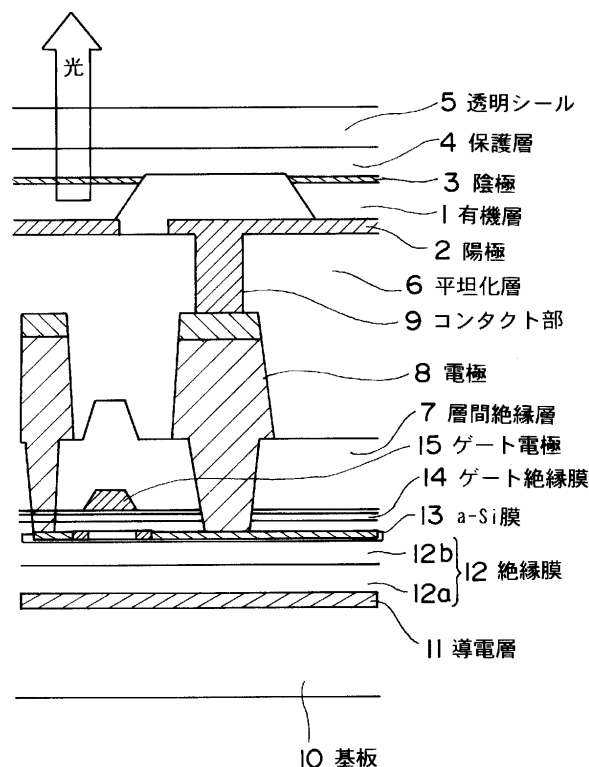




【特許請求の範囲】

【請求項 1】 絶縁表面を有する基板上に薄膜トランジスタが形成されるとともに、当該薄膜トランジスタ上に有機電界発光素子が形成されてなる表示装置において、前記基板と前記薄膜トランジスタとの間に前記基板の全面を覆う導電層が設けられていることを特徴とする表示装置。

【請求項 2】 前記有機電界発光素子が発した光を前記基板側ではなく当該有機電界発光素子の上面側から取り出すように構成されていることを特徴とする請求項 1 記載の表示装置。

【請求項 3】 絶縁表面を有する基板上に形成された薄膜トランジスタを含む有機電界発光素子の駆動回路において、

前記基板と前記薄膜トランジスタとの間に前記基板の全面を覆う導電層が設けられていることを特徴とする有機電界発光素子の駆動回路。

【請求項 4】 絶縁表面を有する基板上に薄膜トランジスタを形成し、さらに当該薄膜トランジスタ上に有機電界発光素子を形成する表示装置の製造方法において、前記薄膜トランジスタの形成に先立ち、前記基板上に当該基板の全面を覆う導電層を形成することを特徴とする表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機電界発光素子（有機エレクトロルミネッセンス素子；以下「有機 EL 素子」という）を発光素子とした表示装置、その表示装置に用いられる有機電界発光素子の駆動回路、および表示装置の製造方法に関する。

【0002】

【従来の技術】近年、平面型の表示装置として、有機 EL 素子を発光素子としたもの（以下「有機 EL ディスプレイ」という）が注目を集めている。この有機 EL ディスプレイは、バックライトが不要な自発光型のフラットパネルディスプレイであり、自発光型に特有の視野角の広いディスプレイを実現できるという利点を有する。また、必要な画素のみを点灯させればよい消費電力の点でバックライト型（液晶ディスプレイ等）に比べて有利であるとともに、今後実用化が期待されている高精細度の高速のビデオ信号に対して十分な応答性能を具備すると考えられている。

【0003】特に、各画素に対する能動素子として薄膜トランジスタ（thin film transistor：以下「TFT」と略す）が設けられたアクティブマトリクス型の有機 EL ディスプレイでは、非選択時に関係のない信号を完全にカットすることにより単純マトリクスで生じる操作電極間クロストークを排除することができる。また、画素数の増加に伴って高デューティー化が進んだ場合であっても、有機 EL 素子に瞬間的に高電流を供給することを

必要とせずに十分な輝度を確保し得るため、有機 EL 素子に対するダメージを小さくできるといった利点もある。

【0004】このような有機 EL 素子を用いたアクティブマトリクス型の有機 EL ディスプレイでは、通常、基板上的各画素に TFT が設けられ、これらの TFT が層間絶縁膜で覆われている。そして、この層間絶縁膜上に有機 EL 素子が形成されている。有機 EL 素子は、TFT に接続された状態で各画素にパターン形成された下部電極、この下部電極を覆う状態で形成された有機層、この有機層を覆う状態で設けられた上部電極で構成されている。

【0005】ところで、アクティブマトリクス型の有機 EL ディスプレイでは、有機 EL 素子が電流駆動型であり、ある程度大きな電流を流す必要があるため、アモルファスシリコン（以下「a-Si」と略す）TFTではなく低温ポリシリコン（以下「p-Si」と略す）TFT が用いられる。ただし、p-Si を用いた TFT は、一般に、単結晶によるものに比べて、閾値の制御が難しく、かつ、基板内でのバラツキが大きい。これは、結晶性が不均一であったり、全体のプロセス温度が低かったりすることで、良質のゲート絶縁膜（熱酸化膜）が使えないといったことが原因となるためである。

【0006】そのため、アクティブマトリクス型の有機 EL ディスプレイを構成するのにあたっては、TFT 特性のバラツキ等を極力抑えることが、高品質な画像表示を実現する上で非常に重要となる。具体的には、TFT が動作する際の閾値および可動性（Mobility）のバラツキを抑制するとともに、その TFT におけるアーリー（Early）効果を抑制する必要がある。これらの抑制は、TFT 形成時のプロセスとその TFT を含む回路構成とのいずれか一方または両方を工夫することによって実現することが考えられる。

【0007】例えば、閾値および可動性については、そのバラツキをキャンセルする技術として、国際公開番号 WO 01/06484 号にて開示されている回路が提案されている。この回路構成では、各画素が、走査線が選択された時データ線から信号電流を取り込む受入用トランジスタと、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換用トランジスタと、保持された電圧レベルに応じた電流レベルを有する駆動電流を発光素子に流す駆動用トランジスタとからなるので、画素内部の能動素子の特性バラツキによらず、安定かつ正確に各画素の発光素子に所望の電流を供給し得るようになっている。

【0008】また、アーリー効果については、例えば TFT のゲート長を長くすることによって、これを抑制することが広く知られている。さらには、例えば特開 2001-51292 号公報に開示されているように、TFT を、p-Si の上下にゲートを持つ、いわゆるデュア

ルゲート構造とすることによっても、アーリー効果を抑制できることが知られている。

【0009】

【発明が解決しようとする課題】しかしながら、アーリー効果については、上述した従来の技術では、有機 E L ディスプレイの高精細化等が進んで画素サイズが小さくなると、これを抑制することが困難になると考えられる。例えば、今後画素サイズが益々小さくなると、T F T のゲート長を長く設定することは、事実上不可能になってしまう。また、T F T をデュアルゲート構造とする 10 ためには、2 回ゲートをパターニングしてコンタクトを取らなければならないことから、必要とするマスク枚数とプロセスの工程とがそれぞれ増加してしまう。そのため、生産性低下やコスト上昇等を招く可能性があることを鑑みれば、必ずしも有機 E L ディスプレイの高精細化等に対応するのに適しているとはいえない。つまり、アーリー効果抑制のための技術としては、画素サイズが小さくなくても対応できるものが求められている。

【0010】そこで、本発明は、高精細化等への対応を可能にしつつ、しかも生産性低下等を招くこともなく、 20 T F T のアーリー効果を抑制できるようにすることで、画面全域にわたり均一な表示を行うことを可能にし、結果として高品質な画像表示を実現することのできる表示装置、有機電界発光素子の駆動回路および表示装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、上記目的を達成するために案出されたもので、絶縁表面を有する基板上に薄膜トランジスタが形成されるとともに、当該薄膜トランジスタ上に有機電界発光素子が形成されてなる表 30 示装置において、前記基板と前記薄膜トランジスタとの間に前記基板の全面を覆う導電層が設けられていることを特徴とするものである。

【0012】また、本発明は、絶縁表面を有する基板上に形成された薄膜トランジスタを含む有機電界発光素子の駆動回路において、前記基板と前記薄膜トランジスタとの間に前記基板の全面を覆う導電層が設けられていることを特徴とするものである。

【0013】また、本発明は、上記目的を達成するために案出された方法で、絶縁表面を有する基板上に薄膜ト 40 ランジスタを形成し、さらに当該薄膜トランジスタ上に有機電界発光素子を形成する表示装置の製造方法において、前記薄膜トランジスタの形成に先立ち、前記基板上に当該基板の全面を覆う導電層を形成することを特徴とする。

【0014】上記構成の表示装置、有機電界発光素子の駆動回路、および上記手順の表示装置の製造方法によれば、薄膜トランジスタの下側に導電層が形成されるので、その導電層を 0 V に固定することで、バックゲート 50 電位が抑えられ、これにより薄膜トランジスタのアーリー

ー効果を抑制し得るようになる。

【0015】

【発明の実施の形態】以下、図面に基づき本発明に係る表示装置、有機電界発光素子の駆動回路、および表示装置の製造方法について説明する。

【0016】ここで、先ず、本発明に係る表示装置について、有機 E L 素子を発光素子としたアクティブマトリクス型の有機 E L ディスプレイを例に挙げて、簡単に説明する。図 1 は、本発明の一実施形態に係るアクティブマトリクス型有機 E L ディスプレイの概略構成例を示す断面図である。

【0017】本実施形態で説明する有機 E L ディスプレイでは、マトリクス状に多数配置された画素によって表示領域が構成され、各画素に表示素子としての有機 E L 素子が配されている。

【0018】有機 E L 素子は、正孔輸送層、発光層および電子輸送層を順次堆積させてなる有機層 1 が、陽極（アノード）2 および陰極（カソード）3 によって挟持されているものである。そして、陽極 2 および陰極 3 との間に直流電圧を印加することにより、正孔は陽極 2 から正孔輸送層を経て、電子は陰極 3 から電子輸送層を経て、それぞれ発光層内に注入され、その注入された正負のキャリアによって発光層内の蛍光分子が励起状態となり、この励起分子の緩和過程で発光が得られるようになっている。

【0019】ところで、本実施形態で説明する有機 E L ディスプレイは、いわゆる T A C (Top emission Adaptive Current drive) 技術を用いたもので、有機 E L 素子が上面発光型 (Top emission 構造) となっている。したがって、この有機 E L 素子では、積層構造の下方側に配された陽極 2 が、金 (A u)、ニッケル (N i)、銅 (C u) 等といった仕事関数の大きい金属を用いて形成されており、メタルアノードとして機能するようになっている。さらには、積層構造の上方側に配された陰極 3 が、アルミニウム (A l) とリチウム (L i) との合金やマグネシウム (M g) と銀 (A g) との合金等といった仕事関数の小さい材料によって、有機層 1 で発せられた光を透過する程度の膜厚に形成されており、光透過性カソードとして機能するようになっている。そして、有機層 1 で発せられた光は、陰極 3 を透過して外部に向けて、すなわち有機 E L 素子の上面側に向けて出射される。なお、陰極 3 の上面側は、その陰極 3 の保護等のために形成された保護層 4 および透明シール 5 によって覆われている。

【0020】このような構成の有機 E L 素子は、アクティブマトリクス型の有機 E L ディスプレイに用いられることから、その有機 E L 素子の下層側に設けられた T F T によって駆動されるようになっている。つまり、有機 E L 素子の下層側には、平坦化層 6 や層間絶縁層 7 等を介して複数の T F T が設けられている。そして、これら

の T F T は、パターン化されて形成された電極 8 および平坦化層 6 に形成されるコンタクト部 9 によって、有機 E L 素子と電氣的に接続されており、これにより画素を選択したり有機 E L 素子を駆動したりするための駆動回路としての機能を果たすようになっている。

【0021】なお、これらの T F T は、いずれも、絶縁表面を有する基板 10 上に形成されたものであるが、これらの間には、詳細を後述するように、基板 10 の全面を覆う導電層 11 が設けられているものとする。

【0022】次に、以上のように構成されたアクティブマトリクス型有機 E L ディスプレイの製造手順、すなわち本発明に係る表示装置の製造方法の一例について説明する。ただし、ここでは、本発明において特徴的な駆動回路部分の製造手順を中心に説明を行う。図 2 は、本発明の一実施形態に係るアクティブマトリクス型有機 E L ディスプレイの製造手順を示す断面図である。

【0023】上述した構成のアクティブマトリクス型有機 E L ディスプレイの製造にあたっては、まず、図 2 (a) に示すように、絶縁表面を有する基板 10 として、例えば石英基板を用意する。ただし、絶縁表面を有したものであれば、石英基板の代わりに、熱酸化膜を形成したシリコン基板や、石英基板上にシリコン (S i) を成膜し熱酸化したもの等を用いるようにしてもよい。

【0024】そして、その基板 10 上の全面に、導電層 11 を成膜する。導電層 11 としては、例えばモリブデン (M o) を 90 nm 厚で成膜することが考えられる。ただし、導電を有するものであれば、モリブデン以外であっても、例えばタンタル (T a)、窒化タンタル (T a N)、チタン (T i) 等といった高融点の金属、あるいはこれらの積層膜を用いるようにしてもよい。

【0025】導電層 11 の成膜後は、図 2 (b) に示すように、その導電層 11 上に、絶縁膜 12 および a - S i 膜 13 を連続成膜する。絶縁膜 12 としては、例えば、窒化ケイ素 (S i N) 膜 12 a および二酸化ケイ素 (S i O₂) 膜 12 b の積層膜を形成することが考えられる。さらに具体的には、プラズマ C V D (Chemical Vapor Deposition) にて、窒化ケイ素膜 12 a を 200 nm 厚で、二酸化ケイ素膜 12 b を 150 nm 厚で、a - S i 膜 13 を 45 nm 厚で、それぞれ成膜することが考えられる。

【0026】そして、a - S i 膜 13 の成膜後は、エキシマ・レーザ・アニール (E L A) による結晶化を行う。すなわち、a - S i 膜 13 にエキシマレーザを照射し、p - S i に改質する。このときのグレインサイズ (組織の結晶粒度) は、約 400 nm 程度とすることが考えられる。

【0027】その後は、図 2 (c) に示すように、p - *

$$V_e = (I_{d1} \times V_{d2} - I_{d2} \times V_{d1}) / (I_{d2} - I_{d1}) \dots (1)$$

V_e ; アーリー値

V_{d1}, V_{d2} ; ドレイン電圧 (V_{d1} < V_{d2})

* S i をパターンニングし、エッチングした後に、ゲート絶縁膜 14 およびゲート電極 15 を成膜する。ゲート絶縁膜 14 は、例えばプラズマ C V D による二酸化ケイ素 (S i O₂) / 窒化ケイ素 (S i N) / 二酸化ケイ素 (S i O₂) の積層構造とすることが考えられる。また、ゲート電極 15 は、先に説明した導電層 11 と同様に、モリブデン (M o) を用いることが考えられるが、高融点金属やアルミニウム (A l) 等の単層または積層構造であってもよいことは勿論である。そして、ゲートをパターンニングし、エッチングした後に、通常の T F T の形成手順と略同様に、p チャネルおよび n チャネルを作り分ける。

【0028】さらに、その後は、図 2 (d) に示すように、通常の T F T の形成手順と略同様に、層間絶縁層 7 の成膜、その層間絶縁層 7 におけるコンタクトの形成、電極 8 となるアルミニウム (A l) 層の成膜、その電極 8 をパターン化するためのアルミニウム層のエッチング等を順次行って、基板 10 上に T F T を形成する。

【0029】T F T を形成後は、図 1 に示すように、電極 8 がパターン化されて形成された上に平坦化層 6 を成膜し、さらにその平坦化層 6 の上に、有機層 1 が陽極 2 および陰極 3 に挟持されてなる有機 E L 素子を形成する。なお、有機 E L 素子の形成については、通常の形成手順と略同様であるため、ここではその説明を省略する。

【0030】このようにして基板 10 上に形成された T F T は、平坦化層 6 に形成されるコンタクト部 9 を介して、その T F T 上に形成された有機 E L 素子と電氣的に接続される。そして、画素を選択したり有機 E L 素子を駆動したりするための駆動回路を構成することになる。したがって、基板 10 上の T F T では、例えば、輝度データがデータ線から電圧の形で与えられると、そのデータ電圧に応じた電流を有機 E L 素子に流す、といった動作を行うことになる。

【0031】ところで、T F T の下側には、基板 10 との間に、その基板 10 の全面を覆う導電層 11 が設けられている。そのため、その導電層 11 を 0 V に固定することによって、T F T は、バックゲート電位が抑えられることになる。つまり、基板 10 上に形成された T F T は、いずれもバックゲート電位が抑えられるので、ゲート長を長くしたりデュアルゲート構造としたりせずに、アーリー効果が抑制されることになる。

【0032】このアーリー効果抑制について、以下、具体例を挙げて説明する。ここでは、T F T のアーリー値を求める計算式を、以下に示す (1) 式のように定義する。

【0033】

I_{d1} ; V_{d1} を印加したときのドレイン電流

I_{d2} ; V_{d2} を印加したときのドレイン電流

【0034】図3には、本実施形態で説明したトップゲート構造のTFTと、従来の一般的なトップゲート構造のTFTとで、上記の(1)式を用いて求めたアーリー値 V_e の比較結果を示す。図例から明らかなように、TFTの下層側に導電層11を形成しなかった通常のトップゲート構造のアーリー値(図中における破線を参照のこと)に対して、TFTの下層側に導電層11を形成して0Vを印加した構造の場合には、pチャネルとnチャネルとのいずれについても、アーリー値(図中における実線を参照のこと)が向上し良くなっていることがわかる。つまり、TFTの下層側に導電層11を形成すれば、導電層11を形成しなかった場合に比べて、アーリー値の絶対値が上回ることから、アーリー効果も抑制されることになるといえる。

【0035】なお、このようなアーリー効果抑制は、基板10上に形成された全てのTFTについて適用される。すなわち、ここで説明したTFTには、有機EL素子を駆動するための駆動トランジスタや画素を選択するための選択トランジスタ等といった、有機EL素子の駆動回路を構成する全てのTFTを含む。

【0036】以上のように、本実施形態で説明した有機ELディスプレイ、その有機ELディスプレイに用いられる有機EL素子の駆動回路、およびその有機ELディスプレイの製造方法によれば、基板10上に形成されるTFTとその基板10との間に、その基板10の全面を覆う導電層11が設けられているので、その導電層11を0Vに固定するだけでTFTのバックゲート電位が抑えられ、結果としてTFTのアーリー効果を抑制することができるようになる。

【0037】したがって、マトリクス状に多数配置された画素によって表示領域が構成されていても、各画素の輝度等にバラツキが生じてしまうのを極力回避することができ、各画素の均一性が高い高品質な画像表示を実現することが可能になる。

【0038】また、ゲート長を長くせずにTFTのアーリー効果を抑制し得るので、有機ELディスプレイの高精細化等が進んで画素サイズが小さくなった場合であっても、これに十分に対応することができる。

【0039】さらには、TFTの下層側に導電層11を形成し、これを0Vにするだけなので、その製造工程において必要とするマスク枚数の増加を招くことなく、またプロセスの増加も導電層11を形成する一工程のみで済む。そのため、非常にシンプルにTFTのアーリー効果の抑制を実現でき、有機ELディスプレイの生産性低下やコスト上昇等を招くこともない。この点からも、有機ELディスプレイの高精細化や高輝度化等に対応するのに適しているといえる。

【0040】また、本実施形態で説明した有機ELディ*

*スプレイでは、有機EL素子が発した光を、基板10側ではなく、有機EL素子の上面側から取り出す、いわゆるTAC技術を用いて構成されているので、TFTの下層側に導電層11を形成する場合であっても、その導電層11に光を透過させる必要がない。つまり、導電層11の形成材料やその膜厚等の選択の幅が広がることになる。しかも、TAC技術によってTFTの配置に光量が影響されない構造を実現できるので、発光面の開口率を向上させて高輝度化を実現することが可能となる。また、開口率が向上することで、輝度を保ちつつ各画素を微小化することもできるので、高精細化にも容易に対応し得るようになる。

【0041】なお、本実施形態では、形成されるTFTとして、シンプルゲートのトップゲート(Top Gate)構造を例に挙げたが、TFTは、ダブルゲート(Double Gate)構造やトリプルゲート(Triple Gate)構造のような複数のゲート電極を持つものであっても構わない。

【0042】

【発明の効果】以上に説明したように、本発明に係る表示装置、有機電界発光素子の駆動回路および表示装置の製造方法によれば、薄膜トランジスタの下側に導電層が形成されるので、その導電層を0Vに固定することで、バックゲート電位が抑えられ、これにより薄膜トランジスタのアーリー効果を抑制し得るようになる。したがって、トランジスタのゲート長を長くしたりデュアルゲート構造としたりすることなくアーリー効果を抑制できるので、高精細化等が進んで画素サイズが小さくなった場合であっても、生産性低下やコスト上昇等を招くことなく、各画素の輝度等にバラツキが生じてしまうのを極力回避し、各画素の均一性が高い高品質な画像表示を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る表示装置の一例の概略構成を示す断面図である。

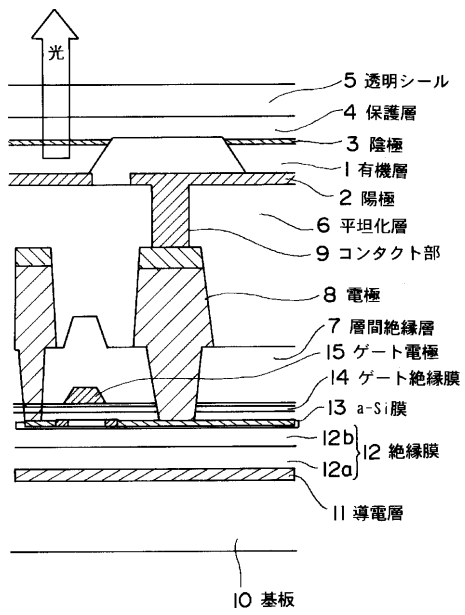
【図2】本発明に係る表示装置の製造手順の一例を示す断面図であり、(a)~(d)はそれぞれその過程を示す図である。

【図3】本発明と従来例とにおけるアーリー値の比較結果を示す説明図であり、(a)はpチャネルの比較結果の一具体例を示す図、(b)はnチャネルの比較結果の一具体例を示す図である。

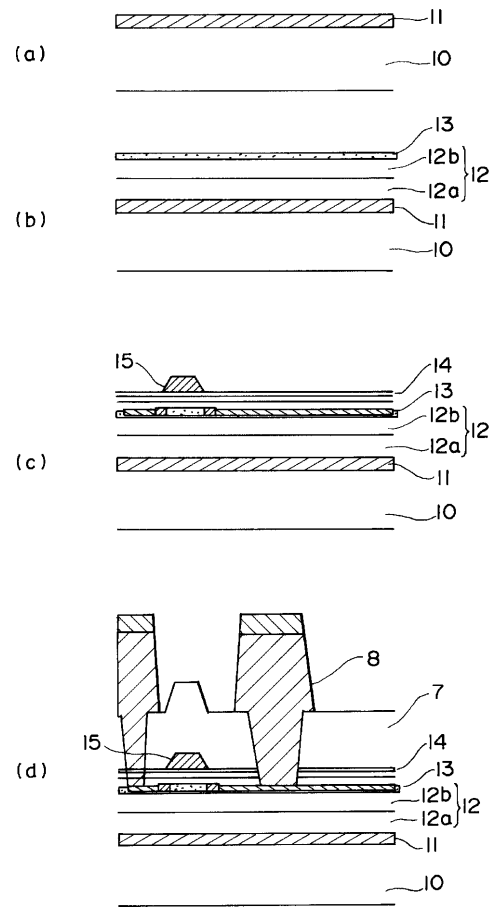
【符号の説明】

1...有機層、2...陽極、3...陰極、4...保護層、5...透明シール、6...平坦化層、7...層間絶縁層、8...電極、9...コンタクト部、10...基板、11...導電層、12...絶縁膜、13...a-Si膜、14...ゲート絶縁膜、15...ゲート電極

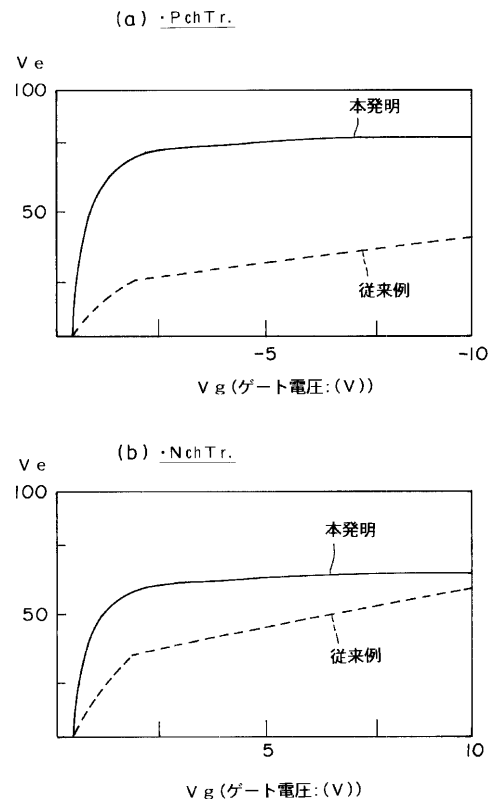
【図1】



【図2】



【図3】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ド [*] (参考)
H 0 5 B	33/02	H 0 5 B 33/14	A
	33/10	H 0 1 L 29/78	6 1 7 N
	33/14		6 2 6 C
		21/88	B

(72)発明者 湯本 昭
 東京都品川区北品川 6 丁目 7 番35号 ソニ
 ー株式会社内

F ターム(参考) 3K007 AB05 AB11 AB18 BA06 BB07
CA00 CB01 DA01 DB03 EB00
FA01
5C094 AA25 AA31 AA43 AA53 BA03
BA27 CA19 DA13 DA15 DB10
EB10 FA02 FB01 FB20 GB10
5F033 HH07 HH08 HH09 HH11 HH13
HH14 HH17 HH18 HH20 HH21
HH32 JJ08 KK01 MM05 QQ08
QQ37 QQ58 QQ65 QQ73 QQ83
RR04 RR06 SS15 TT02 VV06
5F052 AA02 BB07 CA04 DA02 DB03
EA15 JA01
5F110 AA30 BB01 DD03 DD05 DD13
EE01 EE03 EE04 EE14 EE27
EE30 FF02 FF03 FF09 FF10
FF30 GG02 GG13 GG16 HL03
NN02 NN72 PP03

专利名称(译)	显示装置，有机电致发光元件的驱动电路，以及显示装置的制造方法		
公开(公告)号	JP2003066867A	公开(公告)日	2003-03-05
申请号	JP2001253994	申请日	2001-08-24
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	德永和彦 関谷光信 湯本昭		
发明人	德永 和彦 関谷 光信 湯本 昭		
IPC分类号	H05B33/02 G09F9/30 H01L21/20 H01L21/3205 H01L27/32 H01L29/786 H01L51/50 H05B33/10 H05B33/14		
FI分类号	G09F9/30.338 G09F9/30.365.Z H01L21/20 H05B33/02 H05B33/10 H05B33/14.A H01L29/78.617.N H01L29/78.626.C H01L21/88.B G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB05 3K007/AB11 3K007/AB18 3K007/BA06 3K007/BB07 3K007/CA00 3K007/CB01 3K007/DA01 3K007/DB03 3K007/EB00 3K007/FA01 5C094/AA25 5C094/AA31 5C094/AA43 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DA15 5C094/DB10 5C094/EB10 5C094/FA02 5C094/FB01 5C094/FB20 5C094/GB10 5F033/HH07 5F033/HH08 5F033/HH09 5F033/HH11 5F033/HH13 5F033/HH14 5F033/HH17 5F033/HH18 5F033/HH20 5F033/HH21 5F033/HH32 5F033/JJ08 5F033/KK01 5F033/MM05 5F033/QQ08 5F033/QQ37 5F033/QQ58 5F033/QQ65 5F033/QQ73 5F033/QQ83 5F033/RR04 5F033/RR06 5F033/SS15 5F033/TT02 5F033/VV06 5F052/AA02 5F052/BB07 5F052/CA04 5F052/DA02 5F052/DB03 5F052/EA15 5F052/JA01 5F110/AA30 5F110/BB01 5F110/DD03 5F110/DD05 5F110/DD13 5F110/EE01 5F110/EE03 5F110/EE04 5F110/EE14 5F110/EE27 5F110/EE30 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF10 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG16 5F110/HL03 5F110/NN02 5F110/NN72 5F110/PP03 3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC33 3K107/CC35 3K107/CC45 3K107/EE03 5F110/CC01 5F152/AA06 5F152/BB02 5F152/CC03 5F152/CC08 5F152/CD13 5F152/CD14 5F152/CD17 5F152/CE05 5F152/FF03		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

解决的问题：在抑制使用TFT的有源矩阵型显示装置中的TFT的早期效果的同时，可以应对更高的清晰度等并且不会导致生产率的降低。 解决方案：在一种显示设备中，在具有绝缘表面的基板10上形成薄膜晶体管12、13、14、15，并在其上形成有机电致发光元件1、2、3，该基板10 覆盖基板10的整个表面的导电层11设置在薄膜晶体管12、13、14和15之间。

