

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6437644号
(P6437644)

(45) 発行日 平成30年12月12日 (2018.12.12)

(24) 登録日 平成30年11月22日 (2018.11.22)

(51) Int.Cl.	F I
G09G 3/3233 (2016.01)	G09G 3/3233
G09G 3/20 (2006.01)	G09G 3/20 611H
	G09G 3/20 624B
	G09G 3/20 642A

請求項の数 8 (全 14 頁)

(21) 出願番号	特願2017-519844 (P2017-519844)	(73) 特許権者	515176162
(86) (22) 出願日	平成27年9月25日 (2015.9.25)		クンシャン ニュー フラット パネル
(65) 公表番号	特表2017-536569 (P2017-536569A)		ディスプレイ テクノロジー センター
(43) 公表日	平成29年12月7日 (2017.12.7)		カンパニー リミテッド
(86) 国際出願番号	PCT/CN2015/090664		中華人民共和国 215300 ジャンス
(87) 国際公開番号	W02016/058475		クンシャン ディベロップメント ゾ
(87) 国際公開日	平成28年4月21日 (2016.4.21)		ーン フォトエレクトリック インダスト
審査請求日	平成29年5月25日 (2017.5.25)		リアル パーク フー チュン リバー
(31) 優先権主張番号	201410545393.4		ロード ナンバー 320
(32) 優先日	平成26年10月15日 (2014.10.15)		
(33) 優先権主張国	中国 (CN)		

最終頁に続く

(54) 【発明の名称】 画素回路、そのための駆動方法および有機発光ディスプレイ

(57) 【特許請求の範囲】

【請求項 1】

第1薄膜トランジスタ、第2薄膜トランジスタ、第3薄膜トランジスタ、第4薄膜トランジスタ、第5薄膜トランジスタ、第6薄膜トランジスタ、第7薄膜トランジスタ、キャパシタおよび有機発光ダイオード、

を備える画素回路であって、

前記第6薄膜トランジスタのソースは第1電力源に接続され、

前記第6薄膜トランジスタのドレインは前記第1薄膜トランジスタのドレインおよび前記第2薄膜トランジスタのソースの双方に接続され、

前記第2薄膜トランジスタのドレインは有機発光ダイオードのアノードに接続され、

前記有機発光ダイオードのカソードは第2電力源に接続され、

前記第6薄膜トランジスタのゲートは前記第3薄膜トランジスタのソースおよび前記キャパシタの第1端子に接続され、

前記キャパシタの第2端子は前記第4薄膜トランジスタのドレインおよび前記第5薄膜トランジスタのソースの双方に接続され、

前記第4薄膜トランジスタのソースはデータ線に接続され、

前記第5薄膜トランジスタのドレインは、前記第7薄膜トランジスタのドレインと共に、参照電力源に接続され、

前記第7薄膜トランジスタのソースは前記第1薄膜トランジスタのソースおよび前記第3薄膜トランジスタのドレインの双方に接続され、

10

20

前記第 2 薄膜トランジスタおよび前記第 5 薄膜トランジスタの前記ゲートの双方は初期化制御およびキャパシタ安定化のために構成された第 1 走査線に接続されており、

前記第 1 薄膜トランジスタ、前記第 3 薄膜トランジスタおよび前記第 4 薄膜トランジスタの前記ゲートの全ては、データ電圧の書き込みを制御し前記第 6 薄膜トランジスタの閾値電圧をサンプリングするように構成された第 2 走査線に接続されており、

前記第 7 薄膜トランジスタの前記ゲートは、初期化電圧の書き込みを制御するように構成された第 3 走査線に接続されている、

画素回路。

【請求項 2】

請求項 1 に記載の画素回路であって、前記第 1 電力源および前記第 2 電力源は前記有機発光ダイオードに電力供給電圧を供給するように構成され、

前記参照電力源は前記第 6 薄膜トランジスタの前記ゲートおよび前記ドレインと前記有機発光ダイオードの前記アノードに初期化電圧を供給するように構成される、

画素回路。

【請求項 3】

請求項 1 に記載の画素回路であって、

前記第 6 薄膜トランジスタによって前記有機発光ダイオードに供給される電流は、前記データ線によって供給されるデータ電圧および前記参照電力源によって供給される初期化電圧によって決定され、前記第 1 電力源および前記第 2 電力源によって供給される前記電力供給電圧と前記第 6 薄膜トランジスタの閾値電圧とは独立である、

画素回路。

【請求項 4】

請求項 1 に記載の画素回路であって、

前記第 2 走査線と前記第 6 薄膜トランジスタの前記ゲート、前記第 3 薄膜トランジスタの前記ソースおよび前記キャパシタの前記第 1 端子の間にある接続点との間に位置するブーストキャパシタをさらに備える、

画素回路。

【請求項 5】

請求項 1 ~ 4 の何れか一項で定義された画素回路を駆動する方法であって、

第 1 フェーズ、第 2 フェーズ、第 3 フェーズおよび第 4 フェーズを含む走査期間を含み、

前記第 1 フェーズにおいて、前記第 2 薄膜トランジスタおよび前記第 5 薄膜トランジスタの前記ゲートに接続された前記第 1 走査線によって供給される走査信号は、低レベルで維持され、前記第 1 薄膜トランジスタ、前記第 3 薄膜トランジスタおよび前記第 4 薄膜トランジスタの前記ゲートに接続された前記第 2 走査線によって供給される走査信号と前記第 7 薄膜トランジスタの前記ゲートに接続された前記第 3 走査線によって供給される走査信号との双方は、高レベルから低レベルへ引き下げられ、前記第 1 薄膜トランジスタ、前記第 3 薄膜トランジスタ、前記第 4 薄膜トランジスタおよび前記第 7 薄膜トランジスタをオンにし、前記第 6 薄膜トランジスタの前記ゲートおよび前記ドレインと前記有機発光ダイオードの前記アノードは前記参照電力源によって供給される初期化電圧によって初期化され、前記データ線によって供給されるデータ電圧は、前記第 4 薄膜トランジスタを介して、前記第 4 薄膜トランジスタの前記ドレイン、前記第 5 薄膜トランジスタの前記ソースおよび前記キャパシタの前記第 2 端子の間の接続ポイントに書き込まれ、

前記第 2 フェーズにおいて、前記第 1 走査線によって供給される前記走査信号は前記低レベルから前記高レベルへジャンプし、前記第 2 走査線および前記第 3 走査線によって供給される前記走査信号は前記低レベルに維持され、前記第 2 薄膜トランジスタおよび前記第 5 薄膜トランジスタはオフされ前記有機発光ダイオードの前記アノードの前記初期化が終えられ、

前記第 3 フェーズにおいて、前記第 1 走査線によって供給される前記走査信号は前記高レベルに維持され、前記第 2 走査線によって供給される前記走査信号は前記低レベルに維

10

20

30

40

50

持され前記第3走査線によって供給される前記走査信号は前記低レベルから前記高レベルへジャンプし、前記第7薄膜トランジスタをオフにし、前記第2薄膜トランジスタおよび前記第5薄膜トランジスタをオフのままにし、前記第6薄膜トランジスタの前記ゲートおよび前記ドレインの前記初期化を終え、前記第6薄膜トランジスタの閾値電圧をサンプリングし、

前記第4フェーズにおいて、前記第1走査線および前記第3走査線によって供給される前記走査信号は前記高レベルで維持され、前記第2走査線によって供給される前記走査信号は前記低レベルから前記高レベルへジャンプし、前記第1薄膜トランジスタ、前記第3薄膜トランジスタおよび前記第4薄膜トランジスタをオフにし、前記データ電圧の書き込みを終え、前記第6薄膜トランジスタの前記閾値電圧の前記サンプリングを完了し、前記サンプリングの前記完了に続いて、前記第1走査線によって供給される前記走査信号は前記高レベルから前記低レベルへ落ち、前記第2薄膜トランジスタおよび前記第5薄膜トランジスタをオンにし、前記第6薄膜トランジスタが前記有機発光ダイオードを発行させる前記第2薄膜トランジスタを介して電力を出力する、

方法。

【請求項6】

請求項5に記載の方法であって、

前記第7薄膜トランジスタおよび前記第3薄膜トランジスタが同時にオンになるとき、前記第6薄膜トランジスタの前記ゲートが前記参照電力源によって初期化され、

前記第1薄膜トランジスタおよび前記第7薄膜トランジスタが同時にオンになるとき、前記第6薄膜トランジスタの前記ドレインが前記参照電力源によって初期化され、

前記第1薄膜トランジスタ、前記第2薄膜トランジスタおよび前記第7薄膜トランジスタが同時にオンになるとき、前記有機発光ダイオードの前記アノードが前記参照電力源によって初期化される、

方法。

【請求項7】

請求項5に記載の方法であって、

前記第4フェーズにおいて、前記第2走査線によって供給される前記走査信号に応じて、前記第2走査線および前記第6薄膜トランジスタの前記ゲートの間に位置するブーストキャパシタが、前記第6薄膜トランジスタの前記ゲート、前記第3薄膜トランジスタの前記ソースおよび前記キャパシタの前記第1端子の間にある接続ポイントにおける電圧を上昇させ、前記第6薄膜トランジスタのゲート電圧を上昇させる、

方法。

【請求項8】

請求項1～4の何れか一項で定義された画素回路を備える、有機発光ディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットパネルディスプレイ装置の分野に関し、特に、画素回路、それを駆動する方法、および有機発光ディスプレイに関する。

【背景技術】

【0002】

発光するためにバックライトシステムに頼る薄膜トランジスタ液晶ディスプレイ(TFT-LCD)とは異なり、有機発光ディスプレイ装置はそれら自体によって発光し、したがってより高い視認性と明るさを提供し、より薄く製造されることができる。現在では、有機発光ディスプレイ装置はTFT-LCD装置を置き換える次世代のディスプレイ装置と称賛されている。

【0003】

先行技術の有機発光ディスプレイ装置における画素の回路図を示す図1について言及す

10

20

30

40

50

る。図 1 に示されているように、有機発光ディスプレイ装置の画素の各々は、画素回路 10 および有機発光ダイオード OLED を含む。画素回路 10 はデータ線 Dm および走査線 Sn に接続されて有機発光ダイオード OLED の発光を制御する。画素回路 10 は、スイッチ薄膜トランジスタ M1、駆動薄膜トランジスタ M2 およびキャパシタ Cst を含む。スイッチ薄膜トランジスタ M1 は走査線 Sn に接続されたゲートおよびデータ線 Dm に接続されたソースを有する。駆動薄膜トランジスタ M2 はスイッチ薄膜トランジスタ M1 のドレインに接続されたゲート、第 1 電力配線（図示されず）を介して第 1 電力源 ELVDD に接続されたソースおよび有機発光ダイオード OLED のアノードに接続されたドレインを有する。有機発光ダイオード OLED のカソードは、第 2 電力配線（図示されず）を介して第 2 電力源 ELVSS に接続されている。有機発光ダイオード OLED は画素回路 10 によって供給される電流の効果によって発光する。キャパシタ Cst は駆動薄膜トランジスタ M2 のゲートとソースとの間に接続されて、スイッチ薄膜トランジスタ M1 のゲートにおけるデジタル信号と駆動薄膜トランジスタ M2 の閾値電圧を所定の期間維持する。

10

【0004】

しかしながら、薄膜トランジスタの製造工程の間、閾値電圧に変化が生じえる。駆動要素として作用する薄膜トランジスタの閾値電圧のそのような変化は、有機発光ダイオード OLED が、同じ明るさレベルを示すデジタル信号に応答したとしても異なる明るさレベルで発光することを招きうる。このことは明るさの非一様性を招きえて、その結果ディスプレイの質を下げる。

【0005】

20

さらには、第 1 電力源 ELVDD に接続されている電力配線および画素回路 10 はある種のインピーダンスを有し、それは、電流がそれらに流れた時に電圧降下を招き、したがって画素回路 10 にむらのある正電力源電圧を供給し、さらにそれ故に明るさの一様性を招く。非一様な明るさの問題を悪くしうる他の要素は、経年による有機発光ダイオード OLED の発光効率の悪化である。

【発明の概要】

【0006】

画素回路、それを駆動する方法および有機発光ディスプレイ装置を提供し、従来の有機発光ディスプレイ装置の利用によって生じる非一様な明るさの問題に対処するのが本発明の目的である。

30

【0007】

この目的は、第 1 薄膜トランジスタ、第 2 薄膜トランジスタ、第 3 薄膜トランジスタ、第 4 薄膜トランジスタ、第 5 薄膜トランジスタ、第 6 薄膜トランジスタ、第 7 薄膜トランジスタ、キャパシタおよび有機発光ダイオードを含む画素回路であって、前記第 6 薄膜トランジスタのソースは第 1 電力源に接続され、前記第 6 薄膜トランジスタのドレインは前記第 1 薄膜トランジスタのドレインおよび前記第 2 薄膜トランジスタのソースの双方に接続され、前記第 2 薄膜トランジスタのドレインは有機発光ダイオードのアノードに接続され、前記有機発光ダイオードのカソードは第 2 電力源に接続され、前記第 6 薄膜トランジスタのゲートは前記第 3 薄膜トランジスタのソースおよび前記キャパシタの第 1 端子に接続され、前記キャパシタの第 2 端子は前記第 4 薄膜トランジスタのドレインおよび前記第 5 薄膜トランジスタのソースの双方に接続され、前記第 4 薄膜トランジスタのソースはデータ線に接続され、前記第 5 薄膜トランジスタのドレインは、前記第 7 薄膜トランジスタのドレインと共に、参照電力源に接続され、前記第 7 薄膜トランジスタのソースは前記薄膜トランジスタのソースおよび前記第 3 薄膜トランジスタのドレインの双方に接続されている、本発明に係る画素回路によって達成される。

40

【0008】

選択的に、上記画素回路において、前記第 1 電力源および前記第 2 電力源は前記有機発光ダイオードに電力供給電圧を供給するように構成され、前記参照電力源は前記第 6 薄膜トランジスタの前記ゲートおよび前記ドレインと前記有機発光ダイオードの前記アノードに初期化電圧を供給するように構成されてもよい。

50

【0009】

選択的に、上記画素回路において、前記第2薄膜トランジスタおよび前記第5薄膜トランジスタの前記ゲートの双方は初期化制御およびキャパシタ安定化のために構成された第1走査線に接続されており、前記第1薄膜トランジスタ、前記第3薄膜トランジスタおよび前記第4薄膜トランジスタの前記ゲートの全ては、データ電圧の書き込みを制御し前記第6薄膜トランジスタの閾値電圧をサンプリングするように構成された第2走査線に接続されており、前記第7薄膜トランジスタの前記ゲートは、初期化電圧の書き込みを制御するように構成された第3走査線に接続されていてもよい。

【0010】

選択的に、上記画素回路において、前記画素回路を駆動する走査期間は第1フェーズ、第2フェーズ、第3フェーズおよび第4フェーズを含み、前記第6薄膜トランジスタの前記ゲートおよび前記ドレインと前記有機発光ダイオードの前記アノードとの初期化が前記第1フェーズの初期に始まり、前記有機発光ダイオードの前記アノードの前記初期化は前記第2フェーズの終末に終わられ、前記第6薄膜トランジスタの前記ゲートおよび前記ドレインの前記初期化は前記第3フェーズの終末に終わられ、前記第6薄膜トランジスタの閾値電圧は前記第3フェーズにおいてサンプリングされ、前記第6薄膜トランジスタは前記第4フェーズにおいてオンされ前記有機発光ダイオードに電流を供給してもよい。

10

【0011】

選択的に、上記画素回路において、前記第6薄膜トランジスタによって前記有機発光ダイオードに供給される電流は、前記データ線によって供給されるデータ電圧および前記参照電力源によって供給される初期化電圧によって決定され、前記第1電力源および前記第2電力源によって供給される前記電力供給電圧と前記第6薄膜トランジスタの閾値電圧とは独立であってもよい。

20

【0012】

選択的に、上記画素回路において、前記第2走査線と前記第6薄膜トランジスタの前記ゲート、前記第3薄膜トランジスタの前記ソースおよび前記キャパシタの前記第1端子の間にある接続点との間に位置するブーストキャパシタをさらに備えてもよい。

【0013】

結果的に、本発明は上で定義された画素回路を駆動する方法であって、第1フェーズ、第2フェーズ、第3フェーズおよび第4フェーズを含む走査期間を含み、前記第1フェーズにおいて、前記第2薄膜トランジスタおよび前記第5薄膜トランジスタの前記ゲートに接続された前記第1走査線によって供給される走査信号は、低レベルで維持され、前記第1薄膜トランジスタ、前記第3薄膜トランジスタおよび前記第4薄膜トランジスタの前記ゲートに接続された前記第2走査線によって供給される走査信号と前記第7薄膜トランジスタの前記ゲートに接続された前記第3走査線によって供給される走査信号との双方は、高レベルから低レベルへ引き下げられ、前記第1薄膜トランジスタ、前記第3薄膜トランジスタ、前記第4薄膜トランジスタおよび前記第7薄膜トランジスタをオンにし、前記第6薄膜トランジスタの前記ゲートおよび前記ドレインと前記有機発光ダイオードの前記アノードは前記参照電力源によって供給される初期化電圧によって初期化され、前記データ線によって供給されるデータ電圧は、前記第4薄膜トランジスタを介して、前記第4薄膜トランジスタの前記ドレイン、前記第5薄膜トランジスタの前記ソースおよび前記キャパシタの前記第2端子の間の接続ポイントに書き込まれ、前記第2フェーズにおいて、前記第1走査線によって供給される前記走査信号は前記低レベルから前記高レベルへジャンプし、前記第2走査線および前記第3走査線によって供給される前記走査信号は前記低レベルに維持され、前記第2薄膜トランジスタおよび前記第5薄膜トランジスタはオフされ前記有機発光ダイオードの前記アノードの前記初期化が終わられ、前記第3フェーズにおいて、前記第1走査線によって供給される前記走査信号は前記高レベルに維持され、前記第2走査線によって供給される前記走査信号は前記低レベルに維持され前記第3走査線によって供給される前記走査信号は前記低レベルから前記高レベルへジャンプし、前記第7薄膜トランジスタをオフにし、前記第2薄膜トランジスタおよび前記第5薄膜トランジスタ

30

40

50

をオフのままにし、前記第 6 薄膜トランジスタの前記ゲートおよび前記ドレインの前記初期化を終え、前記第 6 薄膜トランジスタの閾値電圧をサンプリングし、前記第 4 フェーズにおいて、前記第 1 走査線および前記第 3 走査線によって供給される前記走査信号は前記高レベルで維持され、前記第 2 走査線によって供給される前記走査信号は前記低レベルから前記高レベルへジャンプし、前記第 1 薄膜トランジスタ、前記第 3 薄膜トランジスタおよび前記第 4 薄膜トランジスタをオフにし、前記データ電圧の書き込みを終え、前記第 6 薄膜トランジスタの前記閾値電圧の前記サンプリングを完了し、前記サンプリングの前記完了に続いて、前記第 1 走査線によって供給される前記走査信号は前記高レベルから前記低レベルへ落ち、前記第 2 薄膜トランジスタおよび前記第 5 薄膜トランジスタをオンにし、前記第 6 薄膜トランジスタが前記有機発光ダイオードを発行させる前記第 2 薄膜トランジスタを介して電力を出力する、方法もまた提供する。

10

【0014】

選択的に、上記方法において、前記第 7 薄膜トランジスタおよび前記第 3 薄膜トランジスタが同時にオンになるとき、前記第 6 薄膜トランジスタの前記ゲートが前記参照電力源によって初期化され、前記第 1 薄膜トランジスタおよび前記第 7 薄膜トランジスタが同時にオンになるとき、前記第 6 薄膜トランジスタの前記ドレインが前記参照電力源によって初期化され、前記第 1 薄膜トランジスタ、前記第 2 薄膜トランジスタおよび前記第 7 薄膜トランジスタが同時にオンになるとき、前記有機発光ダイオードの前記アノードが前記参照電力源によって初期化されてもよい。

【0015】

20

選択的に、上記方法において、前記第 4 フェーズにおいて、前記第 2 走査線によって供給される前記走査信号に応じて、前記第 2 走査線および前記第 6 薄膜トランジスタの前記ゲートの間に位置するブーストキャパシタが、前記第 6 薄膜トランジスタの前記ゲート、前記第 3 薄膜トランジスタの前記ソースおよび前記キャパシタの前記第 1 端子の間にある接続ポイントにおける電圧を上昇させ、前記第 6 薄膜トランジスタのゲート電圧を上昇させる。

結果的に、本発明は、上記で定義された画素回路を備える、有機発光ディスプレイ装置もまた提供する。

【0016】

本発明に係る、上記画素回路、それを駆動する方法および有機発光ディスプレイ装置は、第 1 薄膜トランジスタ、第 2 薄膜トランジスタおよび第 7 薄膜トランジスタを介して有機発光ダイオードのアノードの初期化と、第 1 薄膜トランジスタ、第 3 薄膜トランジスタおよび第 7 薄膜トランジスタを介して駆動要素として振る舞う第 6 薄膜トランジスタのゲートおよびドレインの初期化と、をとおして、それ故、有機発光ダイオードの経年劣化を緩めることができ、製品寿命が延長される。加えて、駆動要素として振る舞う第 6 薄膜トランジスタによる電流出力はその閾値電圧と電力配線のインピーダンスとに独立であるため、薄膜トランジスタの閾値電圧の変化と電力配線のインピーダンスによって生じる明るさの非一様性が回避される。したがって、上記画素回路を利用する有機発光ディスプレイ装置、およびそれを駆動する方法は、結果的に製品寿命が延長されるだけでなくディスプレイの質も改善される。

30

40

【図面の簡単な説明】**【0017】**

【図 1】図 1 は、先行技術の有機発光ディスプレイ装置における画素の回路図を示す。

【図 2】図 2 は、本発明の第 1 実施形態にしたがった画素回路のダイアグラムである。

【図 3】図 3 は、本発明の第 1 実施形態にしたがった画素回路を駆動する方法を示すタイミングダイアグラムである。

【図 4】図 4 は、本発明の第 2 実施形態にしたがった画素回路のダイアグラムである。

【発明を実施するための形態】**【0018】**

本発明に係る、画素回路、それを駆動する方法および有機発光ディスプレイ装置は、以

50

下において具体的な実施形態と添付された図面とを用いて説明される。本発明の利点と特徴とは、以下の説明および添付された請求項によってさらに明らかになる。なお、図面はとて簡略化された型式であり、スケールは正確には描かれておらず、発明の実施形態の説明をわかりやすくする目的のみで示されている。

【 0 0 1 9 】

実施例 1

続いて、本発明の第 1 実施形態にしたがった画素回路の概略図である図 2 について言及する。図 2 に示されているように、画素回路 20 は、第 1 薄膜トランジスタ M1、第 2 薄膜トランジスタ M2、第 3 薄膜トランジスタ M3、第 4 薄膜トランジスタ M4、第 5 薄膜トランジスタ M5、第 6 薄膜トランジスタ M6、第 7 薄膜トランジスタ M7、キャパシタ C1 および有機発光ダイオード OLED を備える。第 6 薄膜トランジスタ M6 のソースは、第 1 電力源 ELVDD に接続され、第 6 薄膜トランジスタ M6 のドレインは、第 1 薄膜トランジスタ M1 のドレインおよび第 2 薄膜トランジスタ M2 のソースの双方に接続されている。第 2 薄膜トランジスタ M2 のドレインは有機発光ダイオードのアノードに接続され、有機発光ダイオードのカソードは第 2 電力源 ELVSS に接続されている。第 6 薄膜トランジスタのゲートは第 3 薄膜トランジスタ M3 のソースとキャパシタ C1 の第 1 端子に接続されている。キャパシタ C1 の第 2 端子は、第 4 薄膜トランジスタ M4 のドレインおよび第 5 薄膜トランジスタ M5 のソースの双方に接続されている。第 4 薄膜トランジスタ M4 のソースはデータ線 DATA に接続され、第 5 薄膜トランジスタ M5 のドレインは、第 7 薄膜トランジスタのドレインと共に、参照電力源 VREF に接続されている。第 7 薄膜トランジスタ M7 のソースは第 1 薄膜トランジスタ M1 のソースおよび第 3 薄膜トランジスタ M3 のドレインの双方に接続されている。

【 0 0 2 0 】

具体的には、画素回路 20 は第 1 電力源 ELVDD、第 2 電力源 ELVSS および電力書き込み（図示されず）を介して外部の参照電力源 VREF（例えば、電力供給ユニット）が充足されている。第 1 電力源 ELVDD および第 2 電力源 ELVSS が供給されて有機発光ダイオード OLED を駆動し、即ち、有機発光ダイオードに電力供給電圧を供給し、参照電力源 VREF は初期電圧 V_{ref} を供給するように構成されている。一般に、第 1 電力源 ELVDD によって供給される第 1 電力供給電圧 VDD は高レベルを有し、第 2 電力源 ELVSS によって供給される第 2 電力供給電圧 VSS は低レベルを有する。参照電力源 VREF によって供給される初期化電圧 V_{ref} は、一般的には負または 0 V に近い一定値の直流電圧（DC）である。

【 0 0 2 1 】

図 2 に示されているように、第 6 薄膜トランジスタ M6 のソースは第 1 電力源 ELVDD に接続され、第 6 薄膜トランジスタ M6 のドレインは、第 2 薄膜トランジスタ M2 を介して有機発光ダイオード OLED のアノードに接続されている。有機発光ダイオード OLED のカソードは第 2 電力源 ELVSS に接続されている。第 6 薄膜トランジスタは有機発光ダイオード OLED に電流を供給する駆動トランジスタとして作用し、有機発光ダイオード OLED はこの電流に応じて発光する。

【 0 0 2 2 】

図 2 の参照を続けると、第 5 薄膜トランジスタ M5 のドレインおよび第 7 薄膜トランジスタ M7 のドレインの双方は参照電力源 VREF に接続されている。第 5 薄膜トランジスタ M5 のソースは第 1 ノード N1 に接続され、第 5 薄膜トランジスタ M5 のゲートは第 1 走査線 S1 に接続され、第 5 薄膜トランジスタ M5 は第 1 走査線 S1 によって供給される走査信号に応じて、参照電力源 VREF から第 1 ノード N1 へ初期化電圧 V_{ref} を供給することができる。第 7 薄膜トランジスタ M7 のソースは、第 3 ノード N3 に接続され第 7 薄膜トランジスタ M7 のゲートは第 3 走査線 S3 に接続され、第 7 薄膜トランジスタ M7 は第 3 走査線 S3 によって供給される走査信号に応じて、参照電力源 VREF から第 3 ノード N3 へ書き込電圧 V_{ref} を供給することができる。第 3 薄膜トランジスタ M3 のソースは第 2 ノード N2 に接続され、第 3 薄膜トランジスタ M3 のゲートは第 2 走査線 S2 に接続され、第 3 薄膜トランジスタ M3 は第 2 走査線 S2 によって供給される走査信号に応じて第 2 ノード N2 へ第 3 ノード N3 の電圧を供給することができる。第 1 薄膜トランジスタ M1 のゲートは第 2 走査線 S2 に接続され、第 2 薄膜トランジスタ M2 の

ゲートは第1走査線S1に接続され、第1薄膜トランジスタM1および第2薄膜トランジスタM2は、第2走査線S2および第1走査線S1のそれぞれによって提供される走査信号に応じて、有機発光ダイオードOLEDのアノードへ第3ノードN3の電圧を供給することができる。

【0023】

図2に示されているように、第5薄膜トランジスタM5がオンされると、参照電力源VREFによって供給される初期化電圧Vrefが第1ノードN1に適用される。第7薄膜トランジスタM7がオンされると、参照電力源VREFによって供給される初期化電圧Vrefが第3ノードN3に適用される。第7薄膜トランジスタM7、第3薄膜トランジスタM3および第1薄膜トランジスタM1が同時にオンされると、参照電力源VREFによって供給される第3ノードN3への初期化電圧Vrefが第2ノードN2および第6薄膜トランジスタのドレインへ適用され、それによって駆動トランジスタM6のゲートおよびドレインを初期化する。第7薄膜トランジスタM7、第1薄膜トランジスタM1および第2薄膜トランジスタM2が同時にオンされると、参照電力源VREFによって提供される初期化電圧Vrefが有機発光ダイオードOLEDのアノードに適用され、それによって有機発光ダイオードのアノードを初期化する。

【0024】

図2について続けて言及すると、第4薄膜トランジスタM4のソースは、駆動チップ（図示されず）によって出力されるデータ電圧Vdataが転送されるデータ線DATAに接続される。第4薄膜トランジスタM4のドレインはキャパシタC1の第2端子および第5薄膜トランジスタM5のソースの双方に接続され、第4薄膜トランジスタM4のゲートは第2走査線S2に接続され、第4薄膜トランジスタM4は第2走査線S2によって提供される走査信号にตอบสนองしてデータ線DATAから第1ノードN1へ送信されるデータ電圧Vdataを提供することができる。第4薄膜トランジスタM4は、第2走査線S2によって提供される走査信号の影響下でオンされるかまたはオフされ、第4薄膜トランジスタM4がオンされると、データ線DATAおよび第1ノードN1は互いに電氣的に接続され、それによってデータ線DATAから第1ノードN1へデータ電圧Vdataを供給する。

【0025】

キャパシタC1は第1ノードN1と第2ノードN2との間に接続され、第2ノードN2における電圧変化量に対応するように第1ノードN1の電圧を制御する。つまり、第2ノードN2および第1ノードN1における電圧間の差がキャパシタC1にチャージされる。チャージが完了させながら、キャパシタC1はこの電圧差を維持する。

【0026】

この実施形態において、画素回路20は第7薄膜トランジスタおよびキャパシタを含む7T1C回路である。画素回路20は三つの走査線に接続されている。この実施形態において、第2薄膜トランジスタM2および第5薄膜トランジスタM5のゲートの双方は、初期化制御およびキャパシタ安定化のために構成された第1走査線S1に接続されている。第1薄膜トランジスタM1、第3薄膜トランジスタM3、第4薄膜トランジスタM4のゲートは、全て、データ電圧Vdataの書き込みを制御し駆動トランジスタの閾値電圧をサンプリングするように構成された第2走査線S2に接続されている。第7薄膜トランジスタM7のゲートは、初期化電圧Vrefの書き込みを制御するように構成された第3走査線S3に接続されている。

【0027】

第6薄膜トランジスタM6のゲートは、参照電力源VREFによって供給される初期化電圧Vrefが、第7薄膜トランジスタM7および第3薄膜トランジスタM3を介して第6薄膜トランジスタのゲートに適用されると、初期化されることができる。第6薄膜トランジスタM6のドレインは、参照電力源VREFによって供給される初期化電圧Vrefが、第7薄膜トランジスタM7および第1薄膜トランジスタM1を介して、第6薄膜トランジスタM6のドレインに適用されると初期化されることができる。有機発光ダイオードOLEDのアノードは、参照電力源VREFによって供給される初期化電圧Vrefが、第7薄膜トランジスタM7、第1薄膜トランジスタM1および第2薄膜トランジスタM2を介して、有機発光ダイオードOLEDのアノードに適用されると初期化されることができる。このようにして、有機発光ダイオードOLEDおよび駆動薄膜トランジスタの製品寿命が延長される。

【 0 0 2 8 】

加えて、第 6 薄膜トランジスタM6によって有機発光ダイオードへ供給される電流は、データ線DATAによって供給されるデータ電圧Vdataおよび参照電力源VERFによって供給される初期化電圧Vrefによって決定され、第 1 電力源ELVDDおよび第 2 電力源ELVSSによって供給される電力供給電圧と第 6 薄膜トランジスタM6の閾値電圧とに独立している。したがって、画素回路 20 の使用は、薄膜トランジスタの閾値電圧の変化と電力配線インピーダンスとによって生じる非一様な明るさを回避することができ、したがってディスプレイの質を向上させる。

【 0 0 2 9 】

結果的に、本発明は画素回路を駆動する方法もまた提供する。図 2 および 3 に併せて言及すると、上記方法は、

第 1 フェーズT1、第 2 フェーズT2、第 3 フェーズT3および第 4 フェーズT4を含む走査期間を含み、

第 1 期間T1において、第 1 走査線S1によって供給される走査信号は低レベルに維持され、第 2 走査線S2および第 3 走査線S3によって供給される走査信号は双方とも高レベルから低レベルへ引き下げられ、第 1 薄膜トランジスタM1、第 3 薄膜トランジスタM3、第 4 薄膜トランジスタM4および第 7 薄膜トランジスタM7をオンにし、第 2 薄膜トランジスタM2および第 5 薄膜トランジスタM5がオンにされ続け、第 6 薄膜トランジスタM6のゲートおよびドレインと有機発光ダイオードOLEDのアノードとは、参照電力源VREFによって供給される初期化電圧Vrefによって初期化され、データ線DATAによって供給されるデータ電圧Vdataは、第 4 薄膜トランジスタM4を介して、第 4 薄膜トランジスタM4のドレイン、第 5 薄膜トランジスタM5のソースおよびキャパシタC1の第 2 端子の間の接続点N1へ書き込まれ、

第 2 フェーズT2において、第 1 走査線S1によって供給される走査信号は低レベルから高レベルへジャンプし、第 2 走査線S2および第 3 走査線S3によって供給される走査信号は低レベルに維持され、第 2 薄膜トランジスタM2および第 5 薄膜トランジスタM5をオフにし、有機発光ダイオードOLEDのアノードの初期化を終了し、

第 3 フェーズT3において、第 1 走査線S1によって供給される走査信号は高レベルに維持され、第 2 走査線S2によって供給される走査信号は低レベルに維持され、第 3 走査線S3によって供給される走査信号は低レベルから高レベルへジャンプして、第 7 薄膜トランジスタM7をオフにし、第 2 薄膜トランジスタM2および第 5 薄膜トランジスタM5がオフされ続け、第 6 薄膜トランジスタM6のゲートおよびドレインの初期化が終えられ、第 6 薄膜トランジスタの閾値電圧がサンプリングされ、

第 4 フェーズT4において、第 1 走査線S1および第 3 走査線S3によって供給される走査信号は高レベルに維持され、第 2 走査線S2によって供給される走査信号は低レベルから高レベルへジャンプし、第 1 薄膜トランジスタM1、第 3 薄膜トランジスタM3および第 4 薄膜トランジスタM4をオフにし、データ電圧Vdataの書き込みを終え、第 6 薄膜トランジスタM6の閾値電圧のサンプリングを完了し、サンプリングの完了に続いて、第 1 走査線S1によって供給される走査信号が高レベルから低レベルへ落ち、第 2 薄膜トランジスタM2および第 5 薄膜トランジスタM5をオンにし、第 6 薄膜トランジスタM6に第 2 薄膜トランジスタM2を介して電流を出力させ、有機発光ダイオードOLEDに発光させる。

【 0 0 3 0 】

特に、第 1 フェーズT1において、第 2 走査線S2および第 3 走査線S3によって供給される走査信号が高レベルから低レベルに落ちるのに続いて、第 1 薄膜トランジスタM1、第 3 薄膜トランジスタM3、第 4 薄膜トランジスタM4および第 7 薄膜トランジスタM7をカットオフモードからオンにする。加えて、第 1 走査線S1によって供給される走査信号が低レベルに維持され、第 2 薄膜トランジスタM2および第 5 薄膜トランジスタM5がオンにされ続ける。結果として、参照電源VREFによって供給される初期化電圧Vrefが、第 5 薄膜トランジスタM5を介して、第 4 薄膜トランジスタのドレイン、第 5 薄膜トランジスタM5のソースおよびキャパシタC1のもう一方の端子の間の接続点（第 1 ノードN1）に供給される。

【 0 0 3 1 】

同時に、参照電力源VREFによって供給される初期化電圧Vrefが：第7薄膜トランジスタを介して第1薄膜トランジスタM1のソースおよび第3薄膜トランジスタM3のドレインの間の接続点（第3ノードN3）；第3薄膜トランジスタM3を介して第6薄膜トランジスタのゲート、それによって第6薄膜トランジスタのゲートを初期化する；第1薄膜トランジスタM1を介して第6薄膜トランジスタのドレイン、それによって第6薄膜トランジスタのドレインを初期化する；第1薄膜トランジスタM1および第2薄膜トランジスタM2を介して有機発光ダイオードOLEDのアノード、それによって有機発光ダイオードOLEDのアノードを初期化する；のそれぞれに供給される。このようにして、有機発光ダイオードOLEDおよび駆動薄膜トランジスタM6の経年劣化が遅延され、それらの製品寿命が延長される。

【0032】

10

この過程において、第4薄膜トランジスタM4はオンなので、データ線DATAによって供給されるデータ電圧Vdataが第4薄膜トランジスタM4を介して第1ノードN1に書き込まれる。上記の説明からわかるとおり、データ電圧Vdataおよび初期化電圧Vrefを足し合わせた電圧、つまり、Vdata+Vrefは第1ノードN1に供給される。

【0033】

第2フェーズT2において、第1走査線S1によって供給される走査信号が低レベルから高レベルにジャンプするのに続いて、第2薄膜トランジスタM2および第5薄膜トランジスタM5がオフされ、参照電力源VREFが第2薄膜トランジスタM2を介して有機発光ダイオードOLEDのアノードに初期化電圧Vrefを供給することを不可能にする。有機発光ダイオードOLEDのアノードの初期化はそれ故終わられる。

20

【0034】

この過程において、参照電力源VREFによる第1ノードN1の初期化は停止される。一方で、第4薄膜トランジスタM4がオンになると、データ電圧Vdataのみがデータ線DATAを介して第1ノードN1に供給される。

【0035】

第3フェーズT3において、第3走査線S3によって供給される走査信号が低レベルから高レベルにジャンプするに続いて、第7薄膜トランジスタM7がオフになり、それ故参照電力源VREFによって供給される初期化電圧Vrefを、第1薄膜トランジスタM1のソースと第3薄膜トランジスタM3のドレインとの間の第3ノードN3に供給するのを停止する。このことは、参照電力源VREFが、第1薄膜トランジスタM1、第3薄膜トランジスタM3および第7薄膜トランジスタM7、を介して第6薄膜トランジスタM6のゲートおよびドレインに初期化電圧Vrefを供給するのを不可能にする。第6薄膜トランジスタM6のゲートおよびドレインの初期化はしたがって停止する。一方で、第2走査線S2によって供給される走査信号が低レベルで維持されるため、第1電力供給電圧VDDが第1電力源ELVDDから第6薄膜トランジスタM6のソースへ転送され、第6薄膜トランジスタM6の閾値電圧のサンプリングおよび第2ノードN2の電圧、即ち、第6薄膜トランジスタM6のゲート電圧がVDD-Vthに到達するまでキャパシタC1をチャージすることを可能にする。ここで、Vthは第6薄膜トランジスタM6の閾値電圧の絶対値である。

30

【0036】

この過程において、第2薄膜トランジスタM2がオフなので、駆動トランジスタとして振る舞う第6薄膜トランジスタM6と有機発光ダイオードOLEDとの間の電氣的接続がブロックされ、したがって有機発光ダイオードが発光しない。

40

【0037】

第4フェーズT4において、第2走査線S2によって供給される走査信号が低レベルから高レベルにジャンプするに続き、第1薄膜トランジスタM1、第3薄膜トランジスタM3および第4薄膜トランジスタM4がオフになり、データ電圧Vdataの書き込みおよびキャパシタC1のチャージが停止する。結果的に、第6薄膜トランジスタM6の閾値電圧のサンプリングが完了する。

【0038】

この過程において、第4薄膜トランジスタM4がオフになるため、データ線DATAによって

50

供給されるデータ電圧Vdataの第1ノードN1への書き込みが停止し、第1ノードN1の電圧がそれ故データ電圧Vdataに等しくなる。

【0039】

続いて、データ線DATAによって供給されるデータ電圧Vdataが高レベルから低レベルに落ち、駆動チップが次の行の画素へデジタル信号を出力する。一方で、第1走査線S1によって供給される走査信号もまた高レベルから低レベルへ落ちるため、第2薄膜トランジスタM2および第5薄膜トランジスタM5がオンになり、参照電力源VREFによって供給される初期化電圧Vrefが第5薄膜トランジスタM5を介して第1ノードN1に供給され、第6薄膜トランジスタM6がオンになり、第2薄膜トランジスタM2を介して電流を出力する。キャパシタC1の電圧が突然変わらないため、第2ノードN2における電圧（即ち、第6薄膜トランジスタM6のゲート電圧Vg6）が第1ノードN1における電圧と併に変化する。

10

【0040】

上述したように、第1ノードN1における電圧がVdataからVrefへ、即ち、Vdata - Vref変化する。したがって、第6薄膜トランジスタM6のゲート電圧Vg6が以下のように与えられる。

$$Vg6 = VDD - Vth - (Vdata - Vref)$$

方程式 1

ここで、Vthは第6薄膜トランジスタM6の閾値電圧の絶対値であり、VDDは第1電力源ELVDDによって供給される第1電力供給電圧であり、Vdataはデータ線DATAによって供給されるデータ電圧であり、Vrefは参照電力源VREFによって供給される初期化電圧である。

【0041】

20

第6薄膜トランジスタM6のソース電圧が、第1電力源ELVDDによって供給される第1電力供給電圧VDDに等しいため、第6薄膜トランジスタM6のゲート-ソース電圧Vsg6、即ち第6薄膜トランジスタM6のゲートおよびソース間の電圧差は、

$$Vsg6 = VDD - (VDD - Vth - (Vdata - Vref))$$

方程式2

であり、方程式1および2から

$$Vsg6 - Vth = Vdata - Vref$$

方程式3.

を得る。

【0042】

有機発光ダイオードOLEDは、その中で流れるイオン流に比例して発光し、イオン流（current Ion）は、

$$Ion = K \times (Vsg6 - Vth)^2$$

方程式4

で与えられる。ここでKは電子移動度、アスペクト比および薄膜トランジスタの単位領域あたりのキャパシタンスの積である。

30

【0043】

方程式3および4から以下の方程式が得られる。

$$Ion = K \times (Vdata - Vref)^2。$$

【0044】

この方程式によって示されるように、有機発光ダイオードOLED内の電流は電力供給電圧および第6薄膜トランジスタM6の閾値電圧とは独立であり、データ電圧Vdata、初期化電圧Vrefおよび定数Kのみに関係する。したがって、第6薄膜トランジスタM6の閾値電圧に変化があり、電力供給電圧への電力配線インピーダンスの効果が実際に画素回路に作用したとしても、有機発光ダイオードOLED内におけるイオン流は全く影響を受けない。したがって、閾値電圧の変化により生じる非一様な明るさおよび電力配線インピーダンスの問題は、画素回路20およびそれを駆動する方法の使用によって克服される。同時に、有機発光ダイオードOLEDおよび駆動トランジスタとして振る舞う第6薄膜トランジスタM6の製品寿命もまた延長されることができる。

40

【0045】

実施形態2

続いて、本発明の第2実施形態にしたがう画素回路のダイアグラムである図4について言及する。図4に示されるように、画素回路30は、第1薄膜トランジスタM1、第2薄膜

50

トランジスタM1、第3薄膜トランジスタM1、第4薄膜トランジスタM1、第5薄膜トランジスタM1、第6薄膜トランジスタM1、第7薄膜トランジスタM1、キャパシタC1および有機発光ダイオードOLEDを備える。第6薄膜トランジスタM6のソースが第1電力源ELVDDに接続され、第6薄膜トランジスタM6のドレインが第1薄膜トランジスタM1のドレインおよび第2薄膜トランジスタM2のソースの双方に接続されている。第2薄膜トランジスタM2のドレインは、有機発光ダイオードOLEDのアノードに接続され、有機発光ダイオードOLEDのカソードは、第2電力源ELVSSに接続されている。第6薄膜トランジスタのゲートは第3薄膜トランジスタM3のソースおよびキャパシタC1の第1端子に接続されている。キャパシタC1の第2端子は、第4薄膜トランジスタM4のドレインおよび第5薄膜トランジスタM5のソースに接続されている。第4薄膜トランジスタM4のソースはデータ線DATAに接続され、第5薄膜トランジスタM5のドレインは、第7薄膜トランジスタM7のドレインと共に、参照電力源VREFに接続されている。第7薄膜トランジスタM7のソースは、第1薄膜トランジスタM1のソースおよび第3薄膜トランジスタM3のドレインの双方に接続されている。

【0046】

具体的には、画素回路30は実施形態1の画素回路20の全ての特徴を有し、この実施形態は、ブーストキャパシタC2がさらに第2ノードN2および第2走査線S2の間に配置され、第2ノードN2における電圧を上昇させるように構成されている点が実施形態1と異なる。

【0047】

図3および4を併せて参照すると、第4フェーズT4において、第2走査線S2によって供給される走査信号が低レベルから高レベルへジャンプすると、ブーストキャパシタC2が第2ノードN2の電圧を引き上げ、第2走査線Sn2によって供給される走査信号の変化量とブーストキャパシタC2のキャパシタンスのキャパシタC1のキャパシタンスおよびブーストキャパシタC2のキャパシタンスの合計に対する比、即ち、 $\{C2/(C1+C2)\}$ とにしたがって、第2ノードN2における電圧、即ち、第6薄膜トランジスタM6のゲート電圧Vg6を上昇させ、第6薄膜トランジスタM6における電流漏えいが削減されディスプレイコントラストにおける改善が得られる。

【0048】

この実施形態において、第1走査線S1、第2走査線Sn2および第3走査線Sn3によって供給される走査信号は、実施形態1において第1走査線S1、第2走査線Sn2および第3走査線Sn3によって供給される走査信号と同じ時系列において発展し、同じ説明を繰り返さない。詳細に関しては、画素回路を駆動する方法における第1～第4フェーズT1 - T4に関する実施形態1の記述を参照することができる。

【0049】

なお、ここで開示された実施形態は漸進的方法（progressive manner）によて記載され、各実施形態は他の実施形態との差が強調されて記載されており、同じ特徴に関して異なる実施形態間で参照されることができる。加えて、開示された実施形態において、画素回路はそれを駆動する方法に対応するため、それらはより単純な方法で記載され、画素回路の特徴に対応する方法の説明に関して参照することができる。

したがって、本発明は上記で定義された画素回路を備える有機発光ディスプレイ装置もまた供給する。

【0050】

結論的に、本発明に係る、画素回路、それを駆動する方法および有機発光ディスプレイ装置において、第1薄膜トランジスタ、第2薄膜トランジスタおよび第7薄膜トランジスタを介して有機発光ダイオードのアノードの初期化と、第1薄膜トランジスタ、第3薄膜トランジスタおよび第7薄膜トランジスタを介して駆動要素として振る舞う第6薄膜トランジスタのゲートおよびドレインの初期化と、をとおして、有機発光ダイオードおよび第6薄膜トランジスタの経年劣化が遅延されることができ、それらの製品寿命が延長される。加えて、第6薄膜トランジスタによる電流出力がその閾値電圧および電力配線インピーダンスと独立であるため、薄膜トランジスタの閾値電圧の変化によって生じる明るさの

10

20

30

40

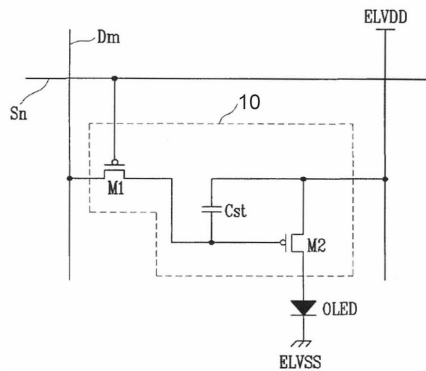
50

非一様性と電力配線インピーダンスの問題が対処できる。さらには、ブーストキャパシタによって第6薄膜トランジスタのゲート電圧を増加し、それによってその中での電流漏えいを削減することによって、ディスプレイコントラストの改善が得られるしたがって、有機発光ディスプレイ装置へ上記画素回路とそれを駆動する方法を使用することで、製品寿命が延長されるのみならずディスプレイの質が改善する。

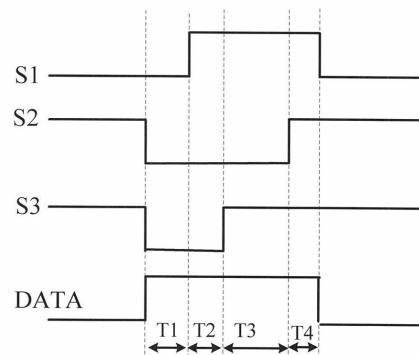
【 0 0 5 1 】

上の説明は単に本発明の好ましい実施形態についてであり、如何様にも発明の範囲を限定しない。当業者によってなされる、上述の開示に関するすべての変更および修正は添付された請求項の範囲内である。

【 図 1 】

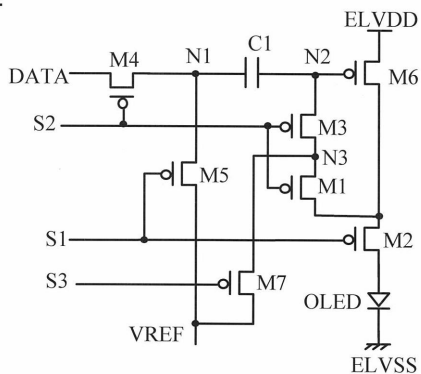


【 図 3 】



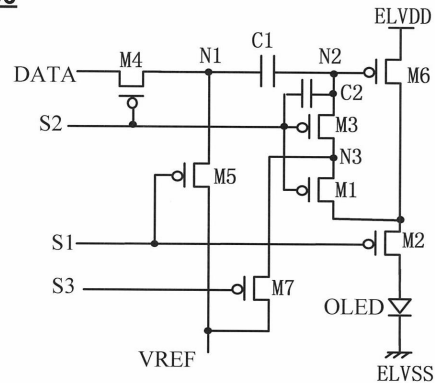
【 図 2 】

20



【 図 4 】

30



フロントページの続き

(73)特許権者 516189213

クンshan ゴー - ビシオノクス オプト - エレクトロニクス カンパニー リミテッド
Kunshan Go - Visionox Opto - Electronics Co. , Lt
d .

中華人民共和国 215300 ジアンスー クンshan ディベロップメント ゾーン ロントン
ロード ナンバー 1 ビルディング 4
Building 4 , No. 1 , Longteng Road , Developmen
t Zone , Kunshan , Jiangsu 215300 , China

(74)代理人 110002572

特許業務法人平木国際特許事務所

(72)発明者 フ, シミン

中華人民共和国 215300 ジャンスー, クンshan, ニュー アンド ハイ - テク インダ
ストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー188

(72)発明者 チュ, フィ

中華人民共和国 215300 ジャンスー, クンshan, ニュー アンド ハイ - テク インダ
ストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー188

(72)発明者 ヤン, ナン

中華人民共和国 215300 ジャンスー, クンshan, ニュー アンド ハイ - テク インダ
ストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー188

(72)発明者 ツァン, ティンティン

中華人民共和国 215300 ジャンスー, クンshan, ニュー アンド ハイ - テク インダ
ストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー188

(72)発明者 リウ, チョウイン

中華人民共和国 215300 ジャンスー, クンshan, ニュー アンド ハイ - テク インダ
ストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー188

(72)発明者 ファン, シンチ

中華人民共和国 215300 ジャンスー, クンshan, ニュー アンド ハイ - テク インダ
ストリアル ディヴェロップメント ゾーン, チェンフェン ロード ナンバー188

審査官 小野 健二

(56)参考文献 特開2005 - 202070 (JP, A)

米国特許出願公開第2011 / 0157126 (US, A1)

特開2010 - 039461 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3 / 00 - 3 / 38

专利名称(译)	像素电路，其驱动方法和有机发光显示器		
公开(公告)号	JP6437644B2	公开(公告)日	2018-12-12
申请号	JP2017519844	申请日	2015-09-25
[标]申请(专利权)人(译)	昆山新型平板显示技术中心有限公司 公山去Bishio诺克斯光电有限公司 昆山国显光电有限公司		
申请(专利权)人(译)	昆山新型平板显示技术中心有限公司 君香吴作栋-ビシオノクスオプト-电子有限公司		
当前申请(专利权)人(译)	昆山新型平板显示技术中心有限公司 君香吴作栋-ビシオノクスオプト-电子有限公司		
[标]发明人	フシミン チュフイ ヤンナン ツァンティンティン リウチョウイン ファンシンチ		
发明人	フ,シミン チュ,フイ ヤン,ナン ツァン,ティンティン リウ,チョウイン ファン,シンチ		
IPC分类号	G09G3/3233 G09G3/20		
FI分类号	G09G3/3233 G09G3/20.611.H G09G3/20.624.B G09G3/20.642.A		
审查员(译)	小野贤二		
优先权	201410545393.4 2014-10-15 CN		
其他公开文献	JP2017536569A		
外部链接	Espacenet		

摘要(译)

像素电路 (20) ，其驱动方法及有机发光显示器为此。像素电路 (20) 是第一TFT (M1) ，有机发光二极管 (OLED) 的阳极通过第二TFT (M2) 和薄膜晶体管的第七装置 (M7) 中，第一TFT (M1) ，第三初始化的薄膜晶体管 (M3) 和第七薄膜晶体管第六薄膜晶体管的栅极和漏极表现为通过 (M7) (M6) 的装置的第六薄膜晶体管的OLED (M6) 的驱动元件进行初始化，并在产品寿命的产品寿命和延长这一点。第六薄膜晶体管用作驱动元件 (M6) 的输出电流不依赖于阈值电压的阻抗和所述第六薄膜晶体管的电源线 (M6) 中，因此，在薄膜晶体管的发散和电源布线的阈值电压的不同的阻抗能够避免引起非均匀的亮度。因此，使用一个像素电路 (20) 和它的驱动方法的有机发光显示器，产品的质量可以提高扩展显示的质量。 .The

(19) 日本国特許庁 (JP)	(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6437644号 (P6437644)
(45) 発行日 平成30年12月12日 (2018. 12. 12)	(24) 登録日 平成30年11月22日 (2018. 11. 22)	
(51) Int. Cl. G09G 3/3233 (2016.01) G09G 3/20 (2006.01)	F I G09G 3/3233 G09G 3/20 6 1 1 H G09G 3/20 6 2 4 B G09G 3/20 6 4 2 A	請求項の数 8 (全 14 頁)
(21) 出願番号 特願2017-519844 (P2017-519844) (86) (22) 出願日 平成27年9月25日 (2015. 9. 25) (65) 公表番号 特表2017-536569 (P2017-536569A) (43) 公表日 平成29年12月7日 (2017. 12. 7) (86) 国際出願番号 PCT/CN2015/090664 (87) 国際公開番号 W02016/058475 (87) 国際公開日 平成28年4月21日 (2016. 4. 21) (87) 審査請求日 平成29年5月25日 (2017. 5. 25) (31) 優先権主張番号 201410545393. 4 (32) 優先日 平成26年10月15日 (2014. 10. 15) (33) 優先権主張国 中国 (CN)	(73) 特許権者 515176162 クンシャン ニュー フラット パネル ディスプレイ テクノロジー センター カンパニー リミテッド 中華人民共和国 2 1 5 3 0 0 ジャンス クンシャン ディベロップメント ゾ ーン フォトエレクトリック インダスト リアル パーク フー チュン リバー ロード ナンバー 3 2 0	最終頁に続く
(54) 【発明の名称】 画素回路、そのための駆動方法および有機発光ディスプレイ		