

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6261757号

(P6261757)

(45) 発行日 平成30年1月17日(2018.1.17)

(24) 登録日 平成29年12月22日(2017.12.22)

(51) Int.Cl.

F I

G09G 3/3233 (2016.01)

G09G 3/20 (2006.01)

G09G 3/3233

G09G 3/20 611H

G09G 3/20 624B

G09G 3/20 642A

請求項の数 10 (全 12 頁)

(21) 出願番号 特願2016-558254 (P2016-558254)
 (86) (22) 出願日 平成26年12月29日(2014.12.29)
 (65) 公表番号 特表2017-507367 (P2017-507367A)
 (43) 公表日 平成29年3月16日(2017.3.16)
 (86) 国際出願番号 PCT/CN2014/095331
 (87) 国際公開番号 WO2015/101255
 (87) 国際公開日 平成27年7月9日(2015.7.9)
 審査請求日 平成28年6月14日(2016.6.14)
 (31) 優先権主張番号 201310747565.1
 (32) 優先日 平成25年12月31日(2013.12.31)
 (33) 優先権主張国 中国(CN)

(73) 特許権者 515179314
 昆山工研院新型平板顯示技術中心有限公司
 KUNSHAN NEW FLAT PA
 NEL DISPLAY TECHNOL
 OGY CENTER CO., LTD
 .
 中国江蘇省昆山市開闢区光電産業園富春江
 路320号
 No. 320, Fu Chun Ri
 ver Road, Photoelec
 tric Industrial Par
 k, Development Zone
 Kunshan, Jiangsu,
 People's Republic o
 f China

最終頁に続く

(54) 【発明の名称】 画素回路、画素、この画素を含むアクティブマトリックス有機発光ダイオード表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

基本回路を含む画素回路であって、さらに給電回路と補償回路を含み、前記給電回路、前記基本回路及び前記補償回路は順次に接続され、前記給電回路は第1電源E L V D Dに接続され、前記基本回路に電源を提供し、前記補償回路はそれぞれに第2電源E L V S S 1及び第3電源E L V S S 2に接続され、有機発光ダイオードO L E Dの電圧の差と電流の差を補償する画素回路であって、前記基本回路は第5トランジスタT 5を含む。

前記補償回路は、前記有機発光ダイオードO L E Dと並列した浮遊容量C o l e d、第3トランジスタT 3及び第4トランジスタT 4を含み、前記有機発光ダイオードO L E Dと前記浮遊容量C o l e dが前記基本回路の前記第5トランジスタT 5のドレインと前記補償回路の前記第3トランジスタT 3及び前記第4トランジスタT 4のソースの間に並列してから直列し、前記第3トランジスタT 3と前記第4トランジスタT 4のゲートはそれぞれに第1発光制御線E m 1、第2発光制御線E m 2に接続され、前記第3トランジスタT 3と前記第4トランジスタT 4のドレインはそれぞれに前記第2電源E L V S S 1、前記第3電源E L V S S 2に接続されることを特徴とする画素回路。

【請求項 2】

前記給電回路は第2トランジスタT 2であり、前記第2トランジスタT 2は、ゲートが第1スキャン制御線S c a n 1に接続され、ソースが前記第1電源E L V D Dに接続され、ドレインが前記基本回路に接続されることを特徴とする請求項1に記載の画素回路。

【請求項 3】

10

20

前記基本回路は並列した前記有機発光ダイオード O L E D と前記浮遊容量 C o l e d により前記補償回路に接続されることを特徴とする請求項 1 に記載の画素回路。

【請求項 4】

前記基本回路は、さらに、第 1 トランジスタ T 1、第 1 コンデンサ C 1 を含み、前記第 1 トランジスタ T 1 は、ゲートが第 2 スキャン制御線 S c a n 2 に接続され、ソースがデータケーブル D m に接続され、ドレインが前記第 5 トランジスタ T 5 のゲートに接続され、前記第 1 コンデンサ C 1 は前記第 5 トランジスタ T 5 のゲートとソースの間に直列されることを特徴とする請求項 1 に記載の画素回路。

【請求項 5】

請求項 1 ~ 4 のいずれか一項に記載の画素回路を含むことを特徴とする画素。

10

【請求項 6】

請求項 5 に記載の画素を含むことを特徴とするアクティブマトリックス有機発光ダイオード A M O L E D 表示装置。

【請求項 7】

第 1 電源により給電回路と基本回路を接続し、基本回路を有機発光ダイオードにより補償回路に接続し、前記補償回路を第 2 電源と第 3 電源に接続するステップと、

前記給電回路の第 2 トランジスタを利用して基本回路に給電し、また、それぞれに第 2 電源と第 3 電源を利用して補償回路に給電し、前記給電回路の第 2 トランジスタのゲートは第 1 スキャン制御信号を入力し、前記基本回路の第 1 トランジスタのゲートは第 2 スキャン制御信号を入力し、そのソースがデータ信号を入力し、前記補償回路の第 3 トランジスタと第 4 トランジスタのゲートは、それぞれに第 1 発光制御信号と第 2 発光制御信号を入力し、それらのソースはいずれも有機発光ダイオードの陰極に接続されるステップと、

20

画素作動周期の第 1 期間に、第 1 スキャン制御信号を提供し、第 2 トランジスタにより第 1 電源の電圧を提供して、第 1 コンデンサを初期化させるステップと、

第 1 トランジスタに第 2 スキャン制御信号を提供する第 2 期間に、第 1 トランジスタにより提供されたデータ信号に対応する電圧を第 1 コンデンサに保存し、同時に、第 1 トランジスタは低レベルの第 2 スキャン制御信号に応答してオンされ、第 1 トランジスタによりデータケーブルに提供されたデータ信号を第 5 トランジスタのゲートに提供し、第 2 トランジスタのドレインに対応する電圧を有機発光ダイオードの陽極に提供し、有機発光ダイオードの陰極に給電している第 2 電源の電圧は、有機発光ダイオードの浮遊容量、第 5

30

トランジスタのドレインにより第 1 コンデンサに充電するステップと、
閾値電圧補償の第 3 期間に、第 2 発光制御信号は低レベルにホッピングされ、第 4 トランジスタは第 2 発光制御信号に応答してオンされ、第 2 トランジスタのドレインの電荷は第 5 トランジスタ、有機発光ダイオードの陽極の経路を経て、第 3 電源へ流れ、第 2 トランジスタのドレインの電圧が第 5 トランジスタのゲートの電圧の一つの閾値電圧より高い場合、第 5 トランジスタがオフされ、前記第 2 トランジスタのドレインの電荷の流動が停止するステップと、

有機発光ダイオード発光の第 4 期間に、第 1 スキャン制御信号は低レベルにホッピングされ、第 2 トランジスタは第 1 スキャン制御信号に応答してオンされ、駆動電流は第 1 電源に沿って第 2 トランジスタ、第 5 トランジスタ、有機発光ダイオード及び第 4 トランジスタの経路を経て第 3 電源に流れるステップと、

40

を含むことを特徴とする画素の駆動方法。

【請求項 8】

第 1 期間に、さらに第 3 トランジスタにより第 2 電源の電圧をリセット電圧として第 3 トランジスタのゲートに提供し、各フレームに第 3 トランジスタのソースが常によりリセットされることを特徴とする請求項 7 に記載の画素の駆動方法。

【請求項 9】

有機発光ダイオード発光の第 4 期間に、前記有機発光ダイオードに流れた電流は、

$$I o l e d = 1 / 2 C o x (\mu W / L) (V d a t a) ^ 2$$

であり、その中に、前記 $C o x$ 、 μ 、 W 及び L は、それぞれに第 5 トランジスタの単位面

50

積あたりのチャンネル容量、チャンネル移動度、チャンネル幅及び長さであり、 $Vdata$ はデータ電圧であることを特徴とする請求項7に記載の画素の駆動方法。

【請求項10】

前記有機発光ダイオードに流れた電流は、

$$I_{oled} = 1/2 * K * [Vdata]^2$$

に類似表示され、その中に、 K は常数であり、 $Vdata$ はデータ電圧であることを特徴とする請求項9に記載の画素の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、フラットパネルディスプレイ技術に関し、特に画素回路、画素、この画素を含むアクティブマトリックス有機発光ダイオード（AMOLED）表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、陰極線管に対して軽量且つ体積が小さい各タイプのフラットパネル表示装置が開発された。

【0003】

各タイプのフラットパネル表示装置に、アクティブマトリックス有機発光ダイオード（AMOLED）表示装置は自己発光の有機発光ダイオード（OLED）を使用して画像を表示し、通常、応答時間が短く、低消費電力で駆動し、より良い光度及び色純度を有する特性を有するため、有機発光表示装置は、次世代のディスプレイ技術の焦点になっている。

20

【0004】

大型AMOLED表示装置について、スキャン線とデータケーブルの交差領域にある複数の画素を含む。各画素はOLEDと前記OLEDを駆動するための画素回路を含む。前記画素回路は、通常、スイッチトランジスタ、駆動トランジスタ及び蓄積容量を含む。

【0005】

AMOLEDの画素特性が駆動トランジスタ間の差とスイッチトランジスタのリーク電流に影響されるため、このような複数の画素表示の画像の品質の均一性と一致性が悪い。

30

【0006】

図1は従来技術におけるアクティブマトリックス有機発光ダイオード（AMOLED）表示装置の画素の概略図である。図1に示すように、画素回路112のトランジスタはPMOS（ n 型基板、 p チャンネルであり、正孔の流動により電流を伝送するMOSチューブ）トランジスタである。

【0007】

AMOLED表示装置の画素110は、OLED、データケーブル Dm とスキャン制御線 $Sn1$ に接続され、前記OLEDを制御する画素回路112を含む。

【0008】

前記OLEDの陽極は画素回路112に接続され、OLEDの陰極は第2電源 $ELVS$ に接続される。このOLEDは、画素回路112が提供した電流の強さに対応する光度を有する光を発する。

40

【0009】

スキャン制御線 $Sn1$ にスキャン信号を提供する場合、画素回路112はデータケーブル Dm に提供されたデータ信号に応じてOLEDに提供された電流量を制御する。そのために、画素回路112は、第1電源 $ELVDD$ と有機発光ダイオードOLEDの陽極の間に接続された第2トランジスタ $T2$ （即ち、駆動トランジスタ）及び第2トランジスタ $T2$ のゲートと第1電源 $ELVDD$ の間に接続される第1コンデンサ $C1$ を含み、第1トランジスタのゲートは前記スキャン制御線 $Sn1$ に接続される。

【0010】

50

第1トランジスタT1のゲートはスキャン制御線S_{n1}に接続され、第1トランジスタT1のソース（またはドレイン）はデータケーブルD_mに接続される。第1トランジスタT1のドレイン（またはソース）は第1コンデンサC1の一端（他端が第1電源E_{LVD}Dに接続される）に接続される。スキャン制御線S_{n1}から第1トランジスタT1にスキャン制御信号を提供する場合、第1トランジスタT1がオンされ、データケーブルD_mから提供されたデータ信号が第1コンデンサC1に提供される。この時、データ信号に対応する電圧が第1コンデンサC1に保存されている。

【0011】

第2トランジスタT2のゲートは第1コンデンサC1の一端（他端が第1電源E_{LVD}Dに接続される）に接続され、第2トランジスタT2のソースは第1電源E_{LVD}Dに接続される。第2トランジスタT2のドレインはOLEDの陽極に接続される。第2トランジスタT2は第1電源E_{LVD}Dから前記OLEDを経て第2電源E_{LVS}Sに流れた電流を制御し、この電流の大きさは第1コンデンサC1に保存されている電圧に対応する。

10

【0012】

第1コンデンサC1の一端は第2トランジスタT2のゲートに接続され、この第1コンデンサC1の他端は第1電源E_{LVD}Dに接続され、データ信号に対応する電圧は第1コンデンサC1に充電される。

【0013】

画素110は、第1コンデンサC1に充電された電圧に応じてOLEDに提供される電流を調整してOLEDの光度を制御することにより、所定光度を有する画像を表示する。しかしながら、この伝統的なAMOLED表示装置に、第2トランジスタT2の閾値電圧変化と第1トランジスタT1のリーク電流の影響により、光度均一の画像が表示され難い。例えば、違う画素の中に第2トランジスタT2の閾値電圧の差と第1電源E_{LVD}Dの差により、同じゲートの駆動電圧を加える時、OLEDに流れた電流が一致せず、OLEDの光度が一致せず、各画素は同一のデータ信号に应答して、発生した光が違う光度を有するため、表示された画像は均一の光度を有することが難しい。

20

【発明の概要】

【発明が解決しようとする課題】

【0014】

本発明は、以上の事情を鑑み、トランジスタの閾値電圧と電源電圧の差を補償し、AMOLEDの応答特性を改善して、同じ光度の光が発生され、AMOLED表示装置が表示した画像の均一性、一致性の要求を満足させる画素、この画素を使用するアクティブマトリックス有機発光ダイオード（AMOLED）表示装置及びその駆動方法を提供することを目的とする。

30

【課題を解決するための手段】

【0015】

上記の目的を達成するために、本発明の技術案は下記のように実現される。

【0016】

画素回路112は、基本回路1122を含み、さらに給電回路1121と補償回路1123を含み、前記給電回路1121、前記基本回路1122及び前記補償回路1123は順次に接続され、前記給電回路1121は第1電源E_{LVD}Dに接続され、前記基本回路1122に電源を提供し、前記補償回路1123はそれぞれに第2電源E_{LVS}S1及び第3電源E_{LVS}S2に接続され、有機発光ダイオードOLEDの電圧と電流の差を補償する。

40

【0017】

その中に、前記給電回路1121は第2トランジスタT2であり、前記第2トランジスタT2は、ゲートがスキャン制御線S_{can1}に接続され、ソースが第1電源E_{LVD}Dに接続され、ドレインが前記基本回路1122に接続される。

【0018】

50

前記基本回路 1 1 2 2 は並列した O L E D と浮遊容量 C o l e d により前記補償回路 1 1 2 3 に接続される。

【 0 0 1 9 】

前記基本回路 1 1 2 2 は、第 1 トランジスタ T 1、第 5 トランジスタ T 5 及び第 1 コンデンサ C 1 を含み、前記第 1 トランジスタ T 1 は、ゲートが第 2 スキャン制御線 S c a n 2 に接続され、ソースがデータケーブル D m に接続され、ドレインが前記第 5 トランジスタ T 5 のゲートに接続され、第 1 コンデンサ C 1 は前記第 5 トランジスタ T 5 のゲートとソースの間に直列される。

【 0 0 2 0 】

前記補償回路 1 1 2 3 は、O L E D と並列した浮遊容量 C o l e d、第 3 トランジスタ T 3 及び第 4 トランジスタ T 4 を含み、前記 O L E D と浮遊容量 C o l e d が基本回路 1 1 2 2 の第 5 トランジスタ T 5 のドレインと補償回路 1 1 2 3 の第 3 トランジスタ T 3 及び第 4 トランジスタ T 4 のソースの間に並列してから直列し、前記第 3 トランジスタ T 3 と前記第 4 トランジスタ T 4 のゲートはそれぞれに発光制御線 E m 1、発光制御線 E m 2 に接続され、前記第 3 トランジスタ T 3 と前記第 4 トランジスタ T 4 のドレインはそれぞれに第 2 電源 E L V S S 1、第 3 電源 E L V S S 2 に接続される。

10

【 0 0 2 1 】

本発明はさらに前記いずれか一項に記載の画素回路の画素を提供した。

【 0 0 2 2 】

本発明はさらに前記画素の A M O L E D 表示装置を提供した。

20

【 0 0 2 3 】

画素の駆動方法は、

第 1 電源 E L V D D により給電回路 (1 1 2 1) と基本回路 (1 1 2 2) を接続し、基本回路 (1 1 2 2) を O L E D により補償回路 (1 1 2 3) に接続し、前記補償回路 (1 1 2 3) を第 2 電源 E L V S S 1 と第 3 電源 E L V S S 2 に接続するステップ A と、

前記給電回路 (1 1 2 1) の第 2 トランジスタ T 2 を利用して基本回路 (1 1 2 2) に給電し、また、それぞれに第 2 電源 E L V S S 1 と第 3 電源 E L V S S 2 を利用して補償回路 (1 1 2 3) に給電し、前記給電回路 (1 1 2 1) の第 2 トランジスタのゲートはスキャン制御信号 S c a n 1 を入力し、前記基本回路 (1 1 2 2) の第 1 トランジスタ T 1 のゲートはスキャン制御信号 S c a n 2 を入力し、そのソースがデータ信号 D m を入力し、前記補償回路 (1 1 2 3) の第 3 トランジスタ T 3 と第 4 トランジスタ T 4 のゲートは、それぞれに発光制御信号 E m 1 と発光制御信号 E m 2 を入力し、それらのソースはいずれも O L E D の陰極に接続されるステップ B と、

30

画素作動周期 T の期間 t 1 に、スキャン制御信号を提供し、第 2 トランジスタ T 2 により第 1 電源 E L V D D の電圧を提供して、第 1 コンデンサ C 1 を初期化させるステップ C と、

第 1 トランジスタ T 1 にスキャン制御信号 S c a n 2 を提供する期間 t 2 に、第 1 トランジスタ T 1 により提供されたデータ信号 V d a t a に対応する電圧を第 1 コンデンサ C 1 に保存し、同時に、第 1 トランジスタ T 1 は低レベルのスキャン制御信号 S c a n 2 に応答してオンされ、第 1 トランジスタ T 1 によりデータケーブル D m に提供されたデータ信号 V d a t a を第 5 トランジスタ T 5 のゲートに提供し、第 2 トランジスタ T 2 のドレインに対応する電圧を O L E D の陽極に提供し、O L E D の陰極に給電している第 2 電源 E L V S S 1 の電圧は、O L E D の浮遊容量 C o l e d、第 5 トランジスタ T 5 のドレインにより第 1 コンデンサ C 1 に充電するステップ D と、

40

閾値電圧補償の期間 t 3 に、発光制御信号 E m 2 は低レベルにホッピングされ、第 4 トランジスタ T 4 は発光制御信号 E m 2 に応答してオンされ、第 2 トランジスタ T 2 のドレインの電化は第 5 トランジスタ T 5、O L E D の陽極を経て、第 3 電源 E L V S S 2 へ流れ、第 2 トランジスタ T 2 のドレインの電圧が第 5 トランジスタ T 5 のゲートの電圧の一つの閾値電圧より高い場合、第 5 トランジスタ T 5 がオフされ、前記第 2 トランジスタ T 2 のドレインの電荷の流動が停止するステップ E と、

50

OLED発光の期間 t_4 に、スキャン制御信号 S_{can1} は低レベルにホッピングされ、第2トランジスタ T_2 はスキャン制御信号 S_{can1} に応答してオンされ、駆動電流は第1電源 $ELVDD$ に沿って第2トランジスタ T_2 、第5トランジスタ T_5 、OLED及び第4トランジスタ T_4 の経路を経て第3電源 $ELVSS_2$ に流れるステップ F と、を含む。

【0024】

その中に、期間 t_1 に、さらに第3トランジスタ T_3 により第2電源 $ELVSS_1$ の電圧をリセット電圧として第3トランジスタ T_3 のゲートに提供し、各フレームに第3トランジスタ T_3 のソースが常によりセットされる。

【0025】

OLED発光の期間 t_4 に、前記OLEDに流れた電流 I_{oled} は、

$$I_{oled} = 1/2 C_{ox} (\mu W/L) (V_{data})^2$$

であり、その中に、前記 C_{ox} 、 μ 、 W 及び L は、それぞれに第5トランジスタ T_5 の単位面積あたりのチャネル容量、チャネル移動度、チャネル幅及び長さであり、 V_{data} はデータ電圧である。

【0026】

前記OLEDに流れた電流 I_{oled} は、

$$I_{oled} = 1/2 * K * [V_{data}]^2$$

に類似表示され、その中に、 K は常数であり、 V_{data} はデータ電圧である。

【発明の効果】

【0027】

本発明が提供した画素回路、画素、この画素を含むアクティブマトリックス有機発光ダイオード (AMOLED) 表示装置及びその駆動方法は、下記の長所がある。

【0028】

本発明の画素及びこの画素を含むAMOLED表示装置を応用して、第2トランジスタ T_2 の閾値電圧と第1電源 $ELVDD$ の電圧の差を補償することにより、AMOLEDの応答特性が改善され、同じ光度を有する光を発生できるため、この画素回路を採用したAMOLED表示装置が表示した画像の品質は均一性と一致性を有する。

【図面の簡単な説明】

【0029】

【図1】従来技術におけるアクティブマトリックス有機発光ダイオード (AMOLED) 表示装置の画素の概略図である。

【図2】本発明の画素を含むアクティブマトリックス有機発光ダイオード (AMOLED) 表示装置の機能のブロック図である。

【図3】図2の画素のアーキテクチャ図である。

【図4】図3の画素を駆動する駆動信号波形図である。

【発明を実施するための形態】

【0030】

以下、図面及び本発明の実施例を合わせて参照して本発明の画素回路、画素、この画素を含むアクティブマトリックス有機発光ダイオード (AMOLED) 表示装置及びその駆動方法をさらに詳細的に説明する。

【0031】

ここで、第1素子が第2素子に接続されるように配置される場合、第1素子は直接的に第2素子に接続可能であり、あるいは一つまたは複数の付加素子を介して間接的に第2素子に接続可能である。さらに、明瞭するために、本発明を十分理解することにとって必須ではないある素子を簡明に省略した。

【実施例1】

【0032】

図2は本発明の画素を含むアクティブマトリックス有機発光ダイオード (AMOLED) 表示装置の機能のブロック図である。図2に示すように、前記AMOLED表示装置は

10

20

30

40

50

、主に表示ユニット100、スキャンドライバ200及びデータドライバ300を含む。

【0033】

前記表示ユニット100は、複数の画素110(図3)を含み、前記複数の画素110は、行列形式でスキャン制御線Scan1n、スキャン制御線Scan2n、発光制御線Em1n、発光制御線Em2n及びデータケーブルD1~Dmの交差領域に配列される。その中に、nは画素が所在する行列番号である。

【0034】

各画素110をスキャン制御線(例えば、Scan1n、Scan2n)、発光制御線(例えば、Em1n、Em2n)及びデータケーブルに接続する。前記データケーブルは列によりそれぞれに各列の画素の中の画素110に接続される。例えば、i行目とj列目の画素110をi行目のスキャン制御線Scan1i、Scan2i、第i行の発光制御線Em1i、Em2i及びj列目のデータケーブルDjに接続する。

10

【0035】

表示ユニット100は外部電源、例えば第1電源ELVDD、第2電源ELVSS1及び第3電源ELVSS2からの電力を受電する。前記第1電源ELVDDと第2電源ELVSS2はそれぞれに高レベル電圧源と低レベル電圧源として使用される。第1電源ELVDDと第3電源ELVSS2は画素110の駆動電源として使用される。第2電源ELVSS1は第5トランジスタT5(図3参照)閾値電圧変動による有機発光ダイオード駆動電流の変化を補償する。

【0036】

20

スキャンドライバ200は画素110に使用されるスキャン制御信号と発光制御信号を発生する。スキャンドライバ200により発生したスキャン制御信号は、それぞれにスキャン制御線Scan1i~Scan1nの順序により画素110に提供される。スキャンドライバ200により発生した発光制御信号は、それぞれに発光制御線Em1i~Em1nの順序により画素110に提供される。

【0037】

データドライバ300は、画素110に使用されるデータ及びデータ制御信号に対応するデータ信号を発生する。データドライバ300により発生したデータ信号は、データケーブルD1~Dmによりスキャン信号と同期に画素110に提供される。

【0038】

30

図3は図2の画素のアーキテクチャ図である。図3に示された画素は、図2のAMOLED表示装置に応用されることができる。説明の便宜のために、図3にn行目とm行目にある画素110を例として説明し、データケーブルDmも含まれている。

【0039】

図3に示すように、前記画素110は、画素回路112とOLEDを含む。前記画素回路112は第1電源ELVDDと第3電源ELVSS2の間に接続され、有機発光ダイオード(OLED)に駆動電流を提供する。

【0040】

前記画素回路112は、主に順次に接続される給電回路1121、基本回路1122及び補償回路1123の三つの部分を含む。

40

【0041】

給電回路1121は、第2トランジスタT2を含む。前記第2トランジスタT2は、ゲートが第1スキャン制御線Scan1に接続され、ソース(またはドレイン)が第1電源ELVDDに接続され、ドレイン(またはソース)が前記基本回路1122の第5トランジスタT5のソース(またはドレイン)に接続される。

【0042】

基本回路1122、即ち2T1C回路は、従来に常用の画素回路である。この基本回路1122は、第1トランジスタT1、第5トランジスタT5及び第1コンデンサC1を含む。第1トランジスタT1のゲートは第2スキャン制御線Scan2に接続され、前記第1トランジスタT1は、ソース(またはドレイン)がデータケーブルDmに接続され、ド

50

レイン（またはソース）が前記第5トランジスタT5のゲートに接続される。前記第1コンデンサC1は前記第5トランジスタT5のゲートと給電回路1121に接続されるソース（またはドレイン）の間に並列され、言い換えれば、前記基本回路1122は、第5トランジスタT5のソース（またはドレイン）により前記給電回路1121の第2トランジスタT2のドレイン（またはゲート）に接続される。

【0043】

前記基本回路1122は第5トランジスタT5のドレイン（またはソース）は画素110のOLEDの陽極に接続され、前記OLEDの陰極は補償回路1123の第3トランジスタT3、第4トランジスタT4のソース（またはドレイン）に接続される。浮遊容量C_{oled}は前記OLEDの陽極と陰極の両端に並列され、前記第3トランジスタT3及び第4トランジスタT4と前記補償回路1123を構成する。

10

【0044】

前記補償回路1123に、第3トランジスタT3と第4トランジスタT4のドレイン（またはソース）はそれぞれに第2電源ELVSS1と第3電源ELVSS2に接続される。第3トランジスタT3のゲートは発光制御線Em1に接続され、第4トランジスタT4のゲートは発光制御線Em2に接続される。前記第3トランジスタT3と第4トランジスタT4のソース（またはドレイン）の電位が同じである。

【0045】

上記の第1、第2、第3、第4及び第5トランジスタはいずれも電界効果トランジスタであり、そのソースとドレインが同じである。

20

【0046】

本発明の画素回路112が作動する時、第1トランジスタT1は、スキャン制御信号がスキャン制御線Scan2に提供される期間t2に、前記第1トランジスタT1はデータ電圧Vdataを第5トランジスタのゲートに提供する。

【0047】

第2トランジスタT2は第1電源ELVDDと第5トランジスタT5のソース（またはドレイン）の間に接続され、第2トランジスタT2のゲートは、スキャン制御線Scan1を接続することで、期間t2にスキャン制御信号をスキャン制御線Scan1に提供し、この時、給電回路1121の第2トランジスタT2がオンされて、第1電源ELVDDと画素110がオンされる。

30

【0048】

第3トランジスタT3は、OLEDの陰極と第2電源ELVSS1の間に接続され、前記第3トランジスタT3のゲートは、発光制御線Em1に接続される。スキャン制御信号を発光制御線Em1に提供する期間t3に、第3トランジスタT3がオンされ、前記OLEDと第2電源ELVSS1の電圧がオンされる。これにより、画素110の初期化期間t1、データ電圧読込期間t2、OLEDの陰極駆動電圧の振幅が第2電源ELVSS1の電圧であるように制御する。

【0049】

第4トランジスタT4はOLEDの陰極と第3電源ELVSS2の間に接続され、前記第4トランジスタT4のゲートは発光制御線Em2に接続される。スキャン制御信号を発光制御線Em2に提供する期間t4に、第4トランジスタT4がオンされ、前記OLEDと第3電源ELVSS2の電圧がオンされ、画素110の閾値電圧補償期間t3、発光期間t4の前記OLEDの陰極駆動電圧の振幅が第3電源ELVSS2の電圧であるように制御する。

40

【0050】

第5トランジスタT5は第2トランジスタT2とOLEDの陽極の間に直列され、前記第5トランジスタT5のゲートは第1トランジスタT1のドレイン（またはソース）に接続される。スキャン制御線から提供されたスキャン制御信号Scan2が低レベルにホッピングされた場合、第1トランジスタT1がオンされ、データ信号が第1トランジスタT1により第5トランジスタT5のゲートに発送される。

50

【 0 0 5 1 】

第 1 コンデンサ C 1 は第 2 トランジスタ T 2 のドレイン（またはソース）と第 5 トランジスタ T 5 のゲートの間に接続される。スキャン制御信号をスキャン制御線 S c a n 1 に提供する期間 t 1 に、第 2 トランジスタ T 2 により第 1 電源 E L V D D の電圧を提供して、第 1 コンデンサ C 1 を初期化させる。そのあと、スキャン制御信号をスキャン制御線 S c a n 2 に提供する期間 t 2 に、第 1 トランジスタ T 1 により提供されたデータ信号に対応する電圧が第 1 コンデンサ C 1 に保存されている。

【 0 0 5 2 】

前記 O L E D は第 5 トランジスタ T 5 のドレイン（またはソース）と第 3 トランジスタ T 3 のソース（またはドレイン）間に直列される。画素 1 1 0 の発光期間 t 4 に、O L E D は、光度が第 1 電源 E L V D D、第 5 トランジスタ T 5、第 2 トランジスタ T 2 及び第 4 トランジスタ T 4 から提供された駆動電流の大きさに対応する光を発する。

10

【 0 0 5 3 】

画素 1 1 0 に、駆動トランジスタ（例えば、第 5 トランジスタ T 5）閾値電圧が一致しないため、O L E D に流れた電流も一致せず、画素 1 1 0 の光度一致性が不良になり、結果的には画像ムラになる。第 4 トランジスタ T 4 と第 3 トランジスタ T 3 を設置することで、各フレームの初期化期間 t 1 に駆動トランジスタ（例えば、第 5 トランジスタ T 5）の閾値電圧の変化を補償することにより、上記の画像 1 1 0 の光度一致性不良により画像ムラになる製品欠陥を避けることができる。

【 0 0 5 4 】

20

図 4 は図 3 の画素を駆動する駆動信号波形図である。描写の便宜のために、図 4 に、図 3 の画素が 1 フレーム信号期間に提供した駆動信号の波形が示され、図 3 を合わせてこの画素の駆動過程について説明する。

【 0 0 5 5 】

スキャン制御信号 S c a n 1 は、第 2 トランジスタ T 2 と第 1 電源 E L V D D がオンされるように第 2 トランジスタ T 2 を制御する。

【 0 0 5 6 】

スキャン制御信号 S c a n 2 は、データレベルを読み込むように第 1 トランジスタ T 1 を制御する。

【 0 0 5 7 】

30

発光制御線 E m 1 は、第 3 トランジスタ T 3 と第 2 電源 E L V S S 1 がオンされるように第 3 トランジスタ T 3 を制御する。

【 0 0 5 8 】

発光制御線 E m 2 は、第 4 トランジスタ T 4 と第 3 電源 E L V S S 2 がオンされるように第 4 トランジスタ T 4 を制御する。

【 0 0 5 9 】

図 4 に示すように、初期化段階に設置された期間、即ち期間 t 1 に、まず、低レベルのスキャン制御信号 S c a n 1 が画素 1 1 0 に提供される。そのため、第 2 トランジスタ T 2 は低レベルのスキャン制御信号 S c a n 1 によりオンされる。さらに、第 1 電源 E L V D D の電圧は第 5 トランジスタ T 5 のソース（またはドレイン）に提供される。低レベルの発光制御信号 E m 1 は画素 1 1 0 に提供される。そのため、第 3 トランジスタ T 3 は低レベルの発光制御信号 E m 1 によりオンされる。これにより、第 2 電源 E L V S S 1 の電圧は第 3 トランジスタ T 3 のソース（またはドレイン）に提供される。

40

【 0 0 6 0 】

図 3 を参照して、期間 t 1 に、第 3 トランジスタ T 3 により第 2 電源 E L V S S 1 の電圧をリセット電圧として第 3 トランジスタ T 2 のソース（またはドレイン）に提供できる。これにより、各フレームの第 3 トランジスタ T 3 のソース（またはドレイン）は常にリセットされることができる。

【 0 0 6 1 】

そのあと、データ電圧読込期間に設置された期間 t 2（即ち、データ電圧読込期間）に

50

、低レベルのスキャン制御信号 S_{can2} が画素 110 に提供される。そして、第 1 トランジスタ T_1 は低レベルのスキャン制御信号 S_{can2} に応答してオンされる。そのため、第 1 トランジスタ T_1 により、データケーブル D_m に提供されたデータ信号 V_{data} が第 5 トランジスタ T_5 のゲートに提供される。この時、第 5 トランジスタ T_5 がオン状態にあるため、第 2 トランジスタ T_2 のドレイン（またはソース）の相応の電圧が $OLED$ の陽極に提供される。 $OLED$ の陰極端に提供された第 2 電源 $ELVSS1$ の電圧は、 $OLED$ の浮遊容量 C_{oled} 、第 5 トランジスタ T_5 のドレイン（またはソース）により第 1 コンデンサ C_1 に充電する。

【0062】

さらに、閾値電圧補償に設置された期間 t_3 （即ち、閾値補償）に、発光制御信号 E_m2 が低レベルにホッピングされる。そして、第 4 トランジスタ T_4 は低レベルの発光制御信号 E_m2 に応答してオンされる。そのため、第 2 トランジスタ T_2 のドレイン（またはソース）の電荷は、第 5 トランジスタ T_5 、 $OLED$ の陽極の経路を経て第 3 電源 $ELVSS2$ に流れ、第 2 トランジスタ T_2 のドレイン（またはソース）の電圧が第 5 トランジスタ T_5 のゲートの電圧の一つの閾値電圧（即ち、第 5 トランジスタ T_5 の閾値電圧）より高い場合、第 5 トランジスタ T_5 がオフされ、前記第 2 トランジスタ T_2 のドレイン（またはソース）の電荷の流動は停止する。

【0063】

ここで、前記第 5 トランジスタ T_5 が応答した第 5 トランジスタ T_5 に提供された閾値電圧に対応する電圧は第 1 コンデンサ C_1 に保存されているため、期間 t_3 に第 5 トランジスタ T_5 の閾値電圧を補償する。

【0064】

最後に、発光に設置された期間 t_4 （即ち発光期間）に、スキャン制御信号 S_{can1} は低レベルにホッピングされる。そして、第 2 トランジスタ T_2 はスキャン制御信号 S_{can1} に応答してオンされる。そのため、駆動電流は、第 1 電源 $ELVDD$ に沿って第 2 トランジスタ T_2 、第 5 トランジスタ T_5 、 $OLED$ 及び第 4 トランジスタ T_4 を経て第 3 電源 $ELVSS2$ に流れる。有機発光ダイオード（ $OLED$ ）に流れた電流 I_{oled} は下記のように得られる。

【0065】

$$I_{oled} = 1/2 C_{ox} (\mu W / L) (V_{data})^2$$

そのなかに、 C_{ox} 、 μ 、 W 及び L は、それぞれに第 5 トランジスタ T_5 の単位面積あたりのチャネル容量、チャネル移動度、チャネル幅及び長さであり、 V_{data} はデータ電圧である。

【0066】

上記の $OLED$ に流れた電流は下記のように類似表示される。

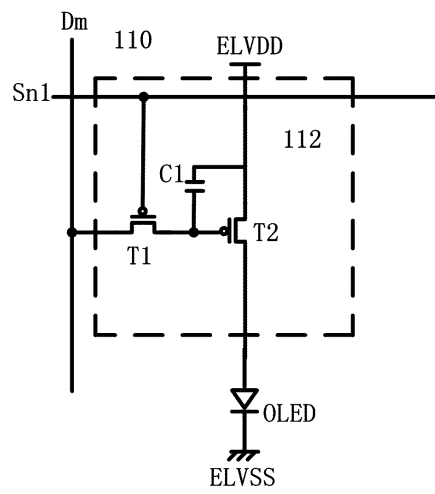
$$\begin{aligned} I_{oled} &= 1/2 * K * [V_{sg} - |V_{th}|]^2 \\ &= 1/2 * K * [V_{dd} - (V_{dd} - V_{c1}) - |V_{th}|]^2 \\ &= 1/2 * K * [|V_{th}| + (1 - N) / N * V_{data} - |V_{th}|]^2 \\ &= 1/2 * K * [(1 - N) / N * V_{data}]^2 \\ &= 1/2 * K * [V_{data}]^2 \end{aligned}$$

その中に、 K は $C_{ox} * \mu * W * L$ であり、常数であり、 V_{sg} はソースとゲートの電圧の差であり、 V_{th} は閾値電圧であり、 V_{dd} は第 1 電源電圧 $ELVDD$ であり、 V_{c1} は第 1 コンデンサ C_1 に保存されている電圧であり、 V_{data} はデータ電圧であり、 N は 1 より大きい自然数である。

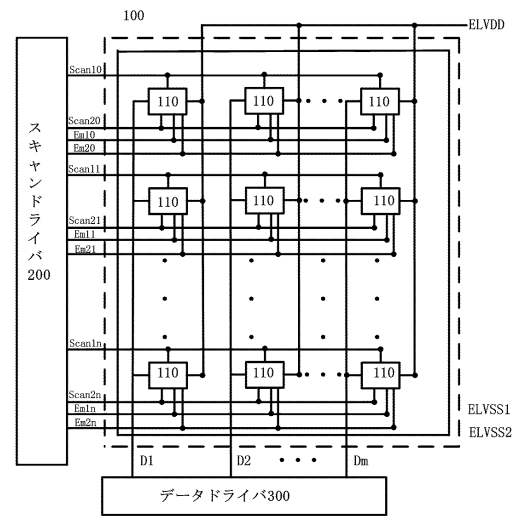
【0067】

以上に述べた内容は本発明の比較的により好ましい実施例に過ぎず、本発明の保護範囲を限定するものではない。

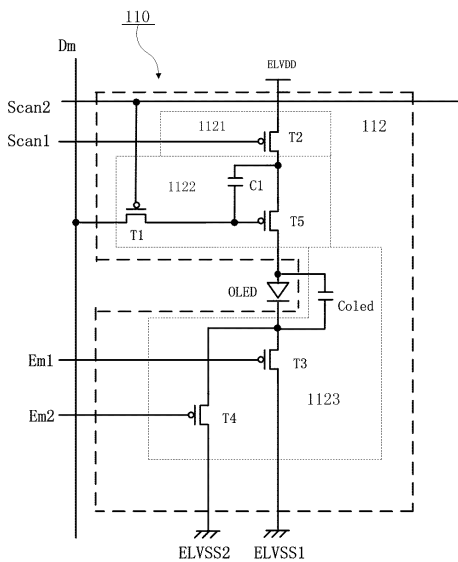
【図 1】



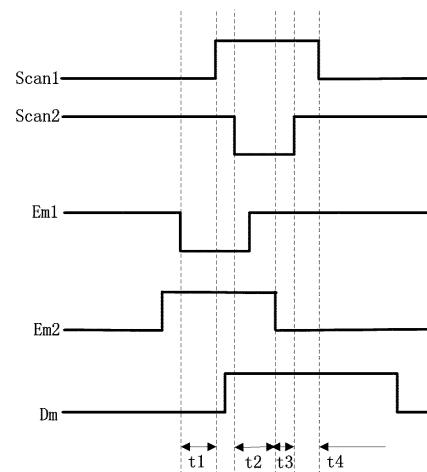
【図 2】



【図 3】



【図 4】



フロントページの続き

(73)特許権者 515179325

昆山国顯光電有限公司

KUNSHAN GO-VISIONOX OPTO-ELECTRONICS CO., LTD.

中国江蘇省昆山市開發区龍騰路1号4棟

Building 4, No. 1, Longteng Road, Development Zone Kunshan, Jiangsu, People's Republic of China

(74)代理人 110001922

特許業務法人 日峯国際特許事務所

(72)発明者 朱暉

中華人民共和国江蘇省昆山市高新区晨豊路188号

(72)発明者 胡思明

中華人民共和国江蘇省昆山市高新区晨豊路188号

(72)発明者 黄秀▲キ▼

中華人民共和国江蘇省昆山市高新区晨豊路188号

審査官 中村 直行

(56)参考文献 特開2010-145579(JP, A)

米国特許出願公開第2012/0248471(US, A1)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

专利名称(译)	像素电路，像素，包括该像素的有源矩阵有机发光二极管显示装置及其驱动方法		
公开(公告)号	JP6261757B2	公开(公告)日	2018-01-17
申请号	JP2016558254	申请日	2014-12-29
[标]申请(专利权)人(译)	昆山工研院新型平板显示技术中心有限公司 昆山国显光电有限公司		
申请(专利权)人(译)	昆山工研院新型平板显示技术中心有限公司 昆山国显光电有限公司		
当前申请(专利权)人(译)	昆山工研院新型平板显示技术中心有限公司 昆山国显光电有限公司		
[标]发明人	朱暉 胡思明		
发明人	朱暉 胡思明 黄秀▲キ▼		
IPC分类号	G09G3/3233 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3258 G09G2300/043 G09G2300/0814 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/061 G09G2320/0233 G09G2320/045		
FI分类号	G09G3/3233 G09G3/20.611.H G09G3/20.624.B G09G3/20.642.A		
审查员(译)	中村直之		
优先权	201310747565.1 2013-12-31 CN		
其他公开文献	JP2017507367A		
外部链接	Espacenet		

摘要(译)

公开了一种像素电路，像素，包括该像素的有源矩阵有机发光二极管（AMOLED）显示器及其驱动方法。像素电路112包括依次连接的馈电电路1121，基本电路1122和补偿电路1123，馈电电路1121连接到第一电源ELVDD以向基本电路1122提供电力。补偿电路1123连接到第二电源ELVSS1和第三电源ELVSS2，并补偿有机发光二极管OLED的电压和电流之间的差异。像素包括OLED和像素电路。AMOLED显示器包括像素电路。根据本发明，补偿了晶体管的阈值电压和电源电压之间的差异，改善了AMOLED的响应特性，产生了相同发光强度的光，并且AMOLED显示器显示的图像均匀性它可以满足需求。[选中图]图3

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6261757号 (P6261757)
(45) 発行日 平成30年1月17日 (2018. 1. 17)		(24) 登録日 平成29年12月22日 (2017. 12. 22)	
(51) Int. Cl. G09G 3/3233 (2016.01) G09G 3/20 (2006.01)		F I G09G 3/3233 G09G 3/20 611H G09G 3/20 624B G09G 3/20 642A	
(21) 出願番号 特願2016-558254 (P2016-558254)		(73) 特許権者 515179314 昆山工研院新型平板顯示技術中心有限公司 KUNSHAN NEW FLAT PANEL DISPLAY TECHNOLOGY CENTER CO., LTD 中国江蘇省昆山市開發區光電產業園富春江路320号 No. 320, Fu Chun River Road, Photoelectric Industrial Park, Development Zone Kunshan, Jiangsu, People's Republic of China	
(86) (22) 出願日 平成26年12月29日 (2014. 12. 29)			
(65) 公表番号 特表2017-507367 (P2017-507367A)			
(43) 公表日 平成29年3月16日 (2017. 3. 16)			
(86) 国際出願番号 PCT/CN2014/095331			
(87) 国際公開番号 W02015/101255			
(87) 国際公開日 平成27年7月9日 (2015. 7. 9)			
審査請求日 平成28年6月14日 (2016. 6. 14)			
(31) 優先権主張番号 201310747565.1			
(32) 優先日 平成25年12月31日 (2013. 12. 31)			
(33) 優先権主張国 中国 (CN)			
		請求項の数 10 (全 12 頁)	
(54) 【発明の名称】 画素回路、画素、この画素を含むアクティブマトリックス有機発光ダイオード表示装置及びその駆動方法		最終頁に続く	