

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5257104号
(P5257104)

(45) 発行日 平成25年8月7日 (2013.8.7)

(24) 登録日 平成25年5月2日 (2013.5.2)

(51) Int.Cl.	F I
H O 1 L 51/50 (2006.01)	H O 5 B 33/14 A
G O 9 G 3/30 (2006.01)	G O 9 G 3/30 J
G O 9 G 3/20 (2006.01)	G O 9 G 3/20 6 9 1 D
H O 5 B 33/08 (2006.01)	G O 9 G 3/20 6 4 1 D
H O 5 B 33/04 (2006.01)	G O 9 G 3/20 6 8 O H
請求項の数 13 (全 52 頁) 最終頁に続く	

(21) 出願番号	特願2009-21012 (P2009-21012)	(73) 特許権者	000001443
(22) 出願日	平成21年1月30日 (2009.1.30)		カシオ計算機株式会社
(65) 公開番号	特開2010-177601 (P2010-177601A)		東京都渋谷区本町 1 丁目 6 番 2 号
(43) 公開日	平成22年8月12日 (2010.8.12)	(74) 代理人	100095407
審査請求日	平成23年9月28日 (2011.9.28)		弁理士 木村 満
		(72) 発明者	武居 学
			東京都八王子市石川町 2 9 5 1 番地の 5
			カシオ計算機株式会社 八王子技術センタ
			ー内
		審査官	濱野 隆
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

一方の主面に接して第 1 の電極が配置された封止基板と、
一方の主面が前記封止基板の一方の主面に対向するように配置され、当該一方の主面に複数の表示画素が形成された画素基板と、
を備え、
各前記表示画素は、
駆動電流を供給されて発光する発光素子と、
画像データを表示するための表示信号を入力する信号入力部と、
前記第 1 の電極と、前記第 1 の電極に対向するように配置された第 2 の電極とによって
構成され、前記封止基板の他方の主面または前記画素基板の他方の主面に加えられた圧力
に応じて物理パラメータが変化し、当該物理パラメータの変化により前記表示信号に応じ
た電位を変調する可変素子と、
前記表示信号または前記表示信号が変調された信号に応じた電位を保持するキャパシタ
と、
前記キャパシタによって保持されている電位に対応する駆動電流を前記発光素子に供給
する発光素子駆動部と、
を有し、
前記信号入力部は、所定の期間に前記表示信号を入力し、
前記可変素子は、外部から加えられる圧力に応じて前記物理パラメータとして容量値ま

10

20

たは抵抗値が変化し、前記所定の期間に前記キャパシタを含む回路と並列回路を構成することによって前記表示信号に応じた電位を変調する、
ことを特徴とする表示装置。

【請求項 2】

一方の主面に接して第 1 の電極が配置された封止基板と、
一方の主面が前記封止基板の一方の主面に対向するように配置され、当該一方の主面に複数の表示画素が形成された画素基板と、

を備え、

各前記表示画素は、

駆動電流を供給されて発光する発光素子と、

画像データを表示するための表示信号を入力する信号入力部と、

前記第 1 の電極と、前記第 1 の電極に対向するように配置された第 2 の電極とによって構成され、前記封止基板の他方の主面または前記画素基板の他方の主面に加えられた圧力に応じて物理パラメータが変化し、当該物理パラメータの変化により前記表示信号に応じた電位を変調する可変素子と、

前記表示信号または前記表示信号が変調された信号に応じた電位を保持するキャパシタと、

前記キャパシタによって保持されている電位に対応する駆動電流を前記発光素子に供給する発光素子駆動部と、

を有し、

行方向に並んだ前記表示画素に接続された複数の走査ラインと電源ライン、及び列方向に並んだ前記表示画素に接続された複数のデータラインを備え、前記画素基板に形成された表示パネルと、

前記各走査ラインに走査信号を供給することによって当該走査ラインに接続されている前記各表示画素を選択し、前記各データラインに前記表示信号を供給し、前記各電源ラインに所定の基準電圧と所定の電源電圧を供給することによって選択されている前記各表示画素を駆動する駆動回路と、

を備え、

前記発光素子駆動部は、ゲート電極が前記キャパシタの一方の電極に接続され、ソース電極が前記キャパシタの他方の電極と前記第 2 の電極とに接続され、ドレイン電極が前記電源ラインに接続された第 1 のトランジスタを含み、

前記信号入力部は、ゲート電極が前記走査ラインに接続され、ソース電極が前記第 1 のトランジスタのゲート電極と前記キャパシタの一方の電極とに接続され、ドレイン電極が前記電源ラインと前記第 1 のトランジスタのドレイン電極とに接続された第 2 のトランジスタと、ゲート電極が前記走査ラインに接続され、ソース電極が前記データラインに接続され、ドレイン電極が前記キャパシタの他方の電極と前記第 2 の電極と前記第 1 のトランジスタのソース電極とに接続された第 3 のトランジスタとを含み、

前記第 1 の電極に前記所定の基準電圧が印加され、

前記発光素子は、アノード電極が前記第 1 のトランジスタのソース電極と前記第 3 のトランジスタのドレイン電極と前記キャパシタの他方の電極と前記第 2 の電極に接続され、カソード電極に前記所定の基準電圧が印加される、

ことを特徴とする表示装置。

【請求項 3】

前記第 1 のトランジスタを覆うように形成された隔壁と、

前記隔壁を貫通し、導電性を有するコンタクト部と、

を備え、

前記第 2 の電極は、前記隔壁の前記封止基板に対向する面に形成されており、前記コンタクト部を介して前記第 1 のトランジスタのソース電極または前記第 3 のトランジスタのドレイン電極の何れか一方に接続される、

ことを特徴とする請求項 2 に記載の表示装置。

10

20

30

40

50

【請求項 4】

前記第 1 のトランジスタの少なくとも一部と前記第 3 のトランジスタの少なくとも一部とを覆うように形成された絶縁膜を備え、

前記第 1 のトランジスタのソース電極または前記第 3 のトランジスタのドレイン電極の何れか一方は、露出されており、前記第 2 の電極として機能する、
ことを特徴とする請求項 2 に記載の表示装置。

【請求項 5】

前記第 1 のトランジスタと前記第 3 のトランジスタのソース電極を覆うように形成された絶縁膜と、

前記絶縁膜の前記封止基板に対向する面に形成され、導電性材料からなり、前記第 1 のトランジスタのソース電極または前記第 3 のトランジスタのドレイン電極の何れか一方に電氣的に接続されて、前記第 2 の電極として機能する導電体層と、

を備えることを特徴とする請求項 2 に記載の表示装置。

【請求項 6】

一方の主面に接して第 1 の電極が配置された封止基板と、

一方の主面が前記封止基板の一方の主面に対向するように配置され、当該一方の主面に複数の表示画素が形成された画素基板と、

を備え、

各前記表示画素は、

駆動電流を供給されて発光する発光素子と、

画像データを表示するための表示信号を入力する信号入力部と、

前記第 1 の電極と、前記第 1 の電極に対向するように配置された第 2 の電極とによって構成され、前記封止基板の他方の主面または前記画素基板の他方の主面に加えられた圧力に応じて物理パラメータが変化し、当該物理パラメータの変化により前記表示信号に応じた電位を変調する可変素子と、

前記表示信号または前記表示信号が変調された信号に応じた電位を保持するキャパシタと、

前記キャパシタによって保持されている電位に対応する駆動電流を前記発光素子に供給する発光素子駆動部と、

を有し、

行方向に並んだ前記表示画素に接続された複数の走査ラインと電源ライン、及び列方向に並んだ前記表示画素に接続された複数のデータラインを備え、前記画素基板に形成された表示パネルと、

前記各走査ラインに走査信号を供給することによって当該走査ラインに接続されている前記各表示画素を選択し、前記各データラインに前記表示信号を供給し、前記各電源ラインに所定の電源電圧を供給することによって選択されている前記各表示画素を駆動する駆動回路と、

を備え、

前記発光素子駆動部は、ゲート電極が前記キャパシタの一方の電極と前記第 2 の電極に接続され、ソース電極が前記キャパシタの他方の電極に接続され、ドレイン電極が前記電源ラインに接続された第 1 のトランジスタを含み、

前記信号入力部は、ゲート電極が前記走査ラインに接続され、ソース電極が前記データラインに接続され、ドレイン電極が前記第 1 のトランジスタのゲート電極と前記キャパシタの一方の電極と前記第 2 の電極とに接続された第 2 のトランジスタを含み、

前記第 1 の電極に所定の基準電圧が印加され、

前記発光素子は、アノード電極が前記第 1 のトランジスタのソース電極と前記キャパシタの他方の電極に接続され、カソード電極に前記所定の基準電圧が印加される、

ことを特徴とする表示装置。

【請求項 7】

前記第 1 のトランジスタを覆うように形成された隔壁と、

前記隔壁を貫通し、導電性を有するコンタクト部と、
を備え、

前記第 2 の電極は、前記隔壁の前記封止基板に対向する面に形成されており、前記コンタクト部を介して前記第 1 のトランジスタのゲート電極に接続される、
ことを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記第 2 のトランジスタを覆うように形成された隔壁と、
前記隔壁を貫通し、導電性を有するコンタクト部と、
を備え、

前記第 2 の電極は、前記隔壁の前記封止基板に対向する面に形成されており、前記コンタクト部を介して前記第 2 のトランジスタのドレイン電極に接続される、
ことを特徴とする請求項 6 に記載の表示装置。

10

【請求項 9】

前記第 1 のトランジスタと前記第 2 のトランジスタのソース電極を覆うように形成された絶縁膜を備え、

前記第 2 のトランジスタのドレイン電極は、露出されており、前記第 2 の電極として機能する、

ことを特徴とする請求項 6 に記載の表示装置。

【請求項 10】

前記第 1 のトランジスタと前記第 2 のトランジスタのソース電極を覆うように形成された絶縁膜と、

20

前記絶縁膜の前記封止基板に対向する面に形成され、導電性材料からなり、前記第 2 のトランジスタのドレイン電極に電気的に接続されて、前記第 2 の電極として機能する導電体層と、

を備えることを特徴とする請求項 6 に記載の表示装置。

【請求項 11】

隣接する少なくとも 2 つの所定の数の前記表示画素に含まれる前記第 2 の電極が相互に接続されており、相互に接続された前記第 2 の電極に対応する前記所定の数の表示画素の中の 1 個の前記表示画素にのみ前記コンタクト部が設けられている、

ことを特徴とする請求項 3、7、8 のいずれか 1 項に記載の表示装置。

30

【請求項 12】

導電性を有しない絶縁性微粒子と当該絶縁性微粒子よりも小さい導電性を有する導電性微粒子とが、前記第 1 の電極と前記第 2 の電極の間に配置されている、

ことを特徴とする請求項 3 乃至 5 又は請求項 7 乃至 11 のいずれか 1 項に記載の表示装置。

【請求項 13】

導電性を有する突起部が前記第 1 の電極の前記第 2 の電極と対向する側に設けられている、

ことを特徴とする請求項 3 乃至 5 又は請求項 7 乃至 11 のいずれか 1 項に記載の表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関する。

【背景技術】

【0002】

有機 EL (Electro - Luminescence) 表示装置の表示パネルには、自己発光型の発光素子である有機 EL 素子を含む表示画素がマトリクス状に配置されている。有機 EL 表示装置は自己発光型であるため、ブラウン管と同等なコントラストの高い画像を表示することができる。

50

【 0 0 0 3 】

また、有機 E L 表示装置の表示パネルの上にタッチパネルが配置された表示装置が知られている（例えば、特許文献 1 参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開平 1 0 - 9 1 3 4 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

10

有機 E L 表示装置の表示パネルの上に位置を入力するためのタッチパネルを積層して配置すると、タッチパネルで光が反射されることがあるため、表示された画像のコントラストが低下する。

また、タッチパネル上で指定された位置を検出するための回路を表示パネルとは別に設ける必要があるため、実装面積が増大する。

【 0 0 0 6 】

そこで、位置を入力するためのタッチパネル機能を表示パネルと一体的に作り込むことが考えられる。

【 0 0 0 7 】

しかし、有機 E L 表示装置で用いられている表示画素では、表示パネルに圧力が加えられても内部のノードの状態（電圧や電流）は変化しない。このため、表示画素の内部の状態を測定しても圧力が加えられている表示パネル上の位置を検出することはできない。

20

【 0 0 0 8 】

本発明の目的は、表示パネルに加えられた圧力に応じて表示画素の内部のノードの状態（電圧や電流）が変化する表示装置を提供することである。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の表示装置は、一方の主面に接して第 1 の電極が配置された封止基板と、一方の主面が前記封止基板の一方の主面に対向するように配置され、当該一方の主面に複数の表示画素が形成された画素基板と、

30

を備え、

各前記表示画素は、

駆動電流を供給されて発光する発光素子と、

画像データを表示するための表示信号を入力する信号入力部と、

前記第 1 の電極と、前記第 1 の電極に対向するように配置された第 2 の電極とによって構成され、前記封止基板の他方の主面または前記画素基板の他方の主面に加えられた圧力に応じて物理パラメータが変化し、当該物理パラメータの変化により前記表示信号に応じた電位を変調する可変素子と、

前記表示信号または前記表示信号が変調された信号に応じた電位を保持するキャパシタと、

40

前記キャパシタによって保持されている電位に対応する駆動電流を前記発光素子に供給する発光素子駆動部と、

を有し、

前記信号入力部は、所定の期間に前記表示信号を入力し、

前記可変素子は、外部から加えられる圧力に応じて前記物理パラメータとして容量値または抵抗値が変化し、前記所定の期間に前記キャパシタを含む回路と並列回路を構成することによって前記表示信号に応じた電位を変調する、

ことを特徴とする。

【 0 0 1 1 】

好ましくは、本発明の表示装置は、一方の主面に接して第 1 の電極が配置された封止基

50

板と、

一方の主面が前記封止基板の一方の主面に対向するように配置され、当該一方の主面に複数の表示画素が形成された画素基板と、

を備え、

各前記表示画素は、

駆動電流を供給されて発光する発光素子と、

画像データを表示するための表示信号を入力する信号入力部と、

前記第 1 の電極と、前記第 1 の電極に対向するように配置された第 2 の電極とによって構成され、前記封止基板の他方の主面または前記画素基板の他方の主面に加えられた圧力に応じて物理パラメータが変化し、当該物理パラメータの変化により前記表示信号に応じた電位を変調する可変素子と、

10

前記表示信号または前記表示信号が変調された信号に応じた電位を保持するキャパシタと、

前記キャパシタによって保持されている電位に対応する駆動電流を前記発光素子に供給する発光素子駆動部と、

を有し、

行方向に並んだ前記表示画素に接続された複数の走査ラインと電源ライン、及び列方向に並んだ前記表示画素に接続された複数のデータラインを備え、前記画素基板に形成された表示パネルと、

前記各走査ラインに走査信号を供給することによって当該走査ラインに接続されている前記各表示画素を選択し、前記各データラインに前記表示信号を供給し、前記各電源ラインに所定の基準電圧と所定の電源電圧を供給することによって選択されている前記各表示画素を駆動する駆動回路と、

20

を備え、

前記発光素子駆動部は、ゲート電極が前記キャパシタの一方の電極に接続され、ソース電極が前記キャパシタの他方の電極と前記第 2 の電極とに接続され、ドレイン電極が前記電源ラインに接続された第 1 のトランジスタを含み、

前記信号入力部は、ゲート電極が前記走査ラインに接続され、ソース電極が前記第 1 のトランジスタのゲート電極と前記キャパシタの一方の電極とに接続され、ドレイン電極が前記電源ラインと前記第 1 のトランジスタのドレイン電極とに接続された第 2 のトランジスタと、ゲート電極が前記走査ラインに接続され、ソース電極が前記データラインに接続され、ドレイン電極が前記キャパシタの他方の電極と前記第 2 の電極と前記第 1 のトランジスタのソース電極とに接続された第 3 のトランジスタとを含み、

30

前記第 1 の電極に前記所定の基準電圧が印加され、

前記発光素子は、アノード電極が前記第 1 のトランジスタのソース電極と前記第 3 のトランジスタのドレイン電極と前記キャパシタの他方の電極と前記第 2 の電極に接続され、カソード電極に前記所定の基準電圧が印加される、

ことを特徴とする。

【 0 0 1 2 】

好ましくは、本発明の表示装置は、前記第 1 のトランジスタを覆うように形成された隔壁と、

40

前記隔壁を貫通し、導電性を有するコンタクト部と、

を備え、

前記第 2 の電極は、前記隔壁の前記封止基板に対向する面に形成されており、前記コンタクト部を介して前記第 1 のトランジスタのソース電極または前記第 3 のトランジスタのドレイン電極の何れか一方に接続される、

ことを特徴とする。

【 0 0 1 3 】

好ましくは、本発明の表示装置は、前記第 1 のトランジスタの少なくとも一部と前記第 3 のトランジスタの少なくとも一部とを覆うように形成された絶縁膜を備え、

50

前記第 1 のトランジスタのソース電極または前記第 3 のトランジスタのドレイン電極の何れか一方は、露出されており、前記第 2 の電極として機能する、
ことを特徴とする。

【 0 0 1 4 】

好ましくは、本発明の表示装置は、前記第 1 のトランジスタと前記第 3 のトランジスタのソース電極を覆うように形成された絶縁膜と、

前記絶縁膜の前記封止基板に対向する面に形成され、導電性材料からなり、前記第 1 のトランジスタのソース電極または前記第 3 のトランジスタのドレイン電極の何れか一方に電氣的に接続されて、前記第 2 の電極として機能する導電体層と、

を備えることを特徴とする。

10

【 0 0 1 5 】

また、本発明の表示装置は、一方の主面に接して第 1 の電極が配置された封止基板と、一方の主面が前記封止基板の一方の主面に対向するように配置され、当該一方の主面に複数の表示画素が形成された画素基板と、

を備え、

各前記表示画素は、

駆動電流を供給されて発光する発光素子と、

画像データを表示するための表示信号を入力する信号入力部と、

前記第 1 の電極と、前記第 1 の電極に対向するように配置された第 2 の電極とによって構成され、前記封止基板の他方の主面または前記画素基板の他方の主面に加えられた圧力に応じて物理パラメータが変化し、当該物理パラメータの変化により前記表示信号に応じた電位を変調する可変素子と、

20

前記表示信号または前記表示信号が変調された信号に応じた電位を保持するキャパシタと、

前記キャパシタによって保持されている電位に対応する駆動電流を前記発光素子に供給する発光素子駆動部と、

を有し、

行方向に並んだ前記表示画素に接続された複数の走査ラインと電源ライン、及び列方向に並んだ前記表示画素に接続された複数のデータラインを備え、前記画素基板に形成された表示パネルと、

30

前記各走査ラインに走査信号を供給することによって当該走査ラインに接続されている前記各表示画素を選択し、前記各データラインに前記表示信号を供給し、前記各電源ラインに所定の電源電圧を供給することによって選択されている前記各表示画素を駆動する駆動回路と、

を備え、

前記発光素子駆動部は、ゲート電極が前記キャパシタの一方の電極と前記第 2 の電極に接続され、ソース電極が前記キャパシタの他方の電極に接続され、ドレイン電極が前記電源ラインに接続された第 1 のトランジスタを含み、

前記信号入力部は、ゲート電極が前記走査ラインに接続され、ソース電極が前記データラインに接続され、ドレイン電極が前記第 1 のトランジスタのゲート電極と前記キャパシタの一方の電極と前記第 2 の電極とに接続された第 2 のトランジスタを含み、

40

前記第 1 の電極に所定の基準電圧が印加され、

前記発光素子は、アノード電極が前記第 1 のトランジスタのソース電極と前記キャパシタの他方の電極に接続され、カソード電極に前記所定の基準電圧が印加される、

ことを特徴とする。

【 0 0 1 6 】

好ましくは、本発明の表示装置は、前記第 1 のトランジスタを覆うように形成された隔壁と、

前記隔壁を貫通し、導電性を有するコンタクト部と、

を備え、

50

前記第 2 の電極は、前記隔壁の前記封止基板に対向する面に形成されており、前記コンタクト部を介して前記第 1 のトランジスタのゲート電極に接続される、
ことを特徴とする。

【 0 0 1 7 】

好ましくは、本発明の表示装置は、前記第 2 のトランジスタを覆うように形成された隔壁と、

前記隔壁を貫通し、導電性を有するコンタクト部と、
を備え、

前記第 2 の電極は、前記隔壁の前記封止基板に対向する面に形成されており、前記コンタクト部を介して前記第 2 のトランジスタのドレイン電極に接続される、
ことを特徴とする。

10

【 0 0 1 8 】

好ましくは、本発明の表示装置は、前記第 1 のトランジスタと前記第 2 のトランジスタのソース電極を覆うように形成された絶縁膜を備え、

前記第 2 のトランジスタのドレイン電極は、露出されており、前記第 2 の電極として機能する、

ことを特徴とする。

【 0 0 1 9 】

好ましくは、本発明の表示装置は、前記第 1 のトランジスタと前記第 2 のトランジスタのソース電極を覆うように形成された絶縁膜と、

20

前記絶縁膜の前記封止基板に対向する面に形成され、導電性材料からなり、前記第 2 のトランジスタのドレイン電極に電氣的に接続されて、前記第 2 の電極として機能する導電体層と、

を備えることを特徴とする。

【 0 0 2 0 】

好ましくは、本発明の表示装置は、隣接する少なくとも 2 つの所定の数の前記表示画素に含まれる前記第 2 の電極が相互に接続されており、相互に接続された前記第 2 の電極に対応する前記所定の数の表示画素の中の 1 個の前記表示画素にのみ前記コンタクト部が設けられている、

ことを特徴とする。

30

【 0 0 2 1 】

好ましくは、本発明の表示装置は、導電性を有しない絶縁性微粒子と当該絶縁性微粒子よりも小さい導電性を有する導電性微粒子とが、前記第 1 の電極と前記第 2 の電極の間に配置されている、

ことを特徴とする

【 0 0 2 2 】

好ましくは、本発明の表示装置は、導電性を有する突起部が前記第 1 の電極の前記第 2 の電極と対向する側に設けられている、

ことを特徴とする。

【 発明の効果 】

40

【 0 0 2 3 】

本発明によれば、表示パネルに加えられた圧力に応じて表示画素の内部のノードの状態（電圧や電流）を変化させることができる。

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 本発明の第 1 の実施形態に係る有機 EL 表示装置の一例を示す図である。

【 図 2 】 走査ラインに順次出力される走査パルスと電源ラインに順次出力される電圧の一例を示す図である。

【 図 3 】 本発明の第 1 の実施形態に係るデータドライバの構成の一例を示す図である。

【 図 4 】 本発明の第 1 の実施形態に係る画素駆動回路とデータドライバの構成の一例を示

50

す図である。

【図 5】本発明の第 1 の実施形態に係る画素駆動回路の各部の電圧または電流の一例を示す図である。

【図 6】選択期間と発光期間に画素駆動回路を流れる電流の一例を示す図である。

【図 7】本発明の第 1 の実施形態に係る画素駆動回路において、可変素子がキャパシタとして機能し始めた場合の画素駆動回路の各部の電圧または電流の一例を示す図である。

【図 8】本発明の第 1 の実施形態に係る画素駆動回路において、可変素子がキャパシタとして機能しているときの要部の等価回路を示す図である。

【図 9】可変素子がキャパシタとして機能し始めた場合に、選択期間と発光期間に画素駆動回路を流れる電流の一例を示す図である。

10

【図 10】本発明の第 1 の実施形態に係る画素駆動回路において、可変素子の容量値が更に増加した場合の画素駆動回路の各部の電圧または電流の一例を示す図である。

【図 11】可変素子の容量値が更に増加した場合に、選択期間と発光期間に画素駆動回路を流れる電流の一例を示す図である。

【図 12】可変素子の抵抗が極めて小さくなった場合に、選択期間と発光期間に画素駆動回路を流れる電流の一例を示す図である。

【図 13】本発明の第 1 の実施形態に係る画素駆動回路において、可変素子の抵抗が極めて小さくなった場合の画素駆動回路の各部の電圧または電流の一例を示す図である。

【図 14】本発明の第 2 の実施形態に係る有機 EL 表示装置の一例を示す図である。

【図 15】本発明の第 2 の実施形態に係る画素駆動回路とデータドライバの構成の一例を示す図である。

20

【図 16】走査ラインに順次出力される走査パルスと電源ラインに出力される電圧の一例を示す図である。

【図 17】本発明の第 2 の実施形態に係る画素駆動回路の各部の電圧または電流の一例を示す図である。

【図 18】選択期間と発光期間に画素駆動回路を流れる電流の一例を示す図である。

【図 19】本発明の第 2 の実施形態に係る画素駆動回路において、可変素子がキャパシタとして機能し始めた場合の画素駆動回路の各部の電圧または電流の一例を示す図である。

【図 20】本発明の第 2 の実施形態に係る画素駆動回路において、可変素子がキャパシタとして機能し始めた場合の要部の等価回路を示す図である。

30

【図 21】本発明の第 2 の実施形態に係る画素駆動回路において、可変素子の容量値が更に増加した場合の画素駆動回路の各部の電圧または電流の一例を示す図である。

【図 22】可変素子の抵抗が極めて小さくなった場合に、選択期間と発光期間に画素駆動回路を流れる電流の一例を示す図である。

【図 23】本発明の第 2 の実施形態に係る画素駆動回路において、可変素子の抵抗が極めて小さくなった場合の画素駆動回路の各部の電圧または電流の一例を示す図である。

【図 24】本発明の第 1 の実施形態と第 2 の実施形態の変形例に係るデータドライバの構成の一例を示す図である。

【図 25】本発明の第 1 の実施形態における表示画素の第 1 の構造における平面図の一例である。

40

【図 26】表示画素の第 1 の構造における、図 25 の A - A 線断面図の一例である。

【図 27】可変素子アノード側電極の形状の一例を示す図である。

【図 28】第 1 の実施形態における表示画素 21 の第 2 の構造における、図 25 の A - A 線断面図の一例である。

【図 29】第 1 の実施形態における表示画素 21 の第 3 の構造における、図 25 の A - A 線断面図の一例である。

【図 30】第 1 の実施形態における表示画素 21 の第 4 の構造における、図 25 の A - A 線断面図の一例である。

【図 31】第 1 の実施形態における表示画素 21 の第 5 の構造における、図 25 の A - A 線断面図の一例である。

50

【図 3 2】第 1 の実施形態における表示画素 2 1 の第 6 の構造における、図 2 5 の A - A 線断面図の一例である。

【図 3 3】第 1 の実施形態における表示画素 2 1 の第 7 の構造における、図 2 5 の A - A 線断面図の一例である。

【図 3 4】第 1 の実施形態における表示画素 2 1 の第 8 の構造における、図 2 5 の A - A 線断面図の一例である。

【図 3 5】第 1 の実施形態における表示画素 2 1 の第 8 の構造の変形例における、図 2 5 の A - A 線断面図の一例である。

【図 3 6】第 1 の実施形態における表示画素 2 1 の構造の第 9 の構造における、図 2 5 の A - A 線断面図の一例である。

10

【図 3 7】第 1 の実施形態における表示画素 2 1 の構造の第 1 0 の構造における、図 2 5 の A - A 線断面図の一例である。

【図 3 8】第 1 の実施形態における表示画素 2 1 の構造の第 1 1 の構造における、図 2 5 の A - A 線断面図の一例である。

【図 3 9】第 1 の実施形態における表示画素 2 1 の構造の第 1 1 の構造の変形例における、図 2 5 の A - A 線断面図の一例である。

【図 4 0】第 2 の実施形態における表示画素 2 2 の第 1 の構造における平面図の一例である。

【図 4 1】第 2 の実施形態における表示画素 2 2 の第 1 の構造における図 4 0 の B - B 線断面図の一例である。

20

【図 4 2】第 2 の実施形態における表示画素 2 2 の第 2 の構造における、図 4 0 の B - B 線断面図の一例である。

【図 4 3】第 2 の実施形態における表示画素 2 2 の第 3 の構造における、図 4 0 の B - B 線断面図の一例である。

【図 4 4】第 2 の実施形態における表示画素 2 2 の第 4 の構造における、図 4 0 の B - B 線断面図の一例である。

【図 4 5】複数の表示画素の可変素子アノード側電極が接続された第 1 の例を示す図である。

【図 4 6】複数の表示画素の可変素子アノード側電極が接続された第 2 の例を示す図である。

30

【図 4 7】複数の表示画素の可変素子アノード側電極が接続された第 3 の例を示す図である。

【発明を実施するための形態】

【0025】

< 第 1 の実施形態 >

以下に、本発明の第 1 の実施形態に係る有機 EL 表示装置 1 a について説明する。有機 EL 表示装置 1 a は、図 1 に示すように、表示パネル 2 a と、走査ドライバ 3 と、電源ドライバ 4 a と、データドライバ 5 a と、システムコントローラ 6 と、表示信号生成回路 7 とを有している。

【0026】

40

表示パネル 2 a は、マトリクス状に配置された表示画素 2 1 と、行方向（図 1 の左右方向）に延びている複数の走査ライン $Ls1 \sim Lsn$ および電源ライン $Lv1 \sim Lvn$ 、列方向（図 1 の上下方向）に延びている複数のデータライン $Ld1 \sim Ldm$ とを有している。電源ライン $Lv1 \sim Lvn$ はそれぞれ走査ライン $Ls1 \sim Lsn$ と対をなしており、走査ライン $Ls1 \sim Lsn$ が接続された表示画素 2 1 に接続されている。

【0027】

表示画素 2 1 は、走査ライン $Ls1 \sim Lsn$ とデータライン $Ld1 \sim Ldm$ の交点の近傍に配置されている。

なお、図 1 は、例えば白黒画像を表示する場合の例である。カラー画像を表示する場合には、RGB の各色を発する一組の表示画素 2 1 がマトリクス状に配置される。例えば、

50

赤（R）、緑（G）、青（B）のそれぞれの色の光を発する表示画素21を一組として、この組が行方向に繰り返し複数配置されるとともに、列方向に同一色の画素が複数配置される。

【0028】

走査ドライバ3は、システムコントローラ6から供給される走査制御信号に基づいて、行方向に並んだ表示画素21を順次選択するための走査パルスを出力する。走査ドライバ3は、図2（A）に示すように、まず選択期間 t_s の間走査ライン $Ls1$ に基準電圧 V_{ss} （例えば、接地電位 $GND = 0V$ ）より高いハイレベルの電圧 V_{high} （例えば、 $+15V$ ）、それ以外の期間（発光期間 T_e ）基準電圧 V_{ss} 以下のローレベルの電圧 V_{low} （例えば、 $-15V$ ）となる走査パルスを出力する。この走査パルスによって走査ライン $Ls1$ に接続された表示画素21が選択期間 t_s の間選択される。次に、走査ドライバ3は、図2（B）に示すように、次の選択期間 t_s にハイレベルの電圧 V_{high} となる走査パルスを走査ライン $Ls2$ に出力する。この走査パルスによって走査ライン $Ls2$ に接続された表示画素21が次の選択期間 t_s の間選択される。そして、走査ドライバ3は、図2（C）に示すように、更に次の選択期間 t_s にハイレベルの電圧 V_{high} となる走査パルスを走査ライン $Ls3$ に出力する。この走査パルスによって走査ライン $Ls3$ に接続された表示画素21が更に次の選択期間 t_s の間選択される。

10

【0029】

次いで、走査ドライバ3は、図2（D）に示すように、走査ライン $Ls4$ から走査ライン Lsn まで選択期間 t_s の間ハイレベルの電圧 V_{high} となる走査パルスを順次出力し、走査ライン $Ls4 \sim Lsn$ に接続された表示画素21を順次選択する。

20

【0030】

電源ドライバ4aは、システムコントローラ6から供給される電源制御信号に基づいて、図2（E）～（H）に示すように、電源ライン $Lv1 \sim Lvn$ とそれぞれ対をなしている走査ライン $Ls1 \sim Lsn$ に走査パルスが出力されている間、電源ライン $Lv1 \sim Lvn$ に基準電圧 V_{ss} （例えば、接地電位 $GND = 0V$ ）を出力し、それ以外の期間、基準電圧 V_{ss} より高いレベルの電源電圧 V_{cc} を出力する。

【0031】

データドライバ5aは、表示データを表示パネル2aに表示させるために、図3に示すように、シフトレジスタ回路51と、データレジスタ回路52と、データラッチ回路53と、デジタル電圧/アナログ電圧変換回路（DAVC）54aとを有している。

30

データドライバ5aは、システムコントローラ6から供給されるデータ制御信号（シフトクロック信号 CLK 、サンプリングスタート信号 STR 、データラッチ信号 STB ）等に基づいて、表示データ（ $D1 \sim Dm$ ）を所定のタイミングで取り込んで保持し、所定のタイミングで表示データ（ $D1 \sim Dm$ ）に対応する表示信号（階調電圧： $-Vdata$ ）を生成して、各データライン $Ld1 \sim Ldm$ に出力する。

【0032】

なお、後述するように、データドライバ5aは、例えば、人の指やタッチペン等が表示パネル2aに接触したとき、それらが表示パネル2aに接触した位置を検出するために、更に、検出用抵抗55と、ADC（Analog-to-Digital Converter）56aと、判定回路57aとを有している。判定回路57aは、人の指等が表示パネル2aに接触した位置を検出すると、システムコントローラ6に含まれる位置検出回路61に検出信号を出力する。

40

【0033】

シフトレジスタ回路51は、図示しないシフトレジスタを含んでおり、サンプリングスタート信号 STR をシフトクロック信号 CLK に基づいて順次シフトしつつシフト信号をデータレジスタ回路52に供給する。

データレジスタ回路52は、シフトレジスタ回路51から供給されるシフト信号のタイミングで表示データ $D1 \sim Dm$ を順次取り込む。

データラッチ回路53は、システムコントローラ6からデータラッチ信号 STB が供給

50

されると、データレジスタ回路 5 2 に取り込まれている 1 行分の表示データ D 1 ~ D m をラッチして、保持する。

D A V C 5 4 a は、データラッチ回路 5 3 に保持されている表示データ D 1 ~ D m をアナログ電圧の表示信号（負の階調電圧： - V d ）に変換して、各データライン L d 1 ~ L d m に出力する。

【 0 0 3 4 】

走査パルスによって選択されている 1 行分の表示画素 2 1 は、各表示画素 2 1 が接続されているデータライン L d 1 ~ L d m に出力された表示信号を読み込む。表示画素 2 1 に読み込まれた表示信号は、次の画面の表示信号が読み込まれるまで保持され、画像として表示パネル 2 a に表示される。

10

【 0 0 3 5 】

システムコントローラ 6 は、上述したように、データドライバ 5 a にデータ制御信号（シフトクロック信号 C L K、シフトスタート信号 S T R、ラッチ信号 S T B ）と表示データ D 1 ~ D m を供給する。また、システムコントローラ 6 は、走査ドライバ 3 と電源ドライバ 4 a にそれぞれ走査制御信号と電源制御信号を供給する。システムコントローラ 6 は、これらの各制御信号を供給することにより各ドライバを所定のタイミングで動作させ、各表示画素 2 1 に表示信号を読み込ませ、表示パネル 2 a に画像を表示させる。

【 0 0 3 6 】

また、システムコントローラ 6 は、位置検出回路 6 1 を備えている。後述するように、位置検出回路 6 1 は、例えば、人の指やタッチペン等が表示パネル 2 a に接触したとき、それらが表示パネル 2 a に接触した位置を検出する。位置検出回路 6 1 は、人の指やタッチペンが表示パネル 2 a に接触した際に、走査ドライバ 3 が走査パルスを出力していた走査ライン L s 1 ~ L s n と、データドライバ 5 a が表示信号を出力していたデータライン L d 1 ~ L d m に基づいて、人の指やタッチペン等が表示パネル 2 a に接触した位置を特定する。

20

【 0 0 3 7 】

表示信号生成回路 7 は、例えば、有機 E L 表示装置 1 a の外部から供給される画像信号から抽出される表示データを、データドライバ 5 a のデータレジスタ回路 5 2 に供給する。ここで、画像信号が、テレビ放送信号（コンポジット映像信号）のように、画像信号の表示タイミングを規定するタイミング信号成分を含む場合には、表示信号生成回路 7 は、表示データを抽出する機能のほか、タイミング信号成分を抽出してシステムコントローラ 6 にタイミング信号を供給する機能を有するものであってもよい。この場合、システムコントローラ 6 は、表示信号生成回路 7 から供給されるタイミング信号に基づいて、走査ドライバ 3、電源ドライバ 4 a 及びデータドライバ 5 a にそれぞれ供給する走査制御信号、電源制御信号及びデータ制御信号を生成する。

30

【 0 0 3 8 】

なお、有機 E L 表示装置 1 a は本発明の表示装置の一例であり、表示パネル 2 a は本発明の表示パネルの一例であり、表示画素 2 1 は本発明の表示画素の一例であり、走査ドライバ 3 と電源ドライバ 4 a とデータドライバ 5 a は本発明の駆動回路の一例である。

【 0 0 3 9 】

表示画素 2 1 は、図 4 に示すように、画素駆動回路 2 1 1 と有機 E L 素子 O E L とを有している。

40

画素駆動回路 2 1 1 は、第 1 入力トランジスタ T 2 1 と、第 2 入力トランジスタ T 2 2 と、発光駆動トランジスタ T 2 3 と、キャパシタ C s 2 と、可変素子 E v 2 1 とを含む。

第 1 入力トランジスタ T 2 1 と第 2 入力トランジスタ T 2 2 と発光駆動トランジスタ T 2 3 は、アモルファスシリコンまたはポリシリコンを用いた n チャネル型 T F T （薄膜トランジスタ：Thin Film Transistor）である。

なお、以下では、個々の走査ラインを示す場合、走査ライン L s のように、適宜添え字 1 ~ n を省略する。電源ライン L v とデータライン L d についても同様である。

【 0 0 4 0 】

50

第1入力トランジスタT21は、ゲートが走査ラインLsに接続され、ソースがノードN22に接続され、ドレインが電源ラインLvと発光駆動トランジスタT23のドレインに接続されている。

第2入力トランジスタT22は、ゲートが走査ラインLsに接続され、ソースがデータラインLdに接続され、ドレインがノードN21に接続されている。

発光駆動トランジスタT23は、ゲートがノードN22に接続され、ソースがノードN21に接続され、ドレインが電源ラインLvと第1入力トランジスタT21のドレインに接続されている。

【0041】

また、キャパシタCs2は、ノードN22とノードN21の間、すなわち、発光駆動トランジスタT23のゲートとソースの間に接続されている。

10

可変素子Ev21は、一方の電極がノードN21に接続され、他方の電極に基準電圧Vssが印加されている。可変素子Ev21は、容量値を変化させることができる可変キャパシタとして機能するとともに、抵抗を変化させることができる可変抵抗としても機能する素子である。

【0042】

有機EL素子OELは、アノード電極と、カソード電極と、これらの電極間に形成された電子注入層、発光層、正孔注入層、等を備える。有機EL素子OELのアノード電極は、ノードN21に接続され、カソード電極には基準電圧Vssが印加されている。

有機EL素子OELは、アノード電極からカソード電極に向かって電流が流れると、発光層において正孔注入層から供給された正孔と電子注入層から供給された電子とが再結合することによって発生するエネルギーによって発光する。

20

【0043】

データドライバ5aは、図4に示すように、データラッチ回路53と、DAVC54aと、検出用抵抗55と、ADC56aと、判定回路57aとを有している。データドライバ5aは、上述したように、その他に、図3に示したシフトレジスタ回路51と、データレジスタ回路52とを有しているが、図4においては省略した。

図4には、データラッチ回路53と、DAVC54aと、検出用抵抗55と、ADC56aをそれぞれ1個示してあるが、実際にはこれらはデータラインLd1~Ldmの各々に対応して、それぞれm個設けられている。

30

なお、検出用抵抗55の抵抗値は、例えば数Ω程度の、比較的小さいものであってもよい。この検出用抵抗55は、抵抗素子としてDAVC54aとADC56aとの接続点との間に設けられるものであってもよいし、DAVC54aとADC56aとの接続点との間に設けられている配線の配線抵抗からなるものであってもよい。

【0044】

本実施形態では、表示データは、デジタル信号である電圧値データVdataで指定される。電圧値データVdataが例えば8ビットのデジタル信号である場合、有機EL素子OELの発光の階調は256階調である。

DAVC54aは、データラッチ回路53から電圧値データVdataが供給されると、アナログ電圧である負の階調電圧(-Vd)に変換し、検出用抵抗55を介してデータラインLdに出力する。負の階調電圧(-Vd)は検出用抵抗55で電圧の大きさが減少する。すなわち、検出用抵抗55による電圧降下分だけ変化した電圧(-Vd')がデータラインLdに出力される。電圧(-Vd')がデータラインLdに出力されると、電流Idが駆動回路211からDAVC54aに流れる。

40

【0045】

図5は、画素駆動回路211の各部の電圧または電流の一例を示す図である。図5(A)および図5(B)は、それぞれ走査ラインLsおよび電源ラインLvの電圧を示す。図5(C)は、検出用抵抗55とデータラインLdの接続点であるノードN23の電圧を示す。また、図5(D)は発光駆動トランジスタT23のゲートとソース電極間の電圧Vgs(キャパシタCs2の両方の電極間の電圧)を示し、図5(E)は有機EL素子OEL

50

に流れる電流 I_{oe1} を示す。

本実施形態の有機 EL 表示装置 1 a では、人の指やタッチペン等が表示パネル 2 a に触していないとき、可変素子 E_{v21} は、その容量値が無視できる程度に小さく、抵抗の大きさが十分に大きく無限大であると見なせるように構成されている。このときには走査ドライバ 3 と電源ドライバ 4 a とデータドライバ 5 a は図 5 に示すように動作し、表示パネル 2 a に画像が表示される。

【0046】

まず、選択期間 t_s に、走査ドライバ 3 は、図 5 (A) に示すように、走査ライン L_s にハイレベルの電圧 V_{high} の走査パルスを出力する。走査ライン L_s に走査パルスが出力されると、第 1 入力トランジスタ T_{21} と第 2 入力トランジスタ T_{22} のソース電極とドレイン間が導通する。このとき、電源ドライバ 4 a は、図 5 (B) に示すように、電源ライン L_v に基準電圧 V_{ss} を出力している。

データドライバ 5 a の D_{AVC54a} は、表示データの階調値に応じた電圧値データ V_{data} に対応する負の電圧 ($-V_d$) を出力し、図 5 (C) に示すように、検出用抵抗 55 を介してノード N_{23} に電圧 ($-V_d'$) を印加する。すなわち、 D_{AVC54a} は電源ドライバ 4 a から表示画素 21 の画素駆動回路 211 を介して電流 I_d を吸い込む。

【0047】

電流 I_d は、図 6 (A) に示すように、電源ライン L_v から、発光駆動トランジスタ T_{23} のドレインとソース電極間と第 2 入力トランジスタ T_{22} のドレインとソース電極間を通過して、データライン L_d に流れる。

このとき、第 1 入力トランジスタ T_{21} のソースとドレイン間は導通しているため、発光駆動トランジスタ T_{23} のゲートとドレインの電位は両方とも基準電圧 V_{ss} である。発光駆動トランジスタ T_{23} は、ダイオード接続状態とされているため、飽和領域で動作する。

なお、有機 EL 素子 OEL のカソード電極に印加されている電圧は基準電圧 V_{ss} であり、アノード電極に印加されている電圧はノード N_{21} の電圧に等しく、基準電圧 V_{ss} に等しいかそれより低い電圧となるため、有機 EL 素子 OEL に電流は流れない。

【0048】

発光駆動トランジスタ T_{23} のゲートとソース間には、キャパシタ C_{s2} が接続されている。ノード N_{22} に接続されているキャパシタ C_{s2} の一方の電極には基準電圧 V_{ss} が印加されている。一方、ノード N_{21} には電流 I_d が流れ、図 5 (D) に示すように、キャパシタ C_{s2} の両方の電極間 (発光駆動トランジスタ T_{23} のゲートとソース間) の電圧は、発光駆動トランジスタ T_{23} のドレインとソース間に電流 I_d が流れるときの発光駆動トランジスタ T_{23} のゲートとソース間の電圧に等しい電圧 V_{gs1} になる。これにより、ノード N_{23} (データライン L_d) の電圧は、選択期間 t_s において、概ね $V_{ss} - V_{gs1}$ に等しい値となる。一方、図 5 (C) に示したように、ノード N_{23} には電圧 ($-V_d'$) が印加されているため、 V_{gs1} と V_d' は概ね等しい。

【0049】

次に、発光期間 t_e において、発光駆動トランジスタ T_{23} は有機 EL 素子 OEL のアノード電極に駆動電流 I_{em1} を供給する。

【0050】

走査ドライバ 3 は、図 5 (A) に示すように、発光期間 t_e に走査ライン L_s にローレベルの電圧 V_{low} を出力する。このため、第 1 入力トランジスタ T_{21} のソースとドレイン間と第 2 入力トランジスタ T_{22} のソースとドレイン間は非導通となる。このとき、電源ドライバ 4 a は、図 5 (B) に示すように、電源ライン L_v に電源電圧 V_{cc} を出力する。この電源電圧 V_{cc} は、発光駆動トランジスタ T_{23} を飽和領域で動作させることができる電圧である。

【0051】

第 1 入力トランジスタ T_{21} のソースとドレイン間が非導通であるため、ノード N_{22} はフローティング状態である。キャパシタ C_{s2} の両方の電極間には、選択期間 t_s に印

10

20

30

40

50

加された電圧 V_{gs1} が保持されている。一方、上述したように、発光駆動トランジスタ T_{23} のドレインには発光駆動トランジスタ T_{23} を飽和領域で動作させることができる電圧が印加されている。

このため、発光駆動トランジスタ T_{23} は、図6(B)に示すように、ゲートとソース間の電圧、すなわち、キャパシタ C_{s2} の両方の電極間に保持されている電圧 V_{gs1} に応じて有機EL素子OELのアノード電極に駆動電流 I_{em1} を供給する。このため、駆動電流 I_{em1} は選択期間 t_s にノード N_{21} を流れた電流 I_d と同じ電流値を有する。

【0052】

ADC56aは、ノード N_{23} (データライン L_d)に印加されている電圧をデジタル信号に変換して判定回路57aに供給する。

10

判定回路57aは、データラッチ回路53から出力される電圧値データ V_{data} とADC56aによってデジタル信号に変換されたノード N_{23} (データライン L_d)の電圧を比較する。判定回路57aは、選択期間 t_s が終了する直前の時点で、これらの電圧の比較によって抽出される差分の大きさに基づいて、データライン L_d に出力された表示信号に応じたデータライン L_d の電位の変調の有無を判定する。

【0053】

すなわち、判定回路57aは、電圧値データ V_{data} とデジタル信号に変換されたノード N_{23} (データライン L_d)の電圧の値とが概ね等しく、その差分が所定の範囲内にある場合には、データライン L_d の電位は変調されていないと判定して、人の指やタッチペン等が表示パネル2aに接触していないと判断する。言い換えると、このとき、判定回路57aは、キャパシタ C_{s2} は表示信号に対応する電圧を保持していると判定する。

20

【0054】

一方、判定回路57aは、電圧値データ V_{data} とデジタル信号に変換されたノード N_{23} (データライン L_d)の電圧の値とが異なり、その差分が上記所定の範囲より大きいとき、データライン L_d の電位は変調されていると判定して、人の指やタッチペン等が表示パネル2aに接触していると判断する。言い換えると、このときには、判定回路57aは、キャパシタ C_{s2} が表示信号に対応する電圧を保持していないと判定する。

【0055】

判定回路57aは、データライン L_d の電位が変調されていると判定したとき、人の指やタッチペン等が表示パネル2aに接触しているとして、その判定結果を位置検出回路61に出力する。

30

【0056】

次に、本実施形態の有機EL表示装置1aにおいて、表示パネル2aに人の指やタッチペン等が接触して圧力が加えられたときの動作について説明する。

まず、表示パネル2aに加えられた圧力が弱く、可変素子 E_{v21} の容量値の値がそれほど大きくない場合について説明する。図7は、可変素子 E_{v21} がキャパシタとして機能し始めた場合の表示画素21の各部の電圧または電流の一例を示す図である。図7(A)および図7(B)は、それぞれ走査ライン L_s および電源ライン L_v の電圧を示す。図7(C)は、検出用抵抗55とデータライン L_d の接続点であるノード N_{23} の電圧を示す。また、図7(D)は、判定回路57の出力を示す。図7(E)は、発光駆動トランジスタ T_{23} のゲートとソース間の電圧 V_{gs} (すなわち、キャパシタ C_{s2} の両方の電極間の電圧)を示し、図7(F)は有機EL素子OELに流れる電流 I_{oel} を示す。また、図8は、可変素子 E_{v21} がキャパシタとして機能しているときの、可変素子 E_{v21} とキャパシタ C_{s2} の充電動作に係わる等価回路を示す。

40

【0057】

選択期間 t_s に、走査ドライバ3は、図7(A)に示すように、走査ライン L_s にハイレベルの電圧 V_{high} の走査パルスを出力する。このため、第1入力トランジスタ T_{21} のソースとドレイン間が導通する。このとき、電源ドライバ4aは、図7(B)に示すように、電源ライン L_v に基準電圧 V_{ss} を出力している。このため、ノード N_{22} の電圧は基準電圧 V_{ss} となる。ここで、キャパシタ C_{s2} はノード N_{21} とノード N_{22} の

50

間に接続されている。

一方、可変素子 E_{v21} は、一方の電極がノード $N21$ に接続されており、他方の電極に基準電圧 V_{ss} が印加されている。このため、キャパシタ C_{s2} と可変素子 E_{v21} は、選択期間 t_s には、図 8 の等価回路に示すように、ノード $N23$ と基準電圧 V_{ss} の間に並列に接続された並列回路を構成する。そのため、キャパシタ C_{s2} の容量値を C_1 、可変素子 E_{v21} の容量値を C_2 としたとき、ノード $N23$ と基準電圧 V_{ss} の間に設けられる容量の容量値 C_{t1} は容量値 C_1 と容量値 C_2 とを合計した値となる。

【0058】

従って、データドライバ 5a が負の階調電圧 ($-V_d'$) をデータライン L_d に出力するとき、この電圧が可変素子 E_{v21} を含む容量値 C_{t1} の充電にも使われることになる。このとき、図 8 に示すように、検出用抵抗 55 と容量値 C_{t1} を有する容量とは直列に接続されて、いわゆる CR 回路をなしている。そして、検出用抵抗 55 の一端に $D_{AVC}54a$ から出力される電圧 ($-V_d$) が印加されたとき、検出用抵抗 55 の他端 (ノード $N23$) の電圧 $V(N23)$ は、検出用抵抗 55 の抵抗値を R としたとき、電圧 ($-V_d$) の印加開始からの時間を t 、抵抗値 R と容量値 C_{t1} との積を時定数 τ 、として、式 (1) で表される。

【0059】

【数 1】

$$V(N23) = -V_d \times (1 - e^{-\frac{t}{\tau}}) \quad (\tau = R \times C_{t1}) \quad \dots\dots (1)$$

【0060】

すなわち、図 7 (C) に示すように、ノード $N23$ の電圧 $V(N23)$ の変化は、 $D_{AVC}54a$ からの電圧 ($-V_d$) の印加に対して、時定数 τ の大きさに応じて遅延したものとなる。このため、図 9 (A) に示す、発光駆動トランジスタ $T23$ のドレインとソース間を介してデータドライバ 5a の $D_{AVC}54a$ に引き込まれる電流 I_{d2} の電流値は、 $D_{AVC}54a$ から電圧 ($-V_d$) が印加された直後では、図 6 (A) における電流 I_d より小さく、徐々に増加するものとなる。これに応じて、発光駆動トランジスタ $T23$ のゲートとソース間の電圧 V_{gs} の上昇も、図 7 (E) に示すように、遅延したものとなり、選択期間 t_s が終了する時点で、電圧 V_{gs2} となる。

ただし、可変素子 E_{v21} の容量値が比較的小さく、図 7 (C) に示すように、選択期間 t_s の間に、ノード $N23$ の電圧 $V(N23)$ の電圧が、図 5 (C) における電圧 ($V_{ss} - V_d'$) に概ね達する場合には、図 7 (E) に示すように、選択期間 t_s の間に、キャパシタ C_{s2} の両方の電極間の電圧 (発光駆動トランジスタ $T23$ のゲートとソース間の電圧) V_{gs2} は、図 5 (D) における、発光駆動トランジスタ $T23$ のドレインとソース間に電流 I_d が流れるときの電圧 V_{gs1} に概ね等しくなる。また、図 7 (F) と図 9 (B) に示すように、発光期間 t_e において有機 EL 素子 OEL に供給される電流 I_{em2} は、図 5 (E) における電流 I_{em1} と概ね同じ電流値を有する。

【0061】

判定回路 57a は、図 7 (D) に示すように、選択期間 t_s が終了する直前の電圧測定タイミング t_m で、デジタル信号に変換されたノード $N23$ (データライン L_d) の電圧を取得し、ノード $N23$ (データライン L_d) の電圧とデータラッチ回路 53 から出力される電圧値データ V_{data} を比較する。この場合、電圧測定タイミング t_m でのノード $N23$ の電圧は電圧値データ V_{data} に対応する電圧 ($-V_d$) に概ね等しいため、判定回路 57a は、データライン L_d の電位は変調されていないと判定し、 Low を出力する。言い換えると、判定回路 57a は、キャパシタ C_{s2} が表示信号を保持していると判定する。

【0062】

10

20

30

40

50

次に、表示パネル 2 a に更に圧力が加えられて、可変素子 E v 2 1 の容量値が更に増加した場合について説明する。

図 10 は、このときの画素駆動回路 2 1 1 の各部の電圧または電流の一例を示す図である。図 10 (A) および図 10 (B) は、それぞれ走査ライン L s および電源ライン L v の電圧を示す。図 10 (C) は、検出用抵抗 5 5 とデータライン L d の接続点であるノード N 2 3 の電圧を示す。また、図 10 (D) は、判定回路 5 7 の出力を示す。図 10 (E) は、発光駆動トランジスタ T 2 3 のゲートとソース間の電圧 V g s (すなわち、キャパシタ C s 2 の両方の電極の電圧) を示し、図 10 (F) は有機 E L 素子 O E L に流れる電流 I o e l を示す。

【 0 0 6 3 】

10

図 10 (A) と図 10 (B) に示す走査ライン L s と電源ライン L v の電圧はそれぞれ図 7 (A) と図 7 (B) に示したものと同一であるため、説明を省略する。

【 0 0 6 4 】

可変素子 E v 2 1 の容量値が更に増加すると、上記式 (1) に示した時定数が更に増加する。このため、図 10 (C) に示すように、ノード N 2 3 の電圧の変化は、図 7 (C) の場合より更に遅延したものとなり、選択期間 t s が終了する時点で、図 5 (C) における電圧 (V s s - V d ') に達しなくなる。このため、図 11 (A) に示すように、発光駆動トランジスタ T 2 3 のドレインとソース間を介してデータドライバ 5 a の D A V C 5 4 a に引き込まれる電流 I d 3 の電流値は、図 9 (A) における電流 I d 2 より更に小さくなる。これに応じて、図 10 (E) に示すように、発光駆動トランジスタ T 2 3 のゲートとソース間の電圧 V g s も、図 7 (E) の場合よりゆっくりと上昇し、選択期間 t s が終了する時点で、電圧 V g s 3 となる。電圧 V g s 3 は、図 7 (E) の場合の V g s 2 より小さい値となる。また、図 10 (E) と図 11 (B) に示すように、発光期間 t e において有機 E L 素子 O E L に供給される電流 I e m 3 は、図 7 (F) 及び図 9 (B) における電流 I e m 2 より小さい電流値を有する。

20

【 0 0 6 5 】

この場合、電圧測定タイミング t m でのノード N 2 3 の電圧は電圧値データ V d a t a に対応する電圧 (- V d) より低いため、判定回路 5 7 a は、データライン L d の電位は変調されていると判定し、図 10 (D) に示すように、H i g h を出力する。言い換えると、判定回路 5 7 a は、キャパシタ C s 2 が表示信号を保持していないと判定する。

30

【 0 0 6 6 】

判定回路 5 7 a は、データライン L d の電位が変調されていると判定すると、有機 E L 表示装置 1 a の位置検出回路 6 1 に、データライン L d の電位が変調されていると判定したデータラインの番号 (1 ~ m のいずれか) を送る。

位置検出回路 6 1 はこの番号を受信すると、走査ドライバ 3 が走査パルスを出力していた走査ラインの番号 (1 ~ n のいずれか) を取得する。走査ラインの番号は、例えば、走査ドライバ 3 が走査ライン L s 1 に最初の走査パルスを出力してから、判定回路 5 7 a によってデータライン L d の電位が変調されていると判定されるまでに、走査ドライバ 3 に印加されるクロック信号のパルス数をカウントすることによって知ることができる。あるいは、走査ラインの番号は、走査ドライバ 3 が走査ライン L s 1 に最初の走査パルスを出力してから、判定回路 5 7 a によってデータライン L d の電位が変調されていると判定されるまでに、走査ドライバ 3 が走査ライン L s 2 ~ L s n に順次出力する走査パルスの数をカウントすることによって知ることができる。

40

【 0 0 6 7 】

位置検出回路 6 1 は、取得したデータラインの番号と走査ラインの番号を、圧力が加えられている表示パネル 2 a の位置として特定する。ただし、例えば、人の指やタッチペンが表示パネル 2 a に触れると、同時に複数のデータラインの番号と走査ラインの番号が特定される場合がある。この場合、位置検出回路 6 1 は、例えば、複数のデータラインの番号と走査ラインの番号により特定される表示パネル 2 a の複数の位置を人の指やタッチペンが触れた複数の位置として特定するものであってもよい。あるいは、位置検出回路 6 1

50

は、複数のデータラインの番号と走査ラインの番号により特定されるエリアの中心を人の指やタッチペンが表示パネル 2 a に触れた位置とするものであってもよい。このようにして、取得したデータラインの番号と走査ラインの番号によって、人の指やタッチペンが表示パネル 2 a に触れた位置を決めることができる。

【0068】

ここで、可変素子 E_{v21} は、例えば、後述の図 26 に示すように、ノード N_{21} に接続された可変素子アノード側電極 118 と、基準電位 V_{ss} が印加される可変素子カソード側電極 112 で構成される。可変素子アノード側電極 118 と可変素子カソード側電極 112 の間には、複数の絶縁性微粒子 131 と導電性微粒子 132 とが配置されている。

表示パネル 2 a に更に圧力が加えられると、可変素子アノード側電極 118 と可変素子カソード側電極 112 が両方とも導電性微粒子 132 に接触する。

このとき、可変素子 E_{v21} の抵抗が極めて小さくなり、キャパシタ C_{s2} と可変素子 E_{v21} で構成される回路のインピーダンスが低下する。このため、図 12 (A) に示すように、選択期間 t_s に DAC54a に引き込まれる電流 I_d は、主に基準電圧 V_{ss} から可変素子 E_{v21} を通って流れる。なお、このとき、ダイオード接続状態とされた発光駆動トランジスタ T_{23} のドレイン・ソース間にもある程度の電流が流れるが、通常、発光駆動トランジスタ T_{23} のドレイン・ソース間は少なくとも $1\text{ K}\Omega$ 以上の比較的高い抵抗値を有するため、可変素子 E_{v21} の抵抗値がほぼ 0 とみなせる場合には、基準電圧 V_{ss} から可変素子 E_{v21} を通って流れる電流に対して発光駆動トランジスタ T_{23} のドレイン・ソース間に流れる電流は、ほぼ無視できる程度の電流値となる。この場合、ノード N_{23} (データライン L_d) の電圧は基準電圧 V_{ss} に近づく。そして、可変素子 E_{v21} の抵抗値がほぼ 0 とみなせる場合には、ノード N_{23} (データライン L_d) の電圧は基準電圧 V_{ss} にほぼ等しくなる。

【0069】

図 13 は、画素駆動回路 211 の各部の電圧または電流の一例を示す図である。図 13 (A) および図 13 (B) は、それぞれ走査ライン L_s および電源ライン L_v の電圧を示す。図 13 (C) は、検出用抵抗 55 とデータライン L_d の接続点であるノード N_{23} の電圧を示す。また、図 13 (D) は、判定回路 57 の出力を示す。図 13 (E) は、発光駆動トランジスタ T_{23} のゲートとソース間の電圧 V_{gs} (すなわち、キャパシタ C_{s2} の両方の電極間の電圧) を示し、図 13 (F) は有機 EL 素子 OEL に流れる電流 I_{oe1} を示す。

【0070】

図 13 (A) と図 13 (B) に示す走査ライン L_s と電源ライン L_v の電圧はそれぞれ図 7 (A) と図 7 (B) に示したものと同一であるため、説明を省略する。

【0071】

図 13 (E) に示すように、選択期間 t_s に発光駆動トランジスタ T_{23} のゲートとソース間の電圧 V_{gs4} は概ね 0 V になり、図 13 (C) に示すように、ノード N_{23} (データライン L_d) の電圧はほぼ基準電圧 V_{ss} に等しくなる。また、図 12 (B) と図 13 (E) に示すように、発光期間 t_e に有機 EL 素子 OEL に供給される電流 I_{em4} はほぼゼロになり、有機 EL 素子 OEL は発光しない。

【0072】

この場合、判定回路 57a は、データライン L_d の電位は変調されていると判定し、図 13 (D) に示すように、 H_{igh} を出力する。言い換えると、判定回路 57a は、キャパシタ C_{s2} が表示信号を保持していないと判定する。

【0073】

判定回路 57a は、データライン L_d の電位が変調されていると判定すると、有機 EL 表示装置 1a の位置検出回路 61 に、データライン L_d の電位が変調されていると判定したデータラインの番号 (1 ~ m のいずれか) を送る。位置検出回路 61 は、受け取ったデータラインの番号と、そのとき走査ドライバ 3 が走査パルスを出していた走査ラインの番号を、圧力が加えられている表示パネル 2 a の位置として特定する。特定された位置に

よって、人の指やタッチペンが表示パネル 2 a に触れた位置を知ることができる。

また、このとき、同時に複数のデータラインの番号と走査ラインの番号が特定される場合がある。この場合、位置検出回路 6 1 は、例えば、複数のデータラインの番号と走査ラインの番号により特定される表示パネル 2 a の複数の位置を人の指やタッチペンが触れた複数の位置として特定するものであってもよい。あるいは、位置検出回路 6 1 は、複数のデータラインの番号と電源ラインの番号により特定されるエリアの中心を人の指やタッチペンが表示パネル 2 a に触れた位置とするものであってもよい。

【 0 0 7 4 】

なお、有機 E L 素子 O E L は本発明の発光素子の一例であり、第 1 入力トランジスタ T 2 1 と第 2 入力トランジスタ T 2 2 は本発明の信号入力部の一例であり、可変素子 E v 2 1 は本発明の可変素子の一例であり、キャパシタ C s 2 は本発明のキャパシタの一例であり、発光駆動トランジスタ T 2 3 は本発明の発光素子駆動部の一例である。

【 0 0 7 5 】

< 第 2 の実施形態 >

次に、本発明の第 2 の実施形態に係る有機 E L 表示装置 1 b について説明する。有機 E L 表示装置 1 b は、図 1 4 に示すように、表示パネル 2 b と、走査ドライバ 3 と、電源ドライバ 4 b と、データドライバ 5 b と、システムコントローラ 6 と、表示信号生成回路 7 とを有している。

表示パネル 2 b は、図 1 5 に示すように、表示画素 2 2 を含む。表示画素 2 2 に含まれる画素駆動回路 2 2 1 は、2 個のトランジスタで構成される点で、第 1 の実施形態の画素駆動回路 2 1 1 と異なっている。画素駆動回路 2 2 1 と駆動回路 2 1 1 の構成が異なるため、電源ドライバ 4 b とデータドライバ 5 b も図 1 の電源ドライバ 4 a とデータドライバ 5 a と異なっている。図 1 と図 1 3 における同一の構成要素には同一の符号が付されている。

【 0 0 7 6 】

表示画素 2 2 は、図 1 5 に示すように、画素駆動回路 2 2 1 と有機 E L 素子 O E L とを有している。

画素駆動回路 2 2 1 は、入力トランジスタ T 3 1 と、発光駆動トランジスタ T 3 2 と、キャパシタ C s 3 と、可変素子 E v 3 1 とを含む。

入力トランジスタ T 3 1 と発光駆動トランジスタ T 3 2 は、アモルファスシリコンまたはポリシリコンを用いた n チャネル型 T F T である。

【 0 0 7 7 】

入力トランジスタ T 3 1 は、ゲートが走査ライン L s に接続され、ソースがノード N 3 1 に接続され、ドレインがデータライン L d に接続されている。

発光駆動トランジスタ T 3 2 は、ゲートがノード N 3 1 に接続され、ソースがノード N 3 2 に接続され、ドレインが電源ライン L v に接続されている。

【 0 0 7 8 】

また、キャパシタ C s 3 は、ノード N 3 1 とノード N 3 2 の間、すなわち、発光駆動トランジスタ T 3 2 のゲートとソースの間に接続されている。

可変素子 E v 3 1 は、一方の電極がノード N 3 1 に接続され、他方の電極に基準電圧 V s s が印加されている。可変素子 E v 3 1 は、第 1 の実施形態の E V 2 1 と同様に容量値を変化させることができる可変キャパシタ、または抵抗を変化させることができる可変抵抗、または可変キャパシタと可変抵抗の両方として機能する可変素子である。

有機 E L 素子 O E L のアノード電極は、ノード N 3 2 に接続され、カソード電極には基準電圧 V s s が印加されている。

【 0 0 7 9 】

データドライバ 5 b は、図 1 5 に示すように、データラッチ回路 5 3 と、デジタル電圧 / アナログ電流変換回路 (D A V C) 5 4 b と、検出用抵抗 5 5 と、A D C 5 6 b と、判定回路 5 7 a とを有している。データドライバ 5 b は、その他に、図 1 5 には示されていないシフトレジスタ回路 5 1 と、データレジスタ回路 5 2 とを有している。

図15のデータドライバ5bは、正の階調電圧Vdを出力する点で図4のデータドライバ5aと異なる。図4のデータドライバ5aと図15のデータドライバ5bにおける同一の構成要素には同一の符号が付されている。

【0080】

表示データは、第1の実施形態と同様に、デジタル信号である電圧値データVdataで指定される。電圧値データVdataが例えば8ビットのデジタル信号である場合、有機EL素子OELの発光の階調は256階調である。

第1の実施形態では、DAC54aがデータラッチ回路53から供給された電圧値データVdataをアナログ電圧である負の階調電圧(-Vd)に変換したのに対し、本実施形態では、DAC54bは電圧値データVdataを正の階調電圧Vdに変換する。

10

正の階調電圧Vdは検出用抵抗55を介してノードN33(データラインLd)に印加される。

【0081】

ADC56bは、ノードN33(データラインLd)に印加されている電圧をデジタル信号に変換して判定回路57aに供給する。

判定回路57aは、選択期間tsが終了する直前の測定タイミングtmで、ADC56bによってデジタル信号に変換されたノードN33(データラインLd)の電圧を取得し、取得したノードN33(データラインLd)とデータラッチ回路53から出力される電圧値データVdataの電圧を比較する。判定回路57aは、選択期間tsが終了する直前の時点で、これらの電圧の比較によって抽出される差分の大きさに基づいてデータラインLdの電位の変調の有無を判定する。判定回路57aにおける判定方法は第1の実施形態と同様である。

20

【0082】

本実施形態の有機EL表示装置1bでは、走査ドライバ3と電源ドライバ4bは図16に示すように動作する。

走査ドライバ3の動作は第1の実施形態と同様である。すなわち、走査ドライバ3は、図16(A)~(D)に示すように、システムコントローラ6から供給される走査制御信号に基づいて、走査ラインLs1から走査ラインLsnまで選択期間tsの間ハイレベルの電圧Vhighとなる走査パルスを順次出力し、走査ラインLs1~Lsnに接続された表示画素22を順次選択する。

30

【0083】

電源ラインLv1~Lv nは、図14に示すように、共通のノードN11に接続される。

電源ドライバ4bは、第1の実施形態の電源ドライバ4aと異なり、図16(E)に示すように、ノードN11を介して電源ラインLv1~Lv nに基準電圧Vssより高いレベルの電源電圧Vccを常時出力する。

【0084】

図17は、画素駆動回路221の各部の電圧または電流の一例を示す図である。図17(A)および図17(B)は、それぞれ走査ラインLsおよび電源ラインLvの電圧を示す。図17(C)は、検出用抵抗55とデータラインLdの接続点であるノードN33の電圧を示す。また、図17(D)は、判定回路57aの出力を示す。図17(E)は、発光駆動トランジスタT32のゲートとソース間の電圧Vgs(すなわち、キャパシタCs3の両方の電極間の電圧)を示し、図17(F)は有機EL素子OELに流れる電流Ioe1を示す。

40

【0085】

本実施形態の有機EL表示装置1bにおいて、人の指やタッチペン等が表示パネル2bに接触していないときには、可変素子Ev31の容量値は無視できる程度に小さく、抵抗の大きさは十分に大きく無限大であると見なすことができる。この場合、走査ドライバ3と電源ドライバ4bとデータドライバ5bは図17に示すように動作し、表示パネル2bに画像が表示される。

50

【0086】

まず、選択期間 t_s に、電圧値データ V_{data} の階調値に対応する電圧が表示画素 2 に書き込まれる。

選択期間 t_s に、走査ドライバ 3 は、図 17 (A) に示すように、走査ライン L_s に基準電圧 V_{ss} より高いハイレベルの電圧 V_{high} の走査パルスを出力する。走査ライン L_s に走査パルスが出力されると、入力トランジスタ T_{31} のソースとドレイン間が導通する。電源ドライバ 4 b は、図 17 (B) に示すように、電源ライン L_v に、基準電圧 V_{ss} より高い電源電圧 V_{cc} を常時出力している。

【0087】

$D_{AVC}54b$ は、電圧値データ V_{data} の階調値に対応する階調電圧 V_d を出力する。階調電圧 V_d は検出用抵抗 55 を介してノード N_{33} (データライン L_d) に印加される。

10

ノード N_{33} (データライン L_d) に印加された電圧は、入力トランジスタ T_{31} のドレインとソース間を通して、発光駆動トランジスタ T_{32} のゲートに印加される。データライン L_d には殆ど電流は流れないため、ノード N_{33} (データライン L_d) の電圧は、図 17 (C) に示すように、階調電圧 V_d にほぼ等しくなる。

発光駆動トランジスタ T_{32} のゲートとソース間には、キャパシタ C_{s3} が接続されている。発光駆動トランジスタ T_{32} のゲートとソース間に印加される電圧 (キャパシタ C_{s3} の両方の電極間に印加される電圧) V_{gs5} は、有機 EL 素子 OEL のアノード電極とカソード電極間の電圧を V_{oe1} としたとき、図 17 (E) と図 18 (A) に示すように、電圧 $V_d - V_{oe1}$ となる。

20

【0088】

このとき、有機 EL 素子 OEL のカソード電極に印加されている電圧は基準電圧 V_{ss} であるため、図 17 (F) と図 18 (A) に示すように、発光駆動トランジスタ T_{32} は、キャパシタ C_{s3} の両方の電極間に保持されている電圧 $V_d - V_{oe1}$ に応じた駆動電流 I_{em5} を有機 EL 素子 OEL のアノード電極に供給する。有機 EL 素子 OEL はこの駆動電流 I_{em5} の電流値に応じた輝度で発光する。

【0089】

次に、発光期間 t_e において、走査ドライバ 3 は、図 17 (A) に示すように、走査ライン L_s に基準電圧 V_{ss} 以下のローレベルの電圧 V_{low} を出力する。このため、入力トランジスタ T_{31} のソースとドレイン間是非導通となる。

30

【0090】

入力トランジスタ T_{31} のソースとドレイン間が導通していないため、ノード N_{31} はフローティング状態である。図 17 (E) と図 18 (B) に示すように、キャパシタ C_{s3} の両方の電極間には、選択期間において書き込まれた電圧 V_{gs5} ($V_d - V_{oe1}$) が保持されている。

これにより、図 17 (F) と図 18 (B) に示すように、発光駆動トランジスタ T_{32} は、キャパシタ C_{s3} の両方の電極間に保持されている電圧 V_{gs5} ($V_d - V_{oe1}$) に応じた駆動電流 I_{em5} を有機 EL 素子 OEL のアノード電極に継続して供給し、有機 EL 素子 OEL はこの駆動電流 I_{em5} に応じて継続して発光する。

40

【0091】

判定回路 57 a は、図 17 (D) に示すように、選択期間 t_s が終了する直前の電圧測定タイミング t_m で電圧値データ V_{data} とノード N_{33} (データライン L_d) の電圧を比較し、比較による差分の大きさに基づいて、データライン L_d に出力された表示信号に応じたデータライン L_d の電位の変調の有無を判定する。

この場合、判定回路 57 a は、電圧値データ V_{data} とノード N_{33} (データライン L_d) の電圧とが概ね等しく、その差分が比較的小さく所定の範囲内にあるため、データライン L_d の電位は変調されていないと判定する。言い換えると、判定回路 57 a は、キャパシタ C_{s3} が表示信号を保持していると判定する。

【0092】

50

次に、本実施形態において、表示パネル 2 b に人の指やタッチペン等によって圧力が加えられたときの動作について説明する。

可変素子 E v 3 1 は、例えば、後述の図 3 9 に示すように、ノード N 3 1 に接続された可変素子アノード側電極 1 5 8 と、基準電位 V s s が印加される可変素子カソード側電極 1 5 7 で構成される。可変素子アノード側電極 1 5 8 と可変素子カソード側電極 1 5 7 の間には、複数の絶縁性微粒子 1 3 1 と導電性微粒子 1 3 2 とが配置されている。

表示パネル 2 b に圧力が加えられ、可変素子アノード側電極 1 5 8 と可変素子カソード側電極 1 5 7 の間隔が狭くなるに連れて、可変素子 E v 3 1 は、その容量値が増加し、キャパシタとして機能し始める。

【 0 0 9 3 】

10

まず、表示パネル 2 b に加えられた圧力が弱く、可変素子 E v 3 1 の容量値がそれほど大きくない場合について説明する。

図 1 9 は、可変素子 E v 3 1 がキャパシタとして機能し始めた場合の画素駆動回路 2 2 1 の各部の電圧または電流の一例を示す図である。図 1 9 (A) および図 1 9 (B) は、それぞれ走査ライン L s および電源ライン L v の電圧を示す。図 1 9 (C) は、検出用抵抗 5 5 とデータライン L d の接続点であるノード N 3 3 の電圧を示す。また、図 1 9 (D) は、判定回路 5 7 a の出力を示す。図 1 9 (E) は、発光駆動トランジスタ T 3 2 のゲートとソース間の電圧 V g s (すなわち、キャパシタ C s 3 の両方の電極間の電圧) を示し、図 1 9 (F) は有機 E L 素子 O E L に流れる電流 I o e l を示す。

また、図 2 0 は、可変素子 E v 3 1 がキャパシタとして機能しているときの、可変素子 E v 3 1 とキャパシタ C s 3 及び有機 E L 素子 O E L の容量成分の充電動作に係わる等価回路を示す。

20

【 0 0 9 4 】

図 1 9 (A) と図 1 9 (B) に示す走査ライン L s と電源ライン L v の電圧はそれぞれ図 1 7 (A) と図 1 7 (B) に示したものと同一であるため、説明を省略する。

【 0 0 9 5 】

D A V C 5 4 b は、選択期間 t s に、電圧値データ V d a t a の階調値に対応する階調電圧 V d を出力する。階調電圧 V d は、検出用抵抗 5 5 を介してノード N 3 3 (データライン L d) に印加される。

このとき、図 2 0 の等価回路に示すように、キャパシタ C s 3 と有機 E L 素子 O E L とが直列に接続された回路と可変素子 E v 3 1 とは、ノード N 3 3 (データライン L d) と基準電圧 V s s の間に並列に接続された並列回路を構成する。そのため、キャパシタ C s 3 と有機 E L 素子 O E L の容量成分とが直列接続された容量の容量値を C 3 、可変素子 E v 3 1 の容量値を C 4 としたとき、ノード N 3 3 と基準電圧 V s s の間に設けられる容量の容量値 C t 2 は容量値 C 3 と容量値 C 4 とを合計した値となる。

30

【 0 0 9 6 】

従って、データドライバ 5 b が階調電圧 V d をデータライン L d に出力するとき、この電圧が可変素子 E v 3 1 を含む容量値 C t 2 の充電にも使われることになる。このとき、図 2 0 に示すように、検出用抵抗 5 5 と容量値 C t 2 を有する容量とは直列に接続されている。そして、検出用抵抗 5 5 の一端に D A V C 5 4 b から出力される電圧 (V d) が印加されたとき、検出用抵抗 5 5 の他端 (ノード N 3 3) の電圧 V (N 3 3) は、検出用抵抗 5 5 の抵抗値を R としたとき、電圧 (V d) の印加開始からの時間を t 、抵抗値 R と容量値 C t 2 との積を時定数 τ 、として、次の式 (2) で表される。

40

【 0 0 9 7 】

【 数 2 】

$$V(N33) = Vd \times (1 - e^{-\frac{t}{\tau}}) \quad (\tau = R \times Ct2) \quad \dots\dots (2)$$

50

【0098】

すなわち、図19(C)に示すように、ノードN33の電圧 $V(N33)$ の変化は、D A V C 5 4 bからの電圧(V_d)の印加に対して、時定数 τ の大きさに応じて遅延したものとなる。これによって、図17(E)に示すように、発光駆動トランジスタT32のゲートとソース間 V_{gs} の電圧の上昇も遅延したものとなる。

ただし、可変素子E v 3 1の容量値が比較的小さく、図19(C)に示すように、選択期間 t_s の間に、ノードN33(データラインL d)の電圧が階調電圧 V_d にほぼ達する場合には、選択期間 t_s の終了時における発光駆動トランジスタT32のゲートとソース間の電圧 V_{gs6} は、図19(E)に示すように、図17(E)における電圧 V_{gs5} にほぼ等しくなる。このため、有機EL素子O E Lは、図19(F)に示すように、発光期間 t_e においては、図17(F)とほぼ同じ輝度で発光する。

10

【0099】

このため、図19(F)に示すように、発光期間 t_e に、発光駆動トランジスタT32は、キャパシタC s 3の両方の電極間に保持されている電圧 $V_d - V_{oe1}$ に応じた駆動電流 I_{em6} を有機EL素子O E Lのアノード電極に供給する。有機EL素子O E Lはこの駆動電流 I_{em6} の電流値に応じた輝度で発光する。駆動電流 I_{em6} は図17(F)に示した駆動電流 I_{em5} とほぼ等しいため、有機EL素子O E Lは、発光期間 t_e に、図17(F)の場合とほぼ同じ輝度で発光する。

【0100】

この場合、選択期間 t_s が終了する直前の電圧測定タイミング t_m においてノードN33(データラインL d)の電圧は階調電圧 V_d に概ね等しいため、判定回路57aは、データラインL dの電位は変調されていないと判定し、図19(D)に示すように、Lowを出力する。言い換えると、判定回路57aは、キャパシタC s 3が表示信号を保持していると判定する。

20

【0101】

次に、表示パネル2bに更に圧力が加えられて、可変素子E v 3 1の容量値が更に増加した場合について説明する。

図21は、この場合の画素駆動回路221の各部の電圧または電流の一例を示す図である。図21(A)および図21(B)は、それぞれ走査ラインL sおよび電源ラインL vの電圧を示す。図21(C)は、検出用抵抗55とデータラインL dの接続点であるノードN33の電圧を示す。また、図21(D)は、判定回路57aの出力を示す。図21(E)は、発光駆動トランジスタT32のゲートとソース間の電圧 V_{gs} (すなわち、キャパシタC s 3の両方の電極間の電圧)を示し、図21(F)は有機EL素子O E Lに流れる電流 I_{oe1} を示す。

30

【0102】

図21(A)と図21(B)に示す走査ラインL sと電源ラインL vの電圧はそれぞれ図17(A)と図17(B)に示したものと同一であるため、説明を省略する。

【0103】

図21(C)に示すように、可変素子E v 3 1の容量値が更に大きくなると、上記式(2)に示した時定数が更に増加する。このため、ノードN33(データラインL d)の電圧の変化は、図19(C)の場合より更に遅延したものとなり、選択期間 t_s が終了するまでに、ノードN33(データラインL d)の電圧が階調電圧 V_d に達しなくなる。これに応じて、図21(E)に示すように、発光駆動トランジスタT32のゲートとソース間の電圧 V_{gs7} も、図19(E)の場合より変化が更に遅延したものとなり、発光期間 t_e における発光駆動トランジスタT32のゲートとソース間の電圧 V_{gs7} は、図19(E)に示す電圧 V_{gs6} より低いものとなる。このため、発光期間 t_e に有機EL素子O E Lのアノード電極に供給される駆動電流 I_{em7} は、図21(F)に示すように、図19(F)の場合の I_{em6} より小さくなり、有機EL素子O E Lは、発光期間 t_e において、図19(F)の場合より低い輝度で発光する。

40

【0104】

50

この場合、選択期間 t_s が終了する直前の電圧測定タイミング t_m においてノード N_{33} (データライン L_d) の電圧は階調電圧 V_d より低い電圧となる。このため、判定回路 57a は、データライン L_d の電位は変調されていると判定し、図 21 (D) に示すように $High$ を出力する。言い換えると、判定回路 57a は、キャパシタ C_{s3} が表示信号を保持していないと判定する。

【0105】

判定回路 57a は、データライン L_d の電位は変調されていると判定すると、有機 EL 表示装置 1b の位置検出回路 61 に、表示信号は変調されていると判定したデータラインの番号 (1 ~ m のいずれか) を送る。

位置検出回路 61 は、受け取ったデータラインの番号と、そのとき走査ドライバ 3 が走査パルスを出力していた走査ラインの番号を、圧力が加えられている表示パネル 2b の位置として特定する。特定された位置によって、人の指やタッチペンが表示パネル 2b に触れた位置を知ることができる。

【0106】

次いで、表示パネル 2b に更に圧力が加えられて、可変素子アノード側電極 158 と可変素子カソード側電極 157 が両方とも導電性微粒子 132 に接触した場合について説明する。

この場合、可変素子 E_{v31} の容量値は極めて小さくなり、同時に可変素子 E_{v31} の抵抗も極めて小さくなる。このとき、図 22 (A) に示すように、 $D_{AVC}54b$ から出力される階調電圧 V_d によってデータライン L_d に流れる電流は、主にデータドライバ 5b から可変素子 E_{v31} を通って基準電圧 V_{ss} へ流れる。

【0107】

図 23 は、この場合の画素駆動回路 221 の各部の電圧または電流の一例を示す図である。図 23 (A) および図 23 (B) は、それぞれ走査ライン L_s および電源ライン L_v の電圧を示す。図 23 (C) は、検出用抵抗 55 とデータライン L_d の接続点であるノード N_{33} の電圧を示す。また、図 23 (D) は、判定回路 57a の出力を示す。図 23 (E) は、発光駆動トランジスタ T_{32} のゲートとソース間の電圧 V_{gs} (すなわち、キャパシタ C_{s3} の両方の電極間の電圧) を示し、図 23 (F) は有機 EL 素子 OEL に流れる電流 I_{oel} を示す。

【0108】

図 23 (A) と図 23 (B) に示す走査ライン L_s と電源ライン L_v の電圧はそれぞれ図 17 (A) と図 17 (B) に示したものと同一であるため、説明を省略する。

【0109】

可変素子 E_{v31} の抵抗が極めて小さいため、ノード N_{33} (データライン L_d) の電圧は、図 23 (C) に示すように、ほぼ基準電圧 V_{ss} に等しくなる。また、図 23 (E) に示すように、発光駆動トランジスタ T_{32} のゲートとソース間の電圧 V_{gs} はほぼ 0V である。

【0110】

また、ノード N_{31} の電圧はほぼ基準電圧 V_{ss} に等しいため、発光駆動トランジスタ T_{32} のソースとドレイン間は非導通であり、発光期間 t_e に有機 EL 素子 OEL のアノード電極に供給される駆動電流 I_{em} は、図 22 (B) と図 23 (F) に示すように、ほぼ 0A である。このため、発光期間 t_e に、有機 EL 素子 OEL は発光しない。

【0111】

この場合、選択期間 t_s が終了する直前の電圧測定タイミング t_m においてノード N_{33} (データライン L_d) の電圧は、ほぼ基準電圧 V_{ss} であるため、判定回路 57a は、データライン L_d の電位は変調されていると判定し、図 23 (D) に示すように、 $High$ を出力する。言い換えると、判定回路 57a は、キャパシタ C_{s3} が表示信号を保持していないと判定する。

【0112】

判定回路 57a は、データライン L_d の電位は変調されていると判定すると、有機 EL

10

20

30

40

50

表示装置 1 b の位置検出回路 6 1 に、データライン L d の電位が変調されていると判定したデータラインの番号 (1 ~ m のいずれか) を送る。位置検出回路 6 1 は、受け取ったデータラインの番号と、そのとき走査ドライバ 3 b が走査パルスを出していた走査ラインの番号を、圧力が加えられている表示パネル 2 b の位置として特定する。特定された位置によって、人の指やタッチペンが表示パネル 2 b に触れた位置を知ることができる。

【 0 1 1 3 】

なお、有機 E L 表示装置 1 b は本発明の表示装置の一例であり、表示パネル 2 b は本発明の表示パネルの一例であり、表示画素 2 2 は本発明の表示画素の一例であり、走査ドライバ 3 と電源ドライバ 4 b とデータドライバ 5 b は本発明の駆動回路の一例であり、入力トランジスタ T 3 1 は本発明の信号入力部の一例であり、可変素子 E v 3 1 は本発明の可変素子の一例であり、キャパシタ C s 3 は本発明のキャパシタの一例であり、発光駆動トランジスタ T 3 2 は本発明の発光素子駆動部の一例である。

【 0 1 1 4 】

< 第 1 の実施形態と第 2 の実施形態の変形例 >

例えば、図 2 4 に示すように、データドライバ 5 a に含まれる検出用抵抗 5 5 をバイパスするためのバイパススイッチ 5 8 を設けても良い。

タッチパネル機能を使用しない場合には、バイパススイッチ 5 8 をオンとすることによって、検出用抵抗 5 5 をバイパスして D A V C 5 4 a から出力される電圧をノード N 2 3 (データライン L d) に直接印加する。

一方、タッチパネル機能を使用する場合には、バイパススイッチ 5 8 をオフにして検出用抵抗 5 5 を介して D A V C 5 4 a から出力される電圧をノード N 2 3 (データライン L d) に印加する。この場合、バイパススイッチ 5 8 をオンとしたときと同等の電圧がノード N 2 3 (データライン L d) に印加されるように、D A V C 5 4 a は検出用抵抗 5 5 で生じる電圧降下を考慮した電圧を出力する。

タッチパネル機能を使用しない場合にはバイパススイッチ 5 8 をオンにすることにより、検出用抵抗 5 5 で消費される電力を削減することができる。

同様に、データドライバ 5 b においても、データドライバ 5 b に含まれる検出用抵抗 5 5 をバイパスするためのバイパススイッチを設けても良い。

【 0 1 1 5 】

次に、上述の各実施形態における表示画素 2 1 , 2 2 及び可変素子 E v 2 1 、 E v 3 1 の具体的な構造とその製造方法の一例について説明する。まず、上述の第 1 の実施形態に適用される表示画素 2 1 の具体的な構造について説明する。

【 0 1 1 6 】

< 第 1 の実施形態における表示画素 2 1 の第 1 の構造 >

図 2 5 は、第 1 の実施形態における表示画素 2 1 の第 1 の構造における平面図の一例であり、図 2 6 は、表示画素 2 1 の第 1 の構造における、図 2 5 の A - A 線断面図の一例である。また、図 2 7 は第 1 の構造における可変素子 E v 2 1 の可変素子アノード側電極 1 1 8 の構成を示す図である。なお、図 2 5 と図 2 6 は、可変素子 E v 2 1 の一方の電極と発光駆動トランジスタ T 2 3 のソース電極とが接続された構造を有する場合を示す。また、図 2 5 と図 2 6 は、表示画素 2 1 がトップエミッション構造である場合の例である。ここで、可変素子アノード側電極 1 1 8 と可変素子カソード側電極 1 1 2 とは可変素子 E v 2 1 を構成している。

【 0 1 1 7 】

アノード電極 1 2 1 は、有機 E L 素子 O E L のアノード電極である。また、キャパシタ電極 C s 2 1 は、キャパシタ C s 2 のノード N 2 2 に接続されている電極である。表示画素 2 1 は、図 2 5 に示すように、有機 E L 素子 O E L を挟むようにして、左側に第 1 入力トランジスタ T 2 1 のソース電極 2 1 s とゲート電極 2 1 g とドレイン電極 2 1 d、および第 2 入力トランジスタ T 2 2 のソース電極 2 2 s とゲート電極 2 2 g とドレイン電極 2 2 d が配置されている。また、有機 E L 素子 O E L の右側に、発光駆動トランジスタ T 2 3 のソース電極 2 3 s とゲート電極 2 3 g とドレイン電極 2 3 d が配置されている。

第1入力トランジスタT21のソース電極21sは、コンタクト部143を介して、キャパシタ電極Cs21と接続され、更にキャパシタ電極Cs21を介して発光駆動トランジスタT23のゲート電極23gと接続されている。

【0118】

また、第2入力トランジスタT22のドレイン電極22dは、アノード電極121に接続されており、ソース電極22sは、コンタクト部141を介してデータラインLdに接続されている。また、第2入力トランジスタT22のゲート電極22gは、コンタクト部142を介して走査ラインLsと接続されている。

第1入力トランジスタT21のドレイン電極21dと発光駆動トランジスタT23のドレイン電極23dは、電源ラインLvに接続されている。

10

発光駆動トランジスタT23のソース電極23sは、後述するように、コンタクト部144を介して、可変素子Ev21の一方の電極をなす可変素子アノード側電極118と接続されている。

【0119】

なお、コンタクト部141～144は、異なる層に形成された電極、配線等を上下に導通させるものであり、絶縁膜等に開口を設け、これに導電材料を充填することによって形成される。

【0120】

表示画素21は、図26に示すように、封止基板111と画素基板113の間に形成されている。封止基板111は例えば透明な樹脂材料からなり、人の指やタッチペン等が封止基板111の表面側に接触して圧力が加えられたときに、変形してある程度撓むように構成されている。

20

【0121】

画素基板113上には、第2入力トランジスタT22のゲート電極22gと発光駆動トランジスタT23のゲート電極23gが形成される。更に、画素基板113上には、キャパシタCs2の一方の電極Cs21と、データラインLdが形成されており、更にこれらを覆うように絶縁膜114が形成される。画素基板113上に形成されたキャパシタ電極Cs21と、絶縁膜114と、アノード電極121とが、表示画素21に含まれるキャパシタCs2として機能する。

【0122】

30

絶縁膜114は、絶縁性材料、例えばシリコン酸化膜、シリコン窒化膜等から形成され、データラインLdと、ゲート電極22g、ゲート電極23gと、キャパシタ電極Cs21と、を覆うように画素基板113上に形成される。

【0123】

第1入力トランジスタT21、第2入力トランジスタT22、発光駆動トランジスタT23は、それぞれnチャネル型TFTである。それぞれのトランジスタは、図26に示すように、画素基板113上に形成される。第2入力トランジスタT22は、保護絶縁膜222と、半導体層223と、ドレイン電極22dと、ソース電極22sと、オーミックコンタクト層224、225と、ゲート電極22gと、を備える。また、発光駆動トランジスタT23は、半導体層231と、保護絶縁膜232と、ドレイン電極23dと、ソース電極23sと、オーミックコンタクト層234、235と、ゲート電極23gと、を備える。なお、図示は省略しているが、第1入力トランジスタT21も同様に形成される。

40

【0124】

各トランジスタT21、T22、T23において、ゲート電極は、例えば、アルミニウム-ネオジウム-チタン(AlNdTi)またはクロム(Cr)から形成される。また、ドレイン電極とソース電極はそれぞれ例えばアルミニウム-チタン(AlTi)/Cr、AlNdTi/CrまたはCrから形成されている。また、ドレイン電極及びソース電極と半導体層との間にはそれぞれ低抵抗性接触のため、オーミックコンタクト層が形成される。

【0125】

50

アノード電極 1 2 1 は、A l 等の光反射性の金属層およびその上に積層された I T O (I n d i u m T i n O x i d e) 等の透明導電層の 2 層構造である。各アノード電極 1 2 1 は隣接する他の表示画素 2 1 のアノード電極 1 2 1 と層間絶縁膜 1 1 5 によって絶縁されている。

【 0 1 2 6 】

層間絶縁膜 1 1 5 は、絶縁材料、例えば S i N、ポリイミド等から形成される。層間絶縁膜 1 1 5 は、アノード電極 1 2 1 間に形成され、隣接するアノード電極 1 2 1 間を絶縁する。また、層間絶縁膜 1 1 5 はトランジスタ T 2 1、T 2 2、T 2 3 を覆うように形成される。

層間絶縁膜 1 1 5 には、平面形状が略方形の開口 1 1 5 a に対応した開口部が形成される。この開口部によって画素 2 1 の発光領域が区画される。層間絶縁膜 1 1 5 上には更に、隔壁 1 1 6 が形成されている。

【 0 1 2 7 】

隔壁 1 1 6 は、絶縁材料、例えばポリイミド等から形成され、層間絶縁膜 1 1 5 上に形成される。隔壁 1 1 6 は、隣接する画素間においてアノード電極 1 2 1 上に形成される発光層 1 2 4 の形成時の混色を防止する。

【 0 1 2 8 】

正孔注入層 1 2 2 は、アノード電極 1 2 1 上に形成され、発光層 1 2 4 に正孔を供給する機能を有する。正孔注入層 1 2 2 は正孔 (ホール) 注入、輸送が可能な有機高分子系の材料から構成される。また、有機高分子系のホール注入・輸送材料を含む有機化合物含有液としては、例えば導電性ポリマーであるポリエチレンジオキシチオフェン (P E D O T) とドーパントであるポリスチレンスルホン酸 (P S S) を水系溶媒に分散させた分散液である P E D O T / P S S 水溶液を用いる。

【 0 1 2 9 】

インターレイヤ 1 2 3 は正孔注入層 1 2 2 上に形成される。インターレイヤ 1 2 3 は、正孔注入層 1 2 2 の正孔注入性を抑制して発光層 1 2 4 内において電子と正孔とを再結合させやすくする機能を有し、発光層 1 2 4 の発光効率を高めるために設けられている。

発光層 1 2 4 は、インターレイヤ 1 2 3 上に形成されている。発光層 1 2 4 は、アノード電極 1 2 1 とカソード電極 1 2 5 との間に所定の電圧を印加することにより光を発生する機能を有する。発光層 1 2 4 は、蛍光あるいは燐光を発光することが可能な公知の高分子発光材料、例えばポリパラフェニレンビニレン系やポリフルオレン系等の共役二重結合ポリマーを含む赤 (R)、緑 (G)、青 (B) 色の発光材料から構成される。また、これらの発光材料は、適宜水系溶媒あるいはテトラリン、テトラメチルベンゼン、メシチレン、キシレン等の有機溶媒に溶解 (又は分散) した溶液 (分散液) をノズルコート法やインクジェット法等により塗布し、溶媒を揮発させることによって形成する。

【 0 1 3 0 】

カソード電極 1 2 5 は、導電材料、例えば C a , B a 等仕事関数の低い材料からなる電子注入層と、I T O 等の光透過性導電層からなる 2 層構造である。カソード電極 1 2 5 は、発光層 1 2 4 の上に形成され、更に隔壁 1 1 6 を覆うように形成されている。カソード電極 1 2 5 は、基準電圧 V s s に接続される。

【 0 1 3 1 】

可変素子アノード側電極 1 1 8 は、アルミニウム - チタン (A l T i) / C r、A l N d T i / C r または C r から形成される。可変素子アノード側電極 1 1 8 は、隔壁 1 1 6 の上に、1 つの表示画素 2 1 の形成領域毎に分離して形成されて、図 2 7 に示すように、隔壁 1 1 6 の形状に合わせた、平面形状が略方形の開口 1 1 5 a が形成されている。可変素子アノード側電極 1 1 8 は、絶縁膜 1 1 7 によってカソード電極 1 2 5 と電氣的に絶縁されている。そして、可変素子アノード側電極 1 1 8 は、コンタクト部 1 4 4 により、発光駆動トランジスタ T 2 3 のソース電極 2 3 s と接続される。コンタクト部 1 4 4 は、隔壁 1 1 6 とカソード電極 1 2 5 に開口部 (スルーホール) を設け、これに導電材料を充填することによって形成される。

10

20

30

40

50

【0132】

可変素子アノード側電極 118 上には、図 27 に示すように、棒状に形成された粒子移動防止層 119 が形成されている。粒子移動防止層 119 は、可変素子アノード側電極 118 上に、図 27 (A) に示すような棒状に、あるいは、図 27 (B) に示すような碁盤の目状に形成される。この粒子移動防止層 119 は、例えばシリコン酸化膜、シリコン窒化膜等の絶縁材料から形成される。また、例えばUV硬化樹脂等の樹脂材料によって形成してもよい。粒子移動防止層 119 は、例えば、粒子移動防止層 119 の形成領域に対応したマスクを用いて粒子移動防止層 119 の形成材料を印刷することによって可変素子アノード側電極 118 上の所定の位置に形成される。あるいは、ディスペンサによって可変素子アノード側電極 118 上の所定の位置に塗布して形成される。あるいは、真空スパッタによって成膜して、エッチングによってアノード側電極 118 上に形成するものであってもよい。

10

【0133】

可変素子 E v 21 の他方の電極をなす可変素子カソード側電極 112 は、封止基板 111 に接して配置され、可変素子カソード側電極 112 と可変素子アノード側電極 118 とは所定の間隔で対向して配置されるように構成される。この可変素子カソード側電極 112 と可変素子アノード側電極 118 との間隔は、例えば数ミクロンに設定される。そして、可変素子カソード側電極 112 は、基準電圧 V_{ss} に接続される。

【0134】

可変素子アノード側電極 118 上には、複数の絶縁性微粒子 131 と導電性微粒子 132 とが配置されている。絶縁性微粒子 131 と導電性微粒子 132 とは、図 26 に示すように、粒子移動防止層 119 によって形成される枠内に配置される。絶縁性微粒子 131 と導電性微粒子 132 とは、例えば、枠内に対応する領域が開口したマスクを介して画素基板 113 上の全面に散布することによって配置される。あるいは、ディスペンサを用いて各微粒子を所定の位置に配置するようにしてもよい。絶縁性微粒子 131 と導電性微粒子 132 は、粒子移動防止層 119 によって形成される枠内に配置されることで、可変素子アノード側電極 118 上から移動しないようにされる。

20

【0135】

絶縁性微粒子 131 は例えば真球状の微粒子であり、可変素子カソード側電極 112 と可変素子アノード側電極 118 との間隔と同じか、それよりやや小さい、数ミクロンの直径を有する。絶縁性微粒子 131 は、誘電率の高い材料でできており、かつ柔軟性を有しており、圧力が加わると変形する。絶縁性微粒子 131 は絶縁性の材料から形成され、例えば、プラスチックを材料として製造される。可変素子アノード側電極 118 と可変素子カソード側電極 112 の間に、絶縁性微粒子 131 を配置することで、人の指やタッチペン等が表示パネル 2a に接触していないときに、可変素子アノード側電極 118 と可変素子カソード側電極 112 の間隔を均一に保つことができる。

30

【0136】

導電性微粒子 132 は、導電性を有し、絶縁性微粒子 131 よりも小さい直径を有する、例えば真球状の微粒子である。例えば絶縁性微粒子 131 が 5 ミクロンの直径を有する場合、導電性微粒子 132 は 3 ミクロン程度の直径を有する。導電性微粒子 132 は、例えば金属粒子からなるものであってもよいし、例えば、プラスチックを材料とする微粒子の表面に金メッキを施したものであるものであってもよい。

40

【0137】

人の指やタッチペン等が表示パネル 2a に接触して封止基板 111 に圧力が加えられると、絶縁性微粒子 131 は変形してつぶれ、可変素子アノード側電極 118 と可変素子カソード側電極 112 とが導電性微粒子 132 を介して接近して可変素子 E v 21 の容量値が増大する。そして、圧力が更に増加すると、可変素子アノード側電極 118 と可変素子カソード側電極 112 が両方とも導電性微粒子 132 に接触する。このとき、可変素子アノード側電極 118 と可変素子カソード側電極 112 との間の抵抗は極めて小さくなる。

可変素子アノード側電極 118 と可変素子カソード側電極 112 は、通常空気層によっ

50

て絶縁されている。この場合、可変素子E v 2 1の抵抗は数MΩ以上であり、可変素子E v 2 1の容量値は無視できる程小さい。この場合、上述したように、可変素子E v 2 1は有機EL素子OELの発光に影響を及ぼさない。

【0138】

可変素子アノード側電極118と可変素子カソード側電極112の間隔に応じて、可変素子E v 2 1の容量値は変化する。人の指やタッチペン等が表示パネル2aに接触して封止基板111の表面側から表示パネル2aに圧力が加えられると、封止基板111が撓んでへこみ、可変素子アノード側電極118と可変素子カソード側電極112の間隔が狭くなる。可変素子アノード側電極118と可変素子カソード側電極112の間隔が狭くなるに連れて、可変素子E v 2 1の容量値は増加する。そして、封止基板111の側から表示パネル2aに更に圧力が加えられると、可変素子アノード側電極118と可変素子カソード側電極112が両方とも導電性微粒子132に接触する。このとき、可変素子E v 2 1の容量値は極めて小さくなり、同時に可変素子E v 2 1の抵抗も極めて小さくなる。これによって、可変素子E v 2 1は、容量値を変化させることができる可変キャパシタ、または抵抗を変化させることができる可変抵抗、または可変キャパシタと可変抵抗の両方として機能する。

【0139】

なお、封止基板111は本発明の封止基板の一例であり、画素基板113は本発明の画素基板の一例であり、可変素子カソード側電極112は本発明の第1の電極の一例であり、可変素子アノード側電極118は本発明の第2の電極の一例であり、キャパシタ電極Cs 21は本発明のキャパシタの一方の電極の一例であり、コンタクト部144は本発明のコンタクト部の一例であり、層間絶縁膜115は本発明の絶縁膜の一例であり、隔壁116は本発明の隔壁の一例であり、絶縁性微粒子131は本発明の絶縁性微粒子の一例であり、導電性微粒子132は本発明の導電性微粒子の一例である。

【0140】

< 第1の実施形態における表示画素21の第2の構造 >

次に、図28は、第1の実施形態における表示画素21の第2の構造における、図25のA-A線断面図の一例である。図26と同一の構成要素には同一の符号が付されている。図28に示す表示画素21も図26の表示画素21と同様に動作するものである。

【0141】

表示画素21の第2の構造においては、図28(A)に示すように、可変素子アノード側電極118上には、樹脂層120が設けられる。この樹脂層120によって絶縁性微粒子131と導電性微粒子132とが可変素子アノード側電極118上に固定されている。図26における棒状の粒子移動防止層119は設けられない。樹脂層120は、例えばUV硬化樹脂からなる。この樹脂層120は、樹脂層120の形成領域に対応したマスクを用いた印刷、あるいは、ディスペンサによる塗布によって硬化前の樹脂層120が可変素子アノード側電極118上に形成される。そして、樹脂層120の上に絶縁性微粒子131と導電性微粒子132とを配置し、加圧して可変素子アノード側電極118上に接触させた後、UV光を照射して、樹脂層120を硬化させることによって形成される。

【0142】

次に、図28(B)は表示画素21の第2の構造の第1の変形例を示す。上記図28(A)においては、表示画素21の可変素子アノード側電極118上に樹脂層120が設けられて、可変素子アノード側電極118上に絶縁性微粒子131と導電性微粒子132とが固定される構造としたが、可変素子カソード側電極112上に樹脂層120が設けられて、可変素子カソード側電極112上に樹脂層120によって絶縁性微粒子131と導電性微粒子132とが固定されるものであってもよい。表示画素21の第2の構造の第1の変形例においては、図28(B)に示すように、可変素子カソード側電極112の可変素子アノード側電極118と対向する位置に、例えばUV硬化樹脂からなる、樹脂層120が設けられている。そして、この樹脂層120について、可変素子カソード側電極112上に絶縁性微粒子131と導電性微粒子132とが固定される。樹脂層120及びそこに

設ける絶縁性微粒子 131 と導電性微粒子 132 とは、上記図 28 (A) の場合と同様にして形成することができる。

【0143】

次に、図 28 (C) は、表示画素 21 の第 2 の構造の第 2 の変形例を示す。上記図 28 (B) においては、可変素子カソード側電極 112 上に樹脂層 120 が設けられて、可変素子カソード側電極 112 上に樹脂層 120 によって絶縁性微粒子 131 と導電性微粒子 132 とが固定される構造としたが、ここで、絶縁性微粒子 131 は、封止基板 111 に圧力が加えられていないときに、可変素子カソード側電極 112 と可変素子アノード側電極 118 との間の間隔を一定に保つために設けられているものである。そこで、絶縁性微粒子 131 を設けず、これに代えて、絶縁性微粒子 131 の直径と同等の厚さを有する絶縁膜を設けるようにしてもよい。表示画素 21 の第 2 の構造の第 2 の変形例においては、図 28 (C) に示すように、図 28 (B) と同様に、可変素子カソード側電極 112 の可変素子アノード側電極 118 と対向する位置に、例えば UV 硬化樹脂からなる樹脂層 120 が設けられ、そこに導電性微粒子 132 が固定される。そして、可変素子アノード側電極 118 の周囲領域に対応する樹脂層 120 の周囲領域に、可変素子カソード側電極 112 と可変素子アノード側電極 118 との間の間隔に対応した厚さを有するギャップ形成層 130 が設けられている。このギャップ形成層 130 は、例えばシリコン酸化膜、シリコン窒化膜等の絶縁材料から形成される。また、例えば UV 硬化樹脂等の樹脂材料によって形成してもよい。ギャップ形成層 130 は、例えば、ギャップ形成層 130 の形成領域に対応したマスクを用いてギャップ形成層 130 の形成材料を可変素子カソード側電極 112 上に印刷することによって可変素子カソード側電極 112 上の所定の位置に形成される。あるいは、ディスペンサによって可変素子カソード側電極 112 上の所定の位置に塗布して形成される。なお、図 28 (C) においては、可変素子カソード側電極 112 上に樹脂層 120 が設けられて、そこに導電性微粒子 132 が固定される構成としたが、図 28 (A) に示した構成と同様に、可変素子アノード側電極 118 上に樹脂層 120 が設けられて、そこに導電性微粒子 132 が固定される構成としてもよい。

【0144】

< 第 1 の実施形態における表示画素 21 の第 3 の構造 >

次に、図 29 は、第 1 の実施形態における表示画素 21 の第 3 の構造における、図 25 の A - A 線断面図の一例である。図 26 と同一の構成要素には同一の符号が付されている。図 29 に示す表示画素 21 も図 26 の表示画素 21 と同様に動作するものである。

【0145】

表示画素 21 の上記第 1、第 2 の構造においては、可変素子カソード側電極 112 と可変素子アノード側電極 118 との間に導電性微粒子 132 が設けられて、封止基板 111 に圧力が加えられて撓んだときに、導電性微粒子 132 を介して可変素子カソード側電極 112 と可変素子アノード側電極 118 とが接近または接触するように構成されていたが、例えば、圧力が加えられていないときの可変素子カソード側電極 112 と可変素子アノード側電極 118 との間隔を第 1、第 2 の構造の場合より狭くした場合には、封止基板 111 に圧力が加えられて撓んだときに、可変素子カソード側電極 112 と可変素子アノード側電極 118 とが接近または直接接触するように構成することができる。

【0146】

表示画素 21 の第 3 の構造においては、図 29 (A) に示すように、可変素子アノード側電極 118 上に絶縁性微粒子 131、導電性微粒子 132、及び粒子移動防止層 119 が設けられていない。ここで、可変素子カソード側電極 112 と可変素子アノード側電極 118 との間隔は、図 26 の構造の場合より狭く設定されている。

【0147】

次に、図 29 (B) は、表示画素 21 の第 3 の構造の変形例を示す。上記図 29 (A) に示した構造においては、可変素子カソード側電極 112 と可変素子アノード側電極 118 との間には何も設けられていない構造としたが、この場合、封止基板 111 に圧力が加えられて撓んだときに、隣接する複数の表示画素 21 に亘って封止基板 111 が撓んで、

複数の表示画素 2 1 で同時に可変素子カソード側電極 1 1 2 と可変素子アノード側電極 1 1 8 とが接触してしまう場合がある。そこで、図 2 9 (B) に示す表示画素 2 1 の第 3 の構造の変形例は、可変素子カソード側電極 1 1 2 上の表示画素 2 1 の可変素子アノード側電極 1 1 8 の周囲領域と対向する位置にギャップ形成層 1 3 0 b を設けるようにしたものである。ギャップ形成層 1 3 0 b は上記図 2 8 (C) のギャップ形成層 1 3 0 と同等のものであり、同様に形成される。この場合、封止基板 1 1 1 に圧力が加えられて撓んだときに、1 つの表示画素 2 1 のみにおいて可変素子カソード側電極 1 1 2 と可変素子アノード側電極 1 1 8 とが接触するように構成することができる。

【 0 1 4 8 】

< 第 1 の実施形態における表示画素 2 1 の第 4 の構造 >

10

次に、図 3 0 は、第 1 の実施形態における表示画素 2 1 の第 4 の構造における、図 2 5 の A - A 線断面図の一例である。図 2 6 と同一の構成要素には同一の符号が付されている。図 3 0 に示す表示画素 2 1 も図 2 6 の表示画素 2 1 と同様に動作するものである。

【 0 1 4 9 】

表示画素 2 1 の第 4 の構造においては、図 3 0 (A) に示すように、可変素子カソード側電極 1 1 2 と可変素子アノード側電極 1 1 8 との間に、図 2 8 (C) におけるギャップ形成層 1 3 0 と同等のギャップ形成層 1 3 0 c が設けられているとともに、可変素子カソード側電極 1 1 2 上の可変素子アノード側電極 1 1 8 と対向する位置に設けられた複数の突起状電極部 1 3 5 を有する。この突起状電極部 1 3 5 の可変素子アノード側電極 1 1 8 方向の高さは、可変素子カソード側電極 1 1 2 と可変素子アノード側電極 1 1 8 との間隔より小さく、例えば 2 ~ 3 ミクロンの値を有する。突起状電極部 1 3 5 は導電性材料からなり、封止基板 1 1 1 に圧力が加えられて撓んだときに、可変素子カソード側電極 1 1 2 と可変素子アノード側電極 1 1 8 とが突起状電極部 1 3 5 を介して接近または接触するように構成される。

20

【 0 1 5 0 】

この突起状電極部 1 3 5 は、例えば、封止基板 1 1 1 に形成される可変素子カソード側電極 1 1 2 をなす電極層を比較的厚く形成し、この電極層をエッチングすることによって形成される。あるいは、封止基板 1 1 1 の可変素子カソード側電極 1 1 2 が形成される面をエッチングして突起状電極部 1 3 5 を形成するための凹凸を形成し、その上に可変素子カソード側電極 1 1 2 をなす電極層を形成して、凸部に突起状電極部 1 3 5 を形成するようにしてもよい。また、突起状電極部 1 3 5 の平面形状は、例えば円形状または正方形に形成されるが、例えば長方形や楕円形状であってもよい。

30

【 0 1 5 1 】

次に、図 3 0 (B) は、表示画素 2 1 の第 4 の構造の変形例を示す。上記図 3 0 (A) に示した構成においては、突起状電極部 1 3 5 が可変素子カソード側電極 1 1 2 側に設けられる構成としたが、図 3 0 (B) に示すように、突起状電極部 1 3 5 が可変素子アノード側電極 1 1 8 側に設けられる構成としてもよい。

この場合、突起状電極部 1 3 5 は、例えば、可変素子アノード側電極 1 1 8 上に突起状電極部 1 3 5 形成用の導体層を形成し、これをエッチングすることによって形成される。

なお、突起状電極部 1 3 5 は本発明の突起部の一例である。

40

【 0 1 5 2 】

< 第 1 の実施形態における表示画素 2 1 の第 5 の構造 >

次に、第 1 の実施形態に適用される表示画素 2 1 の第 5 の構造について説明する。

図 3 1 は、第 1 の実施形態における表示画素 2 1 の第 5 の構造における、図 2 5 の A - A 線断面図の一例である。図 2 6 と同一の構成要素には同一の符号が付されている。図 3 0 に示す表示画素 2 1 も図 2 6 の表示画素 2 1 と同様に動作するものである。

【 0 1 5 3 】

表示画素 2 1 の第 5 の構造においては、図 3 1 に示すように、可変素子カソード側電極 1 1 2 上の可変素子アノード側電極 1 1 8 と対向する位置に設けられた複数の突起部 1 3 6 を有する。この突起部 1 3 6 の可変素子アノード側電極 1 1 8 方向の高さは、可変素子

50

カソード側電極 1 1 2 と可変素子アノード側電極 1 1 8 との間隔より小さく、例えば 2 ~ 3 ミクロンの値を有する。突起部 1 3 6 は導電性材料からなり、封止基板 1 1 1 に圧力が加えられて撓んだときに、可変素子カソード側電極 1 1 2 と可変素子アノード側電極 1 1 8 とが突起部 1 3 6 を介して接近または接触するように構成される。

【 0 1 5 4 】

この突起部 1 3 6 は、例えば、封止基板 1 1 1 の可変素子カソード側電極 1 1 2 上の突起部 1 3 6 の形成位置に、スクリーン印刷によって導電ペーストを塗布し、乾燥後、焼成することによって形成される。図 3 1 においては、突起部 1 3 6 の断面形状は台形に形成されるものとしたが、例えば半球状に形成されるものであってもよい。また、突起部 1 3 6 の平面形状は、例えば円形状または正方形に形成されるが、例えば長方形や楕円形状であってもよい。

10

なお、突起部 1 3 6 は本発明の突起部の一例である。

【 0 1 5 5 】

< 第 1 の実施形態における表示画素 2 1 の第 6 の構造 >

次に、図 3 2 は、第 1 の実施形態における表示画素 2 1 の第 6 の構造における、図 2 5 の A - A 線断面図の一例である。図 2 6 と同一の構成要素には同一の符号が付されている。図 3 2 に示す表示画素 2 1 も図 2 6 の表示画素 2 1 と同様に動作するものである。

【 0 1 5 6 】

図 2 5 ~ 図 3 1 では、可変素子 E v 2 1 の一方の電極と発光駆動トランジスタ T 2 3 のソース電極 2 3 s とを接続した構造としたが、可変素子 E v 2 1 の一方の電極と第 2 入力トランジスタ T 2 2 のドレイン電極とを接続する構造としても、図 2 6 の表示画素 2 1 と同様に動作する。表示画素 2 1 の第 6 の構造は、このような構造に対応したものである。

20

【 0 1 5 7 】

図 3 2 に示す表示画素 2 1 の第 6 の構造において、可変素子アノード側電極 1 1 8 上には、例えば、図 2 6 と同様の、棒状に形成された粒子移動防止層 1 1 9 と、粒子移動防止層 1 1 9 の枠内に配置された複数の絶縁性微粒子 1 3 1 と導電性微粒子 1 3 2 と、を有する。そして、図 2 6 の表示画素 2 1 では、可変素子アノード側電極 1 1 8 はコンタクト部 1 4 4 を介して発光駆動トランジスタ T 2 3 のソース電極 2 3 s と接続されていたのに対し、図 3 2 の表示画素 2 1 では、可変素子アノード側電極 1 1 8 がコンタクト部 1 4 5 を介して第 2 入力トランジスタ T 2 2 のドレイン電極 2 2 d と接続されている点が異なる。

30

【 0 1 5 8 】

なお、表示画素 2 1 の第 6 の構造における可変素子 E v 2 1 を構成する可変素子カソード側電極 1 1 2 と可変素子アノード側電極 1 1 8 の間の構造は、図 3 2 では、一例として、図 2 6 における第 1 の構造と同等の構造を有するものとしたが、この構造に限るものではなく、上記表示画素 2 1 の第 2 - 第 5 の構造と同等の構造を適用するものであってもよい。

また、コンタクト部 1 4 5 は本発明のコンタクト部の一例である。

【 0 1 5 9 】

< 第 1 の実施形態における表示画素 2 1 の第 7 の構造 >

次に、図 3 3 は、第 1 の実施形態における表示画素 2 1 の第 7 の構造における、図 2 5 の A - A 線断面図の一例である。図 2 6 と同一の構成要素には同一の符号が付されている。図 3 3 に示す表示画素 2 1 も図 2 6 の表示画素 2 1 と同様に動作するものである。

40

【 0 1 6 0 】

上記第 1 ~ 第 6 の構造では、表示画素 2 1 がトップエミッション構造を有するものとしたが、表示画素 2 1 はボトムエミッション構造であってもよい。但し、ボトムエミッション構造の場合には、画素基板 1 1 3 の側から人の指やタッチペンで触れて表示パネルに圧力を加える構造となる。表示画素の第 7 の構造は、このような構造に対応したものである。

【 0 1 6 1 】

図 3 3 に示す表示画素 2 1 の第 7 の構造では、図 2 6 の表示画素 2 1 と異なり、キャバ

50

シタ電極Cs21は、発光層124の発する光を遮らないように発光層124の下を避けて、発光駆動トランジスタT23のソース電極23sの直下に配置されている。ただし、キャパシタ電極Cs21が透明な材料で作られる場合には、図26の表示画素21と同様に、キャパシタ電極Cs21を発光層124の下に配置しても良い。

【0162】

また、トップエミッション構造では、アノード電極121はAl等の光反射性の金属層およびその上に積層されたITO等の透明導電層の2層構造であったが、図33のボトムエミッション構造では、アノード電極121はITO等の透明導電層で形成される。更に、トップエミッション構造では、カソード電極125は、導電材料、例えばCa, Ba等仕事関数の低い材料からなる層と、ITO等の光透過性導電層からなる2層構造であったが、図33のボトムエミッション構造では、Ca, Ba等仕事関数の低い材料からなる層およびその上に積層されたAl等の光反射性の金属層の2層構造である。

10

なお、表示画素21の第7の構造における可変素子カソード側電極112と可変素子アノード側電極118の間の構造は、図33では、一例として、図26における第1の構造と同等の構造を有するものとしたが、この構造に限るものではなく、上記第2 - 第5の構造と同等の構造を適用するものであってもよい。

【0163】

<第1の実施形態における表示画素21の第8の構造>

上記表示画素21の第1～第7の構造では、隣接している表示画素21の有機EL素子OELの間に隔壁116を有するものとした。隔壁116があるため、有機EL材料をノズルコート法やインクジェット法によって成膜することができる。しかしながら、本発明の表示画素21は隔壁116を有する構造に限るものではなく、隔壁116を有しない構造のものであってもよい。この場合、真空蒸着法や凸版印刷法、スクリーン印刷法等を用いることによって有機EL材料を所定の領域に成膜することができる。

20

【0164】

真空蒸着法を用いる場合は、低分子有機材料を真空中で過熱蒸発させ、例えばメタルマスク蒸着によりアノード電極121の上に、正孔注入層122、インターレイヤ123、発光層124及びカソード電極125を積層する。

【0165】

また、凸版印刷法を用いる場合は、凸状に形成した版を用いて高分子有機材料インキを被印刷物(アノード電極121上)に直接転移させて、正孔注入層122、インターレイヤ123、発光層124を形成し、スクリーン印刷法を用いる場合には、アノード電極121の領域に対応した開口部が形成された印刷製版を用いて高分子有機材料インキをアノード電極121上に印刷して、正孔注入層122、インターレイヤ123、発光層124を形成する。

30

【0166】

以下に、表示画素21の第8の構造として、隔壁116を有しない場合の構造の第1の例を示す。図34は、第1の実施形態における表示画素21の第8の構造における、図25のA-A線断面図の一例である。図26と同一の構成要素には同一の符号が付されている。図34に示す表示画素21も図26の表示画素21と同様に動作するものである。ここで、図34における表示画素21はトップエミッション構造を有するものである。

40

【0167】

図34に示す表示画素21は、第2入力トランジスタT22と発光駆動トランジスタT23のドレイン電極を覆うように、層間絶縁膜115が形成されている。そして、層間絶縁膜115の上に有機EL素子OELのカソード電極125と絶縁膜117が形成されている。ここで、発光駆動トランジスタT23のソース電極23sと可変素子カソード側電極112とは可変素子Ev21を構成している。発光駆動トランジスタT23のソース電極23sは露出されている。発光駆動トランジスタT23のソース電極23sは、可変素子Ev21の可変素子アノード側電極を兼ねている。ソース電極23sと可変素子カソード側電極112の間には、絶縁性微粒子131や導電性微粒子132は設けられておらず

50

、ソース電極 2 3 s と可変素子カソード側電極 1 1 2 とは、封止基板 1 1 1 に圧力が加えられていないときには離間して空気層によって絶縁されている。この場合、可変素子 E v 2 1 の容量値は無視できる程小さく、可変素子 E v 2 1 は有機 E L 素子 O E L の発光に影響を及ぼさない。

【 0 1 6 8 】

そして、封止基板 1 1 1 に圧力が加えられて撓んだときに、可変素子カソード側電極 1 1 2 とソース電極 2 3 s とが接近して、可変素子 E v 2 1 の容量値が増加する。なお、可変素子 E v 2 1 の容量成分の大きさは可変素子カソード側電極 1 1 2 に対向するソース電極 2 3 s の面積に依存するため、ソース電極 2 3 s の図 3 4 に示す横幅 L 及びこれに直交する方向の幅を比較的大きい値に設定することが好ましい。

10

【 0 1 6 9 】

次に、図 3 5 は、表示画素 2 1 の第 8 の構造の変形例を示す。図 3 4 と同一の構成要素には同一の符号が付されている。図 3 5 に示す表示画素 2 1 も図 2 6 の表示画素 2 1 と同様に動作するものである。図 3 4 に示した構造では絶縁膜 1 1 7 上には何も設けられていない構造としたが、図 3 5 に示す表示画素 2 1 の第 8 の構造の変形例は、絶縁膜 1 1 7 上にソース電極 2 3 s に電気的に接続される導電体層 1 6 0 を形成するようにしたものである。この導電体層は、例えば、導電体層 1 6 0 を形成する領域を開口部としたマスクを設けた状態で蒸着によって形成することができる。

【 0 1 7 0 】

この場合、可変素子カソード側電極 1 1 2 と絶縁膜 1 1 7 上の導電体層 1 6 0 とが対向して可変素子 E v 2 1 を構成する。このため、絶縁膜 1 1 7 上の導電体層 1 6 0 の面積をソース電極 2 3 s の面積より大きくし易い。また、可変素子カソード側電極 1 1 2 と導電体層 1 6 0 との間隔を比較的小くすることができて、可変素子 E v 2 1 の容量成分を比較的大くすることができる。また、封止基板 1 1 1 に圧力が加えられて撓んだときに、可変素子カソード側電極 1 1 2 と導電体層 1 6 0 とが直接接触するように構成することができる。

20

なお、導電体層 1 6 0 は本発明の誘電体層の一例である。

【 0 1 7 1 】

< 第 1 の実施形態における表示画素 2 1 の第 9 の構造 >

次に、表示画素 2 1 の第 9 の構造として、隔壁 1 1 6 を有しない場合の構造の第 2 の例を示す。図 3 6 は、第 1 の実施形態における表示画素 2 1 の構造の第 9 の構造における、図 2 5 の A - A 線断面図の一例である。図 2 6、図 3 4 と同一の構成要素には同一の符号が付されている。図 3 6 に示す表示画素 2 1 も図 2 6 の表示画素 2 1 と同様に動作するものである。

30

【 0 1 7 2 】

図 3 6 (A) は、ソース電極 2 3 s と可変素子カソード側電極 1 1 2 の間に複数の絶縁性微粒子 1 3 1 と導電性微粒子 1 3 2 が配置されていること以外は、図 3 4 に示した表示画素 2 1 の第 8 の構造と同じ構造を有するものである。

上述したように、絶縁性微粒子 1 3 1 は、絶縁性の直径数ミクロンの、例えば真球状の微粒子であり、導電性微粒子 1 3 2 は、導電性を有し、絶縁性微粒子 1 3 1 よりも小さい、例えば真球状の微粒子である。

40

【 0 1 7 3 】

封止基板 1 1 1 に圧力が加えられると、絶縁性微粒子 1 3 1 は変形してつぶれ、可変素子カソード側電極 1 1 2 とソース電極 2 3 s とが導電性微粒子 1 3 2 を介して接近して可変素子 E v 2 1 の容量値が増大する。そして、圧力が更に増加すると、可変素子カソード側電極 1 1 2 とソース電極 2 3 s とが両方とも導電性微粒子 1 3 2 に接触する。このとき、可変素子カソード側電極 1 1 2 とソース電極 2 3 s との間の抵抗は極めて小さくなる。

【 0 1 7 4 】

次に、図 3 6 (B) は、表示画素 2 1 の第 9 の構造の変形例を示す。図 3 6 (B) に示す表示画素 2 1 の第 9 の構造の変形例は、図 3 5 に示した表示画素 2 1 の第 8 の構造の変

50

形例の構造に対し、導電体層 160 上に枠状に形成された粒子移動防止層 119 が形成され、可変素子カソード側電極 112 と導電体層 160 との間に複数の絶縁性微粒子 131 と導電性微粒子 132 を配置するようにしたものである。絶縁性微粒子 131 と導電性微粒子 132 とは粒子移動防止層 119 によって形成される枠内に配置される。

この変形例においては、封止基板 111 に圧力が加えられると、絶縁性微粒子 131 は変形してつぶれ、可変素子カソード側電極 112 と導電体層 160 とが導電性微粒子 132 を介して接近して可変素子 E v 2 1 の容量値が増大する。そして、圧力が更に増加すると、可変素子カソード側電極 112 と導電体層 160 とが両方とも導電性微粒子 132 に接触する。このとき、可変素子カソード側電極 112 と導電体層 160 との間の抵抗は極めて小さくなる。

10

【0175】

< 第 1 の実施形態における表示画素 21 の第 10 の構造 >

次に、表示画素 21 の第 10 の構造として、隔壁 116 を有しない場合の構造の第 3 の例を示す。図 37 は、第 1 の実施形態における表示画素 21 の構造の第 10 の構造における、図 25 の A - A 線断面図の一例である。図 26、図 31、図 34 と同一の構成要素には同一の符号が付されている。図 37 に示す表示画素 21 も図 26 の表示画素 21 と同様に動作するものである。

【0176】

図 37 の表示画素 21 は、図 35 に示した構造と同様に、絶縁膜 117 上に形成されたソース電極 23s に電氣的に接続された導電体層 160 を有する。また、図 37 の表示画素 21 は、可変素子カソード側電極 112 の導電体層 160 と対向する位置に設けられた複数の突起部 136 を有する。この突起部 136 は、図 31 に示した、表示画素 21 の第 5 の構造における突起部 136 と同等のものである。

20

【0177】

なお、上記の表示画素 21 の第 8 - 第 10 の構造図において、表示画素 21 はトップエミッション構造を有するものとしたが、図 33 に示した表示画素 21 の第 7 の構造のようなボトムエミッション構造を有するものであってもよい。

【0178】

< 第 1 の実施形態における表示画素 21 の第 11 の構造 >

次に、表示画素 21 の第 11 の構造として、隔壁 116 を有しない場合の構造の第 4 の例を示す。図 38 は、第 1 の実施形態における表示画素 21 の構造の第 11 の構造における、図 25 の A - A 線断面図の一例である。図 26、図 36 と同一の構成要素には同一の符号が付されている。図 38 に示す表示画素 21 も図 26 の表示画素 21 と同様に動作するものである。

30

【0179】

図 34 ~ 図 37 では、可変素子 E v 2 1 の一方の電極と発光駆動トランジスタ T 23 のソース電極 23s とを接続した構造としたが、図 38 に示す表示画素 21 の第 11 の構造は、可変素子 E v 2 1 の一方の電極と第 2 入力トランジスタ T 22 のドレイン電極 22d とを接続した構造を有するものである。

【0180】

図 38 は、第 2 入力トランジスタ T 22 のドレイン電極 22d が露出され、ドレイン電極 22d と可変素子カソード側電極 112 の間に複数の絶縁性微粒子 131 と導電性微粒子 132 が配置されていること以外は、図 36 (A) に示した表示画素 21 の第 9 の構造と同じ構造を有するものである。

40

【0181】

また、図 39 は、表示画素 21 の第 11 の構造の変形例を示す。図 26、図 36 と同一の構成要素には同一の符号が付されている。図 39 に示す表示画素 21 も図 26 の表示画素 21 と同様に動作するものである。

図 39 の表示画素 21 は、絶縁膜 117 上にドレイン電極 22d に電氣的に接続される導電体層 161 が形成され、導電体層 161 上に枠状に形成された粒子移動防止層 119

50

が形成され、可変素子カソード側電極 1 1 2 と導電体層 1 6 1 との間に複数の絶縁性微粒子 1 3 1 と導電性微粒子 1 3 2 が配置されていること以外は、図 3 6 (B) に示した表示画素 2 1 の第 9 の構造の変形例と同じ構造を有するものである。

なお、導電体層 1 6 1 は本発明の誘電体層の一例である。

【 0 1 8 2 】

次に、上述の第 2 の実施形態に適用される表示画素 2 2 及び可変素子 E v 3 1 の具体的な構造について説明する。

【 0 1 8 3 】

< 第 2 の実施形態における表示画素 2 2 の第 1 の構造 >

図 4 0 は、第 2 の実施形態における表示画素 2 2 の第 1 の構造における平面図の一例であり、図 4 1 は、表示画素 2 2 の第 1 の構造における図 4 0 の B - B 線断面図の一例である。図 4 0 と図 4 1 は、表示画素 2 2 がトップエミッション構造である場合の例である。

【 0 1 8 4 】

図 4 0 と図 4 1 に示す表示画素 2 2 における有機 E L 素子 O E L や層間絶縁膜 1 1 5 、隔壁 1 1 6 等の構造は、図 2 5 及び図 2 6 に示す表示画素 2 1 と同一である。図 2 5 、図 2 6 と同一の構成要素には同一の符号が付されている。

【 0 1 8 5 】

キャパシタ電極 C s 3 1 は、キャパシタ C s 3 の電極であり、発光駆動トランジスタ T 3 2 のゲート電極 3 2 g に接続されている。アノード電極 1 2 1 は、有機 E L 素子 O E L のアノード電極である。アノード電極 1 2 1 は、キャパシタ電極 C s 3 1 に対向するように配置されており、キャパシタ C s 3 のもう一方の電極を兼ねている。

図 4 0 に示すように、表示画素 2 2 は、有機 E L 素子 O E L を挟むようにして、左側に入力トランジスタ T 3 1 のソース電極 3 1 s とゲート電極 3 1 g とドレイン電極 3 1 d が配置されている。また、有機 E L 素子 O E L の右側に、発光駆動トランジスタ T 3 2 のソース電極 3 2 s とゲート電極 3 2 g とドレイン電極 3 2 d が配置されている。

【 0 1 8 6 】

入力トランジスタ T 3 1 のソース電極 3 1 s は、図 4 0 に示すように、コンタクト部 1 5 1 を介してデータライン L d に接続されている。また、入力トランジスタ T 3 1 のゲート電極 3 1 g は、コンタクト部 1 5 2 を介して走査ライン L s と接続されている。

入力トランジスタ T 3 1 のドレイン電極 3 1 d は、図 4 1 に示すようにコンタクト部 1 5 4 を介して、キャパシタ電極 C s 3 1 と接続され、更にキャパシタ電極 C s 3 1 を介して発光駆動トランジスタ T 3 2 のゲート電極 3 2 g と接続されている。また、入力トランジスタ T 3 1 のドレイン電極 3 1 d は、コンタクト部 1 5 3 を介して可変素子アノード側電極 1 5 8 と接続されている。

発光駆動トランジスタ T 3 2 のドレイン電極 3 2 d は、電源ライン L v に接続されている。また、発光駆動トランジスタ T 3 2 のソース電極 3 2 s は、アノード電極 1 2 1 に接続されている。

なお、コンタクト部 1 5 1 ~ 1 5 4 は、異なる層に形成された電極、配線等を上下に導通させるものであり、例えば絶縁膜に開口を設け、これに導電材料を充填することによって形成される。

【 0 1 8 7 】

表示画素 2 2 は、図 4 1 に示すように、封止基板 1 1 1 と画素基板 1 1 3 の間に形成されている。

画素基板 1 1 3 上には、入力トランジスタ T 3 1 と発光駆動トランジスタ T 3 2 のゲート電極 3 1 g と 3 2 g が形成される。更に、画素基板 1 1 3 上には、キャパシタ電極 C s 3 1 と、データライン L d が形成されており、更にこれらを覆うように絶縁膜 1 1 4 が形成されている。画素基板 1 1 3 上に形成されたキャパシタ電極 C s 3 1 と、絶縁膜 1 1 4 と、アノード電極 1 2 1 とが、表示画素 2 2 のキャパシタ C s 3 として機能する。

【 0 1 8 8 】

入力トランジスタ T 3 1 と発光駆動トランジスタ T 3 2 は、それぞれ n チャネル型 T F

10

20

30

40

50

Tである。それぞれのトランジスタは、図41に示すように、画素基板113上に形成される。入力トランジスタT31は、半導体層311と、保護絶縁膜312と、ドレイン電極31dと、ソース電極31sと、オーミックコンタクト層314、315と、ゲート電極31gと、を備える。また、発光駆動トランジスタT32は、半導体層321と、保護絶縁膜322と、ドレイン電極32dと、ソース電極32sと、オーミックコンタクト層324、325と、ゲート電極32gと、を備える。

【0189】

可変素子アノード側電極158は、コンタクト部153により、入力トランジスタT31のドレイン電極31dと接続されている。コンタクト部153は、隔壁116、カソード電極125、絶縁膜117及び層間絶縁膜115に開口を設け、これに導電材料を充填することによって形成される。

10

可変素子カソード側電極157は、封止基板111に接して配置される。可変素子カソード側電極157には、基準電圧 V_{ss} が印加される。

【0190】

可変素子アノード側電極158上には、枠状に形成された粒子移動防止層119が形成されている。可変素子アノード側電極158上の粒子移動防止層119によって形成される枠内には、複数の絶縁性微粒子131と複数の導電性微粒子132とが配置されている。可変素子アノード側電極158と可変素子カソード側電極157は、可変素子Ev31を構成する。

なお、表示画素22の第1の構造における可変素子Ev31を構成する可変素子アノード側電極158と可変素子カソード側電極157の間の構成は、図41では、一例として、図26に示した、第1の実施形態における表示画素21の第1の構造と同等の構造を有するものとしたが、この構造に限るものではなく、上記の第1の実施形態における表示画素21の第2 - 第5の構造と同等の構造を適用するものであってもよい。

20

【0191】

ここで、可変素子カソード側電極157は本発明の第1の電極の一例であり、可変素子アノード側電極158は本発明の第2の電極の一例であり、キャパシタ電極Cs31は本発明のキャパシタの一方の電極の一例であり、コンタクト部153は本発明のコンタクト部の一例である。

【0192】

<第2の実施形態における表示画素22の第2の構造>

次に、図42は、第2の実施形態における表示画素22の第2の構造における、図40のB-B線断面図の一例である。図41と同一の構成要素には同一の符号が付されている。図42に示す表示画素22は、図41の表示画素22と同様に動作するものである。表示画素22はトップエミッション構造である場合の例である。

30

【0193】

図41の表示画素22では、可変素子アノード側電極158はコンタクト部153を介して入力トランジスタT31のドレイン電極31dと接続されていたのに対し、図42の表示画素22では、可変素子アノード側電極158が、コンタクト部155と、画素基板113上に形成された配線156を介して発光駆動トランジスタT32のゲート電極32gと接続されている。

40

表示画素22の第2の構造における可変素子Ev31を構成する可変素子アノード側電極158と可変素子カソード側電極157の間の構成は、例えば、図41に示した構造と同等の構造を有する。なお、この第2の構造においても、上記の第1の実施形態における表示画素21の第2 - 第5の構造と同等の構造を適用するものであってもよい。

また、コンタクト部155は本発明のコンタクト部の一例である。

【0194】

<第2の実施形態における表示画素22の第3の構造>

次に、図43は、第2の実施形態における表示画素22の第3の構造における、図40のB-B線断面図の一例である。図41と同一の構成要素には同一の符号が付されている

50

。図 4 3 に示す表示画素 2 2 は、図 4 1 の表示画素 2 2 と同様に動作するものである。

【 0 1 9 5 】

上記第 1、第 2 の構造では、表示画素 2 2 がトップエミッション構造を有するものとしたが、表示画素 2 2 はボトムエミッション構造であってもよい。表示画素 2 2 の第 3 の構造は、このような構造に対応したものである。

【 0 1 9 6 】

図 4 3 の表示画素 2 2 では、図 4 1 の表示画素 2 2 と異なり、キャパシタ電極 C s 3 1 は、発光層 1 2 4 の発する光を遮らないように発光層 1 2 4 の下を避けて、発光駆動トランジスタ T 3 2 のソース電極 3 2 s の直下に配置されている。ただし、キャパシタ電極 C s 3 1 が透明な材料で作られる場合には、図 4 1 の表示画素 2 2 と同様に、キャパシタ電極 C s 3 1 を発光層 1 2 4 の下に配置しても良い。

10

【 0 1 9 7 】

また、図 4 3 の表示画素 2 2 では、図 4 1 の表示画素 2 2 と異なり、アノード電極 1 2 1 は I T O 等の透明導電層で形成されている。カソード電極 1 2 5 は、C a , B a 等仕事関数の低い材料からなる層と、その上に積層された A l 等の光反射性の金属層の 2 層構造である。

【 0 1 9 8 】

更に、図 4 1 の表示画素 2 2 では、入力トランジスタ T 3 1 のドレイン電極 3 1 d と発光駆動トランジスタ T 3 2 のゲート電極を、コンタクト部 1 5 4 とキャパシタ電極 C s 3 1 を介して接続したが、図 4 3 の表示画素 2 2 は、入力トランジスタ T 3 1 のドレイン電極 3 1 d と発光駆動トランジスタ T 3 2 のゲート電極 3 2 g を接続するための図示しない配線を別途有する。

20

【 0 1 9 9 】

< 第 2 の実施形態における表示画素 2 2 の第 4 の構造 >

上記表示画素 2 2 の第 1 ~ 第 3 の構造では、隣接している表示画素 2 2 の有機 E L 素子 O E L の間に隔壁 1 1 6 を有するものとしたが、表示画素 2 2 においても、表示画素 2 1 の第 8 - 第 1 0 の構造と同様に、隔壁 1 1 6 を有しない構造を有するものであってもよい。

【 0 2 0 0 】

以下に、表示画素 2 2 の第 4 の構造として、隔壁 1 1 6 を有しない場合の構造の一例例を示す。図 4 4 は、第 2 の実施形態における表示画素 2 2 の第 4 の構造における、図 4 0 の B - B 線断面図の一例である。図 4 1 と同一の構成要素には同一の符号が付されている。図 4 4 に示す表示画素 2 2 も図 4 1 の表示画素 2 2 と同様に動作するものである。ここで、図 4 4 における表示画素 2 2 はトップエミッション構造を有するものである。

30

【 0 2 0 1 】

図 4 4 に示す表示画素 2 2 は、入力トランジスタ T 3 1 のソース電極と発光駆動トランジスタ T 3 2 を覆うように、層間絶縁膜 1 1 5 が形成されている。そして、層間絶縁膜 1 1 5 の上に有機 E L 素子 O E L のカソード電極 1 2 5 と絶縁膜 1 1 7 が形成されている。更に、絶縁膜 1 1 7 上にソース電極 2 3 s に電氣的に接続された導電体層 1 6 2 が設けられている。この導電体層 1 6 2 は、図 3 6 (B) に示した表示画素 2 1 の第 9 の構造の変形例における導電体層 1 6 0 と同等のものである。

40

【 0 2 0 2 】

そして、例えば、導電体層 1 6 2 の上に粒子移動防止層 1 1 9 が形成されているとともに、可変素子カソード側電極 1 5 7 と導電体層 1 6 2 との間に複数の絶縁性微粒子 1 3 1 と導電性微粒子 1 3 2 とが配置され、絶縁性微粒子 1 3 1 と導電性微粒子 1 3 2 とは粒子移動防止層 1 1 9 によって形成される枠内に配置される。可変素子カソード側電極 1 5 7 と導電体層 1 6 2 との間の構成は図 3 6 (B) に示した表示画素 2 1 における構成と同じである。

【 0 2 0 3 】

なお、表示画素 2 2 の第 4 の構造における可変素子 E v 3 1 を構成する可変素子アノード

50

ド側電極 157 と導電体層 162 との間の構成は、図 44 では、一例として、図 41 に示した第 2 の実施形態における表示画素 22 の第 1 の構造と同等の構造を有するものとしたが、この構造に限るものではなく、上記の第 1 の実施形態における表示画素 21 の第 2 - 第 5 の構造と同等の構造を適用するものであってもよい。

【0204】

更に、図 44 において、表示画素 22 はトップエミッション構造を有するものとしたが、図 43 に示した表示画素 22 の第 3 の構造と同等のボトムエミッション構造を有するものであってもよい。

なお、導電体層 162 は本発明の誘電体層の一例である。

【0205】

< 第 1 の実施形態の表示画素 21 と第 2 の実施形態の表示画素 22 の構造の共通変形例 >

通常、人の指やタッチペンが表示パネル 2a に接触する面積は、表示画素 21 の面積に比べて大きい。このため、ADC56a と判定回路 57a を全てのデータライン Ld に対応させて設けると、人の指やタッチペンが表示パネル 2a に触れたとき、位置検出回路 61 は複数のデータライン Ld の番号と走査ライン Ls の番号を同時に特定する場合が多いと考えられる。

【0206】

このような場合、複数のデータライン Ld ごとに 1 個の ADC56a と 1 個の判定回路 57a を設けても、位置の検出精度は、個々のデータライン Ld ごとに ADC56a と判定回路 57a を各 1 個設けた場合とほとんど変わらないと考えられる。そこで、複数のデータライン Ld ごとに ADC56a と判定回路 57a を各 1 個設けることにより、ADC56a と判定回路 57a の数を削減することができる。

【0207】

更に、複数のデータライン Ld ごとに 1 個の ADC56a と 1 個の判定回路 57a が設けられている場合、複数の表示画素 21 の可変素子アノード側電極 118 を接続して、可変素子アノード側電極 118 の面積を広くすることができる。

例えば、ADC56a と判定回路 57a がデータライン Ld(j) に設けられ、データライン Ld(j-1) とデータライン Ld(j+1) には設けられていない場合、図 45 に示すように、例えば、表示画素 21(i, j-1) と表示画素 21(i, j) と表示画素 21(i, j+1) を覆うように可変素子アノード側電極 118 を形成することができる。コンタクト部 144 は、表示画素 21(i, j) に形成され、表示画素 21(i, j-1) と表示画素 21(i, j+1) には形成されない。

可変素子アノード側電極 118 の面積が広がると、可変素子 Ev21 の最大容量が増加する。このため、人の指やタッチペンが表示パネル 2a に触れた際にノード N23 (データライン Ld) の電圧が $V_{ss} - V_d'$ に変化するまでの時間が長くなる。従って、判定回路 57a は人の指やタッチペンが表示パネル 2a に触れたことを容易に検出できる。

【0208】

また、ADC56a と判定回路 57a がデータライン Ld(j) に設けられ、データライン Ld(j-1) とデータライン Ld(j+1) には設けられていない場合、図 46 に示すように、例えば、表示画素 21(i, j-1)、表示画素 21(i, j)、表示画素 21(i, j+1)、表示画素 21(i+1, j-1)、表示画素 21(i+1, j) 及び表示画素 21(i+1, j+1) を覆うように可変素子アノード側電極 118 を形成することもできる。コンタクト部 144 は表示画素 21(i, j) に形成される。コンタクト部 144 は表示画素 21(i, j-1)、表示画素 21(i, j+1)、表示画素 21(i+1, j-1)、表示画素 21(i+1, j) 及び表示画素 21(i+1, j+1) には形成されない。

図 46 に示す可変素子アノード側電極 118 は、図 45 に示したものよりも、更にその面積が広がるため、可変素子 Ev21 の最大容量がより大きくなる。

【0209】

ADC56a と判定回路 57a がデータライン Ld(j) に設けられ、データライン L

10

20

30

40

50

$d(j-1)$ とデータライン $Ld(j+1)$ には設けられていない場合、図47に示すように、例えば、表示画素21(i, j)と表示画素21($i+1, j$)の右側の隔壁116と表示画素21($i, j+1$)と表示画素21($i+1, j+1$)の左側の隔壁116の上に可変素子アノード側電極118を形成することもできる。コンタクト部144は表示画素21(i, j)にのみ形成され、表示画素21($i+1, j$)には形成されない。

【0210】

表示画素22も、表示画素21と同様に、複数のデータライン Ld ごとにADC56bと判定回路57aを1個ずつ設け、ADC56bと判定回路57aの数を削減することができる。更に、複数のデータライン Ld ごとに1個のADC56bと1個の判定回路57aが設けられている場合、複数の表示画素22の可変素子アノード側電極158を接続して、可変素子アノード側電極158の面積を広くすることができる。

10

【0211】

なお、上記実施形態に示した可変素子Ev21と可変素子Ev31の構造は一例であり、他の様々な構造とすることができる。

【0212】

第1の実施形態では、位置検出回路61は、走査ドライバ3が走査パルスを出力していた走査ライン $Ls1 \sim Lsn$ と、データドライバ5aが表示信号を出力していたデータライン $Ld1 \sim Ldm$ に基づいて、人の指やタッチペン等が表示パネル2aに接触した位置を特定するとしたが、位置検出回路61は、電源ドライバ4aが基準電圧 Vss を出力していた電源ライン $Lv1 \sim Lvn$ と、データドライバ5aが表示信号を出力していたデータライン $Ld1 \sim Ldm$ に基づいて、人の指やタッチペン等が表示パネル2aに接触した位置を特定しても良い。

20

【0213】

以上説明したように、上記各実施形態では、表示パネルに加えられた圧力に応じて表示画素21の内部のキャパシタCs2の一方の電極が接続されているノードN21の電位が変化する。そして、データライン Ld の電圧を測定することによって、ノードN21の電位の状態を検出することができる。表示画素22についても同様である。

このように、本発明によれば、表示パネルに加えられた圧力に応じて表示画素の内部のノードの状態が変化する。そして、データラインの電圧を測定することによって表示画素の内部のノードの状態を検出することができる。このため、表示装置に容易にタッチパネル機能を付加することができる。

30

【0214】

以上、本発明の実施形態について説明したが、設計上の都合やその他の要因によって必要となる様々な修正や組み合わせは、請求項に記載されている発明や発明の実施形態に記載されている具体例に対応する発明の範囲に含まれると理解されるべきである。

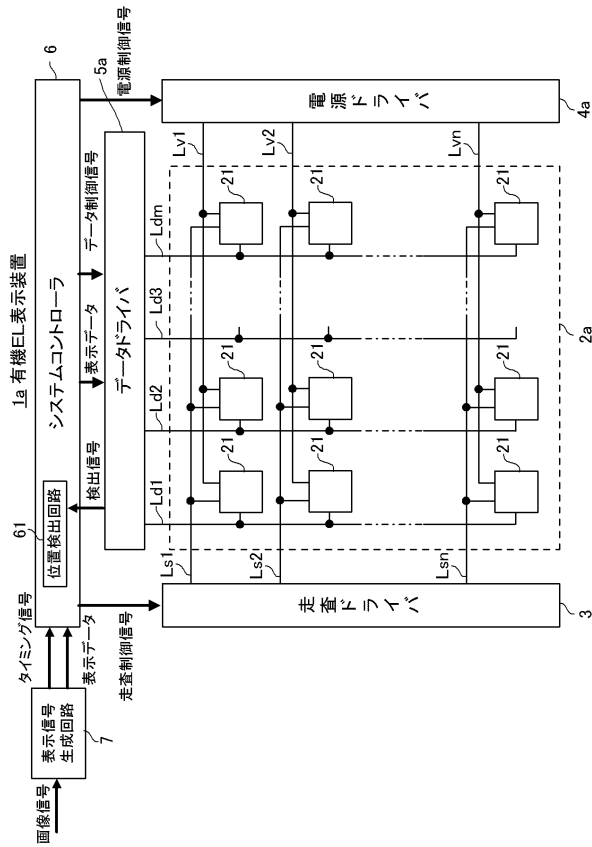
【符号の説明】

【0215】

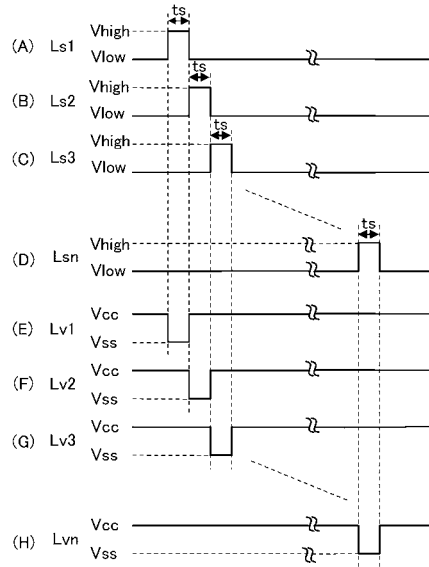
1a、1b...有機EL表示装置、21、22...表示画素、2a、2b...表示パネル、3...走査ドライバ、4a、4b...電源ドライバ、5a、5b...データドライバ、111...封止基板、112、157...可変素子カソード側電極、113...画素基板、115...層間絶縁膜、116...隔壁、118、158...可変素子アノード側電極、131...絶縁性微粒子、132...導電性微粒子、135...突起状電極部、136...突起部、144、145、153、155...コンタクト部、160、161、162...導電体層、Cs2、Cs3...キャパシタ、Cs21、Cs31...キャパシタ電極、Ev21、Ev31...可変素子、Ld1~Ldm...データライン、Ls1~Lsn...走査ライン、Lv1~Lvn...電源ライン、OEL...有機EL素子、T21...第1入力トランジスタ、T22...第2入力トランジスタ、T23、T32...発光駆動トランジスタ、T31...入力トランジスタ

40

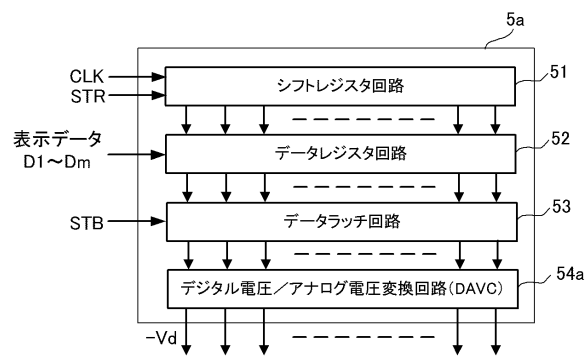
【図 1】



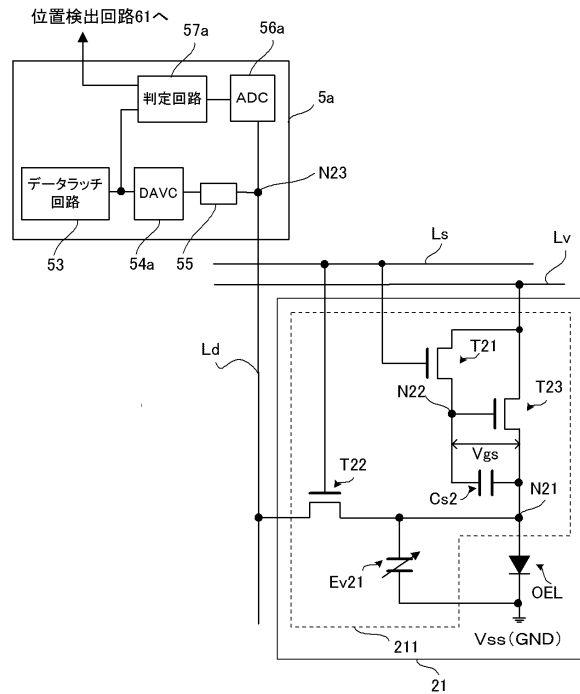
【図 2】



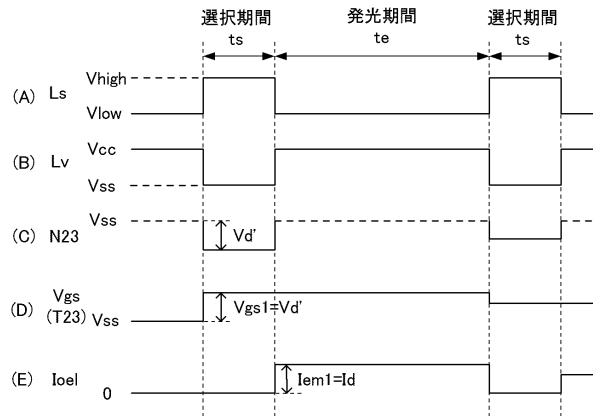
【図 3】



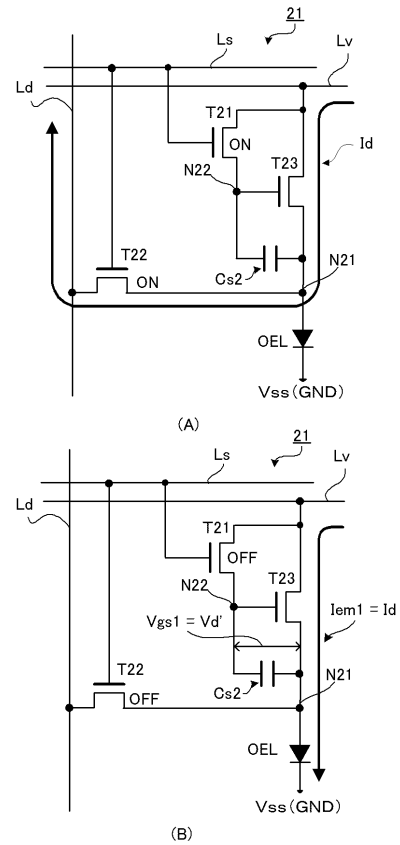
【図 4】



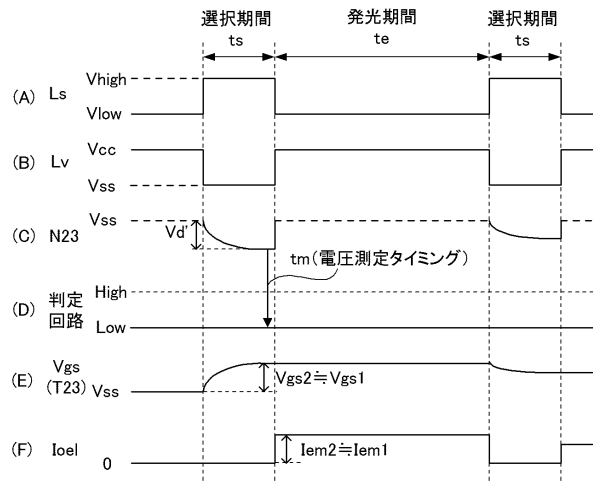
【図 5】



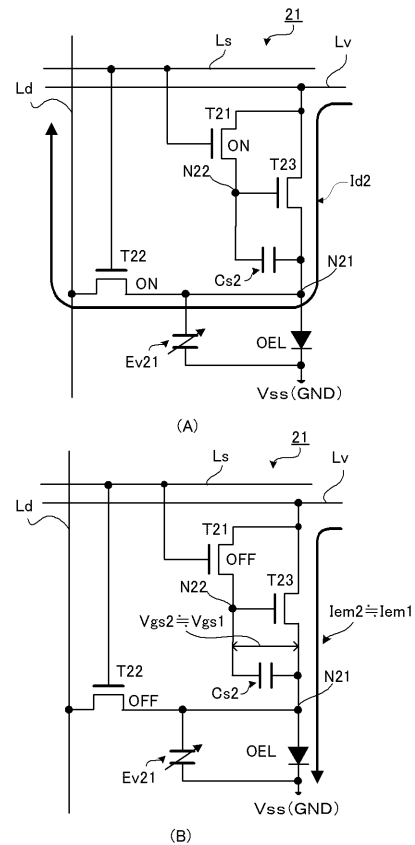
【図 6】



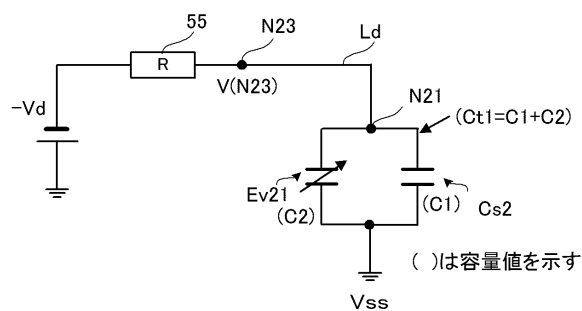
【図 7】



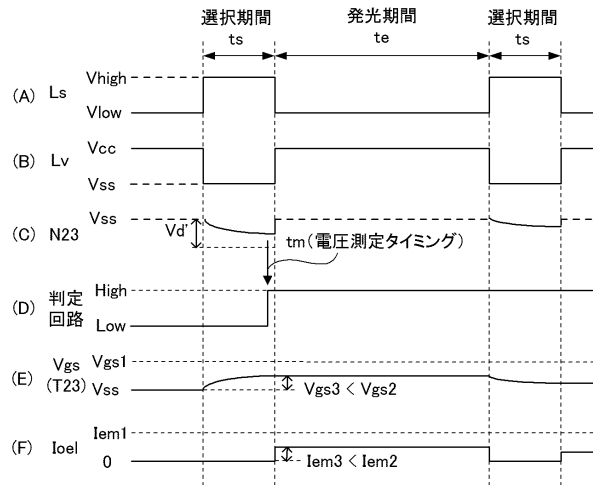
【図 9】



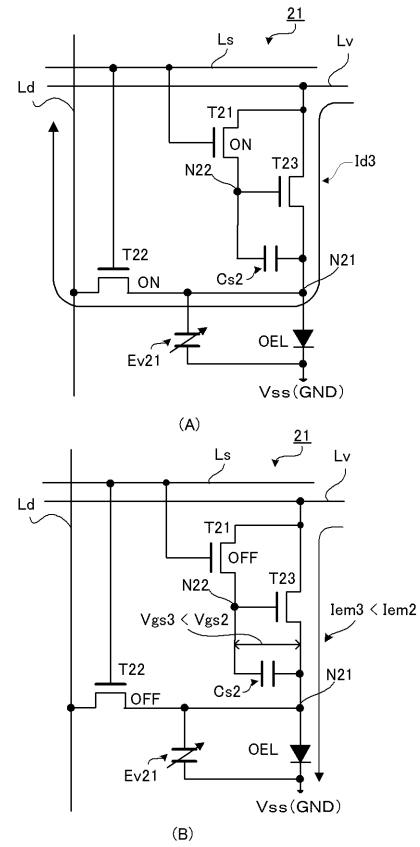
【図 8】



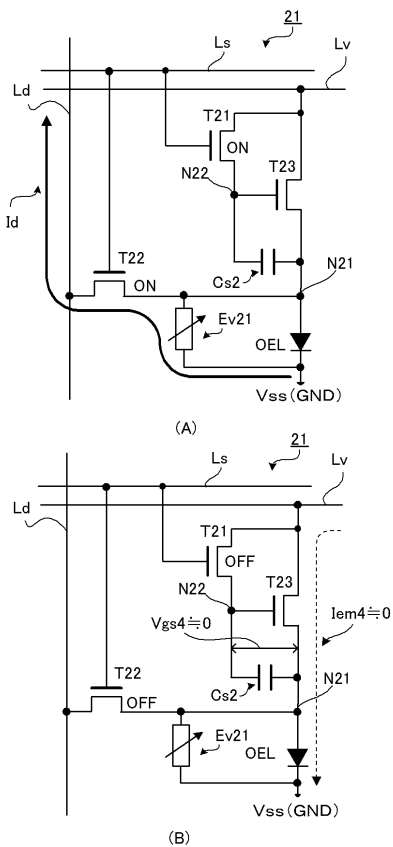
【図 10】



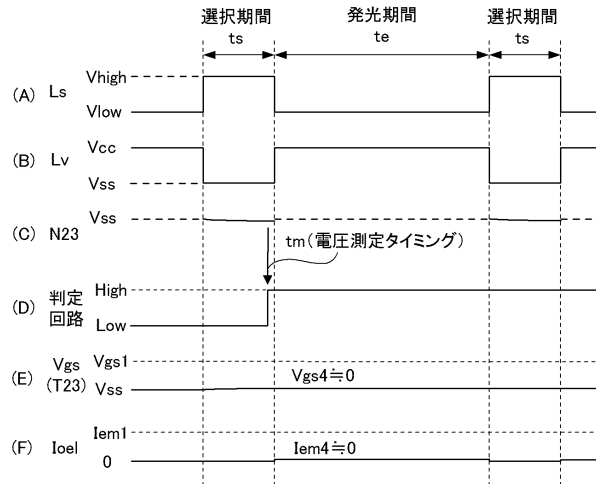
【図 11】



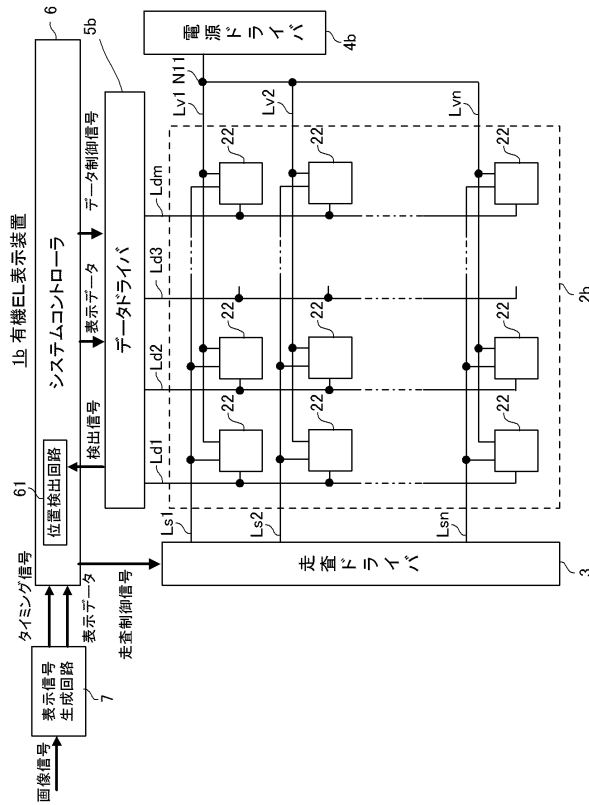
【図 12】



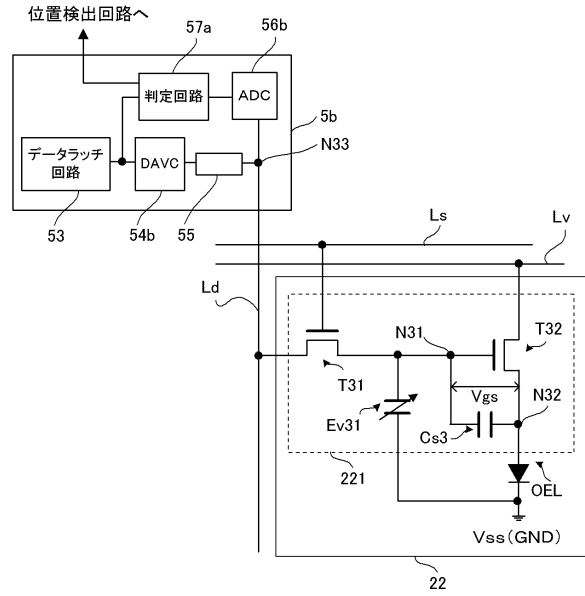
【図 13】



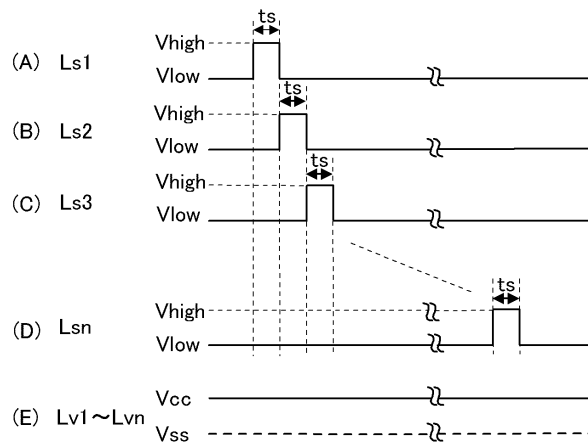
【図 14】



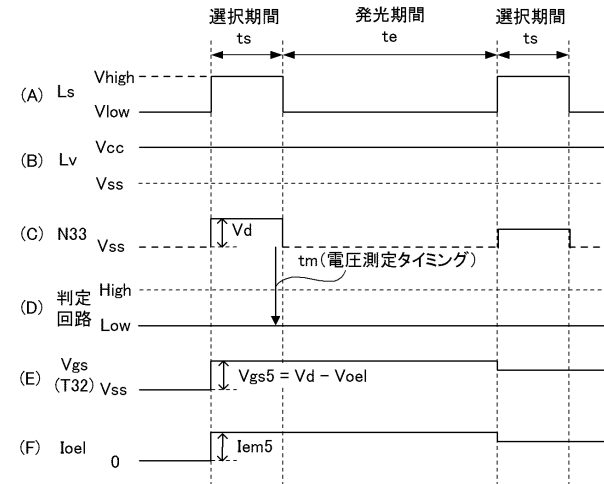
【図 15】



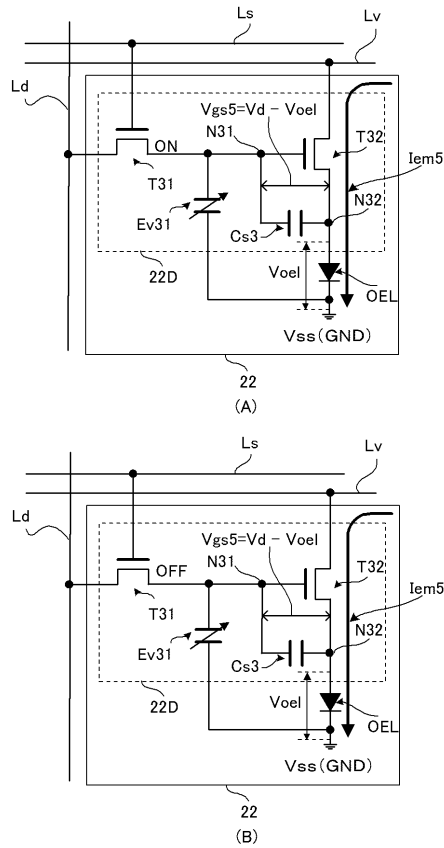
【図 16】



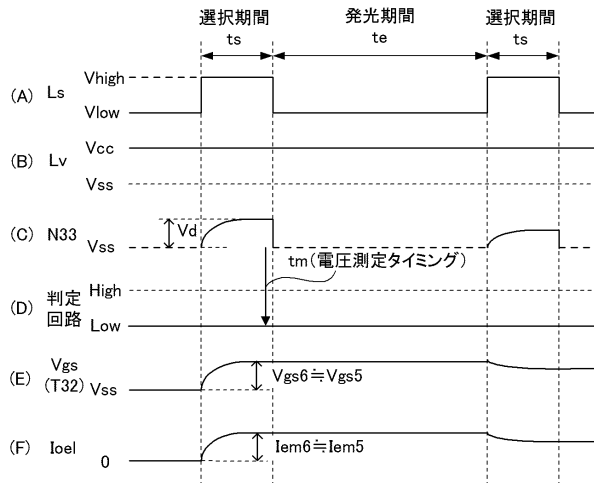
【図 17】



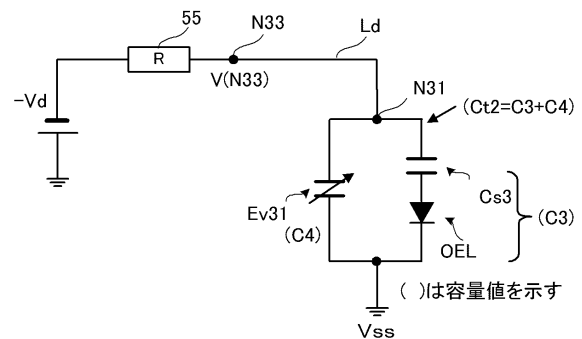
【図 18】



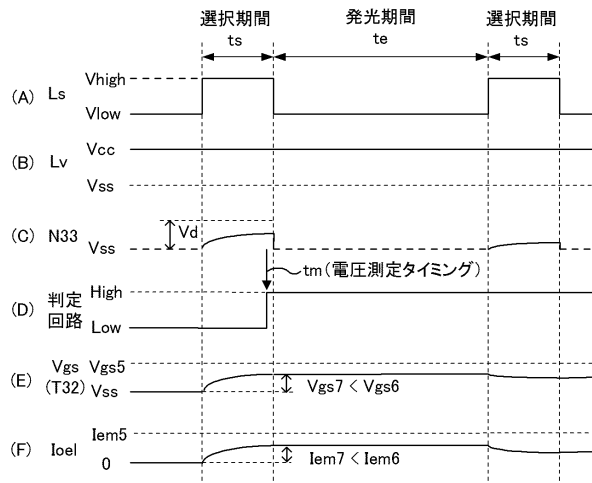
【図 19】



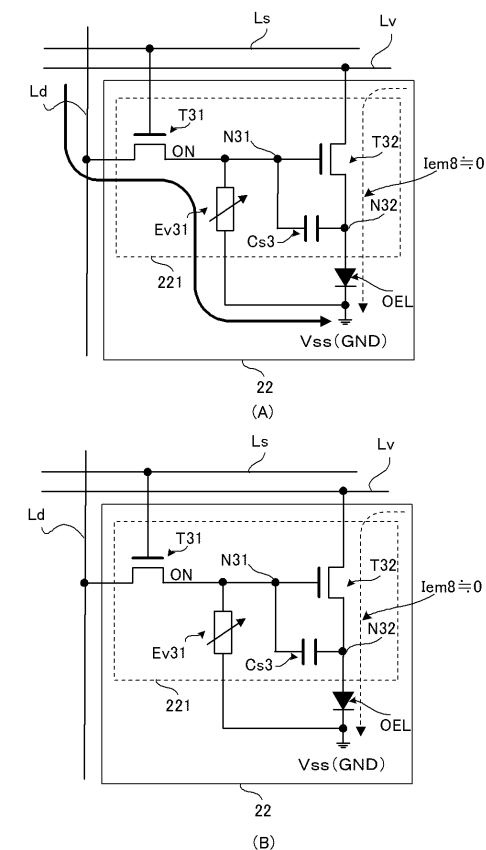
【図 20】



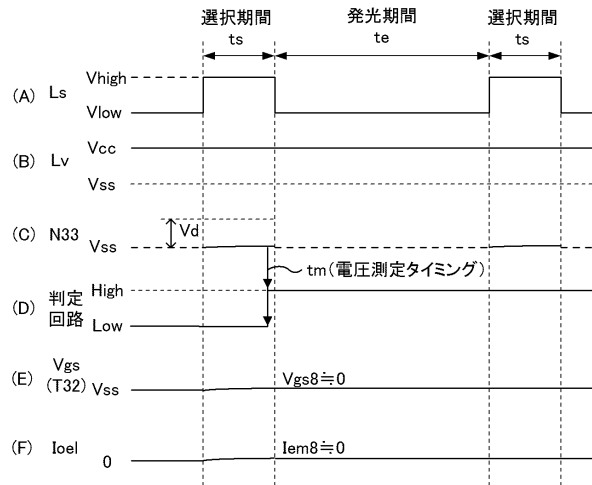
【図 21】



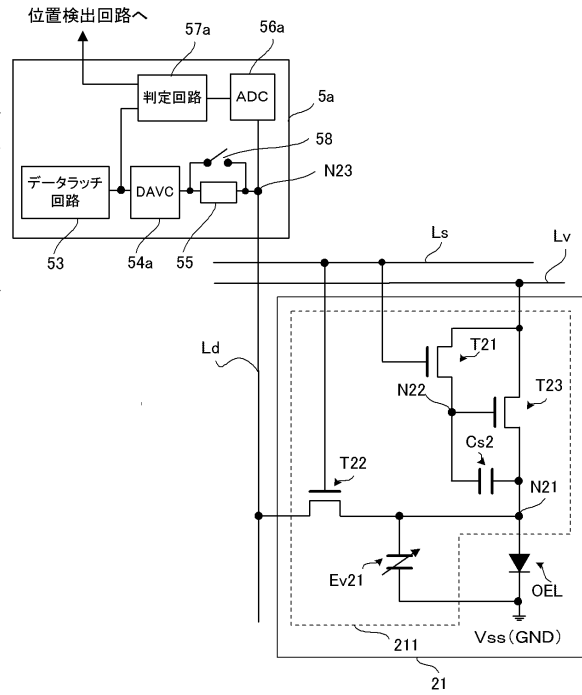
【図 22】



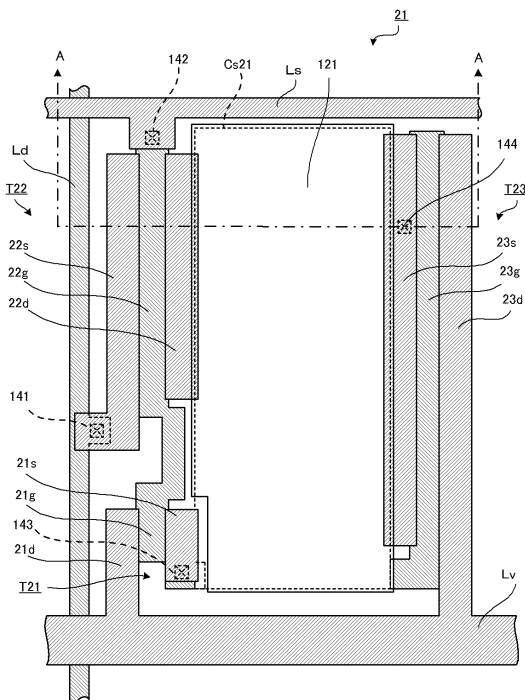
【図 23】



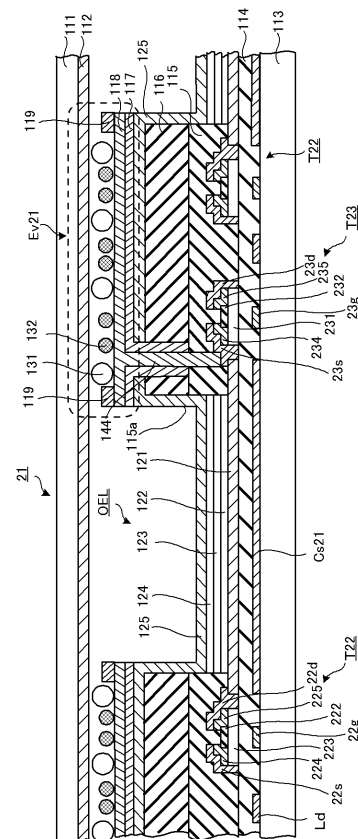
【図 24】



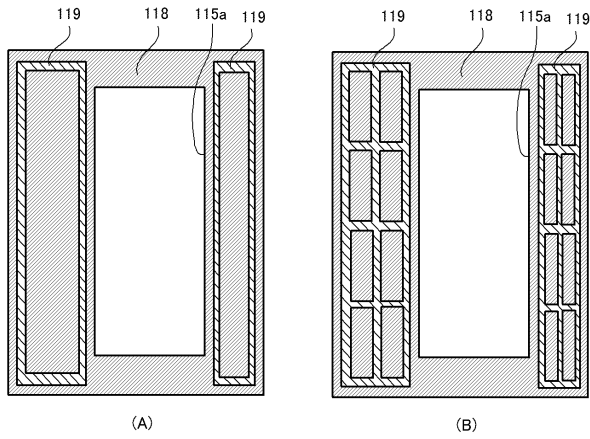
【図 25】



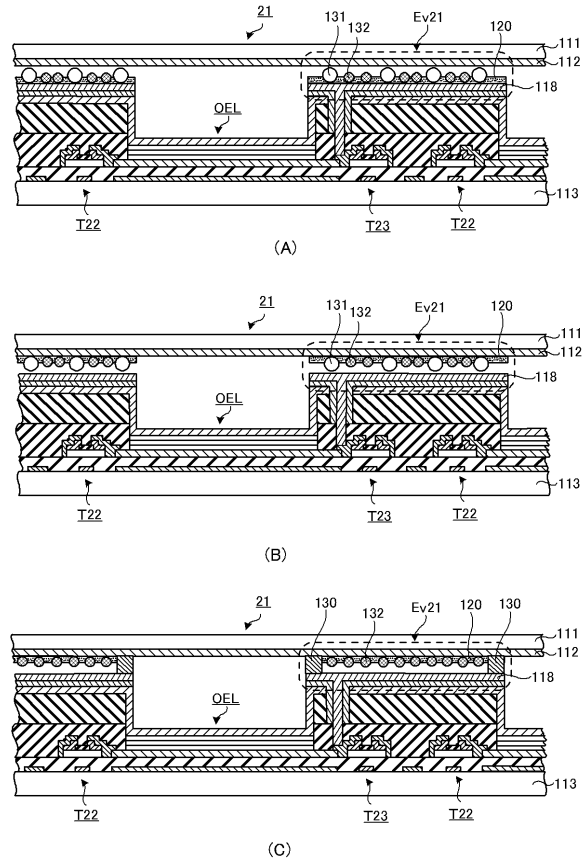
【図 26】



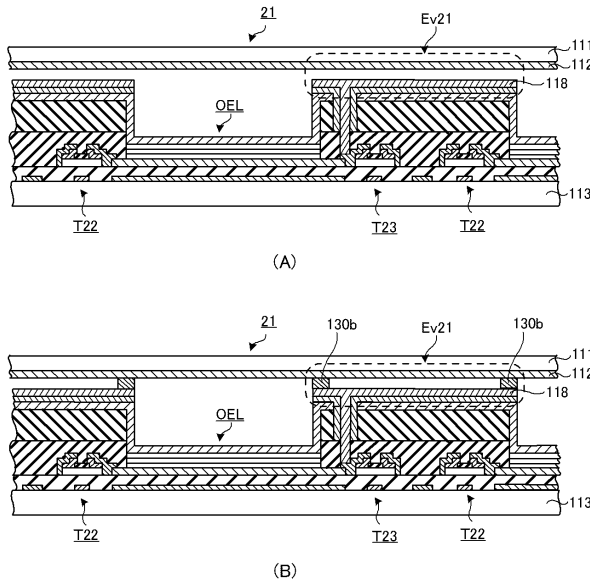
【図 27】



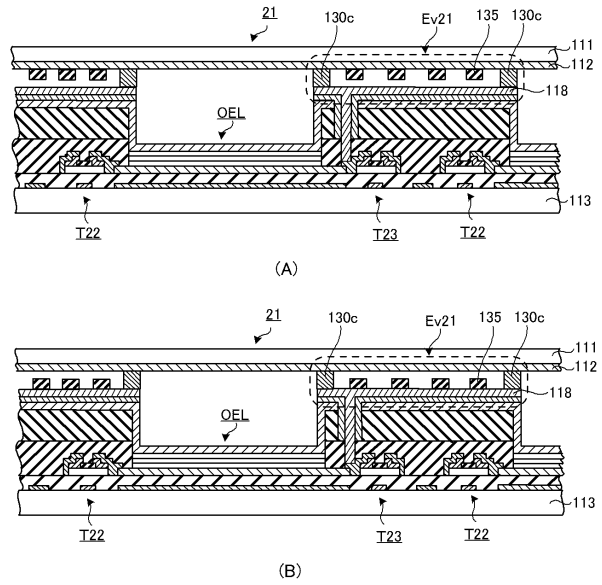
【図 28】



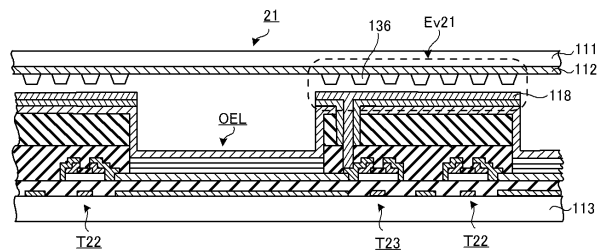
【図 29】



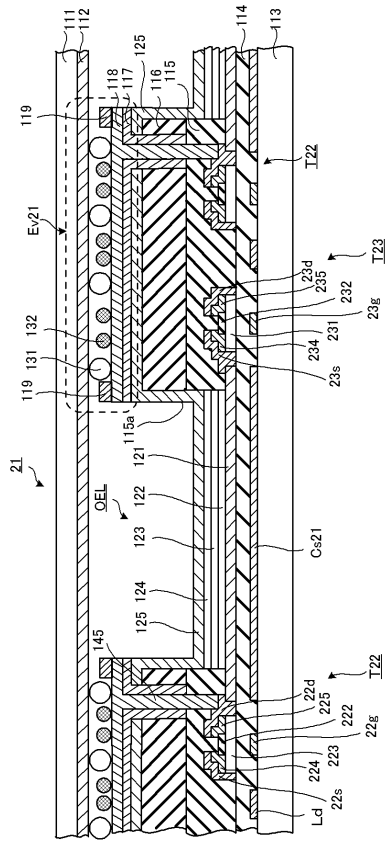
【図 30】



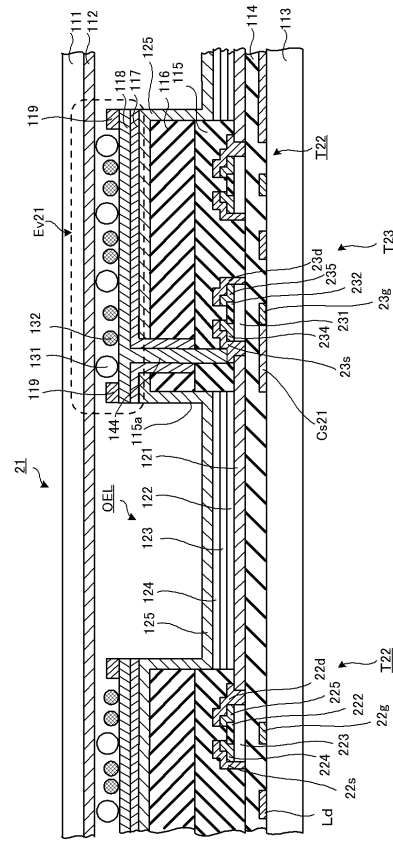
【図 31】



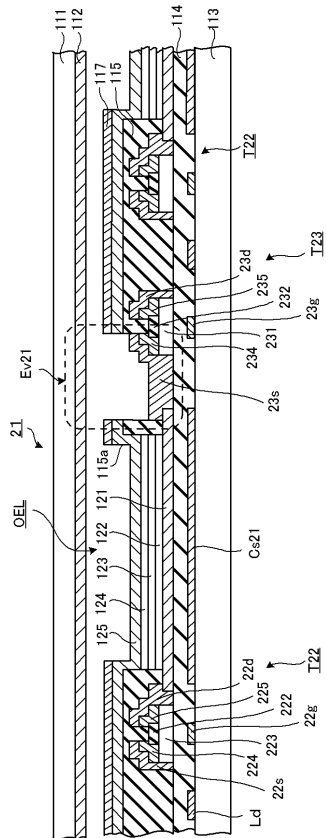
【図 3 2】



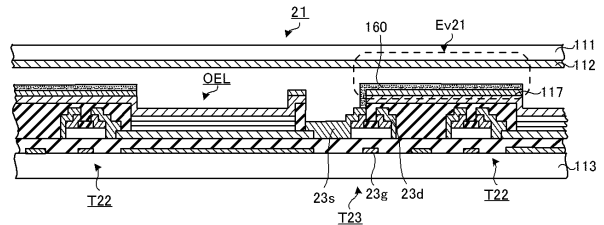
【図 3 3】



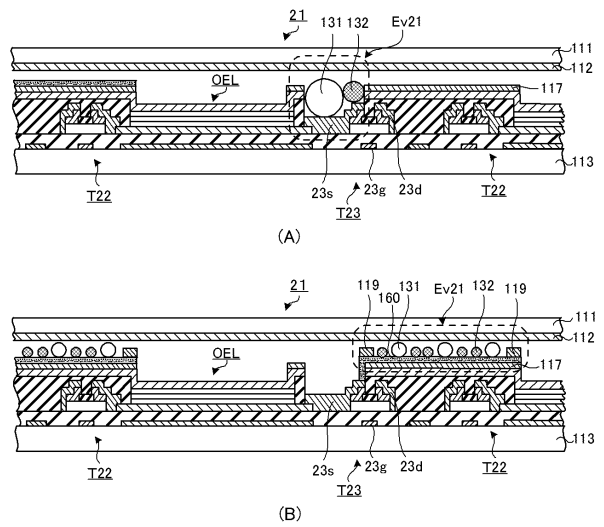
【図 3 4】



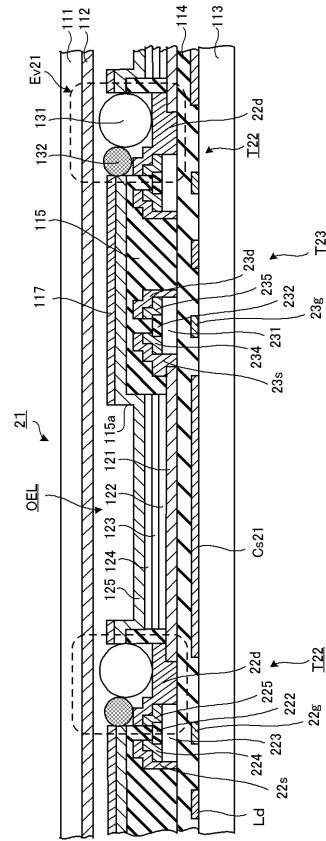
【図 3 5】



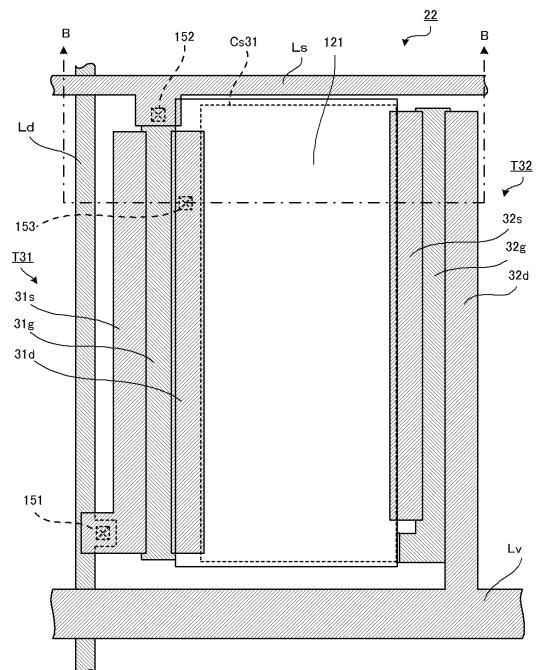
【図 3 6】



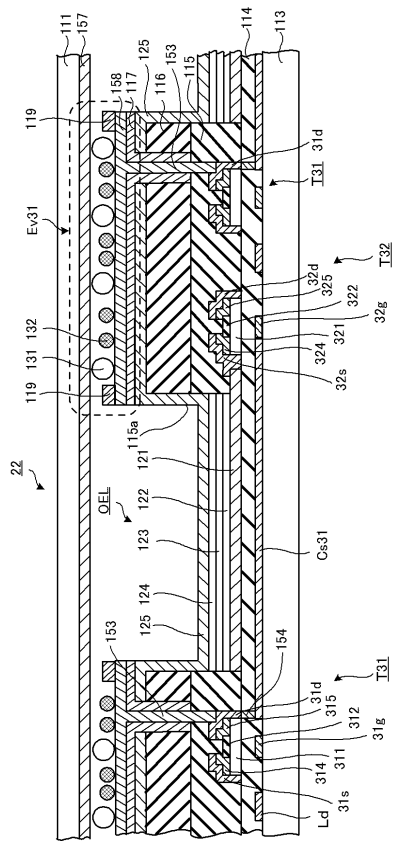
【 図 3 8 】



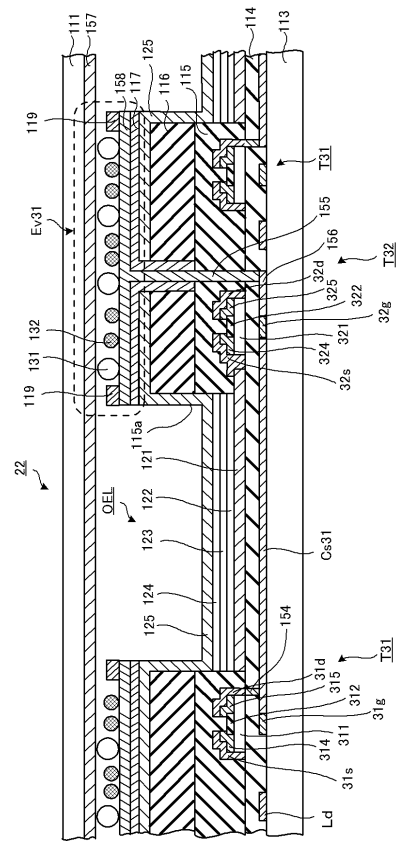
【 図 4 0 】



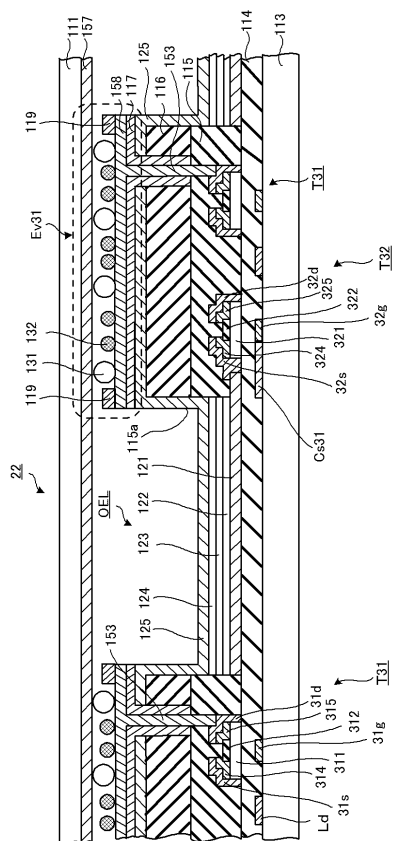
【 図 4 1 】



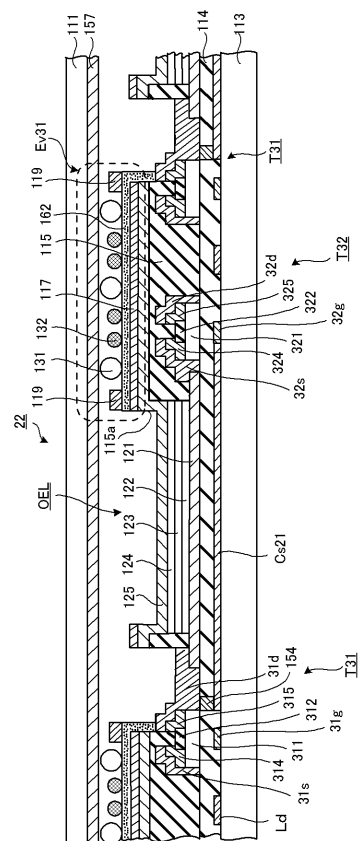
【圖 4 2】



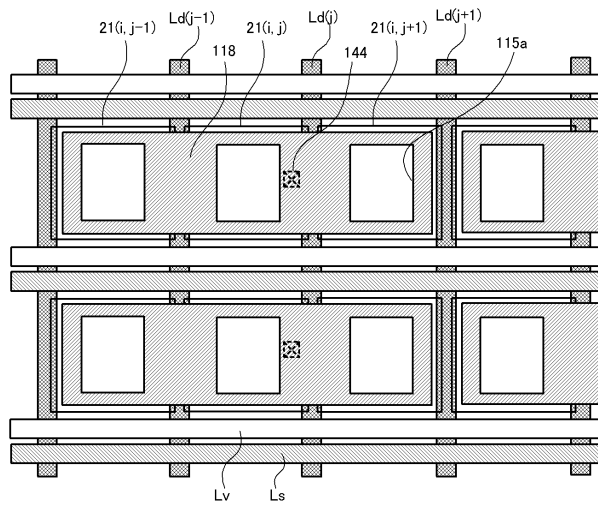
【 図 4 3 】



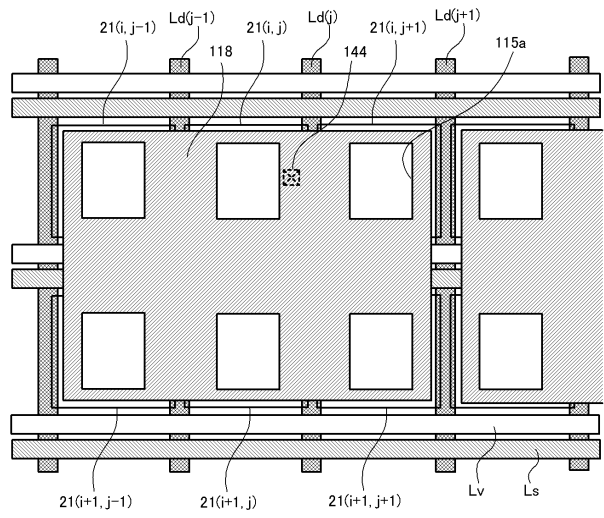
【 図 4 4 】



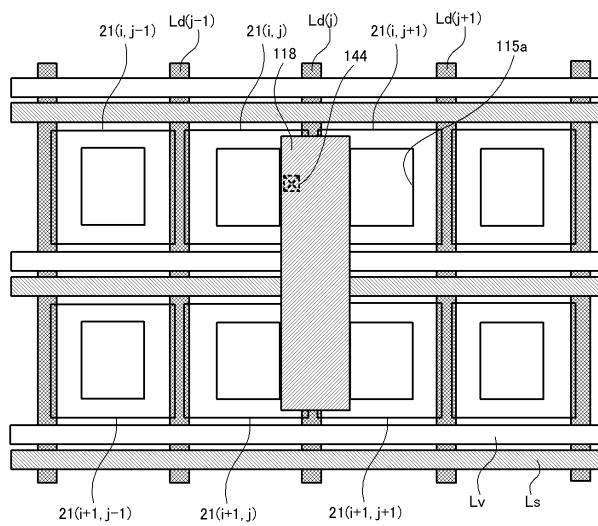
【図 45】



【図 46】



【図 47】



 フロントページの続き

(51)Int.Cl. F I
G 0 6 F 3/041 (2006.01) H 0 5 B 33/08
 H 0 5 B 33/04
 G 0 6 F 3/041 3 2 0 F

(56)参考文献 特開 2 0 0 7 - 0 3 4 0 0 6 (J P , A)
 特開 2 0 0 8 - 2 1 8 1 4 2 (J P , A)
 特表 2 0 0 7 - 5 1 0 9 4 9 (J P , A)
 特開 2 0 0 6 - 0 5 8 3 5 2 (J P , A)
 特開平 0 7 - 2 1 9 6 9 7 (J P , A)
 特開 2 0 0 2 - 2 8 7 9 0 2 (J P , A)
 特開 2 0 0 7 - 1 7 9 8 1 3 (J P , A)
 特開 2 0 0 7 - 0 9 5 6 1 8 (J P , A)
 特開平 0 7 - 0 0 5 9 7 3 (J P , A)
 特開昭 6 3 - 2 8 9 6 3 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 1 L 5 1 / 5 0
 G 0 6 F 3 / 0 4 1
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 0
 H 0 5 B 3 3 / 0 4
 H 0 5 B 3 3 / 0 8

专利名称(译)	表示装置		
公开(公告)号	JP5257104B2	公开(公告)日	2013-08-07
申请号	JP2009021012	申请日	2009-01-30
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	武居学		
发明人	武居 学		
IPC分类号	H01L51/50 G09G3/30 G09G3/20 H05B33/08 H05B33/04 G06F3/041		
FI分类号	H05B33/14.A G09G3/30.J G09G3/20.691.D G09G3/20.641.D G09G3/20.680.H H05B33/08 H05B33/04 G06F3/041.320.F G06F3/041.600 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC32 3K107/CC43 3K107/EE03 3K107/EE42 3K107/EE66 3K107/FF04 3K107/HH05 5B087/AA09 5B087/AB04 5B087/AE09 5B087/CC01 5B087/CC12 5B087/CC13 5B087/CC14 5B087/CC16 5B087/CC37 5B087/DD17 5C080/AA06 5C080/BB05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB28 5C380/AB34 5C380/AC07 5C380/BA11 5C380/BA12 5C380/BA14 5C380/BA19 5C380/BA32 5C380/BB23 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA26 5C380/CA32 5C380/CB01 5C380/CB20 5C380/CB26 5C380/CC02 5C380/CC06 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC41 5C380/CC48 5C380/CC52 5C380/CC62 5C380/CD022 5C380/CD023 5C380/CE04 5C380/CE17 5C380/CE19 5C380/CF07 5C380/CF09 5C380/CF18 5C380/CF41 5C380/CF42 5C380/CF44 5C380/CF48 5C380/CF49 5C380/CF56 5C380/CF61 5C380/CF66 5C380/DA02 5C380/DA06 5C380/DA33 5C380/DA34 5C380/FA02 5C380/FA21 5C380/FA23		
代理人(译)	木村充		
审查员(译)	滨野隆		
其他公开文献	JP2010177601A		
外部链接	Espacenet		

摘要(译)

要解决的问题：根据施加到显示面板的压力来改变显示像素中的节点的状态。ŽSOLUTION：可变元件阴极侧电极112通过与密封基板111的一个主表面接触而布置，并且显示像素21形成在像素基板113的一个主表面上。显示像素21包括：有机EL（电致发光）元素OEL；可变元件Ev21，其包括可变元件阴极侧电极112和可变元件阳极侧电极118；电容器，包括电容器电极Cs21和有机EL元件OEL的阳极电极121，并根据显示信号或通过调制显示信号获得的信号保持电位；发光驱动晶体管T23向有机EL元件OEL提供驱动电流。在可变元件Ev21中，根据施加到显示面板（密封基板111的另一个主表面）的压力来改变物理参数（电容值或电阻值）以调制显示信号，以及由电容器保持的电位。改变了。Ž