

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4854177号
(P4854177)

(45) 発行日 平成24年1月18日(2012.1.18)

(24) 登録日 平成23年11月4日(2011.11.4)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611H
HO1L 51/50 (2006.01)	G09G 3/20 624B
	G09G 3/20 641D
	G09G 3/20 642A
請求項の数 16 (全 25 頁) 最終頁に続く	

(21) 出願番号	特願2003-332902 (P2003-332902)	(73) 特許権者	390019839
(22) 出願日	平成15年9月25日(2003.9.25)		三星電子株式会社
(65) 公開番号	特開2004-118196 (P2004-118196A)		Samsung Electronics
(43) 公開日	平成16年4月15日(2004.4.15)		Co., Ltd.
審査請求日	平成18年8月17日(2006.8.17)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2002-058210		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成14年9月25日(2002.9.25)		Gyeonggi-do, Republic of Korea
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100121382
			弁理士 山下 託嗣
		(74) 代理人	100094145
			弁理士 小野 由己男
		(74) 代理人	100106367
			弁理士 稲積 朋子
最終頁に続く			

(54) 【発明の名称】 有機電界発光駆動素子とこれを有する有機電界発光表示パネル

(57) 【特許請求の範囲】

【請求項1】

第1方向に配列された複数のデータラインと前記第1方向とは相異なる第2方向に配列された複数のゲートラインとにより定義される領域に各々具備されて、一端が共通電極端に連結されて、流れる電流に 응답して発光する有機電界発光素子の駆動素子において、

ゲートに連結されたゲートラインGqを通じて印加される現在のゲート信号に 응답して、ソースに連結されたデータラインDpを通じて印加されるデータ信号を、ドレインを通じて出力する第1スイッチング素子と、

ゲートを通じて印加される以前のゲート信号に 응답して、ソースに連結された基準電圧を、ドレインを通じて出力する第2スイッチング素子と、

ソースが前記第1スイッチング素子のドレインに連結されて、ゲートとドレインが共通連結された第3スイッチング素子と、

ソースが電流供給ラインに連結されて、ゲートが前記第3スイッチング素子の共通端に連結されて、前記共通端を通じて入力される信号に 응답して、ドレインを通じて前記電流を提供する第4スイッチング素子と、

ゲートが直前のゲートラインGq-1に連結され、ソースが前記第4スイッチング素子のドレインに連結されて、前記ゲートが前記直前のゲートラインGq-1を通じて印加される直前のゲート信号に 응답してオンされることで、前記第4スイッチング素子を経由する電流を前記有機電界発光素子に提供する第5スイッチング素子と、

を含み、

前記第 1 及び第 2 スイッチング素子は N タイプの薄膜トランジスタであり、前記第 3 ないし第 5 スイッチング素子は P タイプの薄膜トランジスタであり、前記第 3 スイッチング素子の閾値電圧と前記第 4 スイッチング素子の閾値電圧とは同一であり、

前記基準電圧(V_{ref})は、

$$[V_{gate-off(T1)}] \quad V_{ref} \quad [V_{data, min} + V_{th(T3)}]$$

(ここで、前記 $V_{gate-off(T1)}$ は第 1 スイッチング素子のゲートオフ電圧、前記 V_{ref} は基準電圧、前記 $V_{data, min}$ はデータ電圧の最小値、前記 $V_{th(T3)}$ は第 3 スイッチング素子のしきい電圧として負の電圧)の条件を満足し、

一番目の前記直前のゲートライン G_{q-1} には、最終番目のゲートラインを通じて前記直前のゲート信号が供給される、有機電界発光駆動素子。

10

【請求項 2】

第 1 方向に配列された複数のデータラインと前記第 1 方向とは相異なる第 2 方向に配列された複数のゲートラインとにより定義される領域に各々具備されて、一端が共通電極端に連結されて、流れる電流にตอบสนองして発光する有機電界発光素子の駆動素子において、

ゲートに連結されたゲートライン G_q を通じて印加される現在のゲート信号にตอบสนองして、ソースに連結されたデータライン D_p を通じて印加されるデータ信号を、ドレーンを通じて出力する第 1 スイッチング素子と、

ゲートを通じて印加される以前のゲート信号にตอบสนองして、ソースに連結された現在のゲートライン G_q を通じて印加される、基準電圧としての現在のゲート信号をドレーンを通じて出力する第 2 スイッチング素子と、

20

ソースが前記第 1 スイッチング素子のドレーンに連結されて、ゲートとドレーンが共通連結された第 3 スイッチング素子と、

ソースが電流供給ラインに連結されて、ゲートが前記第 3 スイッチング素子の共通端に連結されて、前記共通端を通じて入力される信号にตอบสนองして、ドレーンを通じて前記電流を提供する第 4 スイッチング素子と、

ゲートが直前のゲートライン G_{q-1} に連結され、ソースが前記第 4 スイッチング素子のドレーンに連結されて、前記ゲートが前記直前のゲートライン G_{q-1} を通じて印加される直前のゲート信号にตอบสนองしてオンされることで、前記第 4 スイッチング素子を経由する電流を前記有機電界発光素子に提供する第 5 スイッチング素子と、

を含み、

30

前記第 1 及び第 2 スイッチング素子は N タイプの薄膜トランジスタであり、前記第 3 ないし第 5 スイッチング素子は P タイプの薄膜トランジスタであり、前記第 3 スイッチング素子の閾値電圧と前記第 4 スイッチング素子の閾値電圧とは同一であり、

前記基準電圧(V_{ref})は、

$$[V_{gate-off(T1)}] \quad V_{ref} \quad [V_{data, min} + V_{th(T3)}]$$

(ここで、前記 $V_{gate-off(T1)}$ は第 1 スイッチング素子のゲートオフ電圧、前記 V_{ref} は基準電圧、前記 $V_{data, min}$ はデータ電圧の最小値、前記 $V_{th(T3)}$ は第 3 スイッチング素子のしきい電圧として負の電圧)の条件を満足し、

一番目の前記直前のゲートライン G_{q-1} には、最終番目のゲートラインを通じて前記直前のゲート信号が供給される、有機電界発光駆動素子。

40

【請求項 3】

第 1 方向に配列された複数のデータラインと前記第 1 方向とは相異なる第 2 方向に配列された複数のゲートラインとにより定義される領域に各々具備されて、一端が共通電極端に連結されて、流れる電流にตอบสนองして発光する有機電界発光素子の駆動素子において、

ゲートに連結されたゲートライン G_q を通じて印加される現在のゲート信号にตอบสนองして、ソースに連結されたデータライン D_p を通じて印加されるデータ信号を、ドレーンを通じて出力する第 1 スイッチング素子と、

ゲートを通じて印加される以前のゲート信号にตอบสนองして、ソースに連結された基準電圧を、ドレーンを通じて出力する第 2 スイッチング素子と、

ソースが前記第 1 スイッチング素子のドレーンに連結されて、ゲートとドレーンが共通

50

連結された第3スイッチング素子と、

ソースが電流供給ラインに連結されて、ゲートが前記第3スイッチング素子の共通端に連結されて、前記共通端を通じて入力される信号にตอบสนองして、ドレインを通じて前記電流を提供する第4スイッチング素子と、

ゲートが前記ゲートラインG_qに連結され、ソースが前記第4スイッチング素子のドレインに連結されて、前記ゲートが前記ゲートラインG_qを通じて印加されるゲート信号にตอบสนองしてオンされることで、前記第4スイッチング素子を經由する電流を前記有機電界発光素子に提供する第5スイッチング素子と、

を含み、

前記第1及び第2スイッチング素子はNタイプの薄膜トランジスタであり、前記第3ないし第5スイッチング素子はPタイプの薄膜トランジスタであり、前記第3スイッチング素子の閾値電圧と前記第4スイッチング素子の閾値電圧とは同一であり、

前記基準電圧(V_{ref})は、

$$[V_{\text{gate-off}(T1)}] \quad V_{\text{ref}} \quad [V_{\text{data, min}} + V_{\text{th}(T3)}]$$

(ここで、前記V_{gate-off(T1)}は第1スイッチング素子のゲートオフ電圧、前記V_{ref}は基準電圧、前記V_{data, min}はデータ電圧の最小値、前記V_{th(T3)}は第3スイッチング素子のしきい電圧として負の電圧)の条件を満足し、

一番目の前記直前のゲートラインG_{q-1}には、最終番目のゲートラインを通じて前記直前のゲート信号が供給される、有機電界発光駆動素子。

【請求項4】

第1方向に配列された複数のデータラインと前記第1方向とは相異なる第2方向に配列された複数のゲートラインとにより定義される領域に各々具備されて、一端が共通電極端に連結されて、流れる電流にตอบสนองして発光する有機電界発光素子の駆動素子において、

ゲートに連結されたゲートラインG_qを通じて印加される現在のゲート信号にตอบสนองして、ソースに連結されたデータラインD_pを通じて印加されるデータ信号を、ドレインを通じて出力する第1スイッチング素子と、

ゲートを通じて印加される以前のゲート信号にตอบสนองして、ソースに連結された基準電圧を、ドレインを通じて出力する第2スイッチング素子と、

ソースが前記第1スイッチング素子のドレインに連結されて、ゲートとドレインが共通連結された第3スイッチング素子と、

ソースが電流供給ラインに連結されて、ゲートが前記第3スイッチング素子の共通端に連結されて、前記共通端を通じて入力される信号にตอบสนองして、ドレインを通じて前記電流を提供する第4スイッチング素子と、

ゲートが直前のゲートラインG_{q-1}に連結され、ソースが前記第4スイッチング素子のドレインに連結されて、前記ゲートが前記直前のゲートラインG_{q-1}を通じて印加される直前のゲート信号にตอบสนองしてオンされて前記第4スイッチング素子を經由する電流を前記有機電界発光素子に提供する第5スイッチング素子と、

ソースが前記第5スイッチング素子のドレインに連結されて、ゲートが現在のゲートラインG_qに連結されて前記現在のゲートラインG_qに印加されるゲート信号にตอบสนองしてオン/オフされて、前記第5スイッチング素子を經由する電流を出力する第6スイッチング素子と、

を含み、

前記第1、第2及び第6スイッチング素子はNタイプの薄膜トランジスタであり、前記第3ないし第5スイッチング素子はPタイプの薄膜トランジスタであり、前記第3スイッチング素子の閾値電圧と前記第4スイッチング素子の閾値電圧とは同一であり、

前記基準電圧(V_{ref})は、

$$[V_{\text{gate-off}(T1)}] \quad V_{\text{ref}} \quad [V_{\text{data, min}} + V_{\text{th}(T3)}]$$

(ここで、前記V_{gate-off(T1)}は第1スイッチング素子のゲートオフ電圧、前記V_{ref}は基準電圧、前記V_{data, min}はデータ電圧の最小値、前記V_{th(T3)}は第3スイッチング素子のしきい電圧として負の電圧)の条件を満足し、

10

20

30

40

50

一番目の前記直前のゲートライン G_{q-1} には、最終番目のゲートラインを通じて前記直前のゲート信号が供給される、有機電界発光駆動素子。

【請求項 5】

第 1 方向に配列された複数のデータラインと前記第 1 方向とは相異なる第 2 方向に配列された複数のゲートラインとにより定義される領域に各々具備されて、一端が共通電極端に連結されて、流れる電流に応答して発光する有機電界発光素子の駆動素子において、

ゲートに連結されたゲートライン G_q を通じて印加される現在のゲート信号に응答して、ソースに連結されたデータライン D_p を通じて印加されるデータ信号を、ドレインを通じて出力する第 1 スイッチング素子と、

ゲートを通じて印加される以前のゲート信号に응答して、ソースに連結された基準電圧を、ドレインを通じて出力する第 2 スイッチング素子と、

ソースが前記第 1 スイッチング素子のドレインに連結されて、ゲートとドレインが共通連結された第 3 スイッチング素子と、

ソースが電流供給ラインに連結されて、ゲートが前記第 3 スイッチング素子の共通端に連結されて、前記共通端を通じて入力される信号に응答して、ドレインを通じて前記電流を提供する第 4 スイッチング素子と、

ゲートが直前のゲートライン G_{q-1} に連結され、ソースが前記第 4 スイッチング素子のドレインに連結されて、前記ゲートが前記直前のゲートライン G_{q-1} を通じて印加される直前のゲート信号に응答してオンされて前記第 4 スイッチング素子を經由する電流を前記有機電界発光素子に提供する第 5 スイッチング素子と、

を含み、

前記第 1 ないし第 4 スイッチング素子は P タイプの薄膜トランジスタであり、前記第 5 スイッチング素子は N タイプの薄膜トランジスタであり、前記第 3 スイッチング素子の閾値電圧と前記第 4 スイッチング素子の閾値電圧とは同一であり、

前記基準電圧 (V_{ref}) は、

$$V_{ref} < V_{gate-off(T21)}$$

(ここで、前記 $V_{gate-off(T21)}$ は前記第 1 スイッチング素子のゲートオフ電圧) の条件を満足し、

一番目の前記直前のゲートライン G_{q-1} には、最終番目のゲートラインを通じて前記直前のゲート信号が供給される、有機電界発光駆動素子。

【請求項 6】

前記基準電圧 (V_{ref}) は、

$$V_{ref} < [V_{data, min} + V_{th(T23)}]$$

(ここで、前記 $V_{data, min}$ はデータライン (D_p) に印加されるデータ電圧の最小値であり、前記 $V_{th(T23)}$ は前記第 3 スイッチング素子のしきい電圧) の条件をさらに満足することを特徴とする、請求項 5 に記載の有機電界発光駆動素子。

【請求項 7】

前記第 5 及び第 6 スイッチング素子はポリシリコンタイプの薄膜トランジスタであることを特徴とする請求項 4 に記載の有機電界発光駆動素子。

【請求項 8】

前記第 1 ないし第 4 スイッチング素子はポリシリコンタイプの薄膜トランジスタであることを特徴とする請求項 1 ~ 7 のいずれかに記載の有機電界発光駆動素子。

【請求項 9】

前記第 3 スイッチング素子のゲート形成方向は前記第 4 スイッチング素子のゲート形成方向と平行であり、前記ゲート形成方向に垂直な任意の仮想線上に前記第 3 スイッチング素子のソースとドレイン及び前記第 3 スイッチング素子のソースとドレインが形成されることを特徴とする請求項 1 ~ 7 のいずれかに記載の有機電界発光駆動素子。

【請求項 10】

前記第 3 スイッチング素子のゲートと前記第 4 スイッチング素子とのゲートが任意の仮想線上に形成され、前記第 3 スイッチング素子のソースとドレインとの形成方向は前記第

10

20

30

40

50

4 スイッチング素子のソースとドレインの形成方向と平行であることを特徴とする請求項 9 に記載の有機電界発光駆動素子。

【請求項 1 1】

一端が前記電流供給ラインに連結されて、他端が前記第 3 スイッチング素子の共通端に連結されたキャパシタをさらに含むことを特徴とする請求項 1 ~ 7 のいずれかに記載の有機電界発光駆動素子。

【請求項 1 2】

前記電流供給ラインは前記データラインと平行であることを特徴とする請求項 1、2、5 のいずれかに記載の有機電界発光駆動素子。

【請求項 1 3】

前記電流供給ラインは前記ゲートラインと平行であることを特徴とする請求項 3、4 のいずれかに記載の有機電界発光駆動素子。

【請求項 1 4】

第 1 方向に配列されて、データ信号を伝達するデータラインと、
前記第 1 方向とは相異なる第 2 方向に配列されて、ゲート信号を伝達するゲートラインと、

バイアス電源を伝達する電流供給ラインと、

一端が共通電極端に連結されて、流れる電流の量に応答して発光する、前記請求項 1 ~ 1 3 のいずれかに記載の有機電界発光駆動素子と、
を含む有機電界発光パネル。

【請求項 1 5】

前記有機電界発光パネルはライン方向に伸張されて、コラム方向に配列された複数のゲートラインと、コラム方向に伸張されて、ライン方向に配列された隣接する 2 個のデータラインでコラム方向に配列された複数のピクセルを定義し、

一番目のピクセルを定義する 2 個のゲートラインのうち最上端に具備されるゲートラインに供給されるゲート信号は最後のピクセルを定義する 2 個のゲートラインのうち最下端に具備されるゲートラインに供給されるゲート信号と同期することを特徴とする請求項 1 4 に記載の有機電界発光パネル。

【請求項 1 6】

前記最上端に具備されるゲートラインは前記最下端に具備されるゲートラインと連結されることを特徴とする請求項 1 5 に記載の有機電界発光パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は有機電界発光駆動素子とこれを有する有機電界発光表示パネルに関するものであり、より詳細には駆動用の薄膜トランジスタの特性補償機能を有する有機電界発光駆動素子とこれを有する有機電界発光表示パネルに関するものである。

【背景技術】

【0002】

現在使われる表示装置としては最もたくさん使用されているものとしてブラウン管(CRT)があつて、コンピュータ用としては液晶表示装置(Liquid Crystal Display ; LCD)の比率がだんだん増加している。しかし、ブラウン管の場合には重量および体積が大きく、LCD の場合には明るくない、側面からの視認性が悪い、効率が低いなどの短所を有しており、使用者を完全に満足させることができない実情である。

【0003】

これに伴い現在多くの人々がより安く、効率がよく、薄くて、軽いディスプレイ装置を開発するために努力しており、そうした次世代ディスプレイ素子として注目されているもののうちのひとつが有機電界発光素子(Organic Light Emitting Device : 以下、OLEDと称す)である。

【0004】

10

20

30

40

50

このようなOLEDは特定有機物または高分子等のElectro Luminescence(EL : 電気を加えた時に光を放出する現象)を利用するものであり、ディスプレイ装置に別のバックライト装置を具備しなくてもよいため前記した液晶表示装置(LCD)に比べて薄型化が可能であり、より安くて容易に製作できるとともに、広い視野角と明るい光を出す長所を有しており、これに関する研究が全世界的に熱く進行されている。

【0005】

図1は一般的な有機電界発光駆動素子の一例を説明するための図面である。図2は前記した図1に印加される信号波形を説明するための図面である。

【0006】

図1及び図2に示すように、一般的な有機電界発光駆動素子はゲートとソースがゲートラインとデータラインとの間に各々連結されたスイッチング用の薄膜トランジスタ(Q_S)、一端がスイッチング薄膜トランジスタ(Q_S)のドレーンに連結されたストレージキャパシタ(C_{st})、ゲートが前記スイッチング薄膜トランジスタ(Q_S)のドレーンに連結されて、ソースが外部のバイアス電圧(V_{dd})に連結された駆動用の薄膜トランジスタ(Q_D)及び一端が前記駆動用の薄膜トランジスタ(Q_D)のドレーンに連結されて、他端が共通電極電圧(V_{COM})に連結された有機電界発光素子(OLED)で構成される。ここで、前記スイッチング薄膜トランジスタ(Q_S)はゲートに電源が印加されることによってターンオンするNタイプ薄膜トランジスタであり、前記駆動用の薄膜トランジスタ(Q_D)はゲートに電源が印加されることによってターンオフするPタイプ薄膜トランジスタである。

【0007】

動作時に、ゲート信号により前記スイッチング薄膜トランジスタ(Q_S)がターンオンされ、この時に各データ信号が前記駆動用の薄膜トランジスタ(Q_D)のゲート電圧に印加される。この時に前記ゲート電圧は前記ストレージキャパシタ(C_{st})により1フレーム間維持される。この時に前記駆動用の薄膜トランジスタ(Q_D)のチャンネルコンダクタンス(Channel conductance)は前記駆動用の薄膜トランジスタ(Q_D)に印加されたゲート電圧とソースに該当するバイアス電圧により決定される。そして、前記有機電界発光素子(OLED)の両端にかかる電圧の大きさは前記バイアス電圧(V_{dd})と前記共通電極電圧(V_{COM})との間に印加された電圧が前記駆動用の薄膜トランジスタ(Q_D)と直列で連結された有機電界発光素子(OLED)の電圧分配により決定され、決定された電圧分配に該当する電流が前記有機電界発光素子(OLED)を通じて流れながら前記有機電界発光素子(OLED)が発光するようになる。

【0008】

ここで、各ピクセルに同一なデータ信号が前記スイッチング薄膜トランジスタ(Q_S)を経由して前記駆動用の薄膜トランジスタ(Q_D)のゲートに印加されて各ピクセルの駆動用の薄膜トランジスタ(Q_D)のゲート-ソース間の電圧(V_{GS})が同一に決定されるにしても各駆動用の薄膜トランジスタ(Q_D)の特性によって電圧分配が異なり、前記有機電界発光素子(OLED)から各々に流れる電流が異なる。したがって、各ピクセル別に同一なデータ信号に対して明るさが異なる画質の不均一が発生する問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明の技術的課題は、このような従来の問題点を解決するためのものであり、本発明の目的はピクセルに具備される駆動用の薄膜トランジスタの特性を補償して画質の不均一を解決するための有機電界発光駆動素子を提供することである。

【0010】

また、本発明の他の目的は前記した有機電界発光表示素子を有する有機電界発光表示パネルを提供することである。

【課題を解決するための手段】

【0011】

第1方向に配列された複数のデータラインと前記第1方向とは相異なる第2方向に配列された複数のゲートラインとにより定義される領域に各々具備されて、一端が共通電極

10

20

30

40

50

端に連結されて、流れる電流にตอบสนองして発光する有機電界発光素子の駆動素子において、
ゲートに連結されたゲートラインG_qを通じて印加される現在のゲート信号にตอบสนองして
、ソースに連結されたデータラインD_pを通じて印加されるデータ信号を、ドレインを
通じて出力する第1スイッチング素子と、

ゲートを通じて印加される以前のゲート信号にตอบสนองして、ソースに連結された基準電圧
を、ドレインを通じて出力する第2スイッチング素子と、

ソースが前記第1スイッチング素子のドレインに連結されて、ゲートとドレインが共通
連結された第3スイッチング素子と、

ソースが電流供給ラインに連結されて、ゲートが前記第3スイッチング素子の共通端に
連結されて、前記共通端を通じて入力される信号にตอบสนองして、ドレインを通じて前記電流
を提供する第4スイッチング素子と、

10

ゲートが直前のゲートラインG_{q-1}に連結され、ソースが前記第4スイッチング素子の
ドレインに連結されて、前記ゲートが前記直前のゲートラインG_{q-1}を通じて印加さ
れる直前のゲート信号にตอบสนองしてオンされることで、前記第4スイッチング素子を經由す
る電流を前記有機電界発光素子に提供する第5スイッチング素子と、

を含み、

前記第1及び第2スイッチング素子はNタイプの薄膜トランジスタであり、前記第3
ないし第5スイッチング素子はPタイプの薄膜トランジスタであり、前記第3スイッ
チング素子の閾値電圧と前記第4スイッチング素子の閾値電圧とは同一であり、

前記基準電圧(V_{ref})は、

20

$$\frac{[V_{\text{gate-off}}(T_1)]}{V_{\text{ref}}} \frac{[V_{\text{data, min}} + V_{\text{th}}(T_3)]}{V_{\text{ref}}}$$

(ここで、前記V_{gate-off}(T₁)は第1スイッチング素子のゲートオフ電圧、前記V_{ref}は基
準電圧、前記V_{data, min}はデータ電圧の最小値、前記V_{th}(T₃)は第3スイッチング素子の
しきい電圧として負の電圧)の条件を満足し、

一番目の前記直前のゲートラインG_{q-1}には、最終番目のゲートラインを通じて前記
直前のゲート信号が供給される、有機電界発光駆動素子を提供する。

【0012】

第1方向に配列されて、データ信号を伝達するデータラインと、

前記第1方向とは相異なる第2方向に配列されて、ゲート信号を伝達するゲートラインと

30

、
 バイアス電源を伝達する電流供給ラインと、

一端が共通電極端に連結されて、流れる電流の量にตอบสนองして発光する、前記有機電界発
光駆動素子と、

を含む有機電界発光パネルを提供する。

【発明の効果】

【0013】

このような有機電界発光駆動素子とこれを有する有機電界発光表示パネルによると、各
 ピクセルごとにお互い特性が異なる駆動用の薄膜トランジスタに対して同一データ信号に
 対して同一電流を流れるようにすることができる。

【発明を実施するための最良の形態】

40

【0014】

以上のような本発明の目的と別の特徴及び長所などは次に参照する本発明の好適な実施
 例に対する以下の説明から明確になるであろう。

【0015】

以下、添付した図面を参照して、本発明をより詳細に説明する。

図3は本発明の第1実施例による有機電界発光駆動素子を説明するための図面であり、図
 4は前記した図3に印加される信号の波形を説明するための図面である。

【0016】

図3及び図4を参照すると、本発明の第1実施例による有機電界発光駆動素子はスイッ
 チング機能を遂行する第1薄膜トランジスタ(T1)、第2薄膜トランジスタ(T2)、第3薄膜トラ

50

ンジスタ(T3)、駆動機能をする第4薄膜トランジスタ(T4)、第5薄膜トランジスタ(T5)、共通電極電圧(V_{COM})に連結された有機電界発光素子(OLED)及びストレージキャパシタ(Cst)でなされて一つの単位ピクセルを定義し、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。この時に前記電流供給ライン(Vdd)はモリブデンタンゲステン(MoW)でなされる単一金属層または前記モリブデンタンゲステン(MoW)層に積層されたアルミニウムネオジウム(AlNd)層でなされる二重金属層で形成され、前記データラインを形成する時にデータラインと平行な方向、すなわち、垂直方向に形成され、各電流供給ラインにはゲートラインの数だけ画素が連結される。

【0017】

ここで、一つの単位ピクセルは $m \times n \times 3$ の解像度を有する有機電界発光表示パネル上でp及びp+1番目のデータラインと、q-1及びq番目のゲートラインにより定義されるものとして説明する。また、前記第1及び第2薄膜トランジスタ(T1、T2)各々はそれぞれのゲートに該当薄膜トランジスタのしきい電圧より高いレベルのゲート信号が印加される時にターン-オンするNタイプの薄膜トランジスタであり、前記第3ないし第5薄膜トランジスタ(T3、T4、T5)各々はそれぞれのゲートに該当薄膜トランジスタのしきい電圧より低いレベルのゲート信号が印加される時にターン-オンするPタイプの薄膜トランジスタである。

【0018】

前記第1薄膜トランジスタ(T1)はゲートが現在のゲートライン(Gq)に連結されて、ソースがデータライン(Dp)に連結され、前記現在のゲートライン(Gq)を通じて印加されるゲート信号にตอบสนองしてソースを通じて入力されるデータ信号を、ドレインを通じて前記第3薄膜トランジスタ(T3)に出力する。

【0019】

前記第2薄膜トランジスタ(T2)はゲートが以前のゲートライン(Gq-1)に連結されて、ソースが基準電圧(V_{ref})を供給する基準電圧ラインに連結されて、以前のゲートラインを通じて印加されるゲート信号にตอบสนองしてソースを通じて入力される前記基準電圧(V_{REF})を、ドレインを通じて前記第4薄膜トランジスタ(T4)に出力する。

【0020】

前記第3薄膜トランジスタ(T3)はソースが前記第1薄膜トランジスタ(T1)のドレインに連結されて、ゲートとドレインとが共通連結されて前記ストレージキャパシタ(Cst)及び第4薄膜トランジスタ(T4)のゲートに連結されて、前記第1薄膜トランジスタ(T1)から提供されるデータ電圧を前記第4薄膜トランジスタ(T4)に出力する。

【0021】

前記第4薄膜トランジスタ(T4)はソースがバイアス電圧(Vdd)を供給する前記電流供給ラインに連結されて、ゲートが前記ストレージキャパシタ(Cst)の一端及び前記第3薄膜トランジスタ(T3)のドレインに連結されて、ドレインを通じて前記バイアス電圧(Vdd)を出力する。ここで、前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)の特性は同一であるか、あるいは類似なものが望ましい。

【0022】

前記第5薄膜トランジスタ(T5)はソースが前記第4薄膜トランジスタ(T4)のドレインに連結されて、ゲートが直前のゲートラインに連結されて、直前のゲート信号にตอบสนองして前記第4薄膜トランジスタ(T4)を通じて入力される前記バイアス電圧(Vdd)を、ドレインを通じて出力する。

【0023】

前記ストレージキャパシタ(Cst)は一端が前記第2ないし第4薄膜トランジスタ(T2、T3、T4)のゲートに共通連結されて、他端が前記バイアス電圧(Vdd)に連結されて、前記バイアス電圧(Vdd)を充電している途中で、1フレームの間に充電されたバイアス電圧(Vdd)を前記第4薄膜トランジスタ(T4)のゲートに提供する。

【0024】

前記有機電界発光素子(OLED)は一端が前記第5薄膜トランジスタ(T5)のドレインに連結されて、他端が前記共通電極電圧(V_{COM})に連結されて、前記第5薄膜トランジスタ(T5)を

10

20

30

40

50

通じて入力される信号、望ましくは電流に応答して光を出射する。

【0025】

すると、添付する図面を参照して、本発明の第1実施例による有機電界発光駆動素子の動作をより詳細に説明する。

【0026】

図5及び図6は前記した図3の動作を図式的に説明するための図面である。特に、図5は以前のゲートラインにゲート信号が印加される時の動作を図式的に説明するための図面であり、図6は現在のゲートラインにゲート信号が印加される時の動作を図式的に説明するための図面である。

【0027】

図5に示すように、直前のゲートラインを選択するゲート信号が印加されることによって前記第1及び第3ないし第5薄膜トランジスタ(T1、T3、T4、T5)はターン-オフ状態を維持し、前記第2薄膜トランジスタ(T2)はターン-オンされて前記第4薄膜トランジスタ(T4)のゲートには前記基準電圧ラインから提供される基準電圧(Vref)が印加される。この時の基準電圧(Vref)は下記の式1の条件を満足することが望ましい。

【0028】

$$[V_{\text{gate-off}(T1)}] V_{\text{ref}} = [V_{\text{data, min}} + V_{\text{th}(T3)}] \cdots (\text{式1})$$

ここで、前記 $V_{\text{gate-off}(T1)}$ は第1薄膜トランジスタ(T1)のゲートオフ電圧であり、前記 $V_{\text{data, min}}$ はデータライン(Dp)に印加されるデータ電圧の最小値であり、前記 $V_{\text{th}(T3)}$ は第3薄膜トランジスタ(T3)のしきい電圧であり、負(Negative)の電圧である。

【0029】

続いて、図6に示すように、現在のゲートラインを選択するゲート信号が印加されることによって、前記第1薄膜トランジスタ(T1)はターン-オンされてソースを通じて印加されるデータ電圧をドレインに連結された前記第3薄膜トランジスタ(T3)に提供する。この時、前記ストレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T3)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T3)はターン-オンされて前記第1薄膜トランジスタ(T1)を経由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。この時、前記第4薄膜トランジスタ(T4)に流れる電流の大きさを決定する実質的なゲート-ソース電圧 $[V_{\text{gs}}'_{(T4)}]$ は下記の式2のようにある。

$$V_{\text{gs}}'_{(T4)} = V_{\text{gs}(T4)} + V_{\text{th}(T4)} \cdots (\text{式2})$$

ここで、前記第4薄膜トランジスタ(T4)のゲート-ソース電圧は、前記第4薄膜トランジスタ(T4)のゲート電圧とバイアス電圧(Vdd)の差電圧であるために、下記の式3のようになる。

$$V_{\text{gs}}'_{(T4)} = V_{\text{g}(T4)} - V_{\text{dd}} \cdots (\text{式3})$$

また、前記第4薄膜トランジスタ(T4)のゲート電圧は、データ電圧と前記第3薄膜トランジスタ(T3)とのしきい電圧(V_{th})間の差電圧であり、前記第3薄膜トランジスタ(T3)のしきい電圧($V_{\text{th}(T3)}$)は負の電圧であるために、下記の式4のようになる。

$$V_{\text{g}(T4)} = V_{\text{data}} + V_{\text{th}(T3)} \cdots (\text{式4})$$

また、前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)の特性は同一なものとして仮定したために、前記第3薄膜トランジスタ(T3)のしきい電圧(V_{th})は下記の式5のように前記第4薄膜トランジスタ(T4)のしきい電圧(V_{th})と同一である。

$$V_{\text{th}(T3)} = V_{\text{th}(T4)} \cdots (\text{式5})$$

したがって、前記の式2ないし式5を基に前記した式3を再び整理すると、前記第4薄膜トランジスタ(T4)に流れる電流の大きさを決定する実質的なゲート-ソース電圧 $[V_{\text{gs}}'_{(T4)}]$ は下記の式6のようになる。

$$V_{\text{gs}}'_{(T4)} = V_{\text{data}} - V_{\text{dd}} \cdots (\text{式6})$$

前記の式6に記載したように、前記第4薄膜トランジスタ(T4)に流れる電流の大きさを決定する実質的なゲート-ソース電圧 $[V_{\text{gs}}'_{(T4)}]$ は前記データライン(Dp)を通じて印加されるデータ電圧(Vdata)と外部の電流供給ラインを通じて印加されるバイアス電圧(Vdd)の差電圧であることを確認することができる。

10

20

30

40

50

【0030】

したがって、すべてのピクセルに具備されて駆動動作を遂行する前記第4薄膜トランジスタ(T4)が検出する実質的なゲート-ソース電圧 $[V_{gs'}(T_4)]$ は前記データライン(Dp)を經由して印加されるデータ電圧(Vdata)と外部で電流供給ラインを經由して印加されるバイアス電圧(Vdd)の大きさに関連が有り、前記第4薄膜トランジスタ(T4)のしきい電圧(V_{th})とは関連が無いことを確認することができる。

【0031】

以上で説明したように、前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)の特性が同一または類似であるという仮定下で本発明は各ピクセルごとに特性が異なる第4薄膜トランジスタ(T4)のしきい電圧(V_{th})を補償することにより、各ピクセルごとにお互い特性が異なる駆動用の薄膜トランジスタ(第4薄膜トランジスタ(T4)に該当)に対して同一データ信号に対して同一電流を流れるようにすることができる。

10

【0032】

以上では単位ピクセルに基準電圧を提供するために別の基準電圧ラインを具備することを説明したが、前記した基準電圧ラインを省略しても具現することができる。

【0033】

図7は本発明の第2実施例による有機電界発光駆動素子を説明するための図面であり、特に単位ピクセルに提供される基準電圧を以後のゲートラインに印加されるゲート信号として利用する有機電界発光駆動素子を図示する。

【0034】

図7を参照すると、本発明の第2実施例による有機電界発光駆動素子はスイッチング機能を遂行する第1薄膜トランジスタ(T1)、第2薄膜トランジスタ(T2)、第3薄膜トランジスタ(T3)、駆動機能をする第4薄膜トランジスタ(T4)、第5薄膜トランジスタ(T5)、共通電極電圧(V_{COM})に連結された有機電界発光素子(OLED)、ストレージキャパシタ(Cst)でなされて一つの単位ピクセルを形成し、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。前記した図3と比較する時に同一構成要素に対しては同一な図面番号を付与して、その説明は省略する。ここで、前記基準電圧(V_{ref})は現在のゲートライン(Gq)を通じて印加されるゲート信号である。

20

【0035】

動作時、以前のゲートラインにゲート信号が印加されることによって前記第1及び第3ないし第5薄膜トランジスタ(T1、T3、T4、T5)はターン-オフ状態を維持し、前記第2薄膜トランジスタ(T2)はターン-オンされて前記第4薄膜トランジスタ(T4)のゲートにはオフレベルの基準電圧(V_{ref})が印加される。この時の前記基準電圧(V_{ref})は現在のゲートラインに印加されるゲート信号であるためにオフレベルである。

30

【0036】

一方、現在のゲートラインにゲート信号が印加されることによって前記第1薄膜トランジスタはターン-オンされてソースを通じて印加されるデータ電圧をドレインに連結された前記第3薄膜トランジスタに提供する。この時、前記ストレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T3)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T3)はターン-オンされて前記第1薄膜トランジスタ(T1)を經由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。

40

【0037】

以上で説明したように、本発明の第2実施例によると現在のピクセルを駆動するために現在のゲートラインには常にハイレベルのゲート信号が印加されるために別の基準電圧ラインを具備しなくても前記第2薄膜トランジスタ(T2)に基準電圧(V_{ref})を提供することができる。

【0038】

図8は本発明の第3実施例による有機電界発光駆動素子を説明するための図面であり、特に前記した図3で第5薄膜トランジスタを省略した例である。

【0039】

50

図8を参照すると、本発明の第3実施例による有機電界発光駆動素子はスイッチング機能を遂行する第1薄膜トランジスタ(T1)、第2薄膜トランジスタ(T2)、第3薄膜トランジスタ(T3)、駆動機能をする第4薄膜トランジスタ(T4)、共通電極電圧(V_{COM})に連結された有機電界発光素子(OLED)及びストレージキャパシタ(Cst)でなされて一つの単位ピクセルを形成し、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。前記した図3と比較する時に同一な構成要素に対しては同一な図面番号を付与して、その説明は省略する。

【0040】

動作時、以前のゲートラインにゲート信号が印加されることによって前記第1、第3及び第4薄膜トランジスタ(T1、T3、T4)はターン-オフ状態を維持して、前記第2薄膜トランジスタ(T2)はターン-オンされて前記第4薄膜トランジスタ(T4)のゲートには基準電圧ラインから提供される基準電圧(V_{ref})が印加される。この時、前記基準電圧(V_{ref})は前記した式1で示す通りである。

10

【0041】

一方、現在のゲートラインにゲート信号が印加されることによって前記第1薄膜トランジスタ(T1)はターン-オンされてソースを通じて印加されるデータ電圧をドレインに連結された第3薄膜トランジスタ(T3)に提供する。この時、前記ストレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T3)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T3)はターン-オンされて前記第1薄膜トランジスタ(T1)を経由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。

20

【0042】

以上で説明したように、本発明の第3実施例によると第4薄膜トランジスタに連結された第5薄膜トランジスタを省略しても各ピクセルごとに特性が異なる第4薄膜トランジスタ(T4)のしきい電圧(V_{th})を補償することにより、各ピクセルごとにお互い特性が異なる駆動用の薄膜トランジスタ(第4薄膜トランジスタ(T4)に該当)に対して同一データ信号に対して同一電流が流れるようにすることができる。

【0043】

一方、前記した本発明の第1ないし第3実施例では現在のピクセルを駆動するために必ず以前のゲートラインが存在しなければならない。すると、前記した本発明の第1ないし第3実施例を有機電界発光表示パネルに実際に適用する時の一例に対して添付する図面を参照して簡略に説明する。

30

【0044】

図9は前記した図3の有機電界発光駆動素子を採用した有機電界発光表示パネルの一例を説明するための図面である。

【0045】

図9に示すように、本発明の一実施例による有機電界発光表示パネルはコラム方向にn個のピクセルを具備し、前記n個のピクセルに走査信号であるゲート信号を順次に提供するためにn個のゲートラインを具備する。この時、実質的に画面駆動に利用されるn個のゲートライン、すなわち第1ないし第n番目のゲートライン(G_1 、 G_2 、...、 G_{n-1} 、 G_n)の以外に前記第1ゲートライン(G_1)に具備される前記第2及び第5薄膜トランジスタ(T2、T5)のゲートにゲート信号を印加するためのダミーゲートライン(G_0)をさらに具備して、前記ダミーゲートライン(G_0)は前記n番目のゲートライン(G_n)と同期させる。

40

【0046】

このように前記ダミーゲートライン(G_0)と最終段のゲートライン(G_n)とを同期のために連結することにより前記ダミーゲートライン(G_0)がフローティング状態で残されることを回避することができる。

【0047】

一方、図示しなかったが前記したダミーゲートラインと最終段のゲートラインとの連結なしにそれぞれのゲートラインにゲート信号を提供するゲートドライバーから別のゲート信号をさらに提供することができる。なぜなら、通例的にn個のゲートラインを駆動する

50

ためには前記ゲートドライバーがn個のゲート信号を順次にゲートラインに提供するが、この時に前記最終段のゲートラインにゲート信号を印加しながらこれと同時に前記ダミーゲートラインにゲート信号を印加することにより前記ダミーゲートラインがフローティング状態で残されることを回避できる。

【0048】

以上の本発明の第1ないし第3実施例では、一つのピクセルを横方向に伸張されて、縦方向に隣接して配列されるゲートラインと、縦方向に伸張されて、横方向に隣接して配列されるデータラインにより定義し、前記データラインと平行するように縦方向に伸張されて、横方向に配列される電流供給ラインと連結された駆動用の薄膜トランジスタ(すなわち、第4薄膜トランジスタ(T4))のしきい電圧を補償することを説明した。

10

【0049】

しかし、前記電流供給ラインが前記データラインと平行になるとクロストークが発生する危険がある。すなわち、電流供給ラインが縦方向に伸張された時に一番目のピクセルにはフルレベルのバイアス電圧が印加されるが、だんだん下位ピクセルにおいて行くほどレベル低減されたバイアス電圧が印加される。その結果、一番目のピクセルに配列される第4薄膜トランジスタのゲート-ソース間の電圧($V_{gs1(T4)}$)から最後の番目であるn番目のピクセルに配列される第4薄膜トランジスタのゲート-ソース間の電圧($V_{gsn(T4)}$)間の差は発生する。前記したピクセル間のゲート-ソース電圧の差により同一レベルのデータ電圧が隣接するそれぞれのピクセルに各々印加されるにしても、それぞれのピクセルに具備される第4薄膜トランジスタのソースで感じる電圧差が発生するので下位ピクセルにおいて行くほどクロストークがひどく発生する。このようなクロストークは結果的に画質の悪影響を誘発するようになる。

20

【0050】

前記したクロストークの発生を減らすための変形例に対して後述する図面を参照して説明する。

【0051】

図10は本発明の第4実施例による有機電界発光駆動素子を説明するための図面である。特に、電流供給ラインの伸張方向をゲートラインの伸張方向と平行するように具現した例を図示する。

【0052】

図10に示すように、本発明の第4実施例による有機電界発光駆動素子はスイッチング機能を遂行する第1薄膜トランジスタ(T1)、第2薄膜トランジスタ(T2)、第3薄膜トランジスタ(T3)、駆動機能をする第4薄膜トランジスタ(T4)、第5薄膜トランジスタ(T5)、共通電極電圧(V_{COM})に連結された有機電界発光素子(OLED)及びストレージキャパシタ(Cst)でなされて一つの単位ピクセルを形成して、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。前記した図3と比較する時に同一な構成要素に対しては同一図面番号を付与して、その説明は省略する。ここで、第5薄膜トランジスタ(T5)のゲートは現在のゲートライン(Gq)に連結されて現在のゲート信号に応答してオン/オフされる。

30

【0053】

動作時、直前のゲートライン(Gq-1)にゲート信号が印加されることによって前記第1、第3及び第4薄膜トランジスタ(T1、T3、T4)はターン-オフ状態を維持し、前記第2及び第5薄膜トランジスタ(T2)はターン-オンされて、前記第4薄膜トランジスタ(T4)のゲートには基準電圧ラインから提供される基準電圧(V_{ref})が印加される。この時、前記基準電圧(V_{ref})は前記した式1で示す通りである。

40

【0054】

一方、現在のゲートライン(Gq)にゲート信号が印加されることによって前記第1薄膜トランジスタ(T1)はターン-オンされてソースを通じてデータライン(Dp)から印加されるデータ電圧をドレーンに連結された前記第3薄膜トランジスタ(T3)に提供する。この時、前記ストレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T3)のゲー

50

トにはハイレベルが印加されるために前記第3薄膜トランジスタ(T3)はターン-オンされて前記第1薄膜トランジスタ(T1)を経由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。

【0055】

以上で説明したように、本発明の第4実施例によると駆動機能を遂行する第4薄膜トランジスタに所定のバイアス電圧を印加する電流供給ラインをゲートラインと平行するように構成しても前記第4薄膜トランジスタの特性を補償できるだけでなく、縦方向に配列されたピクセル間のクロストークを除去できる。

【0056】

図11は本発明の第5実施例による有機電界発光駆動素子を説明するための図面である。特に、電流供給ラインの伸張方向をゲートラインの伸張方向と平行するように具現しながらも別の薄膜トランジスタをさらに具備した例を図示する。

10

【0057】

図11に示すように、本発明の第5実施例による有機電界発光駆動素子はスイッチング機能を遂行する第1薄膜トランジスタ(T1)、第2薄膜トランジスタ(T2)、第3薄膜トランジスタ(T3)、駆動機能をする第4薄膜トランジスタ(T4)、第5薄膜トランジスタ(T5)、第6薄膜トランジスタ(T6)、共通電極電圧(V_{COM})に連結された有機電界発光素子(OLED)及びストレージキャパシタ(Cst)でなされて一つの単位ピクセルを形成して、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。

【0058】

20

図10と比較する時、同一構成要素に対しては同一図面番号を付与して、その説明は省略する。ここで、第5薄膜トランジスタ(T5)はPタイプの薄膜トランジスタであり、ゲートは以前のゲートライン(Gq-1)に連結されて以前のゲート信号に応答してオン/オフされる。

【0059】

また、第6薄膜トランジスタ(T6)はNタイプの薄膜トランジスタであり、ソースは前記第5薄膜トランジスタ(T5)のドレインに連結されて、ドレインは有機電界発光素子(OLED)に連結され、ゲートは現在のゲートライン(Gq)に連結されて現在のゲート信号に応答してオン/オフする。

【0060】

30

動作時、以前のゲートライン(Gq-1)にゲート信号が印加されることによって前記第1、第3、第4、第5、第6薄膜トランジスタ(T1、T3、T4、T5、T6)はターン-オフ状態を維持し、前記第2薄膜トランジスタ(T2)はターン-オンされて、前記第4薄膜トランジスタ(T4)のゲートには基準電圧ラインから提供される基準電圧(V_{ref})が印加される。この時の基準電圧(V_{ref})は前記した式1で示す通りである。

【0061】

一方、現在のゲートライン(Gq)にゲート信号が印加されることによって前記第1薄膜トランジスタ(T1)はターン-オンされてソースを通じてデータライン(Dp)から印加されるデータ電圧をドレインに連結された第3薄膜トランジスタ(T3)に提供する。この時、前記ストレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T3)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T3)はターン-オンされて前記第1薄膜トランジスタ(T1)を経由するデータ電圧を前記第4薄膜トランジスタ(T4)のゲートに提供する。

40

【0062】

以上で説明したように、本発明の第5実施例によると駆動機能を遂行する第4薄膜トランジスタに所定のバイアス電圧を印加する電流供給ラインをゲートラインと平行になるように構成して、現在のゲート信号にオン/オフ応答する別の薄膜トランジスタを有機電界発光素子の入力端に構成しても前記第4薄膜トランジスタの特性を補償できるだけでなく、縦方向に配列されたピクセル間のクロストークを除去できる。

【0063】

50

以上で説明したように、本発明の第1ないし第5実施例では一つの単位ピクセルに具備される前記第1及び第2薄膜トランジスタをNタイプの薄膜トランジスタで具現して、前記第3ないし第5薄膜トランジスタをPタイプの薄膜トランジスタで具現する一例を中心に説明した。しかし、一般的に薄膜トランジスタがスイッチング動作を遂行する点を勘案すると後述する図12のように、一つの単位ピクセルに具備される第1ないし第4薄膜トランジスタをPタイプの薄膜トランジスタで具現して、第5薄膜トランジスタをNタイプの薄膜トランジスタで具現することができる。

【0064】

図12は本発明の第6実施例による有機電界発光駆動素子を説明するための図面であり、図13は前記した図12に印加される信号の波形を説明するための図面である。

10

【0065】

図12を参照すると、本発明の第6実施例による有機電界発光駆動素子はスイッチング機能をする第1薄膜トランジスタ(T21)、第2薄膜トランジスタ(T22)、第3薄膜トランジスタ(T23)、駆動機能をする第4薄膜トランジスタ(T24)、第5薄膜トランジスタ(T25)、有機電界発光素子(OLED)及びストレージキャパシタ(Cst)でなされて一つの単位ピクセルを形成し、ゲート信号を伝達するゲートラインと、データ信号を伝達するデータラインに囲まれた領域に配置される。ここで、前記第1ないし第4薄膜トランジスタ(T21、T22、T23、T24)各々は該当薄膜トランジスタのゲートにしきい電圧より低いレベルのゲート信号が印加される時、ターン-オンするPタイプの薄膜トランジスタであり、前記第5薄膜トランジスタ(T25)は該当薄膜トランジスタのゲートにしきい電圧より高いレベルのゲート信号が印

20

【0066】

この時、前記ゲートラインに印加されるゲート信号は図13に図示したように、反転されたゲート信号である。すなわち、前記第1薄膜トランジスタ(T21)がPタイプの薄膜トランジスタであるために前記ゲートラインを選択するゲート信号がアクティブハイである時には前記ゲートラインが非活性状態を維持して、前記ゲート信号がアクティローである時には前記ゲートラインを活性状態で維持するようになる。このように、反転されたゲート信号を、有機電界発光駆動素子を採用する有機電界発光表示パネルに提供するためにはゲート信号を順次に出力するゲートドライバー(図示せず)に一種の反転器をさらに具備させることによって具現が可能である。

30

【0067】

動作時、以前のゲートライン(Gq-1)を選択するローレベルのゲート信号が印加されることによって前記第1及び第3ないし第5薄膜トランジスタ(T21、T23、T24、T25)はターン-オフ状態を維持し、前記第2薄膜トランジスタ(T22)はターン-オンされて前記第4薄膜トランジスタ(T24)のゲートには基準電圧(Vref)が印加される。この時、前記基準電圧(Vref)は下記の式7と式8の条件を同時に満足することが望ましい。

【0068】

$$V_{ref} < V_{gate-off(T21)} \cdots (式7)$$

ここで、前記 $V_{gate-off(T21)}$ は前記第1薄膜トランジスタ(T21)のゲートオフ電圧である。

40

【0069】

$$V_{ref} < [V_{data, min} + V_{th(T23)}] \cdots (式8)$$

ここで、前記 $V_{data, min}$ は前記データライン(Dp)に印加されるデータ電圧の最小値であり、前記 $V_{th(T23)}$ は前記第3薄膜トランジスタ(T23)のしきい電圧である。

【0070】

続いて、現在のゲートラインを選択するローレベルのゲート信号が印加されることによって、前記第1薄膜トランジスタ(T21)はターン-オンされてソースを通じて印加されるデータ電圧をドレインに連結された前記第3薄膜トランジスタ(T23)に提供する。この時、前記ストレージキャパシタ(Cst)には電荷が充電されて前記第3薄膜トランジスタ(T23)のゲートにはハイレベルが印加されるために前記第3薄膜トランジスタ(T23)はターン-オンさ

50

れて前記第1薄膜トランジスタ(T21)を經由するデータ電圧を前記第4薄膜トランジスタ(T24)のゲートに提供する。この時、前記第4薄膜トランジスタ(T24)に流れる電流の大きさを決定する実質的なゲート-ソース電圧 $[V_{gs}'_{(T24)}]$ は下記の式9のようになる。

【0071】

$$V_{gs}'_{(T24)} = V_{gs}_{(T24)} + V_{th}_{(T24)} \cdots (\text{式9})$$

ここで、前記第4薄膜トランジスタ(T24)のゲート-ソース電圧は前記第4薄膜トランジスタ(T24)のゲート電圧とバイアス電圧(Vdd)の差電圧であるから下記の式10のようになる。

【0072】

$$V_{gs}_{(T24)} = V_{g_{(T24)}} - V_{dd} \cdots (\text{式10})$$

ここで、前記第4薄膜トランジスタ(T24)のゲート電圧は前記データ電圧と前記第3薄膜トランジスタ(T23)のしきい電圧(V_{th})と間の差電圧であるから下記の式11のようになる。

$$V_{g_{(T24)}} = V_{data} + V_{th}_{(T23)} \cdots (\text{式11})$$

また、前記第3薄膜トランジスタ(T23)と第4薄膜トランジスタ(T24)との特性は同一であると仮定したために、前記第3薄膜トランジスタ(T23)のしきい電圧(V_{th})は下記の式12のように前記第4薄膜トランジスタ(T24)のしきい電圧(V_{th})と同一である。

$$V_{th}_{(T23)} = V_{th}_{(T24)} \cdots (\text{式12})$$

したがって、前記した式10ないし式12を基に前記した式9を再び整理すると、下記する式13のようになる。

$$V_{gs}'_{(T24)} = V_{data} - V_{dd} \cdots (\text{式13})$$

前記した式13に記載したように、前記第4薄膜トランジスタ(T24)に流れる電流の大きさを決定する実質的なゲート-ソース電圧 $[V_{gs}'_{(T24)}]$ は前記データライン(Dp)を通じて印加される前記データ電圧(Vdata)と外部の電流供給ラインを通じて印加されるバイアス電圧(Vdd)の差電圧であることを確認することができる。

【0073】

したがって、あらゆるピクセルに具備されて駆動動作を遂行する第4薄膜トランジスタ(T24)が感じる実質的なゲート-ソース電圧 $[V_{gs}'_{(T24)}]$ は前記データライン(Dp)を經由して印加されるデータ電圧(Vdata)と外部で電流供給ラインを經由して印加されるバイアス電圧(Vdd)の大きさのみに関係が有り、前記第4薄膜トランジスタ(T24)のしきい電圧(V_{th})とは関係が無いことを確認することができる。

【0074】

以上で説明したように、本発明は各ピクセルごとに特性が異なる第4薄膜トランジスタ(T4)のしきい電圧(V_{th})を補償することにより、各ピクセルごとにお互い特性が異なる駆動用の薄膜トランジスタ(第4薄膜トランジスタ(T24)に該当)に対して同一データ信号に対して同一電流が流れるようにすることができる。この時、単位ピクセルに具備されてスイッチング用の薄膜トランジスタ(T1)を通じて伝えられるデータ信号を伝達する前記第3薄膜トランジスタ(T3)と前記第3薄膜トランジスタ(T3)と前記電流供給ライン(Vdd)に連結される駆動用の薄膜トランジスタである前記第4薄膜トランジスタ(T4)の特性が同一または類似であることを条件とする。

【0075】

一方、一般的に前記した薄膜トランジスタは多層で構成されて半導体層、絶縁層、保護層及び電極層に分けられる。ここで、半導体層としてはアモルファス-シリコン(Amorphous-Silicon)またはポリシリコン(Poly-silicon)等が使われて、絶縁層としてはシリコン窒化膜(Si_3N_4)、シリコン酸化膜(SiO_2)、酸化アルミニウム(Al_2O_3)、タンタルオキシド(Ta_2O_5)等が使われて、保護層としては透明有機絶縁物質または絶縁物質が利用でき、電極層としてはアルミニウム(Al)、クロム(Cr)、モリブデン(Mo)等の金属導電性物質が一般的に用いられる。これら各要素による物質らは蒸着装置(Deposition Apparatus)すなわち、スパッタリング(sputtering)装置、化学気相蒸着(Chemical vapor deposition : CVD)装置などを使用して成膜した後にリソグラフィ(Lithography)技術を駆使して素子の各要素で形成される。

【0076】

10

20

30

40

50

このように構成された各構成層のうち前記半導体層は電子が流れる伝導チャンネルとして役割をして、前記電極層はソース電極、ドレーン電極及びゲート電極で構成される。この時、ソース電極は前記半導体層に信号電圧を印加する手段であり、前記ソース電極は前記半導体層を通じて信号電圧を前記ドレーン電極に放出する手段であり、前記ゲート電極は前記ソース電極で前記ドレーン電極に電流の流れをスイッチングする手段である。

【0077】

したがって、前記した薄膜トランジスタはスイッチング素子として使用されるようになって、アクティブマトリックスタイプの有機電界発光表示装置のためのスイッチング要素として応用される。このようなアクティブマトリックス有機電界発光表示装置はセレン化カドミウム(CdSe)、水素化されたアモルファス-シリコン(a-Si:H)、ポリクリスタルラインシリコン(Poly crystalline silicon : poly-Si)が半導体層として使われた薄膜トランジスタを使用することによって成功的な構成が可能になった。

10

【0078】

このように、前記薄膜トランジスタの半導体層として使われる物質のうちアモルファスシリコンは工程が簡単であり、低温で処理されることができるとともに、既にソーラーセル(Solar cell)のような大面積素子の製作に使われている。また、アモルファスシリコンを利用した素子の製作工程は最大温度が350 程度の低温処理システムで単独に行なわれることができるために製作が便利である。しかし、実際に前記アモルファスシリコン内での低い電子移動度は薄膜トランジスタのスイッチングの動作特性に妨害の要因として作用し、また、高速で薄膜トランジスタを制御する駆動回路素子(Drive circuitry)と薄膜トランジスタの統合を難しくする短所がある。これに反して、ポリシリコンを半導体層として使用した薄膜トランジスタはアクティブマトリックス有機電界発光表示装置に相当である。

20

【0079】

前記ポリシリコンで製造される薄膜トランジスタは新しい処理段階が必要であるが、代わりにアクティブマトリックス有機電界発光表示装置内のスイッチング素子としてアモルファスシリコンより何倍も速い応答速度を有している。また、幅広く使われるアモルファス薄膜トランジスタに比較してポリシリコンの最も大きい長所は高い電界効果移動度を有していることである。前記した電界効果移動度は薄膜トランジスタのスイッチング速度を決定し、アモルファスシリコンより数100倍速い。

30

【0080】

このような差は前記ポリシリコンがいろいろな結晶粒(Grain)で構成されて、前記アモルファスシリコンよりは欠陥が少ないという点に起因する。したがって、ポリシリコンは大面積スクリーンを有する次世代有機電界発光表示装置のためのスイッチングだけでなく、駆動回路の一体化が可能な素子として期待される。

【0081】

前記したポリシリコンを結晶化する方法としては高温でアモルファスシリコンを結晶化するSPC(Solid phase crystallization)方法、アモルファスシリコン上に金属を蒸着して熱を加えることで結晶化するMIC(Metal induced crystallization)方法、レーザーを使用して結晶化するエキシマレーザーアニール(Excimer laser annealing)方法などがある。

40

【0082】

前記レーザー(laser)を使用する方法は低温工程処理が可能で低価格のガラス基板を使用するために価格の競争力面で優秀である。特に、エキシマレーザーアニール方法として製造された薄膜トランジスタは高速の移動速度を有するようになることで素子の動作特性が良い長所がある。

【0083】

前記したレーザーを利用してアモルファスタイプの薄膜トランジスタを結晶化してポリシリコンタイプの薄膜トランジスタとして変形する例を図面を参照して簡略に説明する。

【0084】

図14と図15は本発明による第3及び第4薄膜トランジスタの製造方法を説明するため

50

の図面である。特に、同一の平面上で前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)を形成する時、レーザーสキャンを利用してアモルファスタイプの薄膜トランジスタを結晶化させてポリシリコンタイプに変更するのに適な製造方法を説明するための図面である。

【0085】

図14を参照すると、ガラス基板の同一の平面上にアモルファスタイプの前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)とを各々形成する。この時、前記第3及び第4薄膜トランジスタ(T3、T4)のゲートライン形成方向はお互いに平行であり、アクティブ層の上部に形成される前記第3及び第4薄膜トランジスタ(T3、T4)のそれぞれのソースとドレーンの配列を前記ゲートライン形成方向、すなわちレーザーสキャン方向(Laser Scan Direction)と垂直な方向に形成する。その結果、前記アモルファスタイプの薄膜トランジスタを、レーザーを通じて結晶化してポリシリコンタイプの薄膜トランジスタに変形することができる。

10

【0086】

一方、図14を参照すると、ガラス基板の同一の平面上にアモルファスタイプの前記第3薄膜トランジスタ(T3)と第4薄膜トランジスタ(T4)を各々形成する。この時、前記第3及び第4薄膜トランジスタ(T3、T4)のゲートライン形成方向は任意の仮想線上に同一に配置され、前記第3及び第4薄膜トランジスタ(T3、T4)のそれぞれのソースとドレーンの配列を前記ゲートライン形成方向、すなわちレーザーสキャン方向と平行になるように形成する。その結果、前記アモルファスタイプの薄膜トランジスタを、レーザーを通じて結晶化してポリシリコンタイプの薄膜トランジスタに変形することができる。

20

【0087】

結晶化の動作時、前記基板上にレーザービームパターンを形成するためのマスクと前記マスクのパターンを縮小して前記基板上に露光するための投影レンズを構成してレーザーアニールを開始する。より詳細には、まず一定手段により前記レーザービームを均一化させて、前記マスクを通じて前記基板上に形成されるビームの形態を決定する。続いて、縮小倍率の投影レンズを通じて数 μm のビーム幅を有したビームを形成する。続いて、X-Yステージ上に置かれた前記基板を移動させるか、または前記レーザービームを移動させながら前記レーザービームを通じて前記アモルファスタイプの薄膜トランジスタを結晶化して前記ポリシリコンタイプの薄膜トランジスタを形成する。

30

【0088】

図16は前記した図3の有機電界発光駆動素子の平面図を説明するための図面であり、図17及び図18は前記した図16のA-A'線、B-B'線による有機電界発光表示装置それぞれの断面図である。ここで、図面符号10はガラス、石英、サファイアのような絶縁基板、20は遮断膜(blocking layer)、30はゲート絶縁膜、40は層間絶縁膜(Inter Layer Dielectric、ILD)、50はパッシベーション(Passivation layer)膜である。

【0089】

図16ないし18を参照すると、本発明による有機電界発光表示装置はガラス基板10上にシリコン酸化物をプラズマ化学気相蒸着(plasma-enhanced chemical vapor deposition; PECVD)方法により概略2000 \AA の厚さで蒸着された遮断膜20上に形成された5個の薄膜トランジスタ(T1、T2、T3、T4、T5)と1個のストレージキャパシタC、そして5個の配線(Gn-1、Gn、DL、Vdd、V_{REF})で構成される。この時、遮断膜20はポリシリコン膜に変更するための非晶質シリコン膜の結晶化間に熱損失を防止するためである。

40

【0090】

また、一つの単位ピクセルは第1方向に伸張される第1及び第2ゲートライン(Gn-1、Gn)と、前記第1方向とは相異なる第2方向に伸張されるデータライン(DL)及び電流供給ライン(Vdd)により定義されて、基準電圧ライン(V_{REF})は前記第1方向に伸張されて前記単位ピクセルの中間に配置される。

【0091】

より詳細には、前記第1ゲートライン(Gn-1)は直前コラムのピクセルに具備される第1薄

50

膜トランジスタ(T1)をオン/オフしてデータライン(DL)を通じて初期データ電圧及び階調データ電圧を印加する役割と共に現在コラムのピクセルに具備される前記第2薄膜トランジスタ(T2)と第5薄膜トランジスタ(T5)をオン/オフする役割をする。

【0092】

また、前記第2ゲートライン(Gn)は現在コラムのピクセルに具備されてスイッチング機能をする前記第1薄膜トランジスタ(T1)をオン/オフして前記データライン(DL)を通じて初期データ電圧及び階調データ電圧を印加する役割と共に次のコラムのピクセルに具備される前記第2薄膜トランジスタ(T2)と第5薄膜トランジスタ(T5)をオン/オフする役割をする。また、前記電流供給ライン(Vdd)にはディスプレイ信号の最大値が直流状態で一定に印加される。また、前記基準電圧ライン(V_{REF})は外部から供給される基準電圧を前記第2薄膜トランジスタ(T2)に供給する。

10

【0093】

前記第1薄膜トランジスタ(T1)は前記第2ゲートライン(Gn)とデータライン(DL)の交差点付近に配置された第1アクティブパターン110と、前記第2ゲートライン(Gn)から延長されて前記第1アクティブパターン110上を過ぎて行くゲート電極112と、前記データライン(DL)から延長されてゲート電極112の側の第1アクティブパターン110と接触するソース電極114と、そして前記ゲート電極112の他側の第1アクティブパターン110と接触する第1ドレイン電極116とを含む。ここで、前記第1薄膜トランジスタ(T1)のゲート電極は前記第2ゲートライン(Gn)と連結されて、前記第1ソース電極は前記データライン(DL)と連結される。

20

【0094】

前記第2薄膜トランジスタ(T2)は第2アクティブパターン120と、第1ゲートライン(Gn-1)から延長されて前記第2アクティブパターン120上を経るゲート電極122と、前記基準電圧ライン(V_{REF})から延長されて前記ゲート電極122側の第2アクティブパターン120と接触するソース電極124と、そして前記ゲート電極122の他側の第2アクティブパターン120と接触するドレイン電極126とを含む。

【0095】

前記第3薄膜トランジスタ(T3)は第1アクティブパターン110と、前記第1ゲートライン(Gn-1)の形成時に形成されたメタルライン(G_M)から延長されて前記第1アクティブパターン110上を過ぎて行くゲート電極132と、前記基準電圧ライン(V_{REF})から延長されて前記ゲート電極132の側の第1アクティブパターン110と接触するソース電極134と、そして前記ゲート電極132の他側の第1アクティブパターン110と接触するドレイン電極136とを含む。

30

【0096】

前記第4薄膜トランジスタ(T4)は第3アクティブパターン140と、前記メタルライン(G_M)から延長されて前記第3アクティブパターン140上を過ぎて行くゲート電極142と、前記基準電圧ライン(V_{REF})から延長されて前記ゲート電極142の側の第3アクティブパターン140と接触するソース電極144と、そして前記ゲート電極142の他側の第3アクティブパターンと接触するドレイン電極146とを含む。

【0097】

前記第5薄膜トランジスタ(T5)は第4アクティブパターン140と、前記第1ゲートライン(Gn-1)から延長されて第4アクティブパターン140上を経るゲート電極152と、前記第4薄膜トランジスタ(T4)のドレイン電極146から延長されて前記ゲート電極152の側の第4アクティブパターン140と接触するソース電極154と、そして前記ゲート電極152の他側の第4アクティブパターン140と有機電界発光素子(EL)のアノード電極と接触するドレイン電極156とを含む。ここで、前記第1及び第2薄膜トランジスタ(T1、T2)はNタイプの薄膜トランジスタであり、前記第3ないし第5薄膜トランジスタ(T3、T4、T5)はPタイプの薄膜トランジスタとして形成することが望ましい。

40

【0098】

前記ストレージキャパシタ(Cst)は前記第1ゲートラインの形成時に形成されたメタルライン(G_M)と、前記メタルライン(G_M)の上部に配置された電流供給ライン(Vdd)により形成

50

されて、1フレーム時間の間にデータ電圧を一定に維持させる役割をする。

【0099】

一方、前記した5個の薄膜トランジスタ(T1、T2、T3、T4、T5)と1個のストレージキャパシタ(C)、そして5個の配線(Gn-1、Gn、DL、Vdd、V_{REF})で構成される有機電界発光表示パネルの単位ピクセルの上部に形成されてITOアノード電極が露出された開口部及び有機絶縁膜(WALL)上にホール移動層(hole transfer layer ; HTL)(図示せず)、発光層及び電子移動層(electron transfer layer ; ETL)(図示せず)を順次に形成した後、その上に陰極電極(cathode electrode)(図示せず)を形成することによって有機電界発光表示パネルの単位ピクセルを完成する。

【0100】

以上で図示したように、本発明による前記第3薄膜トランジスタと第4薄膜トランジスタはデータラインの形成方向と平行するように形成される。このように、前記第3及び第4薄膜トランジスタをデータラインの形成方向と平行するように形成することにより、アモルファスタイプの薄膜トランジスタを構成した後、所定のレーザースキャン方法を通じて結晶化することにより、前記第3及び第4薄膜トランジスタの特性を同一または類似に具現することができる。

【0101】

以上では実施例を参照して説明したが、該当技術分野の熟練された当業者は下記の特許請求の範囲に記載された本発明の思想及び領域から抜け出さない範囲内で本発明を多様に修正及び変更させることができることを理解することができる。

【0102】

以上で説明したように、本発明によると有機電界発光表示パネルの単位ピクセルに具備される駆動用の薄膜トランジスタのしきい電圧を補償することにより、画質の不均一を除去することができる。すなわち、前記駆動用の薄膜トランジスタが検出する実質的なゲート-ソース電圧が前記駆動用の薄膜トランジスタのしきい電圧とは関係がなく外部から印加されるバイアス電圧とデータ電圧のみに影響を受けるために画質の不均一を除去することができる。

【0103】

また、前記有機電界発光表示パネルに具備されてそれぞれの単位ピクセルにバイアス電圧を供給するための電流供給ラインをゲートラインと平行するように形成することにより

コラム方向に配列されたピクセルら間のクロストークを除去することができる。

【図面の簡単な説明】

【0104】

【図1】一般的な有機電界発光駆動素子の一例を説明するための図面である。

【図2】本発明の第1実施例による有機電界発光駆動素子を説明するための図面である。

【図3】前記した図2に印加される信号の波形を説明するための図面である。

【図4】前記した図3の動作を説明するための信号の波形図である。

【図5】図5は前記した図3の動作を図式的に説明するための図面である。

【図6】図6は前記した図3の動作を図式的に説明するための図面である。

【図7】本発明の第2実施例による有機電界発光駆動素子を説明するための図面である。

【図8】本発明の第3実施例による有機電界発光駆動素子を説明するための図面である。

【図9】前記した図3の有機電界発光駆動素子を採用した有機電界発光表示パネルの一例を説明するための図面である。

【図10】本発明の第4実施例による有機電界発光駆動素子を説明するための図面である。

【図11】本発明の第5実施例による有機電界発光駆動素子を説明するための図面である。

【図12】本発明の第6実施例による有機電界発光駆動素子を説明するための図面である。

【図13】前記した図12に印加される信号の波形を説明するための図面である。

10

20

30

40

50

【図14】本発明による第3及び第4薄膜トランジスタの製造方法を説明するための図面である。

【図15】本発明による第3及び第4薄膜トランジスタの製造方法を説明するための図面である。

【図16】前記した図3の有機電界発光表示装置の平面図を説明するための図面である。

【図17】前記した図16のA-A'線、B-B'線による有機電界発光表示装置それぞれの断面図である。

【図18】前記した図16のA-A'線、B-B'線による有機電界発光表示装置それぞれの断面図である。

【符号の説明】

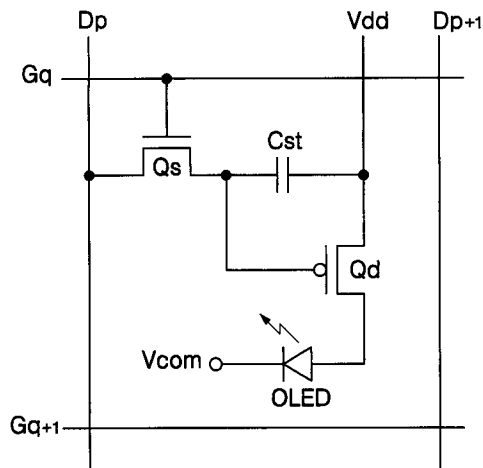
10

【0105】

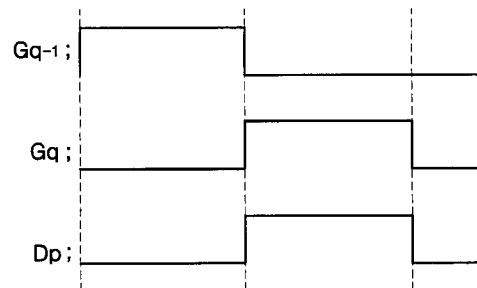
- T1 薄膜トランジスタ
- T2 薄膜トランジスタ
- T3 薄膜トランジスタ
- T4 薄膜トランジスタ
- T5 薄膜トランジスタ
- T6 薄膜トランジスタ
- V_{COM} 共通電極電圧
- OLED 有機電界発光素子
- C_{st} ストレージキャパシタ
- G_{q-1} ゲートライン
- G_q ゲートライン
- D_p ゲートライン
- D_{p+1} ゲートライン
- V_{dd} 電流供給ライン

20

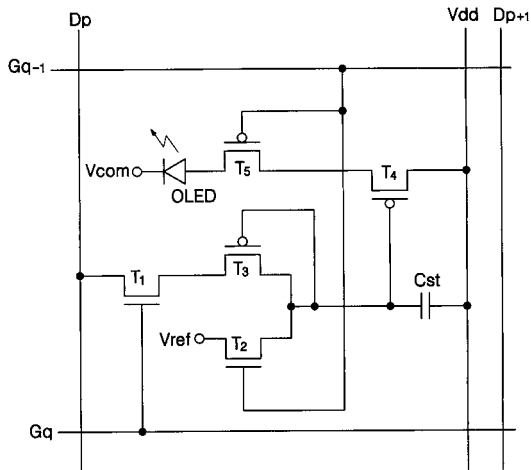
【図1】



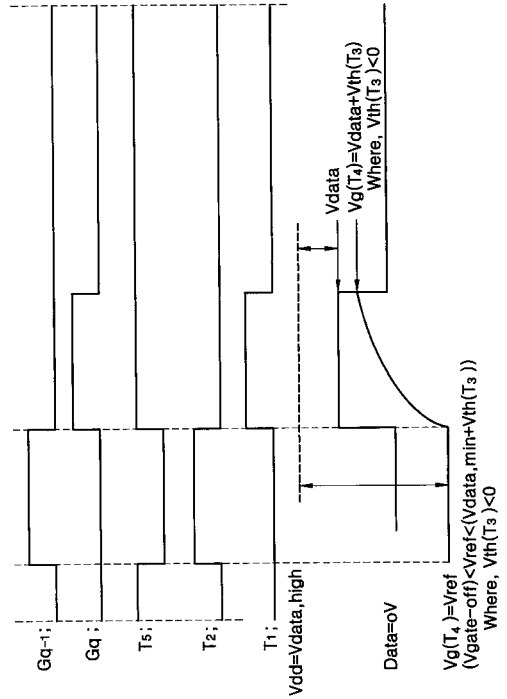
【図2】



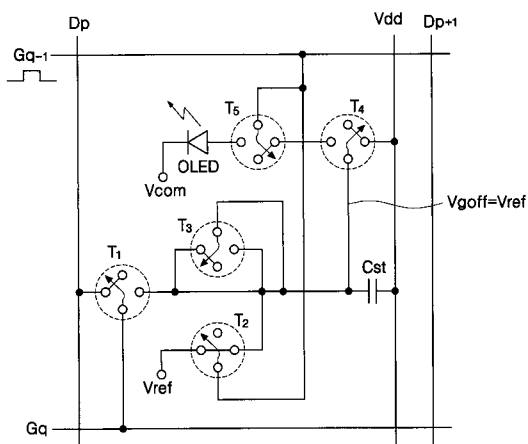
【 図 3 】



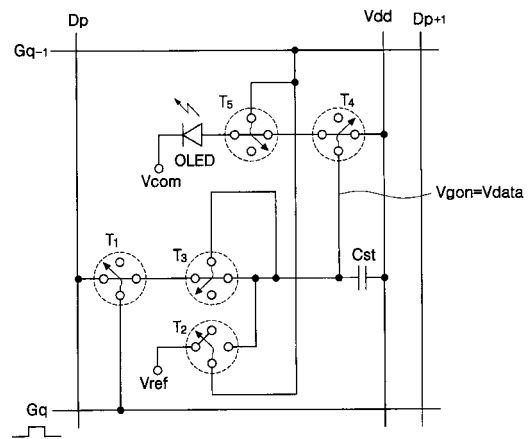
【 図 4 】



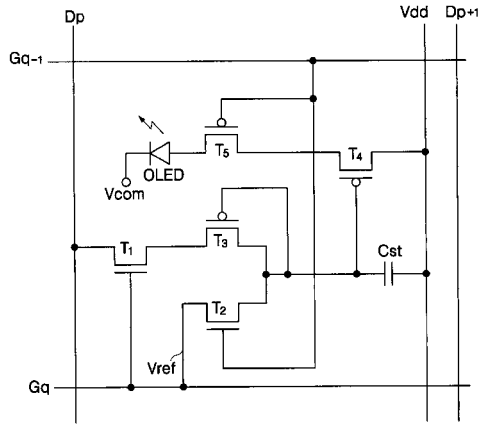
【 図 5 】



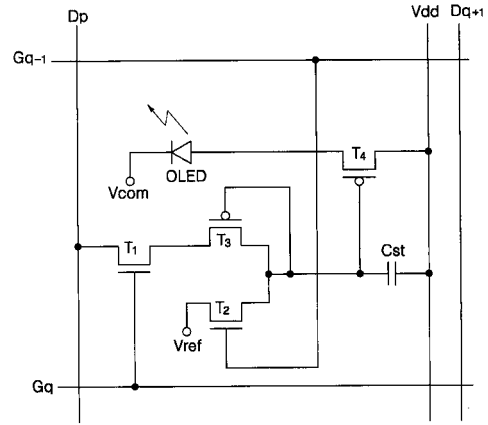
【 図 6 】



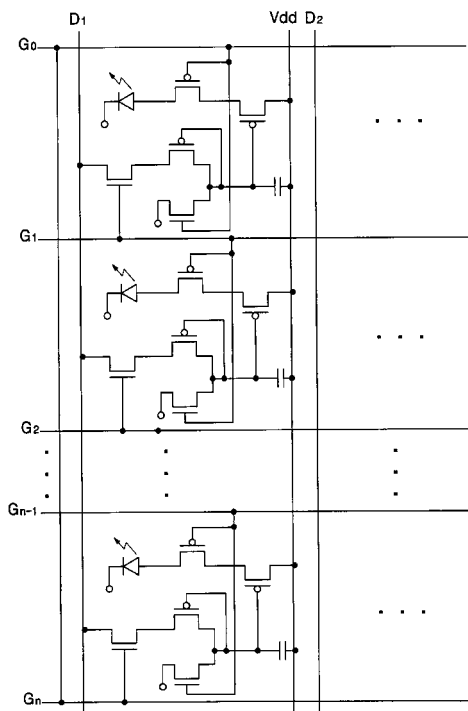
【 図 7 】



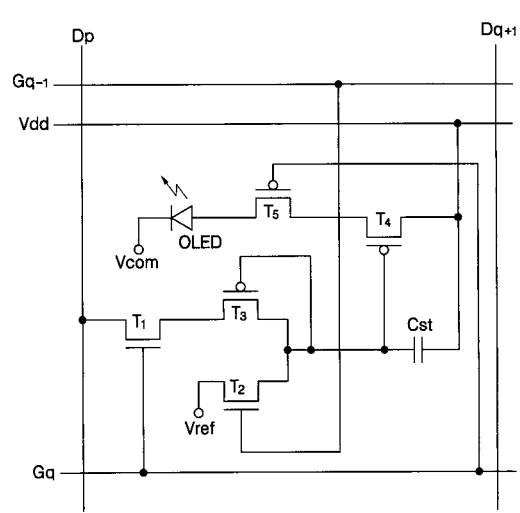
【 図 8 】



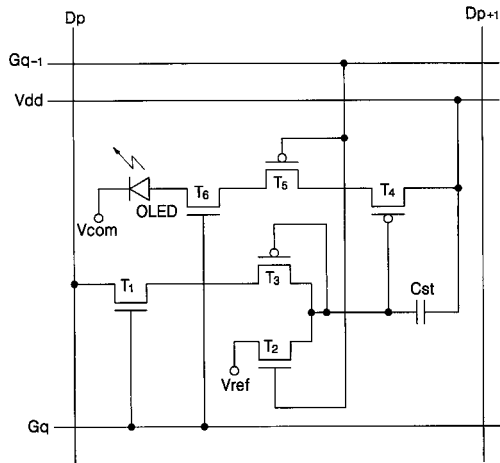
【 図 9 】



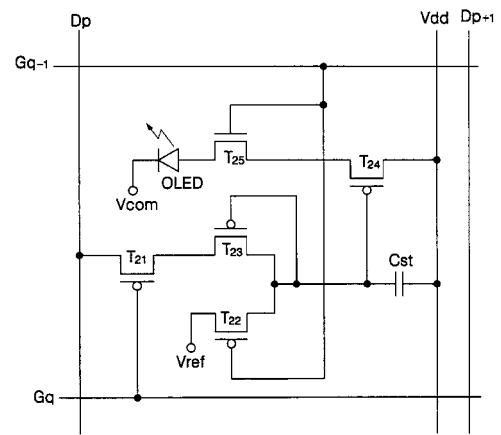
【 図 10 】



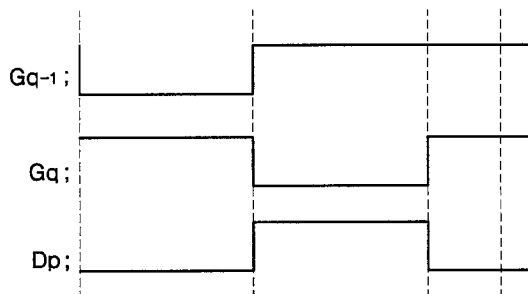
【 図 1 1 】



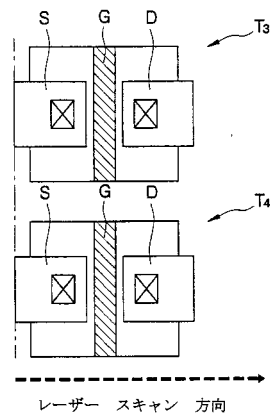
【 図 1 2 】



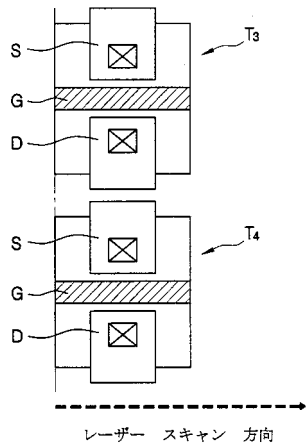
【 図 1 3 】



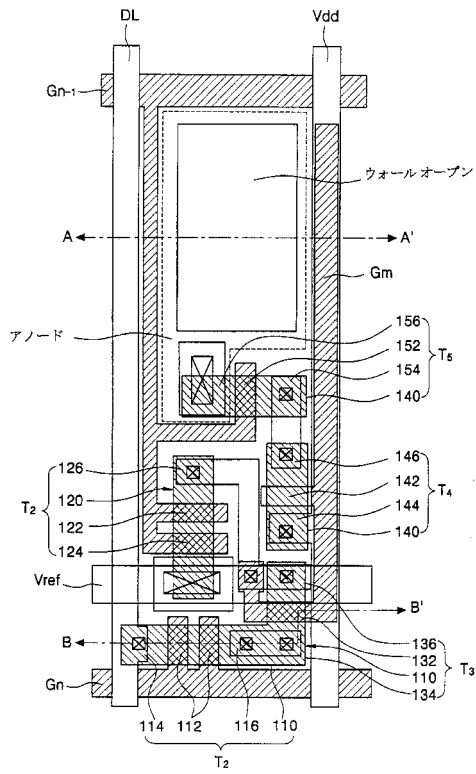
【 図 1 5 】



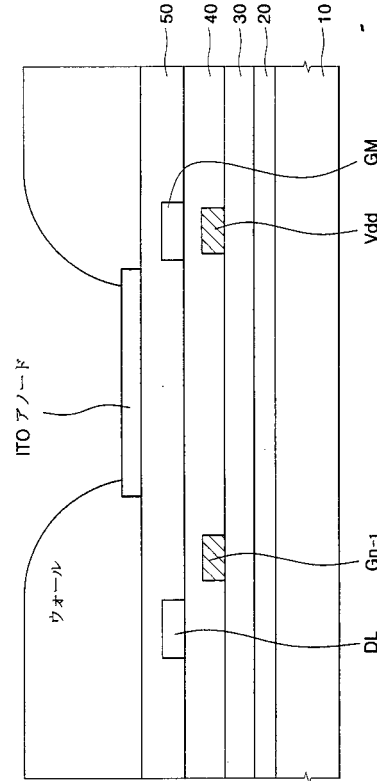
【 図 1 4 】



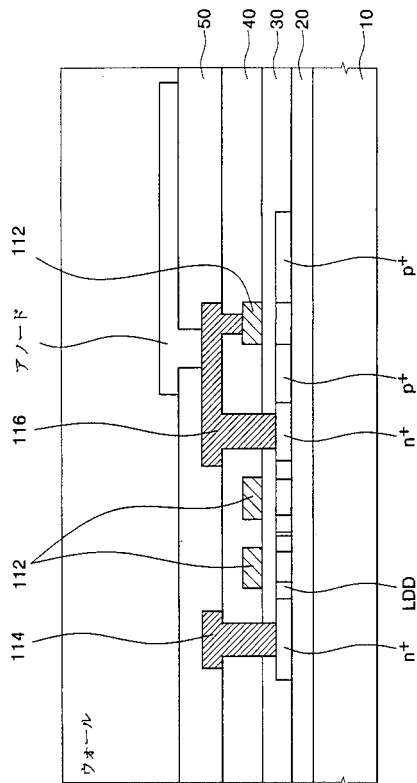
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

- (72)発明者 崔 凡 洛
大韓民国ソウル特別市江南区大峙1洞三星A p t . アパート112棟508号
- (72)発明者 チェ ソン チョル
大韓民国ソウル特別市麻浦区新孔徳洞三崔A p t . アパート102棟1004号
- (72)発明者 崔 ジュン 厚
大韓民国ソウル特別市西大門区霊泉洞サンホA p t . 108棟303号

審査官 佐野 潤一

- (56)参考文献 特開平11-272233(JP,A)
特開平07-111341(JP,A)
特開2000-347621(JP,A)
特開2002-169510(JP,A)
特開2002-244617(JP,A)
特開2001-042822(JP,A)
特開2002-215096(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 3 0
G 0 9 G 3 / 2 0

专利名称(译)	有机电致发光驱动元件和具有该元件的有机电致发光显示板		
公开(公告)号	JP4854177B2	公开(公告)日	2012-01-18
申请号	JP2003332902	申请日	2003-09-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	崔凡洛 チェゾンチヨル 崔ジュン厚		
发明人	崔凡洛 チェゾンチヨル 崔▲ジュン▼厚		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32 H01L21/77 H05B33/00		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/0223 G09G2320/043 H01L27/1296		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB24 5C380/AB45 5C380/AB46 5C380/AB47 5C380/BA39 5C380/BB02 5C380/BB05 5C380/BB08 5C380/CA12 5C380/CB01 5C380/CB31 5C380/CC06 5C380/CC26 5C380/CC34 5C380/CC39 5C380/CC52 5C380/CC53 5C380/CC55 5C380/CC63 5C380/CC77 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CF23 5C380/DA02 5C380/DA06		
代理人(译)	山下大洁嗣		
审查员(译)	佐野纯一		
优先权	1020020058210 2002-09-25 KR		
其他公开文献	JP2004118196A		
外部链接	Espacenet		

摘要(译)

阿来补偿其被提供给所述像素，以用于解决图像质量的不均匀性提供一种有机电致发光驱动装置的薄膜晶体管的用于驱动的特性。第一薄膜晶体管是通过连接数据线，在第二阶段中响应施加到通过连接到第一级中的栅极线，第三级应用本栅极信号的数据信号并通过第二薄膜晶体管的输出是所串接的参考电压到第二级响应于通过所述第一阶段中施加前一栅极信号，并且通过第三级的输出，所述第三薄膜晶体管是第一级有连接到所述第一薄膜晶体管，第二级和第三级的第三级被共同连接，第四薄膜晶体管连接到第一级中的电流供给线，所述第三薄膜晶体管的所述第二阶段它被耦合到公共阶段，驱动有机电致发光设备中通过公共阶段响应于输入的信号将电流提供有机电致发光器件通过第三阶段。点域

图 2]

