

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4489731号
(P4489731)

(45) 発行日 平成22年6月23日(2010. 6. 23)

(24) 登録日 平成22年4月9日(2010. 4. 9)

(51) Int.Cl.

F I

G09G 3/30 (2006.01)
G09G 3/20 (2006.01)G09G 3/30 J
G09G 3/20 624B
G09G 3/20 621M
G09G 3/20 680G
G09G 3/20 621A

請求項の数 28 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2006-175038 (P2006-175038)
 (22) 出願日 平成18年6月26日(2006. 6. 26)
 (65) 公開番号 特開2007-4185 (P2007-4185A)
 (43) 公開日 平成19年1月11日(2007. 1. 11)
 審査請求日 平成18年7月14日(2006. 7. 14)
 (31) 優先権主張番号 10-2005-0055393
 (32) 優先日 平成17年6月25日(2005. 6. 25)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10-2005-0056551
 (32) 優先日 平成17年6月28日(2005. 6. 28)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 有機発光ダイオード表示装置

(57) 【特許請求の範囲】

【請求項 1】

互いに交差する複数のスキャンライン及び複数のデータライン、高電位の電源電圧が供給される、前記データラインに平行に配置された複数の電源電圧供給ライン、前記スキャンラインに平行に配置される複数のリセットライン、前記電源電圧供給ラインからの高電位の電源電圧により発光する複数の有機発光ダイオード、及び前記スキャンラインからのスキャン信号にตอบสนองして、前記データラインからのデータによって前記有機発光ダイオードを駆動し、前記リセットラインからのリセット信号にตอบสนองして初期化される複数の有機発光ダイオード駆動回路を備えた画素アレイと、

第1 Q ノードの電圧にตอบสนองして前記スキャン信号を前記スキャンラインに供給する第1 プルアップトランジスタ、及び第1 Q B ノードの電圧にตอบสนองして前記スキャンラインを放電させる第1 プルダウントランジスタをそれぞれ備える複数のステージを利用して、前記スキャン信号を前記スキャンラインに供給するスキャン駆動回路と、

第2 Q ノードの電圧にตอบสนองして前記リセット信号を前記リセットラインに供給する第1 プルアップトランジスタ、及び第2 Q B ノードの電圧にตอบสนองして前記リセットラインを放電させる第2 プルダウントランジスタをそれぞれ備える複数のステージを利用して、前記リセット信号を前記リセットラインに供給するリセット駆動回路と、

前記リセット信号にตอบสนองして前記スキャン駆動回路の第1 Q ノードを放電させる第1 トランジスタと、

前記スキャン信号にตอบสนองして前記リセット駆動回路の第2 Q ノードを放電させる第2 ト

10

20

ランジスタと、を備えることを特徴とする有機発光ダイオード表示装置。

【請求項 2】

前記スキャン駆動回路と前記リセット駆動回路との間に前記画素アレイが配置されることを特徴とする請求項 1 に記載の有機発光ダイオード表示装置。

【請求項 3】

前記有機発光ダイオード駆動回路は、

前記スキャン信号に応答して前記データを第 1 ノードに供給するスイッチングトランジスタと、

前記第 1 ノードの電圧により前記有機発光ダイオードに流れる電流を制御する駆動トランジスタと、

10

前記リセット信号に応答して前記第 1 ノードを放電させるリセットトランジスタと、を備えることを特徴とする請求項 2 に記載の有機発光ダイオード表示装置。

【請求項 4】

前記リセット信号は前記スキャン信号より遅延されることを特徴とする請求項 3 に記載の有機発光ダイオード表示装置。

【請求項 5】

前記リセット信号は前記スキャン信号からほぼ 1 / 2 フレーム期間後に発生することを特徴とする請求項 4 に記載の有機発光ダイオード表示装置。

【請求項 6】

前記画素アレイ内のトランジスタ、前記スキャン駆動回路及び前記リセット駆動回路内のトランジスタは、非晶質のトランジスタであることを特徴とする請求項 3 に記載の有機発光ダイオード表示装置。

20

【請求項 7】

前記画素アレイ内のトランジスタ、前記スキャン駆動回路及び前記リセット駆動回路内のトランジスタは、ポリシリコンのトランジスタであることを特徴とする請求項 3 に記載の有機発光ダイオード表示装置。

【請求項 8】

前記スキャン駆動回路のステージは、

スタート信号及び第 $n - 2$ スキャン信号 (n は自然数) のうちいずれか一つに応答して第 $n - 1$ スキャン信号を出力する第 $n - 1$ ステージと、

30

前記第 $n - 1$ スキャン信号に応答して第 n スキャン信号を出力する第 n ステージと、を備え、

前記第 $n - 1$ ステージは、前記第 n スキャン信号に応答して、前記第 1 Q ノードを放電させ、前記第 1 Q B ノードを充電させることを特徴とする請求項 3 に記載の有機発光ダイオード表示装置。

【請求項 9】

前記リセット駆動回路のステージは、

スタート信号及び第 $n - 2$ リセット信号 (n は自然数) のうちいずれか一つに応答して第 $n - 1$ リセット信号を出力する第 $n - 1$ ステージと、

前記第 $n - 1$ リセット信号に応答して第 n リセット信号を出力する第 n ステージと、を備え、

40

前記第 $n - 1$ ステージは、前記第 n リセット信号に応答して、前記第 2 Q ノードを放電させ、前記第 2 Q B ノードを充電させることを特徴とする請求項 8 に記載の有機発光ダイオード表示装置。

【請求項 10】

前記第 1 トランジスタは、前記第 1 Q ノードに接続されたソース電極と、前記リセットラインに接続されたゲート電極と低電位の電源電圧源に接続されたドレイン電極とを有し、

前記第 2 トランジスタは、前記第 2 Q ノードに接続されたソース電極と、前記スキャンラインに接続されたゲート電極と前記低電位の電源電圧源に接続されたドレイン電極とを

50

有することを特徴とする請求項 1 に記載の有機発光ダイオード表示装置。

【請求項 1 1】

前記リセット信号に応答して前記スキャンラインを放電させる第 3 トランジスタと、
前記スキャン信号に応答して前記リセットラインを放電させる第 4 トランジスタと、を
備えることを特徴とする請求項 1 に記載の有機発光ダイオード表示装置。

【請求項 1 2】

前記第 3 トランジスタは、前記スキャンラインに接続されたソース電極と、前記リセッ
トラインに接続されたゲート電極と低電位の電源電圧源に接続されたドレイン電極とを有
し、

前記第 4 トランジスタは、前記リセットラインに接続されたソース電極と、前記スキャ
ンラインに接続されたゲート電極と前記低電位の電源電圧源に接続されたドレイン電極と
を有することを特徴とする請求項 1 1 に記載の有機発光ダイオード表示装置。

10

【請求項 1 3】

複数のリセットラインは、互いに接続されて、前記リセット信号が同時に供給され、
前記接続されたりセットラインは、複数の前記第 1 トランジスタそれぞれに形成された
ゲート端子に共通に接続され、

前記スキャンラインは前記第 2 トランジスタのゲート端子に 1 : 1 に接続されることを
特徴とする請求項 1 0 に記載の有機発光ダイオード表示装置。

【請求項 1 4】

前記リセット駆動回路のステージの個数は前記スキャン駆動回路のステージより少ない
ことを特徴とする請求項 1 3 に記載の有機発光ダイオード表示装置。

20

【請求項 1 5】

複数のリセットラインは、互いに接続されて、前記リセット信号が同時に供給され、
前記接続されたりセットラインは、複数の前記第 3 トランジスタそれぞれに形成された
ゲート端子に共通に接続され、

前記スキャンラインは前記第 4 トランジスタのゲート端子に 1 : 1 に接続されることを
特徴とする請求項 1 2 に記載の有機発光ダイオード表示装置。

【請求項 1 6】

前記リセット駆動回路のステージの個数は前記スキャン駆動回路のステージより小さい
ことを特徴とする請求項 1 5 に記載の有機発光ダイオード表示装置。

30

【請求項 1 7】

互いに交差する複数のスキャンライン及び複数のデータライン、高電位の電源電圧が供
給される、前記データラインに平行に配置された複数の電源電圧供給ライン、前記スキャ
ンラインに平行に配置される複数のリセットライン、前記電源電圧供給ラインからの高電
位の電源電圧により発光する複数の有機発光ダイオード、及び前記スキャンラインからの
スキャン信号に応答して、前記データラインからのデータによって前記有機発光ダイオード
を駆動し、前記リセットラインからのリセット信号に応答して初期化される複数の有機
発光ダイオード駆動回路を備えた画素アレイと、

第 1 Q ノードの電圧に応答して前記スキャン信号を前記スキャンラインに供給する第 1
プルアップトランジスタ、及び第 1 Q B ノードの電圧に応答して前記スキャンラインを放
電させる第 1 プルダウントランジスタをそれぞれ備える複数のステージを利用して、前記
スキャン信号を前記スキャンラインに供給するスキャン駆動回路と、

40

第 2 Q ノードの電圧に応答して前記リセット信号を前記リセットラインに供給する第 1
プルアップトランジスタ、及び第 2 Q B ノードの電圧に応答して前記リセットラインを放
電させる第 2 プルダウントランジスタをそれぞれ備える複数のステージを利用して、前記
リセット信号を前記リセットラインに供給するリセット駆動回路と、

前記リセット信号に応答して前記スキャンラインを放電させる第 1 トランジスタと、
前記スキャン信号に応答して前記リセットラインを放電させる第 2 トランジスタと、を
備えることを特徴とする有機発光ダイオード表示装置。

【請求項 1 8】

50

前記スキャン駆動回路と前記リセット駆動回路との間に前記画素アレイが配置されることを特徴とする請求項 1 7 に記載の有機発光ダイオード表示装置。

【請求項 1 9】

前記有機発光ダイオード駆動回路は、

前記スキャン信号にตอบสนองして前記データを第 1 ノードに供給するスイッチングトランジスタと、

前記第 1 ノードの電圧により前記有機発光ダイオードに流れる電流を制御する駆動トランジスタと、

前記リセット信号にตอบสนองして前記第 1 ノードを放電させるリセットトランジスタと、を備えることを特徴とする請求項 1 8 に記載の有機発光ダイオード表示装置。

10

【請求項 2 0】

前記リセット信号は前記スキャン信号より遅延されることを特徴とする請求項 1 7 に記載の有機発光ダイオード表示装置。

【請求項 2 1】

前記リセット信号は前記スキャン信号からほぼ 1 / 2 フレーム期間後に発生することを特徴とする請求項 2 0 に記載の有機発光ダイオード表示装置。

【請求項 2 2】

前記画素アレイ内のトランジスタ、前記スキャン駆動回路及び前記リセット駆動回路内のトランジスタは、非晶質のトランジスタであることを特徴とする請求項 1 9 に記載の有機発光ダイオード表示装置。

20

【請求項 2 3】

前記画素アレイ内のトランジスタ、前記スキャン駆動回路及び前記リセット駆動回路内のトランジスタは、ポリシリコンのトランジスタであることを特徴とする請求項 1 9 に記載の有機発光ダイオード表示装置。

【請求項 2 4】

前記スキャン駆動回路のステージは、

スタート信号及び第 $n - 2$ スキャン信号 (n は自然数) のうちいずれか一つにตอบสนองして第 $n - 1$ スキャン信号を出力する第 $n - 1$ ステージと、

前記第 $n - 1$ スキャン信号にตอบสนองして第 n スキャン信号を出力する第 n ステージと、を備え、

30

前記第 $n - 1$ ステージは、前記第 n スキャン信号にตอบสนองして、前記第 1 Q ノードを放電させ、前記第 1 Q B ノードを充電させることを特徴とする請求項 1 7 に記載の有機発光ダイオード表示装置。

【請求項 2 5】

前記リセット駆動回路のステージは、

スタート信号及び第 $n - 2$ リセット信号 (n は自然数) のうちいずれか一つにตอบสนองして第 $n - 1$ リセット信号を出力する第 $n - 1$ ステージと、

前記第 $n - 1$ リセット信号にตอบสนองして第 n リセット信号を出力する第 n ステージと、を備え、

前記第 $n - 1$ ステージは、前記第 n リセット信号にตอบสนองして、前記第 2 Q ノードを放電させ、前記第 2 Q B ノードを充電させることを特徴とする請求項 2 4 に記載の有機発光ダイオード表示装置。

40

【請求項 2 6】

前記第 1 トランジスタは、前記スキャンラインに接続されたソース電極と、前記リセットラインに接続されたゲート電極と低電位の電源電圧源に接続されたドレイン電極とを有し、

前記第 2 トランジスタは、前記リセットラインに接続されたソース電極と、前記スキャンラインに接続されたゲート電極と前記低電位の電源電圧源に接続されたドレイン電極とを有することを特徴とする請求項 1 7 に記載の有機発光ダイオード表示装置。

【請求項 2 7】

50

複数のリセットラインは、互いに接続されて、前記リセット信号が同時に供給され、
前記互いに接続されたリセットラインは、複数の前記第1トランジスタそれぞれに形成されたゲート端子に共通に接続され、
前記スキャンラインは前記第2トランジスタのゲート端子に1:1に接続されることを特徴とする請求項26に記載の有機発光ダイオード表示装置。

【請求項28】

前記リセット駆動回路のステージの個数は前記スキャン駆動回路のステージより小さいことを特徴とする請求項27に記載の有機発光ダイオード表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、有機発光ダイオード表示装置に係り、特に有機発光ダイオードを駆動するための素子の特性変化を防止し、その素子の信頼性を確保した有機発光ダイオード表示装置に関する。

【背景技術】

【0002】

最近、陰極線管(Cathode Ray Tube: CRT)の短所である重量及び体積を減少できる各種の平板表示装置が開発されている。このような平板表示装置としては、液晶表示装置(Liquid Crystal Display: LCD)、電界放出表示装置(Field Emission Display: FED)、プラズマディスプレイパネル(Plasma Display Panel: PDP)及び発光ダイオード(Light Emitting Diode: LED)表示装置などがある。

20

【0003】

それらのうち、LED表示装置は、電子と正孔との再結合により蛍光体を発光させるLEDを利用し、このようなLEDは、蛍光体として無機化合物を使用する無機LED(Inorganic LED)表示装置、及び有機化合物を使用する有機LED(Organic LED: OLED)表示装置に区分される。このようなOLED表示装置は、低電圧駆動、自己発光、薄膜型、広い視野角、速い応答速度及び高いコントラストなどの多くの長所を有して次世代の表示装置として期待されている。

【0004】

30

OLEDは、通常、負極と正極との間に積層された電子注入層、電子輸送層、発光層、正孔輸送層及び正孔注入層から構成される。このようなOLEDでは、正極と負極との間に所定の電圧を印加する場合、負極から発生した電子が電子注入層及び電子輸送層を通じて発光層側に移動し、正極から発生した正孔が正孔注入層及び正孔輸送層を通じて発光層側に移動する。これにより、発光層では、電子輸送層及び正孔輸送層から供給された電子と正孔との再結合により光を放出する。

【0005】

このようなOLEDを利用するアクティブマトリックスタイプのOLED表示装置は、図1に示したように、 n 個のスキャンライン G_1 ないし G_n (n は、正の整数)と m 個のデータライン D_1 ないし D_m (m は、正の整数)との交差で定義された画素領域に、 $n \times m$ マトリックス形態に配列された $n \times m$ 個の画素 $P[i, j]$ を含むOLEDパネル13、OLEDパネル13のスキャンライン G_1 ないし G_n を駆動するスキャン駆動回路12、OLEDパネル13のデータライン D_1 ないし D_m を駆動するデータ駆動回路11、及びデータライン D_1 ないし D_m と並べて配列されて高電位の電源電圧 VDD を各画素 $P[i, j]$ に供給する m 個の電源電圧供給ライン S_1 ないし S_m を備える。ここで、 i は、 n より小さいか、または同じ正の整数、 j は、 m より小さいか、または同じ正の整数であり、 $P[i, j]$ は、 i 行、 j 列に位置した画素を意味する。

40

【0006】

スキャン駆動回路12は、1水平周期ごとにスキャン信号を順次にシフトさせて出力するシフトレジスタ、シフトレジスタの出力信号を画素駆動素子、すなわち薄膜トランジス

50

タ (Thin Film Transistor: TFT) の駆動に適したスイング幅に変換するためのレベルシフタ、及びレベルシフタとスキャンライン G 1 ないし G n との間に接続される出力バッファをそれぞれ備える複数のゲートドライブ集積回路から構成される。このスキャン駆動回路 1 2 は、スキャン信号をスキャンライン G 1 ないし G n に順次供給してデータが供給される OLED パネル 1 3 の水平ラインを選択する。

【0007】

データ駆動回路 1 1 は、外部から入力されたデジタルデータ電圧をアナログデータ電圧に変換する。そして、データ駆動回路 1 1 は、アナログデータ電圧をスキャン信号が供給される度にデータライン D 1 ないし D m に供給する。

【0008】

画素 P [i , j] それぞれは、スキャンライン G 1 ないし G n にスキャン信号が供給されるとき、データライン D 1 ないし D m からのデータ電圧が供給されて、そのデータ電圧に相応する光を発生させる。

【0009】

このために、各画素 P [i , j] は、電源電圧供給ライン S 1 ないし S m に正極が接続された OLED、及び OLED を駆動するために OLED の負極に接続されると共に、スキャンライン G 1 ないし G n 及びデータライン D 1 ないし D m と接続され、低電位の電源電圧 V S S が供給される OLED 駆動回路 1 5 を備える。

【0010】

OLED 駆動回路 1 5 は、スキャンライン G 1 ないし G n からのスキャン信号に応答して、データライン D 1 ないし D m からのデータ電圧を第 1 ノード N 1 に供給する第 1 トランジスタ T 1、第 1 ノード N 1 の電圧に応答して、OLED に流れる電流量を制御する第 2 トランジスタ T 2、及び第 1 ノード N 1 上の電圧が充電されるストレージキャパシタ C s を備える。

【0011】

OLED 駆動回路 1 5 の駆動波形は、図 2 の通りである。図 2 において、“ 1 F ” は 1 フレーム期間、“ 1 H ” は 1 水平期間、“ V g _ i ” は第 i スキャンライン G i から供給されるゲート電圧、“ P s c ” はスキャン信号、“ V d _ j ” は第 j データライン D j から供給されるデータ電圧、“ V N 1 ” は第 1 ノード N 1 の電圧、“ I o l e d ” は OLED を通じて流れる電流を表す。

【0012】

図 1 及び図 2 に示すように、第 1 トランジスタ T 1 は、スキャンライン G 1 ないし G n を通じてスキャン信号が供給されれば、ターンオンされてデータライン D 1 ないし D m から供給されたデータ電圧 V d を第 1 ノード N 1 に供給する。第 1 ノード N 1 に供給されたデータ電圧 V d は、ストレージキャパシタ C s に充電されると共に、第 2 トランジスタ T 2 のゲート端子に供給される。このように供給されるデータ電圧 V d により第 2 トランジスタ T 2 がターンオンされれば、OLED を通じて電流が流れる。このとき、OLED を通じて流れる電流は、高電位の電源電圧 V D D により発生し、電流量は、第 2 トランジスタ T 2 に印加されるデータ電圧 V d の大きさに比例する。そして、第 1 トランジスタ T 1 がターンオフされても、第 2 トランジスタ T 2 は、ストレージキャパシタ C s の電圧によりターンオン状態を維持して、次のフレーム期間でデータ電圧 V d が供給されるまで OLED で流れる電流量を制御する。

【発明の開示】

【発明が解決しようとする課題】

【0013】

図 1 及び図 2 のような従来の OLED 表示装置は、次のような問題点がある。

【0014】

第 1 に、OLED を駆動する第 2 トランジスタ T 2 のゲート電極には、ポジティブのデータ電圧 V d が長時間印加される。このように、ポジティブ (正) のデータ電圧 V d により、第 2 トランジスタ T 2 には、経時的に図 3 に示すようにゲートバイアスストレスが累

10

20

30

40

50

積され、このような累積ゲートバイアスストレスにより、第2トランジスタT2のしきい電圧 V_{th} がシフトされる。このような第2トランジスタT2の特性劣化により、従来のOLED表示装置は、経時的に駆動が不安定になり、信頼性が低下する。図4Bは、トランジスタのゲート電極にネガティブ電圧（負電圧）が反復的に長時間印加されるときに現れるネガティブ（負）のゲートバイアスストレスによるトランジスタの特性変化を表し、図4A及び図4Bで矢印は、トランジスタのしきい電圧 V_{th} の移動を表す。

【0015】

第2に、従来のOLED表示装置は、スキャン駆動回路12内で出力を制御する制御ノードに残留する電荷により、ゲートラインに所望しない電圧が印加されてスキャン動作の信頼性が低下する。特に、スキャン駆動回路12のシフトレジスタの出力を向上させるためのQノードが非スキャン期間に残留電荷により充電されれば、ゲートラインに所望しない電圧が表れ、これにより、トランジスタT1、T2で漏れ電流が発生するだけでなく、スキャン動作の信頼性が低下する。

10

【0016】

第3に、従来のOLED表示装置は、スキャン駆動回路12などの駆動回路に対するコストが高く、スキャン駆動回路12を画素アレイが形成された基板上に付着する工程などが必要であるので、製造コストが高い。

【課題を解決するための手段】

【0017】

本発明の目的は、OLEDを駆動するための素子の特性変化を防止し、その素子の信頼性を確保したOLED表示装置を提供するところにある。

20

【0018】

本発明の他の目的は、スキャン駆動回路内の制御ノード及びスキャンラインの残留電荷を周期的に放電して、OLEDの駆動において信頼性を確保したOLED表示装置を提供するところにある。

【0019】

本発明のさらに他の目的は、回路コスト及び製造工程を減らすOLED表示装置を提供するところにある。

【0020】

前記目的を達成するために、本発明の実施形態によるOLED表示装置は、互いに交差する複数のスキャンライン及び複数のデータライン、高電位の電源電圧が供給され、前記データラインに平行に配置される複数の電源電圧供給ライン、前記スキャンラインに平行に配置される複数のリセットライン、前記電源電圧供給ラインからの高電位の電源電圧により発光する複数のOLED、及び前記スキャンラインからのスキャン信号に応答して、前記データラインからのデータによって前記OLEDを駆動し、前記リセットラインからのリセット信号に応答して初期化される複数のOLED駆動回路を備えた画素アレイと、前記スキャンラインに前記スキャン信号を供給するスキャン駆動回路と、前記OLED駆動回路を初期化するためのリセット信号を前記リセットラインに供給するリセット駆動回路と、前記データラインに前記データをそれぞれ供給するデータ駆動回路と、を備え、前記スキャン駆動回路及び前記リセット駆動回路は、前記画素アレイが形成される基板上に形成されることを特徴とする。

30

40

【0021】

前記スキャン駆動回路と前記リセット駆動回路との間に、前記画素アレイが配置される。

【0022】

前記OLED駆動回路は、前記スキャン信号に応答して、前記データを第1ノードに供給するスイッチングトランジスタと、前記第1ノードの電圧により前記OLEDに流れる電流を制御する駆動トランジスタと、前記リセット信号に応答して、前記第1ノードを放電させるリセットトランジスタと、を備える。

【0023】

50

前記リセット信号は、前記スキャン信号より遅延される。

【0024】

前記リセット信号は、前記スキャン信号からほぼ1/2フレーム期間後に発生する。

【0025】

前記画素アレイ内のトランジスタ、前記スキャン駆動回路及び前記リセット駆動回路内のトランジスタは、非晶質のトランジスタである。

【0026】

前記画素アレイ内のトランジスタ、前記スキャン駆動回路及び前記リセット駆動回路内のトランジスタは、ポリシリコンのトランジスタである。

【0027】

本発明の他の実施形態によるOLED表示装置は、前記画素アレイと、第1Qノードの電圧にตอบสนองして、前記スキャン信号を前記スキャンラインに供給する第1プルアップトランジスタ、及び第1QBノードの電圧にตอบสนองして、前記スキャンラインを放電させる第1プルダウントランジスタをそれぞれ備える複数のステージを利用して、前記スキャン信号を前記スキャンラインに供給するスキャン駆動回路と、第2Qノードの電圧にตอบสนองして、前記リセット信号を前記リセットラインに供給する第1プルアップトランジスタ、及び第2QBノードの電圧にตอบสนองして、前記リセットラインを放電させる第2プルダウントランジスタをそれぞれ備える複数のステージを利用して、前記リセット信号を前記リセットラインに供給するリセット駆動回路と、前記リセット信号にตอบสนองして、前記スキャン駆動回路の第1Qノードを放電させる第1トランジスタと、前記スキャン信号にตอบสนองして、前記リセット駆動回路の第2Qノードを放電させる第2トランジスタと、を備える。

【0028】

前記スキャン駆動回路のステージは、スタート信号及び第 $n-2$ (n は自然数)スキャン信号のうちいずれか一つにตอบสนองして、第 $n-1$ スキャン信号を出力する第 $n-1$ ステージと、前記第 $n-1$ スキャン信号にตอบสนองして、第 n スキャン信号を出力する第 n ステージと、を備える。

【0029】

前記第 $n-1$ ステージは、前記第 n スキャン信号にตอบสนองして、前記第1Qノードを放電させ、前記第1QBノードを充電させる。

【0030】

前記リセット駆動回路のステージは、スタート信号及び第 $n-2$ (n は自然数)リセット信号のうちいずれか一つにตอบสนองして、第 $n-1$ リセット信号を出力する第 $n-1$ ステージと、前記第 $n-1$ リセット信号にตอบสนองして、第 n リセット信号を出力する第 n ステージと、を備える。

【0031】

前記第 $n-1$ ステージは、前記第 n リセット信号にตอบสนองして、前記第2Qノードを放電させ、前記第2QBノードを充電させる。

【0032】

前記第1トランジスタは、前記第1Qノードに接続されたソース電極、前記リセットラインに接続されたゲート電極及び低電位の電源電圧源に接続されたドレイン電極を有する。

【0033】

前記第2トランジスタは、前記第2Qノードに接続されたソース電極、前記スキャンラインに接続されたゲート電極及び前記低電位の電源電圧源に接続されたドレイン電極を有する。

【0034】

複数のリセットラインは、互いに接続されて前記リセット信号が同時に供給され、前記接続されたりセットラインは、複数の前記第1トランジスタそれぞれに形成されたゲート端子に共通に接続され、前記スキャンラインは、前記第2トランジスタのゲート端子に1:1に接続される。

10

20

30

40

50

【 0 0 3 5 】

前記リセット駆動回路のステージの個数は、前記スキャン駆動回路のステージより少ない。

【 0 0 3 6 】

本発明のさらに他の実施形態によるＯＬＥＤ表示装置は、前記画素アレイと、前記スキャン駆動回路と、前記リセット駆動回路と、前記リセット信号に応答して、前記スキャンラインを放電させる第１トランジスタと、前記スキャン信号に応答して、前記リセットラインを放電させる第２トランジスタと、を備える。

【発明の効果】

【 0 0 3 7 】

10

本発明によるＯＬＥＤ表示装置は、ＯＬＥＤ駆動素子、特にトランジスタの劣化による特性変化を防止して、ＯＬＥＤ駆動回路の動作信頼性を確保できると共に、スキャン駆動回路及びリセット駆動回路をＯＬＥＤパネルに内蔵することによって、薄膜化及びコスト低減に有利である。また、本発明によるＯＬＥＤ表示装置は、相異なる駆動回路の出力を利用して、スキャン駆動回路及びリセット駆動回路のＱノード、スキャンライン及びリセットラインをもう一度放電させることによって、駆動中に発生する部分的充電による回路の信頼性の低下問題を解決できる。

【発明を実施するための最良の形態】

【 0 0 3 8 】

前記目的以外に本発明の他の目的及び特徴は、添付した図面を参照した実施形態についての説明を通じて明白に表れる。

20

【 0 0 3 9 】

以下、図５ないし図１７を参照して、本発明の望ましい実施形態について説明する。

【 0 0 4 0 】

図５に示すように、本発明の実施形態によるＯＬＥＤ表示装置は、 n 個のスキャンライン G_1 ないし G_n と m 個のデータライン D_1 ないし D_m との交差で定義された画素領域に、 $n \times m$ マトリックス形態に配列された $n \times m$ 個の画素 $P[i, j]$ 、データライン D_1 ないし D_m と並べて配列されて、高電位の電源電圧 V_{DD} を各画素 $P[i, j]$ に供給する m 個の電源電圧供給ライン S_1 ないし S_m 、スキャンライン G_1 ないし G_n と並べて配列されて、リセット信号を各画素 $P[i, j]$ に供給するリセットライン R_1 ないし R_n 、スキャンライン G_1 ないし G_n を駆動するスキャン駆動回路１０２、リセットライン R_1 ないし R_n を駆動するリセット駆動回路１０６、及びデータライン D_1 ないし D_m を駆動するデータ駆動回路１０１を備える。

30

【 0 0 4 1 】

データライン D_1 ないし D_m 、スキャンライン G_1 ないし G_n 、電源電圧供給ライン S_1 ないし S_m 及び画素 $P[i, j]$ を含んだ画素アレイが形成される基板上に、前記画素アレイと共に、前記スキャン駆動回路１０２及び前記リセット駆動回路１０６が形成される。

【 0 0 4 2 】

スキャン駆動回路１０２は、１水平周期ごとにスキャン信号を順次にシフトさせて出力するシフトレジスタを備えて、スキャンライン G_1 ないし G_n にスキャン信号を順次に供給する。

40

【 0 0 4 3 】

リセット駆動回路１０６は、リセット信号をシフトさせて出力するシフトレジスタを備えて、前記リセット信号をリセットライン R_1 ないし R_n に順次に供給する。このリセット駆動回路１０６は、画素アレイ領域１０８を挟んでスキャン駆動回路１０２の反対側に形成される。

【 0 0 4 4 】

このスキャン駆動回路１０２及びリセット駆動回路１０６は、画素アレイと共に同じ基板上に形成できるように、画素アレイのＴＦＴと同様に、非晶質のシリコン（ $a-Si$ ）

50

を利用した複数のトランジスタを備える。一方、画素アレイのTFTがポリシリコンで形成される場合には、スキャン駆動回路102及びリセット駆動回路106のTFTも、ポリシリコンで形成される。

【0045】

このように、OLEDパネル103に内蔵型に形成されるスキャン駆動回路102及びリセット駆動回路106は、画素アレイと共に形成されるので、回路コストが最小化され、回路を形成する工程や、または画素アレイ基板上に付着する工程などが不要である。

【0046】

データ駆動回路101は、外部から入力されたデジタルデータをアナログデータに変換する。そして、データ駆動回路101は、アナログデータをスキャン信号が供給される度にデータラインD1ないしDmに供給する。

10

【0047】

画素P[i, j]それぞれは、スキャンラインG1ないしGnにスキャン信号が供給されるとき、データラインD1ないしDmからのデータ電圧を供給されて、そのデータ電圧に相応する光を発生させ、このような画素P[i, j]を含んだ画素領域108により画像が表示される。

【0048】

このために、各画素P[i, j]は、電源電圧供給ラインS1ないしSmに正極が接続されたOLED、及びOLEDを駆動するためにOLEDの負極に接続されると共に、スキャンラインG1ないしGn、データラインD1ないしDm及びリセットラインR1ないしRnと接続され、低電位の電源電圧VSSが供給されるOLED駆動回路105を備える。

20

【0049】

OLED駆動回路105は、スキャンラインG1ないしGnからのスキャン信号に応答して、データラインD1ないしDmからのデータ電圧を第1ノードN1に供給する第1トランジスタT1、第1ノードN1上の電圧に応答して、OLEDに流れる電流量を制御する第2トランジスタT2、及びリセットラインR1ないしRnからのリセット信号に応答して、第1ノードN1を放電させる第3トランジスタT3を備える。このような第1ないし第3トランジスタT1ないしT3は、非晶質のシリコンで形成される。

【0050】

30

このOLED駆動回路105の駆動波形は、図6に示した通りである。図6において、“1F”は1フレーム期間、“1H”は1水平期間、“Vg_i”は第iスキャンラインGiから供給されるゲート電圧、“Psc”はスキャン信号、“Vd_j”は第jデータラインDjから供給されるデータ電圧、“Vr_i”は第iリセットラインRiから供給されるリセット電圧、“Prs”はリセット信号、“VN1”は第1ノードN1上の電圧、“IOLED”はOLEDを通じて流れる電流を表す。

【0051】

OLED駆動回路105において、第1トランジスタT1は、第iスキャンラインGiを通じてスキャン信号が供給されれば、ターンオンされて第jデータラインDjから供給されたデータ電圧Vd_jを第1ノードN1に供給する。第1ノードN1に供給されたデータ電圧Vd_jは、第2トランジスタT2のゲート端子に供給される。このように供給されるデータ電圧Vd_jにより第2トランジスタT2がターンオンされれば、OLEDを通じて電流が流れる。このとき、OLEDを通じて流れる電流は、高電位の電源電圧VDDにより発生し、その電流量は、第2トランジスタT2のゲート電極に印加されるデータ電圧Vd_jの大きさに比例する。そして、第1トランジスタT1がターンオフされても、第1ノードN1上にフローティングされたデータ電圧により、第2トランジスタT2はターンオン状態を維持し、第iリセットラインRiから供給されるリセット信号Prsにより、第3トランジスタT3がターンオンされて第1ノードN1が放電されるまで、第2トランジスタT2はターンオン状態を維持する。このとき、第iリセットラインRiからのリセット信号Prsは、フレーム期間ごとにスキャン信号Pscに1/2フレーム期

40

50

間ほど遅延されて供給される。

【0052】

このように、スキャン信号 Psc と $1/2$ フレーム期間の間隔を有して発生するリセット信号 Prs により、第3トランジスタ $T3$ を通じた第1ノード $N1$ の電圧が放電されることによって、第2トランジスタ $T2$ は、 $1/2$ フレーム期間の駆動期間及び $1/2$ フレーム期間の回復期間を有する。すなわち、図7に示すように、 $1/2$ フレーム期間の駆動期間に第2トランジスタ $T2$ に累積されて増加するゲートバイアスストレスは、回復期間の $1/2$ フレーム期間に減少する。

【0053】

すなわち、前半期の $1/2$ フレーム期間に第2トランジスタ $T2$ のストレスが後半期の $1/2$ フレーム期間に回復されるので、第2トランジスタ $T2$ 、すなわち $OLED$ 駆動素子の劣化による特性変化を防止して、 $OLED$ 駆動回路の動作についての信頼性を向上させる。

【0054】

一方、実施形態では、スキャン信号 Psc とリセット信号 Prs との時間差を $1/2$ フレーム期間と説明したが、このような時間差は、パネル特性及び TFT 特性などによって調節可能である。

【0055】

図8は、前記のようなスキャン信号 Psc 及びリセット信号 Prs を供給するためのスキャン駆動回路102及びリセット駆動回路106の構成を簡略に示した図面である。

【0056】

図8に示すように、スキャン駆動回路102は、従属的に接続された n 個のステージで構成されるシフトレジスタを備える。前記シフトレジスタにおいて、第1ステージには、第1スタート信号 $Vst1$ が入力され、第2ないし第 n ステージには、スタート信号として以前の端出力信号が順次に入力される。また、各ステージは、同じ回路構成を有し、クロック信号 $CLKs$ に応答して、スタート信号 $Vst1$ または以前の端出力信号をシフトさせることによって、ほぼ1水平期間のパルス幅を有するスキャン信号を発生させる。このように発生するスキャン信号は、スキャンライン $G1$ ないし Gn に順次供給される。

【0057】

リセット駆動回路106は、スキャン駆動回路102と実質的に同じ回路構成を有するシフトレジスタを備え、第1スタート信号 $Vst1$ よりほぼ $1/2$ フレーム期間ほど遅延されたタイミングに発生する第2スタート信号 $Vst2$ により、スキャン信号より遅延されたリセット信号をリセットライン $R1$ ないし Rn に順次供給する。このように、第1スタート信号 $Vst1$ と第2スタート信号 $Vst2$ との時間差により、前述したスキャン信号とリセット信号との間に時間差が存在する。すなわち、 $OLED$ 駆動素子の動作期間及び回復期間は、スタート信号 $Vst1$ 、 $Vst2$ の調節により調節可能である。

【0058】

図8では、スキャン駆動回路102及びリセット駆動回路106に印加されるクロック信号 $CLKs$ を二つの2相クロックと例示しているが、このようなクロック信号は、公知の3相クロック、4相クロックまたはそれ以上のクロック $CLKs$ でも可能である。また、スキャン駆動回路102及びリセット駆動回路106は、同じクロック信号で駆動され、また、相異なるクロック信号に応答して動作することもできる。

【0059】

図5では、各画素 $P[i, j]$ の $OLED$ 駆動回路105が $OLED$ の負極に接続された実施形態を示すが、図9のように、 $OLED$ 駆動回路107が $OLED$ の正極に接続される構造も可能である。

【0060】

図10は、図5または図9に示したスキャン駆動回路及びリセット駆動回路の第2実施形態を詳細に示すブロック図である。

【0061】

10

20

30

40

50

図 10 に示すように、スキャン駆動回路 102 及びリセット駆動回路 106 は、それぞれ従属的に接続された n 個のステージ（第 1 ないし第 n ステージ）を備える。

【0062】

スキャン駆動回路 102 において、第 1 ステージには、第 1 スタート信号 V_{st1} が入力され、第 2 ないし第 n ステージには、スタート信号として以前の端スキャン信号 V_{g_i-1} が入力される。そして、第 1 ないし第 $n-1$ ステージには、次の端スキャン信号 V_{g_i+1} がステージリセット信号として入力され、第 n ステージには、ダミーステージ（図示せず）からステージリセット信号が入力される。また、各ステージは、実質的に同じ回路構成を有し、4 個のクロック信号 C_1 ないし C_4 のうちいずれか一つのクロック信号にตอบสนองして、第 1 スタート信号 V_{st1} または以前の端スキャン信号 V_{g_i} をシフトさせることによって、1 水平期間のパルス幅を有するスキャン信号を発生させる。

10

【0063】

第 2 スタート信号 V_{st2} は、第 1 スタート信号 V_{st1} より遅く発生する。したがって、リセット信号は、スキャンライン G_1 ないし G_n に供給されるスキャン信号より所定期間ほど遅延されて供給される。

【0064】

図 11 は、図 10 に示したスキャン駆動回路及びリセット駆動回路の第 1 実施形態を詳細に示す回路図である。

【0065】

図 11 に示すように、スキャン駆動回路 102 は、リセットライン R_1 ないし R_n からのリセット信号 V_{r_1} ないし V_{r_n} にตอบสนองして、ステージ 201 ないし 20 n の Q ノードを放電させる第 1 トランジスタ T_1 を備え、リセット駆動回路 106 は、スキャンライン G_1 ないし G_n からのスキャン信号 V_g にตอบสนองして、ステージ 601 ないし 60 n の Q ノードを放電させる第 2 トランジスタ T_2 を備える。

20

【0066】

スキャン駆動回路 102 において、第 1 ステージ 201 のセット端子 S にスタート信号 V_{st1} が入力されれば、そのステージ 201 で Q ノードの充電及び Q_B ノードの放電がなされる。次いで、 Q ノードが充電された状態で、ハイ論理電圧を有する第 1 クロック信号 C_1 が第 1 ステージ 201 に入力されるとき、プルアップトランジスタ T_{up} を通じて第 1 スキャン信号 V_{g_1} が第 1 スキャンライン G_1 に供給される。これと共に、第 1 スキャン信号 V_{g_1} は、第 2 ステージ 202 のセット端子 S に供給されて第 2 ステージ 202 の Q ノードを充電し、第 2 ステージ 202 の Q_B ノードを放電させる。また、第 1 スキャン信号 V_{g_1} は、リセット駆動回路 106 の第 2 トランジスタ T_2 のゲート端子に印加される。したがって、第 2 トランジスタ T_2 は、第 1 スキャン信号 V_{g_1} によりターンオンされて、リセット駆動回路 106 で第 1 ステージ 601 の Q ノードを強制的に放電させる。

30

【0067】

次いで、第 2 クロック信号 C_2 により第 2 ステージ 202 で発生する第 2 スキャン信号 V_{g_2} は、第 2 スキャンライン G_2 に供給されると共に、ステージリセット信号として第 1 ステージ 201 のリセット端子 R に供給される。この第 2 スキャン信号 V_{g_2} は、第 1 ステージ 201 の Q ノードを放電させ、 Q_B ノードを充電させる。したがって、第 2 スキャン信号 V_{g_2} が発生するとき、第 1 スキャンライン G_1 は、プルダウントランジスタ T_{dn} を通じて放電される。また、第 2 スキャン信号 V_{g_2} は、リセット駆動回路 106 に含まれた第 2 ステージ 602 の第 2 トランジスタ T_2 のゲート端子に印加される。したがって、第 2 トランジスタ T_2 は、第 2 スキャン信号 V_{g_2} によりターンオンされて、リセット駆動回路 106 で第 2 ステージ 602 の Q ノードを放電させる。

40

【0068】

同様に、第 3 ステージ 203 から出力される第 3 スキャン信号 V_{g_3} は、第 3 スキャンライン G_3 に供給されると共に、ステージリセット信号として第 2 ステージ 202 を初期化する。このような動作により、スキャン駆動回路 102 は、スキャンライン G_1 ない

50

しG_nにスキャン信号を順次に供給し、リセット駆動回路106のQノードを放電させる。

【0069】

リセット駆動回路106のリセット動作も、前述したスキャン駆動回路102と実質的に同一になされる。

【0070】

リセット駆動回路106の第1ステージ601のスタート信号V_{st}2がセット端子Sに入力されれば、そのステージ601でQノードの充電及びQBノードの放電がなされる。次いで、Qノードが充電された状態でハイ論理電圧を有する第1クロック信号C1は、プルアップトランジスタT_{up}を通じて第1リセット信号V_r__1として第1リセット
10 ラインR1に供給される。これと共に、第1リセット信号V_r__1は、第2ステージ602のセット端子Sに供給されて第2ステージ602のQノードを充電し、第2ステージ602のQBノードを放電させる。また、第1リセット信号V_r__1は、第1トランジスタT1のゲート端子に印加される。したがって、第1トランジスタT1は、第1リセット信号V_r__1によりターンオンされて、スキャン駆動回路102で第1ステージ201のQノードを放電させる。

【0071】

次いで、第2クロック信号C2により第2ステージ602で発生する第2リセット信号V_r__2は、第2リセットラインR2に供給されると共に、ステージリセット信号として第1ステージ601のリセット端子Rに供給される。この第2リセット信号V_r__2は、
20 第1ステージ601のQノードを放電させ、QBノードを充電させる。したがって、第2リセット信号V_r__2が発生するとき、第1リセットラインR1は、プルダウントランジスタT_{dn}を通じて放電される。また、第2リセット信号V_r__2は、スキャン駆動回路102に含まれた第2ステージ202の第1トランジスタT1のゲート端子に印加される。したがって、第1トランジスタT1は、第2リセット信号V_r__2によりターンオンされて、スキャン駆動回路102で第2ステージ202のQノードを強制的に放電させる。

【0072】

同様に、第3ステージ203から出力される第3リセット信号V_r__3は、第3リセットラインR3に供給されると共に、ステージリセット信号として第2ステージ602を初
30 期化する。このような動作により、リセット駆動回路106は、リセットラインR1ないしR_nにリセット信号を順次に供給し、スキャン駆動回路102のQノードを放電させる。

【0073】

このように、スキャン駆動回路102及びリセット駆動回路106は、他のステージの出力によりQノードを強制的に放電させることによって、Qノードの異常充電によりO
LEDの誤動作を防止し、動作の信頼性を向上させる。

【0074】

図12は、図10に示したスキャン駆動回路及びリセット駆動回路の第2実施形態を詳細に示す回路図である。
40

【0075】

図12に示すように、スキャン駆動回路102は、リセットラインR1ないしR_nからのリセット信号V_r__1ないしV_r___nにตอบสนองして、スキャンラインG1ないしG_nを放電させる第3トランジスタT3を備え、リセット駆動回路106は、スキャンラインG1
ないしG_nからのスキャン信号V_g__1ないしV_g___nにตอบสนองして、リセットラインR1
ないしR_nを放電させる第4トランジスタT4を備える。

【0076】

第3トランジスタT3のソース端子は、スキャンラインG1ないしG_nに接続され、ドレイン端子は、低電位の電源電圧源V_{SS}に接続される。そして、第3トランジスタT3のゲート端子は、リセットラインR1ないしR_nに接続される。
50

【 0 0 7 7 】

第4トランジスタT4のソース端子は、リセットラインR1ないしRnに接続され、ドレイン端子は、低電位の電源電圧源VSSに接続される。そして、第4トランジスタT4のゲート端子は、スキャンラインG1ないしGnに接続される。

【 0 0 7 8 】

スキャン駆動回路102の第1ステージ201にスタート信号Vst1が入力されれば、第1ステージ201でQノードが充電され、QBノードが放電される。第1ステージ201のQノードが充電された状態で、ハイ電圧の第1クロック信号がプルアップトランジスタT-upのソース端子に供給されれば、第1スキャン信号Vg__1は、第1スキャンラインG1に供給されると共に、スタート信号として第2ステージ202のセット端子Sに供給されて、第2ステージ202のQノードを充電させ、QBノードを放電させる。また、第1スキャン信号Vg__1は、第1リセットラインR1に接続された第4トランジスタT4のゲート端子に印加されて、第1リセットラインR1を放電させる。

10

【 0 0 7 9 】

第2クロック信号C2によりスキャン駆動回路102の第2ステージ202で発生する第2スキャン信号Vg__2は、第2スキャンラインG2に供給されると共に、第1ステージ201のリセット端子Rに供給されて、第1ステージ201のQノードを放電させ、第1ステージ201のQBノードを充電させる。したがって、第2スキャン信号Vg__2が発生すれば、第1ステージ201のプルダウントランジスタT__dnがターンオンされて、第1スキャンラインG1が低電位の電源電圧VSSまで放電されると共に、第2ステージ202のプルアップトランジスタT__upがターンオンされて、第2スキャンラインG2が第2クロック信号C2の電圧まで充電される。また、第2スキャン信号Vg__2は、第2リセットラインR2に接続された第4トランジスタT4のゲート端子に印加されて、第2リセットラインR2を放電させる。

20

【 0 0 8 0 】

このような動作により、スキャン駆動回路102は、スキャンラインG1ないしGnにスキャン信号Vg__1ないしVg__nを順次に供給すると共に、以前の端ステージを初期化させ、また、リセットラインR1ないしRnを順次に放電させる。

【 0 0 8 1 】

リセット駆動回路106の第1ステージにスタート信号Vst2が入力されれば、第1ステージ601でQノードが充電され、QBノードが放電される。第1ステージ601のQノードが充電された状態で、ハイ電圧の第1クロック信号がプルアップトランジスタT-upのソース端子に供給されれば、第1リセット信号Vr__1は、第1リセットラインR1に供給されると共に、スタート信号として第2ステージ602のセット端子Sに供給されて、第2ステージ602のQノードを充電させ、QBノードを放電させる。また、第1リセット信号Vr__1は、第1スキャンラインG1に接続された第2トランジスタT2のゲート端子に印加されて、第1スキャンラインG1を放電させる。

30

【 0 0 8 2 】

第2クロック信号C2によりリセット駆動回路106の第2ステージ602で発生する第2リセット信号Vr__2は、第2リセットラインR2に供給されると共に、第1ステージ601のリセット端子Rに供給されて、第1ステージ601のQノードを放電させ、第1ステージ601のQBノードを充電させる。したがって、第2リセット信号Vr__2が発生すれば、第1ステージ601のプルダウントランジスタT__dnがターンオンされて、第1リセットラインR1が低電位の電源電圧VSSまで放電されると共に、第2ステージ602のプルアップトランジスタT__upがターンオンされて、第2リセットラインR2が第2クロック信号C2の電圧まで充電される。また、第2リセット信号Vr__2は、第2スキャンラインG2に接続された第3トランジスタT3のゲート端子に印加されて、第2スキャンラインG2を放電させる。

40

【 0 0 8 3 】

このような動作により、リセット駆動回路106は、リセットラインR1ないしRnに

50

スキャン信号 V_{r_1} ないし V_{r_n} を順次に供給すると共に、以前の端ステージを初期化させ、また、スキャンライン G_1 ないし G_n を順次に放電させる。

【0084】

図13は、図10に示したスキャン駆動回路及びリセット駆動回路の第3実施形態を詳細に示す回路図である。

【0085】

図13に示すように、スキャン駆動回路102は、リセットライン R_1 ないし R_n からのリセット信号 V_{r_1} ないし V_{r_n} に応答して、ステージ201ないし20nのQノードを放電させる第1トランジスタ T_1 、及びリセット信号 V_{r_1} ないし V_{r_n} に応答して、スキャンライン G_1 ないし G_n を放電させる第3トランジスタ T_3 を備える。

10

【0086】

そして、リセット駆動回路106は、スキャンライン G_1 ないし G_n からのスキャン信号 V_g に応答して、ステージ601ないし60nのQノードを放電させる第2トランジスタ T_2 、及びスキャンライン G_1 ないし G_n からのスキャン信号 V_{g_1} ないし V_{g_n} に応答して、リセットライン R_1 ないし R_n を放電させる第4トランジスタ T_4 を備える。

【0087】

第1トランジスタ T_1 のソース端子は、スキャン駆動回路102に含まれたステージ201ないし20nのQノードに接続され、ドレイン端子は、低電位の電源電圧源 V_{SS} に接続される。そして、第1トランジスタ T_3 のゲート端子は、リセットライン R_1 ないし R_n に接続される。

20

【0088】

第2トランジスタ T_2 のソース端子は、リセット駆動回路106に含まれたステージ601ないし60nのQノードに接続され、ドレイン端子は、低電位の電源電圧源 V_{SS} に接続される。そして、第2トランジスタ T_2 のゲート端子は、リセットライン R_1 ないし R_n に接続される。

【0089】

第3トランジスタ T_3 のソース端子は、スキャンライン G_1 ないし G_n に接続され、ドレイン端子は、低電位の電源電圧源 V_{SS} に接続される。そして、第3トランジスタ T_3 のゲート端子は、リセットライン R_1 ないし R_n に接続される。

30

【0090】

第4トランジスタ T_4 のソース端子は、リセットライン R_1 ないし R_n に接続され、ドレイン端子は、低電位の電源電圧源 V_{SS} に接続される。そして、第4トランジスタ T_4 のゲート端子は、スキャンライン G_1 ないし G_n に接続される。

【0091】

図13に示したスキャン駆動回路102及びリセット駆動回路106は、図11及び図12に示したスキャン駆動回路102及びリセット駆動回路106の回路構成を組み合わせた実施形態である。

【0092】

スキャン駆動回路102の第1ステージ201にスタート信号 V_{st_1} が入力されれば、第1ステージ201でQノードが充電され、QBノードが放電される。第1ステージ201のQノードが充電された状態で、ハイ電圧の第1クロック信号がプルアップトランジスタ T_{up} のソース端子に供給されれば、第1スキャン信号 V_{g_1} は、第1スキャンライン G_1 に供給されると共に、スタート信号として第2ステージ202のセット端子 S に供給されて、第2ステージ202のQノードを充電させ、QBノードを放電させる。また、第1スキャン信号 V_{g_1} は、リセット駆動回路106の第1ステージ601に接続された第2及び第4トランジスタ T_2 、 T_4 をターンオンさせて、第1ステージ601のQノードを放電させ、第1リセットライン R_1 を放電させる。

40

【0093】

第2クロック信号 C_2 によりスキャン駆動回路102の第2ステージ202で発生する

50

第2スキャン信号 V_{g_2} は、第2スキャンライン G_2 に供給されると共に、第1ステージ201のリセット端子 R に供給されて、第1ステージ201の Q ノードを放電させ、第1ステージ201の Q_B ノードを充電させる。したがって、第2スキャン信号 V_{g_2} が発生すれば、第1ステージ201のプルダウントランジスタ T_{dn} がターンオンされて、第1スキャンライン G_1 が低電位の電源電圧 V_{SS} まで放電されると共に、第2ステージ202のプルアップトランジスタ T_{up} がターンオンされて、第2スキャンライン G_2 が第2クロック信号 C_2 の電圧まで充電される。また、第2スキャン信号 V_{g_2} は、リセット駆動回路106の第2ステージ602に接続された第2及び第4トランジスタ T_2 、 T_4 をターンオンさせて、第2ステージ602の Q ノードを放電させ、第2リセットライン R_2 を放電させる。

10

【0094】

このような動作により、スキャン駆動回路102は、スキャンライン G_1 ないし G_n にスキャン信号 V_{g_1} ないし V_{g_n} を順次に供給すると共に、以前の端ステージを初期化させ、また、リセット駆動回路106のステージ601ないし60nで Q ノードを順次に放電させると共に、リセットライン R_1 ないし R_n を順次に放電させる。

【0095】

リセット駆動回路106の第1ステージ601にスタート信号 V_{st1} が入力されれば、第1ステージ601で Q ノードが充電され、 Q_B ノードが放電される。第1ステージ601の Q ノードが充電された状態で、ハイ電圧の第1クロック信号がプルアップトランジスタ T_{up} のソース端子に供給されれば、第1リセット信号 V_{r_1} は、第1リセットライン R_1 に供給されると共に、スタート信号として第2ステージ602のセット端子 S に供給されて、第2ステージ602の Q ノードを充電させ、 Q_B ノードを放電させる。また、第1リセット信号 V_{r_1} は、スキャン駆動回路102の第1ステージ201に接続された第1及び第3トランジスタ T_1 、 T_3 をターンオンさせて、第1ステージ201の Q ノードを放電させ、第1スキャンライン G_1 を放電させる。

20

【0096】

第2クロック信号 C_2 によりリセット駆動回路106の第2ステージ602で発生する第2リセット信号 V_{r_2} は、第2リセットライン R_2 に供給されると共に、第1ステージ601のリセット端子 R に供給されて、第1ステージ601の Q ノードを放電させ、第1ステージ601の Q_B ノードを充電させる。したがって、第2リセット信号 V_{r_2} が発生すれば、第1ステージ601のプルダウントランジスタ T_{dn} がターンオンされて、第1リセットライン R_1 が低電位の電源電圧 V_{SS} まで放電されると共に、第2ステージ602のプルアップトランジスタ T_{up} がターンオンされて、第2リセットライン R_2 が第2クロック信号 C_2 の電圧まで充電される。また、第2リセット信号 V_{r_2} は、スキャン駆動回路102の第2ステージ202に接続された第1及び第3トランジスタ T_1 、 T_3 をターンオンさせて、第1ステージ201の Q ノードを放電させ、第2スキャンライン G_2 を放電させる。

30

【0097】

このような動作により、リセット駆動回路106は、リセットライン R_1 ないし R_n にリセット信号 V_{r_1} ないし V_{r_n} を順次に供給すると共に、以前の端ステージを初期化させ、また、スキャン駆動回路102のステージ201ないし20nで Q ノードを順次に放電させると共に、スキャンライン G_1 ないし G_n を順次に放電させる。

40

【0098】

図14は、図5または図9に示したスキャン駆動回路及びリセット駆動回路の第3実施形態を詳細に示すブロック図である。

【0099】

図14に示すように、リセット駆動回路306は、それぞれ隣り合う二つのリセットライン R_1 ないし R_n にリセット信号を同時に供給し、そのリセット信号を順次にシフトさせる $n/2$ 個のステージを備える。

【0100】

50

この実施形態のスキヤン駆動回路 302 は、スキヤンライン G1 ないし Gn のスキヤン信号を順次に供給する n 個のステージを備える。

【0101】

前記スキヤン駆動回路 302 及びリセット駆動回路 306 それぞれは、図 15 ないし図 17 のように具現される。

【0102】

図 15 に示すように、スキヤン駆動回路 302 は、奇数リセット信号 Vr₁、Vr₃、 $\dots$ 、Vr_{(n/2)-1} に応答して、第 4k+1 (k は、0 以上の自然数) ステージ 201、205、 $\dots$ 、20n-3 の Q ノードを放電させる第 11 トランジスタ T11、奇数リセット信号 Vr₁、Vr₃、 $\dots$ 、Vr_{(n/2)-1} に応答して、第 4k+2 ステージ 202、206、 $\dots$ 、20n-2 の Q ノードを放電させる第 13 トランジスタ T13、偶数リセット信号 Vr₂、Vr₄、 $\dots$ 、Vr_{n/2} に応答して、第 4k+3 ステージ 203、207、 $\dots$ 、20n-1 の Q ノードを放電させる第 14 トランジスタ T14、及び偶数リセット信号 Vr₂、Vr₄、 $\dots$ 、Vr_{n/2} に応答して、第 4k+4 ステージ 204、208、 $\dots$ 、20n の Q ノードを放電させる第 15 トランジスタ T15 を備える。

【0103】

リセット駆動回路 306 は、奇数スキヤン信号 Vg₁、Vg₃、 $\dots$ 、Vg_{n-1} に応答して、奇数ステージ 601、603、 $\dots$ 、60n/2-1 の Q ノードを放電させる第 12 トランジスタ T12、及び奇数スキヤン信号 Vg₁、Vg₃、 $\dots$ 、Vg_{n-1} に応答して、偶数ステージ 602、604、 $\dots$ 、60n/2 の Q ノードを放電させる第 15 トランジスタ T15 を備える。

【0104】

スキヤン駆動回路 302 で第 1 ステージ 201 のセット端子 S にスタート信号 Vst1 が入力されれば、そのステージ 201 で Q ノードの充電及び QB ノードの放電がなされる。次いで、Q ノードが充電された状態で、ハイ論理電圧を有する第 1 クロック信号 C1 が第 1 ステージ 201 に入力されるとき、プルアップトランジスタ T_{up} を通じて第 1 スキヤン信号 Vg₁ が第 1 スキヤンライン G1 に供給される。これと共に、第 1 スキヤン信号 Vg₁ は、第 2 ステージ 202 のセット端子 S に供給されて、第 2 ステージ 202 の Q ノードを充電し、第 2 ステージ 202 の QB ノードを放電させる。また、第 1 スキヤン信号 Vg₁ は、リセット駆動回路 306 の第 12 トランジスタ T12 のゲート端子に印加される。したがって、第 12 トランジスタ T12 は、第 1 スキヤン信号 Vg₁ によりターンオンされて、リセット駆動回路 306 で第 1 ステージ 601 の Q ノードを強制的に放電させる。

【0105】

次いで、第 2 クロック信号 C2 により第 2 ステージ 202 で発生する第 2 スキヤン信号 Vg₂ は、第 2 スキヤンライン G2 に供給されると共に、ステージリセット信号として第 1 ステージ 201 のリセット端子 R に供給される。この第 2 スキヤン信号 Vg₂ は、第 1 ステージ 201 の Q ノードを放電させ、QB ノードを充電させる。したがって、第 2 スキヤン信号 Vg₂ が発生するとき、第 1 スキヤンライン G1 は、プルダウントランジスタ T_{dn} を通じて放電される。

【0106】

第 3 ステージ 203 から出力される第 3 スキヤン信号 Vg₃ は、第 3 スキヤンライン G3 に供給されると共に、ステージリセット信号として第 2 ステージ 202 を初期化し、第 15 トランジスタ T15 をターンオンさせて、リセット駆動回路 306 の第 2 ステージ 602 に形成された Q ノードを放電させる。このような動作により、スキヤン駆動回路 302 は、スキヤンライン G1 ないし Gn にスキヤン信号を順次に供給し、リセット駆動回路 306 の Q ノードを放電させる。

【0107】

リセット駆動回路 306 の第 1 ステージ 601 のスタート信号 Vst2 がセット端子 S

10

20

30

40

50

に入力されれば、そのステージ 601 で Q ノードの充電及び Q B ノードの放電がなされる。次いで、Q ノードが充電された状態でハイ論理電圧を有する第 1 クロック信号 C 1 は、プルアップトランジスタ T - u p を通じて第 1 リセット信号 V r _ 1 として第 1 及び第 2 リセットライン R 1、R 2 に同時に供給される。これと共に、第 1 リセット信号 V r _ 1 は、第 2 ステージ 602 のセット端子 S に供給されて、第 2 ステージ 602 の Q ノードを充電し、第 2 ステージ 602 の Q B ノードを放電させる。また、第 1 リセット信号 V r _ 1 は、スキャン駆動回路 302 の第 11 及び第 13 トランジスタ T 11、T 13 のゲート端子に印加される。したがって、第 11 及び第 13 トランジスタ T 11、T 13 は、第 1 リセット信号 V r _ 1 によりターンオンされて、スキャン駆動回路 302 で第 1 及び第 2 ステージ 201、202 の Q ノードを放電させる。

10

【0108】

次いで、第 3 クロック信号 C 3 により第 2 ステージ 602 で発生する第 2 リセット信号 V r _ 2 は、第 3 及び第 4 リセットライン R 3、R 4 に同時に供給されると共に、ステージリセット信号として第 1 ステージ 601 のリセット端子 R に供給される。この第 2 リセット信号 V r _ 2 は、第 1 ステージ 601 の Q ノードを放電させ、Q B ノードを充電させる。したがって、第 2 リセット信号 V r _ 2 が発生するとき、第 1 リセットライン R 1 は、プルダウントランジスタ T _ d n を通じて放電される。また、第 2 リセット信号 V r _ 2 は、第 14 及び第 15 トランジスタ T 14、T 15 のゲート端子に印加される。したがって、第 14 及び第 15 トランジスタ T 14、T 15 は、第 2 リセット信号 V g _ 2 によりターンオンされて、スキャン駆動回路 302 で第 3 及び第 4 ステージ 203、204 の Q ノードを強制的に放電させる。

20

【0109】

このような動作により、リセット駆動回路 306 は、リセットライン R 1 ないし R n / 2 にリセット信号を順次に供給し、スキャン駆動回路 302 の Q ノードを順次に放電させる。

【0110】

図 16 に示すように、スキャン駆動回路 302 は、奇数リセット信号 V r _ 1、V r _ 3、 $\dots$ 、V r _ (n / 2) - 1 に応答して、第 4 k + 1 スキャンライン G 1、G 5、 $\dots$ 、G n - 3 を放電させる第 17 トランジスタ T 17、奇数リセット信号 V r _ 1、V r _ 3、 $\dots$ 、V r _ (n / 2) - 1 に応答して、第 4 k + 2 スキャンライン G 2、G 6、 $\dots$ 、G n - 2 を放電させる第 18 トランジスタ T 18、偶数リセット信号 V r _ 2、V r _ 4、 $\dots$ 、V r _ n / 2 に応答して、第 4 k + 3 スキャンライン G 3、G 7、 $\dots$ 、G n - 1 を放電させる第 19 トランジスタ T 19、及び偶数リセット信号 V r _ 2、V r _ 4、 $\dots$ 、V r _ n / 2 に応答して、第 4 k + 4 スキャンライン G 4、G 8、 $\dots$ 、G n を放電させる第 20 トランジスタ T 20 を備える。

30

【0111】

リセット駆動回路 306 は、奇数スキャン信号 V g _ 1、V g _ 3、 $\dots$ 、V g _ n - 1 に応答して、奇数ステージ 601、603、 $\dots$ 、60 n / 2 - 1 の Q ノードを放電させる第 12 トランジスタ T 12、奇数スキャン信号 V g _ 1、V g _ 3、 $\dots$ 、V g _ n - 1 に応答して、第 4 k + 1 及び第 4 k + 2 リセットライン R 1、R 2、 $\dots$ 、R n - 3、R n - 2 を放電させる第 21 トランジスタ T 21、奇数スキャン信号 V g _ 1、V g _ 3、 $\dots$ 、V g _ n - 1 に応答して、偶数ステージ 602、604、 $\dots$ 、60 n / 2 の Q ノードを放電させる第 15 トランジスタ T 15、及び奇数スキャン信号 V g _ 1、V g _ 3、 $\dots$ 、V g _ n - 1 に応答して、第 4 k + 3 及び第 4 k リセットライン R 3、R 4、 $\dots$ 、R n - 1、R n を放電させる第 22 トランジスタ T 22 を備える。

40

【0112】

スキャン駆動回路 302 の第 1 ステージ 201 にスタート信号 V s t 1 が入力されれば、第 1 ステージ 201 で Q ノードが充電され、Q B ノードが放電される。第 1 ステージ 201 の Q ノードが充電された状態で、ハイ電圧の第 1 クロック信号がプルアップトランジ

50

スタT - u pのソース端子に供給されれば、第1スキャン信号V g __ 1は、第1スキャンラインG 1に供給されると共に、スタート信号として第2ステージ2 0 2のセット端子Sに供給されて、第2ステージ2 0 2のQノードを充電させ、Q Bノードを放電させる。また、第1スキャン信号V g __ 1は、第1 2及び第2 1トランジスタT 1 2、T 2 1のゲート端子に印加されて、リセット駆動回路3 0 6で第1ステージ6 0 1のQノードを放電させると共に、第1及び第2リセットラインR 1、R 2を放電させる。

【0 1 1 3】

第2クロック信号C 2によりスキャン駆動回路3 0 2の第2ステージ2 0 2で発生する第2スキャン信号V g __ 2は、第2スキャンラインG 2に供給されると共に、第1ステージ2 0 1のリセット端子Rに供給されて、第1ステージ2 0 1のQノードを放電させ、第1ステージ2 0 1のQ Bノードを充電させる。したがって、第2スキャン信号V g __ 2が発生すれば、第1ステージ2 0 1のプルダウントランジスタT __ d nがターンオンされて、第1スキャンラインG 1が低電位の電源電圧V S Sまで放電されると共に、第2ステージ2 0 2のプルアップトランジスタT __ u pがターンオンされて、第2スキャンラインG 2が第2クロック信号C 2の電圧まで充電される。

10

【0 1 1 4】

第3ステージ2 0 3から出力される第3スキャン信号V g __ 3は、第3スキャンラインG 3に供給されると共に、ステージリセット信号として第2ステージ2 0 2を初期化し、第1 5及び第2 2トランジスタT 1 5、T 2 2をターンオンさせて、リセット駆動回路3 0 6の第2ステージ6 0 2に形成されたQノードを放電させ、第3及び第4リセットラインR 3、R 4を放電させる。このような動作により、スキャン駆動回路3 0 2は、スキャンラインG 1ないしG nにスキャン信号を順次に供給し、リセット駆動回路3 0 6のQノード及びリセットラインR 1ないしR nを順次に放電させる。

20

【0 1 1 5】

リセット駆動回路3 0 6の第1ステージ6 0 1のスタート信号V s t 2がセット端子Sに入力されれば、そのステージ6 0 1でQノードの充電及びQ Bノードの放電がなされる。次いで、Qノードが充電された状態でハイ論理電圧を有する第1クロック信号C 1は、プルアップトランジスタT - u pを通じて第1リセット信号V r __ 1として第1及び第2リセットラインR 1、R 2に同時に供給される。これと共に、第1リセット信号V r __ 1は、第2ステージ6 0 2のセット端子Sに供給されて、第2ステージ6 0 2のQノードを充電し、第2ステージ6 0 2のQ Bノードを放電させる。また、第1リセット信号V r __ 1は、スキャン駆動回路3 0 2の第1 7及び第1 8トランジスタT 1 7、T 1 8のゲート端子に印加される。したがって、第1 7及び第1 8トランジスタT 1 7、T 1 8は、第1リセット信号V r __ 1によりターンオンされて、第1及び第2スキャンラインG 1、G 2を放電させる。

30

【0 1 1 6】

次いで、第3クロック信号C 3により第2ステージ6 0 2で発生する第2リセット信号V r __ 2は、第3及び第4リセットラインR 3、R 4に同時に供給されると共に、ステージリセット信号として第1ステージ6 0 1のリセット端子Rに供給される。この第2リセット信号V r __ 2は、第1ステージ6 0 1のQノードを放電させ、Q Bノードを充電させる。したがって、第2リセット信号V r __ 2が発生するとき、第1リセットラインR 1は、プルダウントランジスタT __ d nを通じて放電される。また、第2リセット信号V r __ 2は、第1 9及び第2 0トランジスタT 1 9、T 2 0のゲート端子に印加される。したがって、第1 9及び第2 0トランジスタT 1 9、T 2 0は、第2リセット信号V r __ 2によりターンオンされて、第3及び第4スキャンラインG 3、G 4を強制的に放電させる。

40

【0 1 1 7】

このような動作により、リセット駆動回路3 0 6は、リセットラインR 1ないしR n / 2にリセット信号を順次に供給し、スキャンラインG 1ないしG nを順次に放電させる。

【0 1 1 8】

図1 7に示すように、スキャン駆動回路3 0 2は、奇数リセット信号V r __ 1、V r __

50

3、・・・、 $V_{r_}(n/2) - 1$ に回答して、第 $4k + 1$ ステージ201、205、・・・、20 $n - 3$ のQノードを放電させる第11トランジスタT11、奇数リセット信号 $V_{r_}1$ 、 $V_{r_}3$ 、・・・、 $V_{r_}(n/2) - 1$ に回答して、第 $4k + 2$ ステージ202、206、・・・、20 $n - 2$ のQノードを放電させる第13トランジスタT13、奇数リセット信号 $V_{r_}1$ 、 $V_{r_}3$ 、・・・、 $V_{r_}(n/2) - 1$ に回答して、第 $4k + 1$ スキャンラインG1、G5、・・・、 G_{n-3} を放電させる第17トランジスタT17、奇数リセット信号 $V_{r_}1$ 、 $V_{r_}3$ 、・・・、 $V_{r_}(n/2) - 1$ に回答して、第 $4k + 2$ スキャンラインG2、G6、・・・、 G_{n-2} を放電させる第18トランジスタT18、偶数リセット信号 $V_{r_}2$ 、 $V_{r_}4$ 、・・・、 $V_{r_}n/2$ に回答して、第 $4k + 3$ ステージ203、207、・・・、20 $n - 1$ のQノードを放電させる第14トランジスタT14、偶数リセット信号 $V_{r_}2$ 、 $V_{r_}4$ 、・・・、 $V_{r_}n/2$ に回答して、第 $4k + 4$ ステージ204、208、・・・、20 n のQノードを放電させる第15トランジスタT15、偶数リセット信号 $V_{r_}2$ 、 $V_{r_}4$ 、・・・、 $V_{r_}n/2$ に回答して、第 $4k + 3$ スキャンラインG3、G7、・・・、 G_{n-1} を放電させる第19トランジスタT19、及び偶数リセット信号 $V_{r_}2$ 、 $V_{r_}4$ 、・・・、 $V_{r_}n/2$ に回答して、第 $4k + 4$ スキャンラインG4、G8、・・・、 G_n を放電させる第20トランジスタT20を備える。

10

【0119】

リセット駆動回路306は、奇数スキャン信号 $V_{g_}1$ 、 $V_{g_}3$ 、・・・、 $V_{g_}n - 1$ に回答して、奇数ステージ601、603、・・・、60 $n/2 - 1$ のQノードを放電させる第12トランジスタT12、奇数スキャン信号 $V_{g_}1$ 、 $V_{g_}3$ 、・・・、 $V_{g_}n - 1$ に回答して、第 $4k + 1$ 及び第 $4k + 2$ リセットラインR1、R2、・・・、 R_{n-3} 、 R_{n-2} を放電させる第21トランジスタT21、奇数スキャン信号 $V_{g_}1$ 、 $V_{g_}3$ 、・・・、 $V_{g_}n - 1$ に回答して、偶数ステージ602、604、・・・、60 $n/2$ のQノードを放電させる第15トランジスタT15、及び奇数スキャン信号 $V_{g_}1$ 、 $V_{g_}3$ 、・・・、 $V_{g_}n - 1$ に回答して、第 $4k + 3$ 及び第 $4k$ リセットラインR3、R4、・・・、 R_{n-1} 、 R_n を放電させる第22トランジスタT22を備える。

20

【0120】

スキャン駆動回路302の第1ステージ201にスタート信号Vst1が入力されれば、第1ステージ201でQノードが充電され、QBノードが放電される。第1ステージ201のQノードが充電された状態で、ハイ電圧の第1クロック信号がプルアップトランジスタT-upのソース端子に供給されれば、第1スキャン信号 $V_{g_}1$ は、第1スキャンラインG1に供給されると共に、スタート信号として第2ステージ202のセット端子Sに供給されて、第2ステージ202のQノードを充電させ、QBノードを放電させる。また、第1スキャン信号 $V_{g_}1$ は、第12及び第21トランジスタT12、T21のゲート端子に印加されて、リセット駆動回路306で第1ステージ601のQノードを放電させると共に、第1及び第2リセットラインR1、R2を放電させる。

30

【0121】

第2クロック信号C2によりスキャン駆動回路302の第2ステージ202で発生する第2スキャン信号 $V_{g_}2$ は、第2スキャンラインG2に供給されると共に、第1ステージ201のリセット端子Rに供給されて、第1ステージ201のQノードを放電させ、第1ステージ201のQBノードを充電させる。したがって、第2スキャン信号 $V_{g_}2$ が発生すれば、第1ステージ201のプルダウントランジスタT-dnがターンオンされて、第1スキャンラインG1が低電位の電源電圧VSSまで放電されると共に、第2ステージ202のプルアップトランジスタT-upがターンオンされて、第2スキャンラインG2が第2クロック信号C2の電圧まで充電される。

40

【0122】

第3ステージ203から出力される第3スキャン信号 $V_{g_}3$ は、第3スキャンラインG3に供給されると共に、ステージリセット信号として第2ステージ202を初期化し、

50

第15及び第22トランジスタT15、T22をターンオンさせて、リセット駆動回路306の第2ステージ602に形成されたQノードを放電させ、第3及び第4リセットラインR3、R4を放電させる。このような動作により、スキャン駆動回路302は、スキャンラインG1ないしGnにスキャン信号を順次に供給し、リセット駆動回路306のQノード及びリセットラインR1ないしRnを順次に放電させる。

【0123】

リセット駆動回路306の第1ステージ601のスタート信号Vst2がセット端子Sに入力されれば、そのステージ601でQノードの充電及びQBノードの放電がなされる。次いで、Qノードが充電された状態でハイ論理電圧を有する第1クロック信号C1は、プルアップトランジスタT_{up}を通じて第1リセット信号Vr₁として第1及び第2リセットラインR1、R2に同時に供給される。これと共に、第1リセット信号Vr₁は、第2ステージ602のセット端子Sに供給されて、第2ステージ602のQノードを充電し、第2ステージ602のQBノードを放電させる。また、第1リセット信号Vr₁は、スキャン駆動回路302の第11、第13、第17及び第18トランジスタT11、T13、T17、T18のゲート端子に印加される。したがって、第11、第13、第17及び第18トランジスタT11、T13、T17、T18は、第1リセット信号Vr₁によりターンオンされて、スキャン駆動回路302で第1及び第2ステージ201、202のQノードを放電させると共に、第1及び第2スキャンラインG1、G2を放電させる。

【0124】

次いで、第3クロック信号C3により第2ステージ602で発生する第2リセット信号Vr₂は、第3及び第4リセットラインR3、R4に同時に供給されると共に、ステージリセット信号として第1ステージ601のリセット端子Rに供給される。この第2リセット信号Vr₂は、第1ステージ601のQノードを放電させ、QBノードを充電させる。したがって、第2リセット信号Vr₂が発生するとき、第1リセットラインR1は、プルダウントランジスタT_{dn}を通じて放電される。また、第2リセット信号Vr₂は、第14、第15、第19及び第20トランジスタT14、T15、T19、T20のゲート端子に印加される。したがって、第14、第15、第19及び第20トランジスタT14、T15、T19、T20は、第2リセット信号Vr₂によりターンオンされて、スキャン駆動回路302で第3及び第4ステージ203、204のQノードを放電させると共に、第3及び第4スキャンラインG3、G4を強制的に放電させる。

【0125】

このような動作により、リセット駆動回路306は、リセットラインR1ないしRn/2にリセット信号を順次に供給し、スキャン駆動回路302のQノード及びスキャンラインG1ないしGnを順次に放電させる。

【0126】

前述したように、本発明によるOLED表示装置は、OLED駆動素子、特にトランジスタの劣化による特性変化を防止して、OLED駆動回路の動作信頼性を確保できると共に、スキャン駆動回路及びリセット駆動回路をOLEDパネルに内蔵することによって、薄膜化及びコストの低減に有利である。

【0127】

また、本発明によるOLED表示装置は、相異なる駆動回路の出力を利用して、スキャン駆動回路及びリセット駆動回路のQノード、スキャンライン及びリセットラインをもう一度放電させることによって、駆動中に発生する部分的充電による回路の信頼性の低下問題を解決できる。

【0128】

以上説明した内容を通じて、当業者であれば、本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であるということが分かる。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲により決まらねばならない。

【産業上の利用可能性】

【0129】

本発明は、O L E D表示装置関連の技術分野に適用可能である。

【図面の簡単な説明】

【0130】

【図1】従来のO L E D表示装置を示す図面である。

【図2】図1のO L E D駆動回路の駆動波形を示す図面である。

【図3】電圧印加時間による累積ゲートバイアスストレスを示す図面である。

【図4 A】ポジティブのゲートバイアスストレスによる素子の特性変化を示す図面である

。

10

【図4 B】ネガティブのゲートバイアスストレスによる素子の特性変化を示す図面である

。

【図5】本発明の第1実施形態によるO L E D表示装置を示すブロック図である。

【図6】図5に示したO L E D表示装置の入/出力波形を示す波形図である。

【図7】本発明の実施形態によるO L E D表示装置において、ゲートバイアスストレスの減少を示すグラフである。

【図8】図5に示したスキャン駆動回路及びリセット駆動回路の第1実施形態を詳細に示すブロック図である。

【図9】本発明の第2実施形態によるO L E D表示装置を示すブロック図である。

【図10】図5または図9に示したスキャン駆動回路及びリセット駆動回路の第2実施形態を詳細に示すブロック図である。

20

【図11】図10に示したスキャン駆動回路及びリセット駆動回路の第1実施形態を詳細に示す回路図である。

【図12】図10に示したスキャン駆動回路及びリセット駆動回路の第2実施形態を詳細に示す回路図である。

【図13】図10に示したスキャン駆動回路及びリセット駆動回路の第3実施形態を詳細に示す回路図である。

【図14】図5または図9に示したスキャン駆動回路及びリセット駆動回路の第3実施形態を詳細に示すブロック図である。

【図15】図14に示したスキャン駆動回路及びリセット駆動回路の第1実施形態を詳細に示す回路図である。

30

【図16】図14に示したスキャン駆動回路及びリセット駆動回路の第2実施形態を詳細に示す回路図である。

【図17】図14に示したスキャン駆動回路及びリセット駆動回路の第3実施形態を詳細に示す回路図である。

【符号の説明】

【0131】

101：データ駆動回路

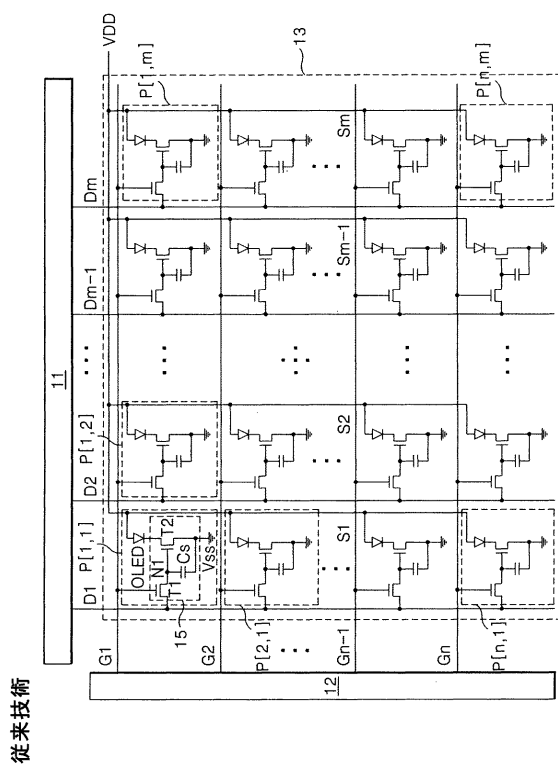
102、302：スキャン駆動回路

106、306：リセット駆動回路

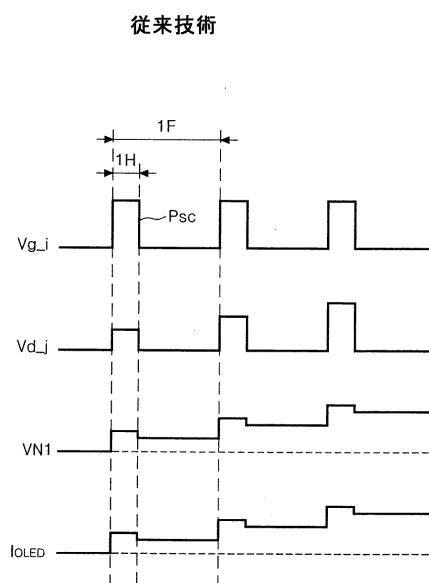
108：画素アレイ領域

40

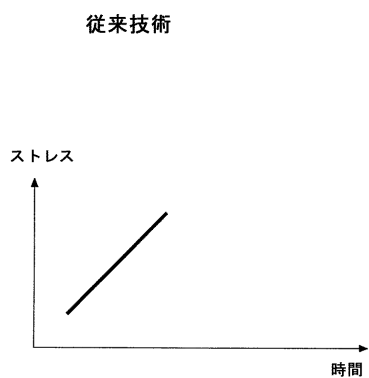
【 図 1 】



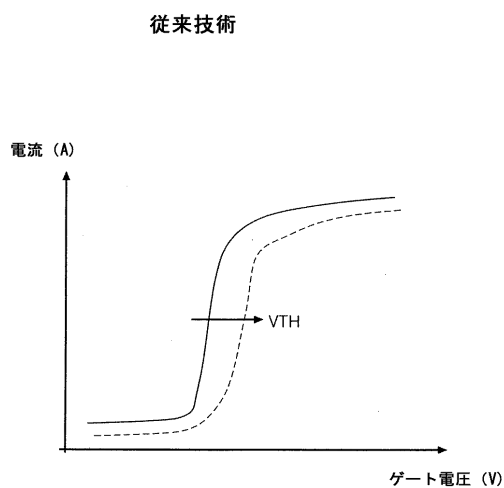
【圖 2】



【 図 3 】

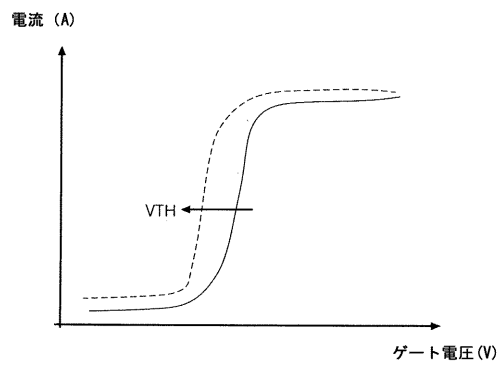


【 図 4 A 】

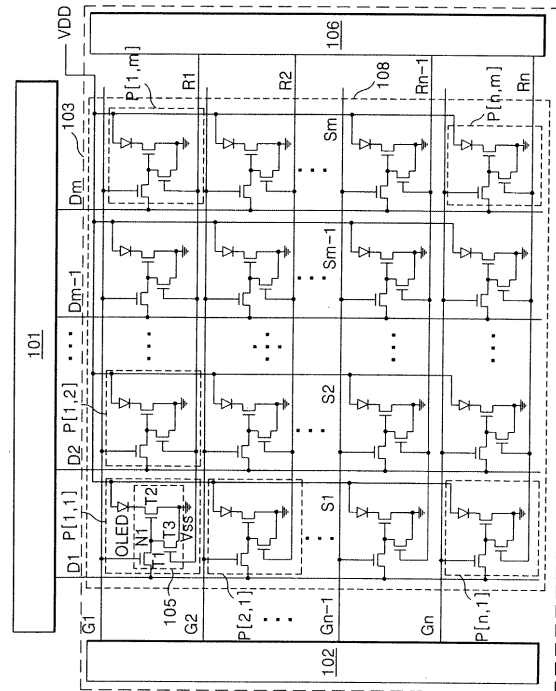


【図 4 B】

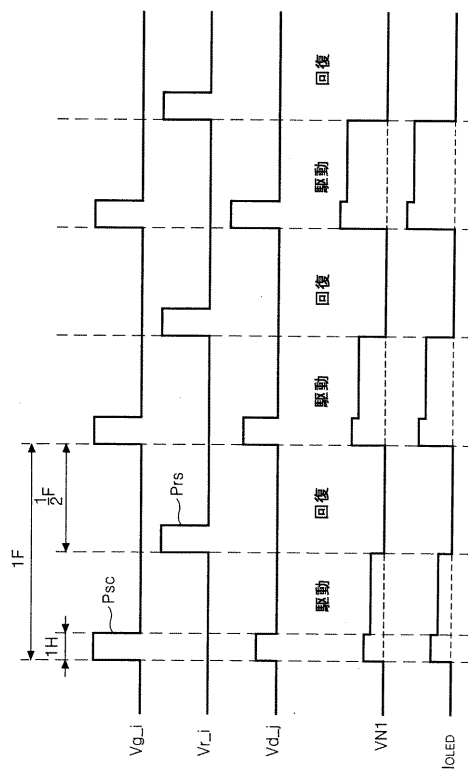
従来技術



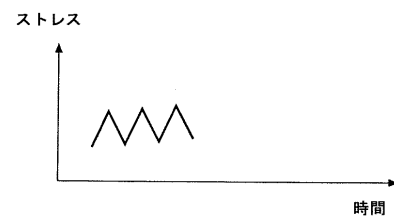
【図 5】



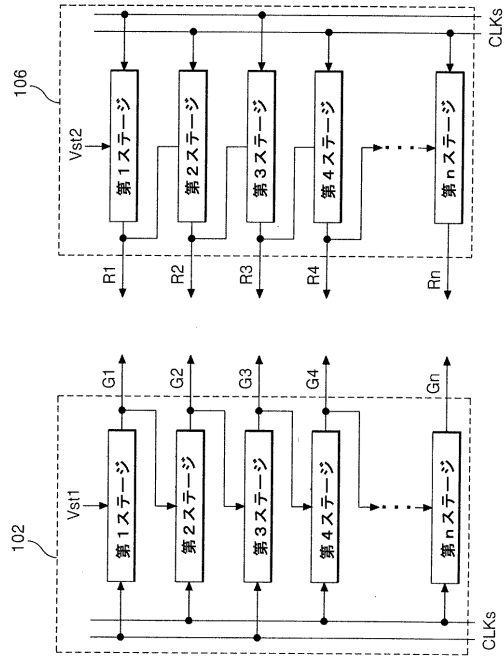
【図 6】



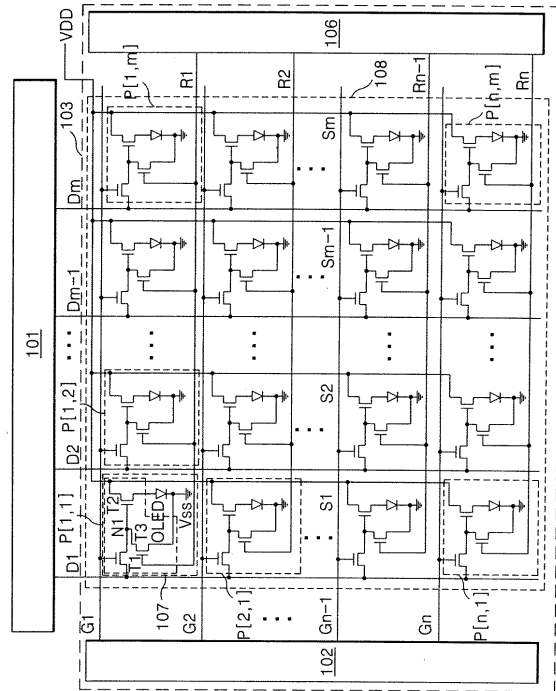
【図 7】



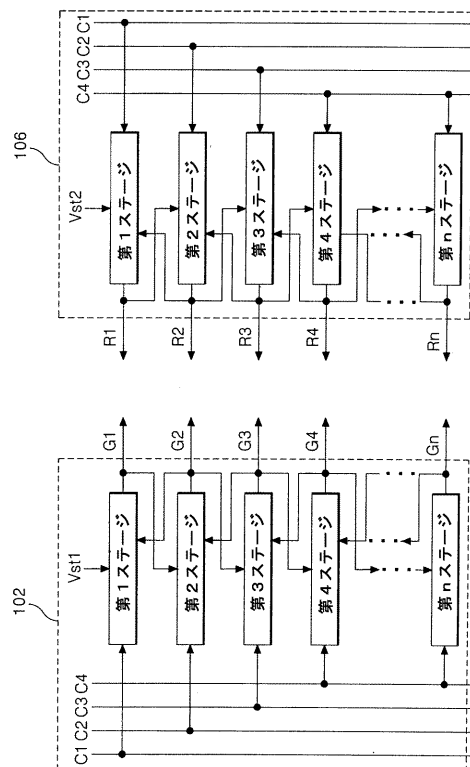
【図 8】



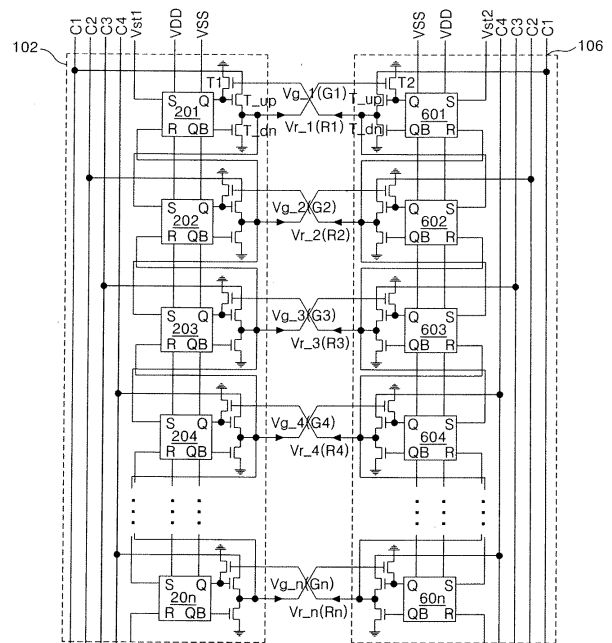
【図 9】



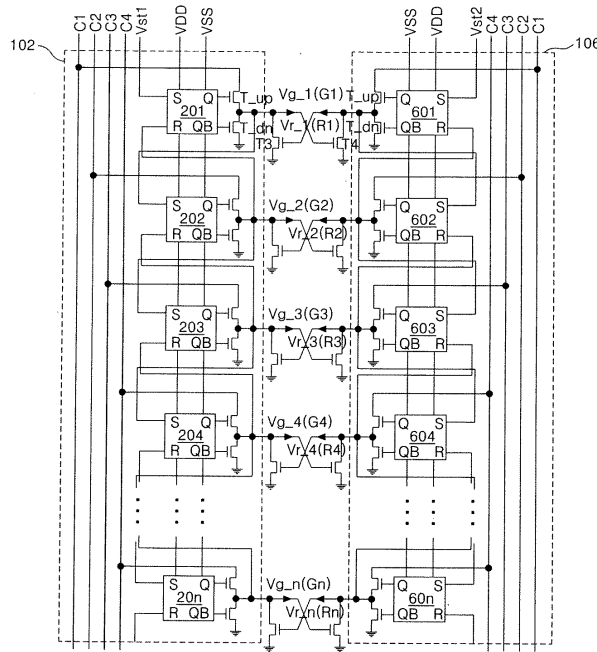
【図 10】



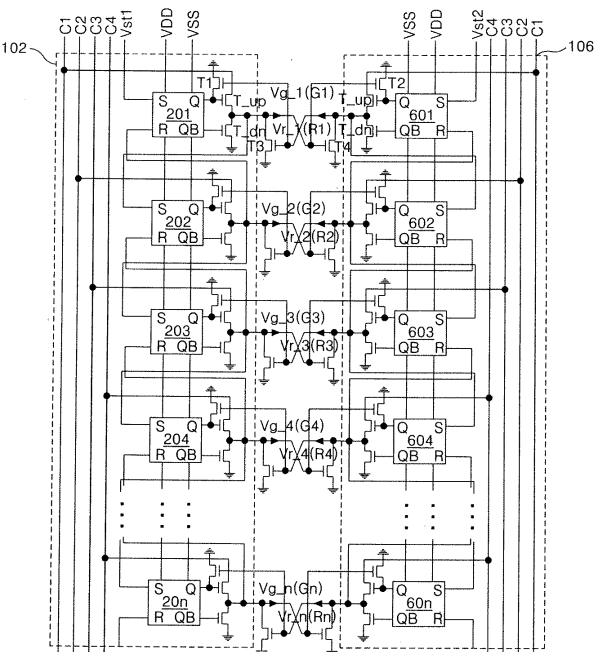
【図 11】



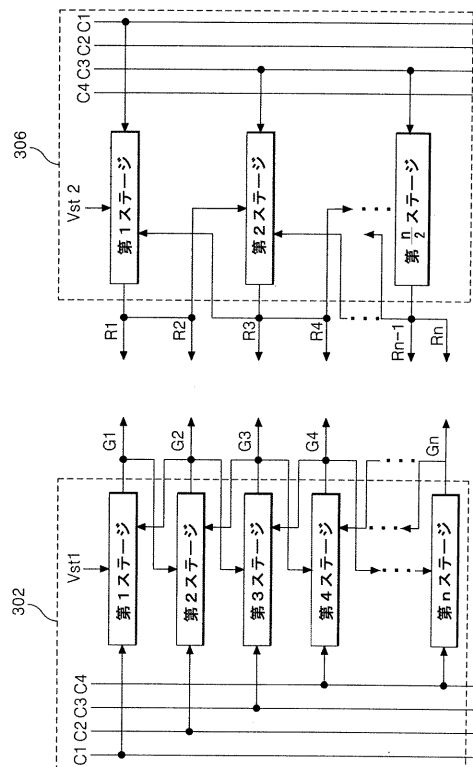
【図 12】



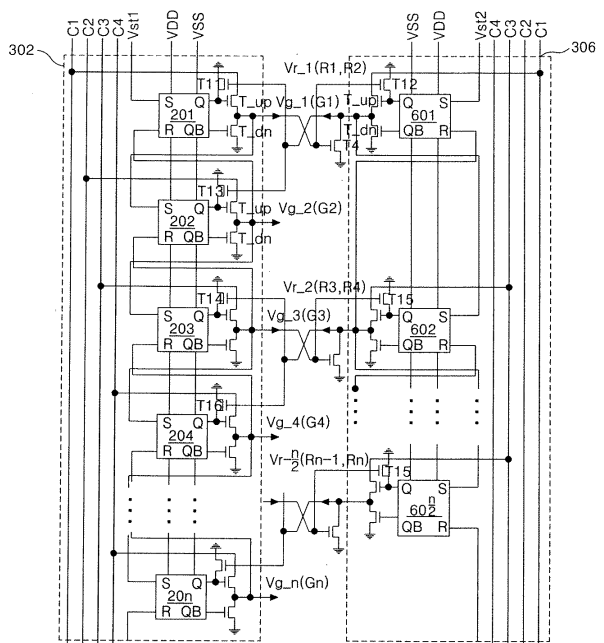
【図 13】



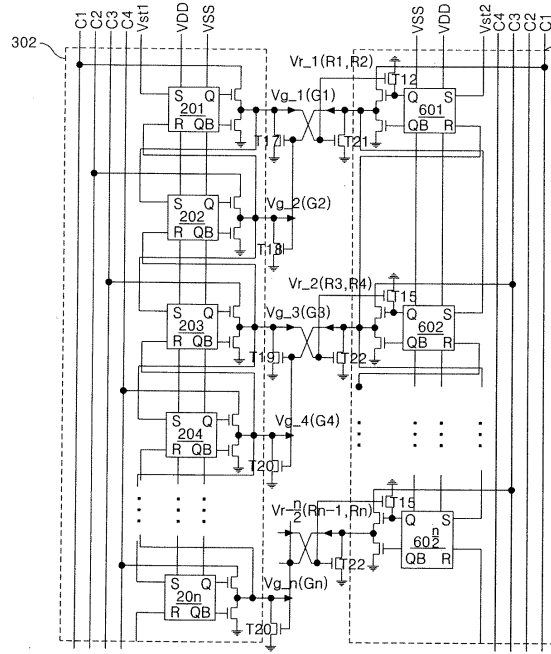
【図 14】



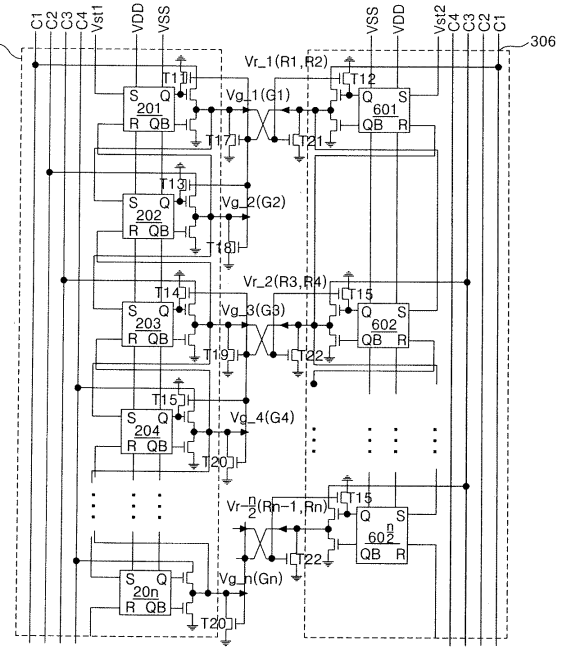
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 H

G 0 9 G 3/20 6 7 0 K

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 朴 権 植

大韓民国 ソウル特別市 江南区 道谷2洞 4 6 4 ゲボ 韓新 アパート 5 - 4 0 6号

(72)発明者 尹 洙 栄

大韓民国 京畿道 高陽市 徳陽区 幸信2洞 ムウォン メウル 1 0 ダンジ アパート 1
0 1 0 - 8 0 2号

(72)発明者 全 敏 斗

大韓民国 ソウル特別市 東大門区 長安洞 4 1 7 - 3 ヒュンイン ハーヴィル 1 0 1 - 8
0 2号

審査官 西島 篤宏

(56)参考文献 特開2001-060076(JP,A)

特開2004-347625(JP,A)

特開2003-323157(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

专利名称(译)	有机发光二极管显示装置		
公开(公告)号	JP4489731B2	公开(公告)日	2010-06-23
申请号	JP2006175038	申请日	2006-06-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	朴權植 尹洙榮 全敏斗		
发明人	朴 權 植 尹 洙 榮 全 敏 斗		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0417 G09G2300/0861 G09G2310/0254 G09G2320/043 G11C19/28		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.M G09G3/20.680.G G09G3/20.621.A G09G3/20.623.H G09G3/20.670.K G09G3/3233 G09G3/3266 G09G3/3275 H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC31 3K107/CC45 3K107/EE04 3K107/EE59 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD28 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB22 5C380/AB23 5C380/BA28 5C380/BB23 5C380/BD01 5C380/BD02 5C380/CA04 5C380/CA06 5C380/CA26 5C380/CB01 5C380/CB14 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC07 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CD013 5C380/CF07 5C380/CF22 5C380/CF24 5C380/CF36 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA46		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020050055393 2005-06-25 KR 1020050056551 2005-06-28 KR		
其他公开文献	JP2007004185A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种有机发光二极管显示装置，其防止用于驱动有机发光二极管的元件的特性变化并确保元件的可靠性。

ŽSOLUTION：有机发光二极管显示装置包括像素阵列，其具有多条扫描线和多条数据线，多条源电压供应线，多条复位线，多个有机发光二极管，a多个有机发光二极管驱动电路，其响应于扫描信号驱动具有数据的有机发光二极管并且响应于复位信号而被初始化，提供扫描信号的扫描驱动电路，提供复位的复位驱动电路信号初始化有机发光二极管驱动电路，以及提供数据的数据驱动电路，扫描驱动电路和复位驱动电路形成在形成像素阵列的基板上。Ž

従来技術

