

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4126909号
(P4126909)

(45) 発行日 平成20年7月30日 (2008. 7. 30)

(24) 登録日 平成20年5月23日 (2008. 5. 23)

(51) Int. Cl.

F I

G09G 3/30 (2006.01)

G09G 3/30 J

G09G 3/20 (2006.01)

G09G 3/30 K

G09F 9/30 (2006.01)

G09G 3/20 624B

G09G 3/20 623B

G09G 3/20 621F

請求項の数 28 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2001-511659 (P2001-511659)

(86) (22) 出願日 平成12年7月14日 (2000. 7. 14)

(86) 国際出願番号 PCT/JP2000/004763

(87) 国際公開番号 W02001/006484

(87) 国際公開日 平成13年1月25日 (2001. 1. 25)

審査請求日 平成14年5月16日 (2002. 5. 16)

(31) 優先権主張番号 特願平11-200843

(32) 優先日 平成11年7月14日 (1999. 7. 14)

(33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100094053

弁理士 佐藤 隆久

(72) 発明者 湯本 昭

日本国東京都品川区北品川6丁目7番35

号 ソニー株式会社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 電流駆動回路及びそれを用いた表示装置、画素回路、並びに駆動方法

(57) 【特許請求の範囲】

【請求項 1】

第1の制御線としての第1の走査線を順次選択する第1の走査線駆動回路と、
 第2の制御線としての第2の走査線を順次選択する第2の走査線駆動回路と、
 輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、

駆動電流の供給を受けて発光する電流駆動型の発光素子を含み、前記データ線並びに前記第1および第2の走査線に接続され、駆動対象である発光素子を電流駆動する複数の画素回路と、を有し、

前記画素回路は、

前記第1の走査線が選択されたとき、前記データ線から信号電流を取り込む受入部と

、
 取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、
 保持された電圧レベルに応じた電流レベルを有する駆動電流を前記発光素子に流す駆動部と、を含み、

前記変換部は、制御端子と第1端子及び第2端子を備えた変換用トランジスタと、前記制御端子に接続した容量と、前記変換用トランジスタの第1端子と制御端子との間に挿入され制御端子が前記第2の走査線に接続されたスイッチ用トランジスタとを含み、

前記受入部は、制御端子、第1端子及び第2端子を有し、第1端子が前記変換用トランジスタの第1端子に接続され、第2端子が前記データ線に接続され、制御端子が前記第

1の走査線に接続された取込用絶縁ゲート型電界効果トランジスタを含み、

書き込み時には、前記第1および第2の走査線によって、前記取込用トランジスタと前記スイッチ用トランジスタの各々を導通させて選択状態とし、非選択状態とするときは、前記第2の走査線により前記スイッチ用トランジスタの非導通状態としてから前記第1の走査線により前記取込用トランジスタの第1端子と第2端子を非導通状態とし、

前記スイッチ用トランジスタ及び前記取込用トランジスタが非導通となった後、1フレーム期間内の所定時間後に前記スイッチ用トランジスタを導通させて、走査線単位で消灯を行う

表示装置。

【請求項2】

10

前記スイッチ用トランジスタが接続される走査線は、色の3原色の各色毎に独立に設けられている

請求項1記載の表示装置。

【請求項3】

前記スイッチ用トランジスタの導電型と前記取込用トランジスタの導電型が異なる

請求項1記載の表示装置。

【請求項4】

前記駆動部は、制御端子と第1端子及び第2端子を備えた駆動用トランジスタを含んでおり、

前記変換用トランジスタのチャンネル幅をチャンネル長で除したトランジスタサイズが前記駆動用トランジスタのチャンネル幅をチャンネル長で除したトランジスタサイズより大きく設定されている

20

請求項1記載の表示装置。

【請求項5】

前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、

1つまたは2つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する

請求項1記載の表示装置。

【請求項6】

30

前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している

請求項1記載の表示装置。

【請求項7】

前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

40

前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している

請求項1記載の表示装置。

【請求項8】

前記データ線と所定電位との間に、リーク素子が接続されている

請求項1記載の表示装置。

【請求項9】

前記データ線と所定電位との間に、前記走査線が選択される前に前記データを初期値に設定する初期値設定用素子が接続されている

請求項1記載の表示装置。

50

【請求項 10】

第1の制御線としての第1の走査線を順次選択する第1の走査線駆動回路と、
第2の制御線としての第2の走査線を順次選択する第2の走査線駆動回路と、
輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、

駆動電流の供給を受けて発光する電流駆動型の発光素子を含み、前記データ線並びに前記第1および第2の走査線に接続され、駆動対象である発光素子を電流駆動する複数の画素回路と、を有し、

前記画素回路は、

前記第1の走査線が選択されたとき、前記データ線から信号電流を取り込む受入部と

10

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、
保持された電圧レベルに応じた電流レベルを有する駆動電流を前記発光素子に流す駆動部と、を含み、

前記変換部は、制御端子と第1端子及び第2端子を備えた変換用トランジスタと、前記制御端子に接続した容量と、前記変換用トランジスタの第1端子と制御端子との間に挿入され制御端子が前記第2の走査線に接続されたスイッチ用トランジスタとを含み、

前記受入部は、制御端子、第1端子及び第2端子を有し、第1端子が前記変換用トランジスタの第1端子に接続され、第2端子が前記データ線に接続され、制御端子が前記第1の走査線に接続された取込用絶縁ゲート型電界効果トランジスタを含み、

20

書き込み時には、前記第1および第2の走査線によって、前記取込用トランジスタと前記スイッチ用トランジスタの各々を導通させて選択状態とし、非選択状態とするときは、前記第2の走査線により前記スイッチ用トランジスタの非導通状態としてから前記第1の走査線により前記取込用トランジスタの第1端子と第2端子を非導通状態とし、

前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める

表示装置。

【請求項 11】

前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

30

前記調整手段は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する

請求項10記載の表示装置。

【請求項 12】

前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記容量に接続した追加容量からなり、前記容量に保持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

40

請求項10記載の表示装置。

【請求項 13】

前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は一端が前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記変換部によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項10記載の表示装置。

50

【請求項 14】

前記駆動部は、制御端子と第1端子及び第2端子を備えた駆動用トランジスタを含んでおり、

前記変換部の前記変換用トランジスタは、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタにより形成され、

前記受入部の前記取込用絶縁ゲート型電界効果トランジスタは、

前記第1端子及び第2端子がそれぞれ前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線に接続され、前記制御端子としてのゲートが前記第1の走査線に接続され、

10

前記駆動部の前記駆動用トランジスタは、

前記第1端子及び第2端子がそれぞれ基準電位と前記駆動対象の発光素子に接続された駆動用絶縁ゲート型電界効果トランジスタにより形成され、

前記スイッチ用トランジスタは、

前記変換用絶縁ゲート型電界効果トランジスタのゲートとドレイン間に接続され、ゲートが前記第2の走査線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタにより形成され、

前記変換部は、

第1電極が前記変換用絶縁ゲート型電界効果トランジスタのゲート及び駆動用絶縁ゲート型電界効果トランジスタの前記制御端子としてのゲートに共通に接続され、第2電極が基準電位に接続された前記容量としてのキャパシタを含む

20

請求項1から13のいずれか一に記載の表示装置。

【請求項 15】

輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する制御線としての第1および第2の走査線とに接続され、駆動電流により発光する電流駆動型の発光素子を駆動する画素回路であって、

前記第1の走査線が選択されたとき、前記データ線から信号電流を取り込む受入部と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を前記発光素子に流す駆動部と、を含み、

30

前記変換部は、制御端子と第1端子及び第2端子を備えた変換用トランジスタと、前記制御端子に接続した容量と、前記変換用トランジスタの第1端子と制御端子との間に挿入され制御端子が前記第2の走査線に接続されたスイッチ用トランジスタとを含み、

前記受入部は、制御端子、第1端子及び第2端子を有し、第1端子が前記変換用トランジスタの第1端子に接続され、第2端子が前記データ線に接続され、制御端子が前記第1の走査線に接続された取込用絶縁ゲート型電界効果トランジスタを含み、

書き込み時には、前記第1および第2の走査線によって、前記取込用トランジスタと前記スイッチ用トランジスタの各々を導通させて選択状態とし、非選択状態とするときは、前記第2の走査線により前記スイッチ用トランジスタの非導通状態としてから前記第1の走査線により前記取込用トランジスタの第1端子と第2端子を非導通状態とし、

40

前記スイッチ用トランジスタ及び前記取込用トランジスタが非導通となった後、1フレーム期間内の所定時間後に前記スイッチ用トランジスタを導通させて、走査線単位で消灯を行う

画素回路。

【請求項 16】

前記スイッチ用トランジスタが接続される走査線は、色の3原色の各色毎に独立に設けられている

請求項15記載の画素回路。

【請求項 17】

前記スイッチ用トランジスタの導電型と前記取込用トランジスタの導電型が異なる

50

請求項 15 記載の画素回路。

【請求項 18】

前記駆動部は、制御端子と第 1 端子及び第 2 端子を備えた駆動用トランジスタを含んでおり、

前記変換用トランジスタのチャンネル幅をチャンネル長で除したトランジスタサイズが前記駆動用トランジスタのチャンネル幅をチャンネル長で除したトランジスタサイズより大きく設定されている

請求項 15 記載の画素回路。

【請求項 19】

前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、

1 つまたは 2 つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する

請求項 15 記載の画素回路。

【請求項 20】

前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している

請求項 15 記載の画素回路。

【請求項 21】

前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、

前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している

請求項 15 記載の画素回路。

【請求項 22】

前記データ線と所定電位との間に、リーク素子が接続されている

請求項 15 記載の画素回路。

【請求項 23】

前記データ線と所定電位との間に、前記データを初期値に設定する初期値設定用素子が接続されている

請求項 15 記載の画素回路。

【請求項 24】

輝度情報に応じた電流レベルの信号電流を供給するデータ線と選択パルスを供給する制御線としての第 1 および第 2 の走査線とに接続され、駆動電流により発光する電流駆動型の発光素子を駆動する画素回路であって、

前記第 1 の走査線が選択されたとき、前記データ線から信号電流を取り込む受入部と、

取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、

保持された電圧レベルに応じた電流レベルを有する駆動電流を前記発光素子に流す駆動部と、を含み、

前記変換部は、制御端子と第 1 端子及び第 2 端子を備えた変換用トランジスタと、前記制御端子に接続した容量と、前記変換用トランジスタの第 1 端子と制御端子との間に挿入され制御端子が前記第 2 の走査線に接続されたスイッチ用トランジスタとを含み、

前記受入部は、制御端子、第 1 端子及び第 2 端子を有し、第 1 端子が前記変換用トランジスタの第 1 端子に接続され、第 2 端子が前記データ線に接続され、制御端子が前記第 1 の走査線に接続された取込用絶縁ゲート型電界効果トランジスタを含み、

書き込み時には、前記第 1 および第 2 の走査線によって、前記取込用トランジスタと前

10

20

30

40

50

記スイッチ用トランジスタの各々を導通させて選択状態とし、非選択状態とするときは、前記第 2 の走査線により前記スイッチ用トランジスタの非導通状態としてから前記第 1 の走査線により前記取込用トランジスタの第 1 端子と第 2 端子を非導通状態とし、

前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める

画素回路。

【請求項 25】

前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記調整手段は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する

請求項 24 記載の画素回路。

【請求項 26】

前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記容量に接続した追加容量からなり、前記容量に保持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項 24 記載の画素回路。

【請求項 27】

前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、

前記変換部は一端が前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、

前記調整手段は、前記変換部によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する

請求項 24 記載の画素回路。

【請求項 28】

前記駆動部は、制御端子と第 1 端子及び第 2 端子を備えた駆動用トランジスタを含んでおり、

前記変換部の前記変換用トランジスタは、

ソースが基準電位に接続された変換用絶縁ゲート型電界効果トランジスタにより形成され、

前記受入部の前記取込用絶縁ゲート型電界効果トランジスタは、

前記第 1 端子及び第 2 端子がそれぞれ前記変換用絶縁ゲート型電界効果トランジスタのドレインと前記データ線に接続され、前記制御端子としてのゲートが前記第 1 の走査線に接続され、

前記駆動部の前記駆動用トランジスタは、

前記第 1 端子及び第 2 端子がそれぞれ基準電位と前記駆動対象の発光素子に接続された駆動用絶縁ゲート型電界効果トランジスタにより形成され、

前記スイッチ用トランジスタは、

前記変換用絶縁ゲート型電界効果トランジスタのゲートとドレイン間に接続され、ゲートが前記第 2 の走査線に接続されたスイッチ用絶縁ゲート型電界効果トランジスタにより形成され、

前記変換部は、

第 1 電極が前記変換用絶縁ゲート型電界効果トランジスタのゲート及び駆動用絶縁ゲート型電界効果トランジスタの前記制御端子としてのゲートに共通に接続され、第 2 電極が基準電位に接続された前記容量としてのキャパシタを含む

請求項 15 から 27 のいずれかーに記載の画素回路。

【発明の詳細な説明】

技術分野

本発明は、有機エレクトロルミネッセンス（ＥＬ）素子等の、電流によって輝度が制御される発光素子等を駆動する電流駆動回路、及びこの電流駆動回路により駆動される発光素子を各画素毎に備えた表示装置、画素回路、並びに発光素子の駆動方法に関する。より詳しくは、各画素内に設けられた絶縁ゲート型電界効果トランジスタ等の能動素子によって発光素子に供給する電流量を制御する電流駆動回路およびそれを用いた所謂アクティブマトリクス型の画像表示装置に関する。

背景技術

一般に、アクティブマトリクス型の画像表示装置では、多数の画素をマトリクス状に並べ、与えられた輝度情報に応じて画素毎に光強度を制御することによって画像を表示する。電気光学物質として液晶を用いた場合には、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学物質として有機エレクトロルミネッセンス（ＥＬ）材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。しかし液晶ディスプレイと異なり、有機ＥＬディスプレイは各画素に発光素子を有する、所謂自発光型であり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。個々の発光素子の輝度は電流量によって制御される。即ち、発光素子が電流駆動型或いは電流制御型であるという点で液晶ディスプレイ等とは大きく異なる。

液晶ディスプレイと同様、有機ＥＬディスプレイもその駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能である。前者は構造が単純であるものの大型且つ高精細のディスプレイの実現が困難であるため、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた能動素子（一般には、絶縁ゲート型電界効果トランジスタの一種である薄膜トランジスタ、以下ＴＦＴと呼ぶ場合がある）によって制御する。このアクティブマトリクス方式の有機ＥＬディスプレイは例えば特開平８－２３４６８３号公報に開示されており、一画素分の等価回路を図１に示す。画素は発光素子ＯＬＥＤ、第一の薄膜トランジスタＴＦＴ１、第二の薄膜トランジスタＴＦＴ２及び保持容量Ｃからなる。発光素子は有機エレクトロルミネッセンス（ＥＬ）素子である。有機ＥＬ素子は多くの場合整流性があるため、ＯＬＥＤ（有機発光ダイオード）と呼ばれることがあり、図では発光素子ＯＬＥＤとしてダイオードの記号を用いている。但し、発光素子は必ずしもＯＬＥＤに限るものではなく、素子に流れる電流量によって輝度が制御されるものであればよい。また、発光素子に必ずしも整流性が要求されるものではない。図示の例では、ＴＦＴ２のソースを基準電位（接地電位）とし、発光素子ＯＬＥＤのアノード（陽極）はＶｄｄ（電源電位）に接続される一方、カソード（陰極）はＴＦＴ２のドレインに接続されている。一方、ＴＦＴ１のゲートは走査線ｓｃａｎに接続され、ソースはデータ線ｄａｔａに接続され、ドレインは保持容量Ｃ及びＴＦＴ２のゲートに接続されている。

画素を動作させるために、まず、走査線ｓｃａｎを選択状態とし、データ線ｄａｔａに輝度情報を表すデータ電位Ｖｗを印加すると、ＴＦＴ１が導通し、保持容量Ｃが充電又は放電され、ＴＦＴ２のゲート電位はデータ電位Ｖｗに一致する。走査線ｓｃａｎを非選択状態とすると、ＴＦＴ１がオフになり、ＴＦＴ２は電氣的にデータ線ｄａｔａから切り離されるが、ＴＦＴ２のゲート電位は保持容量Ｃによって安定に保持される。ＴＦＴ２を介して発光素子ＯＬＥＤに流れる電流は、ＴＦＴ２のゲート／ソース間電圧Ｖｇｓに応じた値となり、発光素子ＯＬＥＤはＴＦＴ２を通して供給される電流量に応じた輝度で発光し続ける。

さて、ＴＦＴ２のドレイン／ソース間に流れる電流をＩｄｓとすると、これがＯＬＥＤに流れる駆動電流である。ＴＦＴ２が飽和領域で動作するものとする、Ｉｄｓは以下の式で表される。

$$I_{ds} = \mu \cdot C_{ox} \cdot W / L / 2 (V_{gs} - V_{th})^2$$

$$= \mu \cdot C_{ox} \cdot W / L / 2 (V_w - V_{th})^2 \quad \dots \quad (1)$$

ここで C_{ox} は単位面積辺りのゲート容量であり、以下の式で与えられる。

$$C_{ox} = \epsilon_0 \cdot \epsilon_r / d \quad \dots \quad (2)$$

(1)式及び(2)式中、 V_{th} はTFT2の閾値を示し、 μ はキャリアの移動度を示し、 W はチャネル幅を示し、 L はチャネル長を示し、 ϵ_0 は真空の誘電率を示し、 ϵ_r はゲート絶縁膜の比誘電率を示し、 d はゲート絶縁膜の厚みを示している。

(1)式によれば、画素へ書き込む電位 V_w によって I_{ds} を制御でき、結果として発光素子OLEDの輝度を制御できることになる。ここで、TFT2を飽和領域で動作させる理由は次の通りである。即ち、飽和領域においては I_{ds} は V_{gs} のみによって制御され、ドレイン/ソース間電圧 V_{ds} には依存しないため、OLEDの特性ばらつきにより V_{ds} が変動しても、所定量の駆動電流 I_{ds} をOLEDに流すことができるからである。

上述したように、図1に示した画素の回路構成では、一度 V_w による書き込みを行えば、次に書き換えられるまで一走査サイクル(一フレーム)の間、OLEDは一定の輝度で発光を継続する。このような画素を図2のようにマトリクス状に多数配列すると、アクティブマトリクス型表示装置を構成することができる。図2に示すように、従来の表示装置は、所定の走査サイクル(例えばNTSC規格に従ったフレーム周期)で画素25を選択するための走査線 $scan1$ 乃至 $scanN$ と、画素25を駆動するための輝度情報(データ電位 V_w)を与えるデータ線 $data$ とがマトリクス状に配設されている。走査線 $scan1$ 乃至 $scanN$ は走査線駆動回路21に接続される一方、データ線 $data$ はデータ線駆動回路22に接続される。走査線駆動回路21によって走査線 $scan1$ 乃至 $scanN$ を順次選択しながら、データ線駆動回路22によってデータ線 $data$ から V_w による書き込みを繰り返すことにより、所望の画像を表示することができる。単純マトリクス型の表示装置では、各画素に含まれる発光素子は、選択された瞬間にのみ発光するのに対し、図2に示したアクティブマトリクス型の表示装置では、書き込み終了後も各画素25の発光素子が発光を継続するため、単純マトリクス型に比べ発光素子の駆動電流のレベルを下げられるなどの点で、取り分け大型高精細のディスプレイでは有利となる。

図3は、図2に示した画素25の断面構造を模式的に表している。但し、図示を容易にするため、OLEDとTFT2のみを表している。OLEDは、透明電極10、有機EL層11及び金属電極12を順に重ねたものである。透明電極10は画素毎に分離しておりOLEDのアノードとして機能し、例えばITO等の透明導電膜からなる。金属電極12は画素間で共通接続されており、OLEDのカソードとして機能する。即ち、金属電極12は所定の電源電位 V_{dd} に共通接続されている。有機EL層11は例えば正孔輸送層と電子輸送層とを重ねた複合膜となっている。例えば、アノード(正孔注入電極)として機能する透明電極10の上に正孔輸送層としてDiamyneを蒸着し、その上に電子輸送層としてAlq3を蒸着し、更にその上にカソード(電子注入電極)として機能する金属電極12を成膜する。尚、Alq3は、8-hydroxy quinoline aluminumを表している。このような積層構造を有するOLEDは一例に過ぎない。かかる構成を有するOLEDのアノード/カソード間に順方向の電圧(10V程度)を印加すると、電子や正孔等キャリアの注入が起こり、発光が観測される。OLEDの動作は、正孔輸送層から注入された正孔と電子輸送層から注入された電子より形成された励起子による発光と考えられる。

一方、TFT2はガラス等からなる基板1の上に形成されたゲート電極2と、その上面に重ねられたゲート絶縁膜3と、このゲート絶縁膜3を介してゲート電極2の上方に重ねられた半導体薄膜4とからなる。この半導体薄膜4は例えば多結晶シリコン薄膜からなる。TFT2はOLEDに供給される電流の通路となるソースS、チャネルCh及びドレインDを備えている。チャネルChは丁度ゲート電極2の直上に位置する。このボトムゲート構造のTFT2は層間絶縁膜5により被覆されており、その上にはソース電極6及びドレイン電極7が形成されている。これらの上には別の層間絶縁膜9を介して前述したOLEDが成膜されている。なお、図3の例ではTFT2のドレインにOLEDのアノードを接続する為、TFT2としてPチャネル薄膜トランジスタを用いている。

10

20

30

40

50

アクティブマトリクス型有機ELディスプレイにおいては、能動素子として一般にガラス基板上に形成されたTFT (Thin Film Transistor、薄膜トランジスタ) が利用されるが、これは次の理由による。すなわち、有機ELディスプレイは直視型であるという性質上、そのサイズは比較的大型となり、コストや製造設備の制約などから、能動素子の形成のために単結晶シリコン基板を用いることは現実的でない。更に、発光素子から光を取り出すために、有機EL層のアノード(陽極)として、通常は透明導電膜であるITO (Indium Tin Oxide) が使用されるが、ITOは一般に有機EL層が耐えられない高温下で成膜されることが多く、この場合ITOは有機EL層が形成される以前に形成しておく必要がある。従って、製造工程は概ね以下になる。

10

再び図3を参照すると、先ずガラス基板1上にゲート電極2、ゲート絶縁膜3、アモルファスシリコン (Amorphous Silicon、非晶質シリコン) からなる半導体薄膜4を順次堆積・パターニングし、TFT2を形成する。場合によってはアモルファスシリコンをレーザアニール等の熱処理によってポリシリコン (多結晶シリコン) 化することもある。その場合一般的に、アモルファスシリコンに比べてキャリア移動度が大きく、電流駆動能力の大きなTFT2を作ることができる。次に、発光素子OLEDのアノードとなるITO透明電極10を形成する。続いて、有機EL層11を堆積し、発光素子OLEDを形成する。最後に、金属材料 (例えばアルミニウム) によって発光素子のカソードとなる金属電極12を形成する。

この場合、光の取り出しは基板1の裏側(下面側)からとなるので、基板1には透明な材料(通常はガラス)を使用する必要がある。かかる事情から、アクティブマトリクス型有機ELディスプレイでは、比較的大型のガラス基板1が使用され、能動素子としてはその上に形成することが比較的容易なTFTが使用されるのが普通である。最近では光を基板1の表側(上面側)から取り出す試みもある。この場合の断面構造を図4に示す。図3と異なる点は、発光素子OLEDを金属電極12a、有機EL層11及び透明電極10aを順に重ね、TFT2としてNチャネルトランジスタを用いたことである。

20

その場合においては、基板1はガラスのように透明である必要はないが、大型の基板上に形成するトランジスタとしては、やはりTFTが利用されるのが一般的である。ところが、TFTの形成に使用されるアモルファスシリコンやポリシリコンは、単結晶シリコンに比べて結晶性が悪く、伝導機構の制御性が悪いために、形成されたTFTは特性のばらつきが大きいことが知られている。特に、比較的大型のガラス基板上にポリシリコンTFTを形成する場合には、ガラス基板の熱変形等の問題を避けるため、通常、上述したようにレーザアニール法が用いられるが、大きなガラス基板に均一にレーザエネルギーを照射することは難しく、ポリシリコンの結晶化の状態が基板内の場所によってばらつきを生ずることが避けられない。

30

この結果、同一基板上に形成したTFTでも、その V_{th} (閾値) が画素によって数百mV、場合によっては1V以上ばらつくことも希ではない。この場合、例えば異なる画素に対して同じ信号電位 V_w を書き込んでも、画素によって V_{th} がばらつく結果、前掲の(1)式に従って、OLEDに流れる電流 I_{ds} は画素毎に大きくばらついて全く所望の値からはずれる結果となり、ディスプレイとして高い画質を期待することはできない。これは V_{th} のみではなく、キャリア移動度 μ 等(1)式の各パラメータのばらつきについても同様のことが言える。また、上記の各パラメータのばらつきは、上述のような画素間のばらつきのみならず、製造ロット毎、あるいは製品毎によってもある程度は変動することが避けられない。このような場合は、OLEDに流すべき所望の電流 I_{ds} に対し、データ線電位 V_w をどう設定すべきかについて、製品毎に(1)式の各パラメータの出来上がりに応じて決定する必要があるが、これはディスプレイの量産工程においては非現実的であるばかりでなく、環境温度によるTFTの特性変動、更に長期間の使用によって生ずるTFT特性の経時変化については対策を講ずることが極めて難しい。

40

発明の開示

本発明の目的は、画素内部の能動素子の特性ばらつきによらず、安定且つ正確に画素の発

50

光素子等に所望の電流を供給できる電流駆動回路、およびそれを用い、結果として高品位な画像を表示することが可能な表示装置、画素回路、並びに発光素子の駆動方法を提供することにある。

上記目的を達成する為に以下の手段を講じた。即ち本発明にかかる表示装置は、走査線を順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流を生成して逐次データ線に供給する電流源を含むデータ線駆動回路と、各走査線及び各データ線の交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子を含む複数の画素とを備えている。特徴事項として、当該画素は、当該走査線が選択された時当該データ線から信号電流を取り込む受入部と、取り込んだ信号電流の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子に流す駆動部とからなる。具体的には、前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用絶縁ゲート型電界効果トランジスタと、前記ゲートに接続した容量とを含んでおり、前記変換用絶縁ゲート型電界効果トランジスタは、前記受入部によって取り込まれた信号電流を前記チャネルに流して変換された電圧レベルを前記ゲートに発生させ、前記容量は前記ゲートに生じた電圧レベルを保持する。更に前記変換部は、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートとの間に挿入されたスイッチ用絶縁ゲート型電界効果トランジスタを含んでいる。前記スイッチ用絶縁ゲート型電界効果トランジスタは、信号電流の電流レベルを電圧レベルに変換する時に導通し、前記変換用絶縁ゲート型電界効果トランジスタのドレインとゲートを電氣的に接続してソースを基準とする電圧レベルをゲートに生ぜしめる一方、前記スイッチ用絶縁ゲート型電界効果トランジスタは、電圧レベルを前記容量に保持する時に遮断され、前記変換用絶縁ゲート型電界効果トランジスタのゲート及びこれに接続した前記容量をドレインから切り離す。

一実施形態では、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用絶縁ゲート型電界効果トランジスタを含んでいる。この駆動用絶縁ゲート型電界効果トランジスタは、前記容量に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して前記発光素子に流す。前記変換用絶縁ゲート型電界効果トランジスタのゲートと前記駆動用絶縁ゲート型電界効果トランジスタのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流の電流レベルと駆動電流の電流レベルとが比例関係となる様にする。前記駆動用絶縁ゲート型電界効果トランジスタは、画素内で対応する変換用絶縁ゲート型電界効果トランジスタの近傍に形成されており、前記変換用絶縁ゲート型電界効果トランジスタと同等の閾電圧を有する。前記駆動用絶縁ゲート型電界効果トランジスタは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を前記発光素子に流す。

他の実施形態では、前記駆動部は、前記変換部との間で前記変換用絶縁ゲート型電界効果トランジスタを時分割的に共用している。前記駆動部は、信号電流の変換を完了した後前記変換用絶縁ゲート型電界効果トランジスタを前記受入部から切り離して駆動用とし、保持された電圧レベルを前記変換用絶縁ゲート型電界効果トランジスタのゲートに印加した状態でチャネルを通じ駆動電流を前記発光素子に流す。前記駆動部は、駆動時以外に前記変換用絶縁ゲート型電界効果トランジスタを介して前記発光素子に流れる不要電流を遮断する制御手段を有する。前記制御手段は、整流作用を有する二端子型の発光素子の端子間電圧を制御して不要電流を遮断する。或いは、前記制御手段は、前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子との間に挿入された制御用絶縁ゲート型電界効果トランジスタからなり、前記制御用絶縁ゲート型電界効果トランジスタは、発光素子の非駆動時に非導通状態となって前記変換用絶縁ゲート型電界効果トランジスタと前記発光素子とを切り離し、発光素子の駆動時には導通状態に切り替わる。加えて前記制御手段は、非駆動時に駆動電流を遮断して前記発光素子を非発光状態に置く時間と、駆動時に駆動電流を流して前記発光素子を発光状態に置く時間との割合を制御して、各画素の輝度を制御可能にする。場合によっては、前記駆動部は、前記変換用絶縁ゲート型電界効果トランジスタを通して前記発光素子に流れる駆動電流の電流レベルを安定化するために、前記変換用

10

20

30

40

50

絶縁ゲート型電界効果トランジスタのソースを基準にしたドレインの電位を固定化する電位固定手段を有する。

本発明の発展形では、前記受入部、前記変換部及び前記駆動部は複数の絶縁ゲート型電界効果トランジスタを組み合わせた電流回路を構成し、1つまたは2つ以上の絶縁ゲート型電界効果トランジスタは電流回路中の電流リークを抑制するためにダブルゲート構造を有する。又、前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、前記発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している。或いは、前記駆動部は、ゲート、ドレイン及びソースを備えた絶縁ゲート型電界効果トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を前記発光素子に流し、前記発光素子は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している。又、前記変換部によって保持された電圧レベルを下方調整して前記駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める。この場合、前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記調整手段は、前記絶縁ゲート型電界効果トランジスタのゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する。或いは、前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記変換部は前記薄膜トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、前記調整手段は、前記容量に接続した追加容量からなり、前記容量に保持された前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する。或いは、前記駆動部は、ゲート、ドレイン及びソースを有する絶縁ゲート型電界効果トランジスタを含んでおり、前記変換部は一端が前記絶縁ゲート型電界効果トランジスタのゲートに接続され且つ前記電圧レベルを保持する容量を備えており、前記調整手段は、前記変換部によって変換された前記電圧レベルを前記容量に保持する時前記容量の他端の電位を調整して、前記絶縁ゲート型電界効果トランジスタのゲートに印加されるべき電圧レベルを下方調整する。なお、前記発光素子は例えば有機エレクトロルミネッセンス素子を用いる。

本発明の画素回路は次の特徴を有する。第一に、画素への輝度情報の書き込みは、輝度に応じた大きさの信号電流をデータ線に流すことによって行われ、その電流は画素内部の変換用絶縁ゲート型電界効果トランジスタのソース・ドレイン間を流れ、結果その電圧レベルに応じたゲート・ソース間電圧を生ずる。第二に、上記で生じたゲート・ソース間電圧、またはゲート電位は、画素内部に形成された、もしくは寄生的に存在する容量の作用によって保持され、書き込み終了後も所定の期間、概ねそのレベルを保つ。第三に、OLEDに流れる電流は、それと直列に接続された前記変換用絶縁ゲート型電界効果トランジスタ自身、もしくはそれとは別に画素内部に設けられ前記変換用絶縁ゲート型電界効果トランジスタとゲートを共通接続された駆動用絶縁ゲート型電界効果トランジスタによって制御され、OLED駆動の際のゲート・ソース間電圧が、第一の特徴によって生じた変換用絶縁ゲート型電界効果トランジスタのゲート・ソース間電圧に概ね等しい。第四に、書き込み時には、第1の走査線によって制御される取込用絶縁ゲート型電界効果トランジスタによってデータ線と画素内部が導通され、第2の走査線によって制御されるスイッチ用絶縁ゲート型電界効果トランジスタによって前記変換用絶縁ゲート型電界効果トランジスタのゲート・ドレイン間が短絡される。以上まとめると、従来例においては輝度情報が電圧値の形で与えられたのに対し、本発明の表示装置においては電流値の形で与えられること、即ち電流書き込み型であることが著しい特徴である。

本発明は、既に述べたようにTFTの特性ばらつきによらず、正確に所望の電流をOLEDに流すことを目的とするが、上記第一ないし第四の特徴によって、本目的が達成できる理由を以下に説明する。なお、以下変換用絶縁ゲート型電界効果トランジスタをTFT1、駆動用絶縁ゲート型電界効果トランジスタをTFT2、取込用絶縁ゲート型電界効果トランジスタをTFT3、スイッチ用絶縁ゲート型電界効果トランジスタをTFT4と記す

。但し本発明はTFT（薄膜トランジスタ）に限られるものではなく、単結晶シリコン基板やSOI基板に形成される単結晶シリコントランジスタなど広く絶縁ゲート型電界効果トランジスタを能動素子として採用可能である。さて、輝度情報の書き込み時、TFT1に流す信号電流を I_w 、その結果TFT1に生ずるゲート・ソース間電圧を V_{gs} とする。書き込み時はTFT4によってTFT1のゲート・ドレイン間が短絡されているので、TFT1は飽和領域で動作する。よって、 I_w は、以下の式で与えられる。

$$I_w = \mu_1 \cdot C_{ox1} \cdot W_1 / L_1 / 2 (V_{gs} - V_{th1})^2 \quad \dots \quad (3)$$

ここで各パラメータの意味は前記(1)式の場合に準ずる。次に、OLEDに流れる電流を I_{drv} とすると、 I_{drv} は、OLEDと直列に接続されるTFT2によって電流レベルが制御される。本発明では、そのゲート・ソース間電圧が(3)式の V_{gs} に一致するので、TFT2が飽和領域で動作すると仮定すれば、以下の式が成り立つ。

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 / 2 (V_{gs} - V_{th2})^2 \quad \dots \quad (4)$$

各パラメータの意味は前記(1)式の場合に準ずる。なお、絶縁ゲート電界効果型の薄膜トランジスタが飽和領域で動作するための条件は、 V_{ds} をドレイン・ソース間電圧として、一般に以下の式で与えられる。

$$|V_{ds}| > |V_{gs} - V_{th}| \quad \dots \quad (5)$$

ここで、TFT1とTFT2とは、小さな画素内部に近接して形成されるため、事実上 $\mu_1 = \mu_2$ 、 $C_{ox1} = C_{ox2}$ 、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(3)式及び(4)式から容易に以下の式が導かれる。

$$I_{drv} / I_w = (W_2 / L_2) / (W_1 / L_1) \quad \dots \quad (6)$$

ここで注意すべき点は、(3)式及び(4)式において、 μ 、 C_{ox} 、 V_{th} の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、(6)式はこれらのパラメータを含まないので、 I_{drv} / I_w の値はこれらのばらつきに依存しないということである。例えば $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち I_w と I_{drv} が同一の値となる。すなわちTFTの特性ばらつきによらず、OLEDに流れる駆動電流 I_{drv} は、正確に信号電流 I_w と同一となるので、結果としてOLEDの発光輝度を正確に制御できる。上記は一例であるが、以下に実施例を挙げて説明するように、 W_1 、 W_2 、 L_1 、 L_2 の設定如何によって I_w と I_{drv} の比は自由に決められるし、あるいはTFT1とTFT2とを同一のTFTで兼用することも可能である。

このように、本発明によれば、TFTの特性ばらつきによらず、正確な電流をOLEDに流すことができるが、更に(6)式によれば、 I_w と I_{drv} とが単純な比例関係にあることも大きな利点である。すなわち、図1の従来例においては、(1)式に示したように、 V_w と I_{drv} とがTFTの特性に依存して非線型であり、駆動側の電圧制御が複雑にならざるを得ない。また、(1)式に示したTFTの特性のうち、キャリア移動度 μ は、温度によって変動することが知られている。この場合、従来例では(1)式に従って、 I_{drv} が、ひいてはOLEDの発光輝度が変化してしまうが、本発明によればそのような心配もなく、安定して(6)式で与えられる I_{drv} の値をOLEDに供給できる。

(4)式においては、TFT2が飽和領域で動作すると仮定したが、本発明はTFT2がリニア領域で動作する場合についても有効である。すなわち、TFT2がリニア領域で動作する場合は、 I_{drv} は以下の式で与えられる。

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 * \{ (V_{gs} - V_{th2}) V_{ds} - V_{ds}^2 / 2 \} \quad \dots \quad (7)$$

V_{ds} はTFT2のドレイン・ソース間電圧である。ここでTFT1、TFT2は近接して配置されており、その結果 $V_{th1} = V_{th2} = V_{th}$ が成り立つものすると、(3)式、(7)式から V_{gs} 、 V_{th} を消去することができて、以下の式を得る。

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 * \{ (2 I_w \cdot L_1 / \mu_1 \cdot C_{ox1} \cdot W_1)^{1/2} V_{ds} - V_{ds}^2 / 2 \} \quad \dots \quad (8)$$

この場合、 I_w と I_{drv} の関係は、(6)式のような単純な比例関係にはならないが、(8)式には V_{th} が含まれていないことから、 V_{th} のばらつき（画面内のばらつきや

10

20

30

40

50

製造ロット毎のばらつき)によって I_w と I_{drv} の関係が左右されることは無いことがわかる。すなわち、 V_{th} のばらつきによらず、所定の I_w を書き込むことによって、所望の I_{drv} を得ることができる。ただし、 μ や C_{ox} が画面内でばらつくような場合は、それらの値によって、特定の I_w をデータ線に与えた場合でも、(8)式から決まる I_{drv} の値はばらつくことになるので、TFT2は前述のように飽和領域で動作する方が望ましい。

またTFT3とTFT4を別々の走査線によって制御し、書き込み終了時にはTFT3に先だってTFT4をoff状態とすることがより望ましい。本発明に係る画素回路においては、TFT3とTFT4は、同一導電タイプである必要はなく、TFT3とTFT4とは同一または異なる導電タイプであり、それぞれのゲートを別々の走査線によって制御し、書き込み終了時にはTFT3に先だってTFT4がoff状態とするように構成することが望ましい。

10

また、TFT3、TFT4をそれぞれ別の走査線によって制御する場合は、書き込み終了後、走査線の操作によってTFT4をon状態とし、走査線単位で画素を消灯することができる。これは、TFT1のゲート・ドレイン、及びTFT2のゲートが接続されるため、TFT2のゲート電圧はTFT1のしきい値(これはTFT2のしきい値にほぼ等しい)となり、TFT1、TFT2共にoff状態となるからである。

このように、消灯信号のタイミングを変えることによって、表示装置の輝度を簡便自在に変化させることが可能である。R・G・Bの色毎に第2の走査線を分け、別々に制御すれば色バランス調整も簡便に行うことができる。

20

更に、同じ時間平均輝度を得たい場合、発光期間の割合(duty)を減らすことによって発光素子OLEDの駆動電流を大きくできる。

発明を実施するための最良の形態

以下、本発明の実施の形態を添付図面を参照して説明する。

図5は本発明による画素回路の例である。この回路は、信号電流が流れる変換用トランジスタTFT1、有機EL素子等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタTFT2の他、第1の走査線scanAの制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用トランジスタTFT3、第2の走査線scanBの制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するスイッチ用トランジスタTFT4、TFT1のゲート・ソース間電圧を、書き込み終了後も保持するための容量C、及び発光素子OLEDから成る。図5でTFT3はPMOS、その他のトランジスタはNMOSで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Cは、その一方の端子をTFT1のゲートに接続され、他方の端子はGND(接地電位)に接続されているが、GNDに限らず任意の一定電位でも良い。OLEDのアノード(陽極)は正の電源電位Vddに接続されている。

30

基本的に、本発明にかかる表示装置は、走査線scanA及びscanBを順次選択する走査線駆動回路と、輝度情報に応じた電流レベルを有する信号電流 I_w を生成して逐次データ線dataに供給する電流源CSを含むデータ線駆動回路と、各走査線scanA、scanB及び各データ線dataの交差部に配されていると共に、駆動電流の供給を受けて発光する電流駆動型の発光素子OLEDを含む複数の画素とを備えている。特徴事項として、図5に示した当該画素は、当該走査線scanAが選択された時当該データ線dataから信号電流 I_w を取り込む受入部と、取り込んだ信号電流 I_w の電流レベルを一旦電圧レベルに変換して保持する変換部と、保持された電圧レベルに応じた電流レベルを有する駆動電流を当該発光素子OLEDに流す駆動部とからなる。具体的には、前記変換部は、ゲート、ソース、ドレイン及びチャネルを備えた変換用薄膜トランジスタTFT1と、そのゲートに接続した容量Cとを含んでいる。変換用薄膜トランジスタTFT1は、前記受入部によって取り込まれた信号電流 I_w を前記チャネルに流して変換された電圧レベルを前記ゲートに発生させ、容量Cは前記ゲートに生じた電圧レベルを保持する。更に前記変換部は、変換用薄膜トランジスタTFT1のドレインとゲートとの間に挿入されたスイッチ用薄膜トランジスタTFT4を含んでいる。スイッチ用薄膜トランジスタTFT

40

50

4は、信号電流 I_w の電流レベルを電圧レベルに変換する時に導通し、変換用薄膜トランジスタ TFT_1 のドレインとゲートを電氣的に接続してソースを基準とする電圧レベルを TFT_1 のゲートに生ぜしめる。又、スイッチ用薄膜トランジスタ TFT_4 は、電圧レベルを容量 C に保持する時に遮断され、変換用薄膜トランジスタ TFT_1 のゲート及びこれに接続した容量 C を TFT_1 のドレインから切り離す。

更に、前記駆動部は、ゲート、ドレイン、ソース及びチャネルを備えた駆動用薄膜トランジスタ TFT_2 を含んでいる。駆動用薄膜トランジスタ TFT_2 は、容量 C に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流をチャネルを介して発光素子 $OLED$ に流す。変換用薄膜トランジスタ TFT_1 のゲートと駆動用薄膜トランジスタ TFT_2 のゲートとが直接に接続されてカレントミラー回路を構成し、信号電流 I_w の電流レベルと駆動電流の電流レベルとが比例関係となる様にした。駆動用薄膜トランジスタ TFT_2 は、画素内で対応する変換用薄膜トランジスタ TFT_1 の近傍に形成されており、変換用薄膜トランジスタ TFT_1 と同等の閾電圧を有する。駆動用薄膜トランジスタ TFT_2 は飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流を発光素子 $OLED$ に流す。

本画素回路の駆動方法は次の通りであり、駆動波形を図6に示す。まず、書き込み時には第1の走査線 $scanA$ 、第2の走査線 $scanB$ を選択状態とする。図5の例では、第1の走査線 $scanA$ を低レベル、第2の走査線 $scanB$ を高レベルとしている。両走査線が選択された状態でデータ線 $data$ に電流源 CS を接続することにより、 TFT_1 に輝度情報に応じた信号電流 I_w が流れる。電流源 CS は輝度情報に応じて制御される可変電流源である。このとき、 TFT_1 のゲート・ドレイン間は TFT_4 によって電氣的に短絡されているので(5)式が成立し、 TFT_1 は飽和領域で動作する。従って、そのゲート・ソース間には(3)式で与えられる電圧 V_{gs} が生ずる。次に、第1の走査線 $scanA$ 、第2の走査線 $scanB$ を非選択状態とする。詳しくは、まず第2の走査線 $scanB$ を低レベルとして TFT_4 を off 状態とする。これによって V_{gs} が容量 C によって保持される。次に第1の走査線 $scanA$ を高レベルとして off 状態とすることにより、画素回路とデータ線 $data$ とが電氣的に遮断されるので、その後はデータ線 $data$ を介して別の画素への書き込みを行うことができる。ここで、電流源 CS が信号電流の電流レベルとして出力するデータは、第2の走査線 $scanB$ が非選択となる時点では有効である必要があるが、その後は任意のレベル(例えば次の画素の書き込みデータ)とされて良い。 TFT_2 は TFT_1 とゲート及びソースが共通接続されており、かつ共に小さな画素内部に近接して形成されているので、 TFT_2 が飽和領域で動作していれば、 TFT_2 を流れる電流は(4)式で与えられ、これがすなわち発光素子 $OLED$ に流れる駆動電流 I_{drv} となる。 TFT_2 を飽和領域で動作させるには、発光素子 $OLED$ での電圧降下を考慮してもなお(5)式が成立するよう、十分な正電位を V_{dd} に与えれば良い。

上記の駆動によれば、発光素子 $OLED$ に流れる電流 I_{drv} は先の(6)式 $I_{drv} = (W_2 / L_2) / (W_1 / L_1) \cdot I_w$

で与えられ、 TFT の特性ばらつきによらず、正確に I_w に比例した値となる。比例定数である $(W_2 / L_2) / (W_1 / L_1)$ については、諸般の事情を考慮して適当な値に定めることができる。例えば、一画素の発光素子 $OLED$ に流すべき電流値が比較的小さな値、例えば 10 nA であるとした場合、現実問題として、信号電流 I_w としてはこのような小さな電流値を正確に供給することは難しいことがある。このような場合は、例えば $(W_2 / L_2) / (W_1 / L_1) = 1 / 100$ となるように設計すれば、(6)式から I_w としては $1\text{ }\mu\text{A}$ となり、電流書き込み動作が容易になる。

上記例では、 TFT_2 が飽和領域で動作すると仮定したが、前述した様にリニア領域で動作する場合についても本発明は有効である。すなわち、 TFT_2 がリニア領域で動作する場合は、発光素子 $OLED$ に流れる電流 I_{drv} は前記(8)式

$$I_{drv} = \mu_2 \cdot C_{ox2} \cdot W_2 / L_2 \cdot \{ (2 I_w \cdot L_1 / \mu_1 \cdot C_{ox1} \cdot W_1)^{1/2} V_{ds2} - V_{ds2}^2 / 2 \}$$

10

20

30

40

50

で与えられる。上式において、 V_{ds2} は発光素子OLEDの電流—電圧特性と発光素子OLEDを流れる電流 I_{drv} によって決まる。 V_{dd} の電位と発光素子OLEDの特性が与えられれば I_{drv} のみの関数ということである。この場合、 I_w と I_{drv} の関係は、(6)式のような単純な比例関係にはならないが、 I_w が与えられれば、(8)式を満たす I_{drv} が、OLEDを流れる駆動電流になる。(8)式には V_{th} が含まれていないことから、 V_{th} のばらつき(画面内の画素毎のばらつきや製造ロット毎のばらつき)によって I_w と I_{drv} の関係が左右されることはないことがわかる。すなわち、 V_{th} のばらつきによらず、所定の I_w を書き込むことによって、所望の I_{drv} を得ることができる。このように、TFT2をリニア領域で動作させる場合は、飽和領域の場合に比べてTFT2のドレイン・ソース間電圧が小さくて済むため、低消費電力化が可能である。

10

図7は、図5の画素回路をマトリクス状に並べて構成した表示装置の例である。その動作を以下に説明する。まず、垂直スタートパルス(VSP)がシフトレジスタを含む走査線駆動回路A21と同じくシフトレジスタを含む走査線駆動回路B23に入力される。走査線駆動回路A21, 走査線駆動回路B23はVSPを受けた後、垂直クロック(VCKA, VCKB)に同期してそれぞれ第1の走査線scanA1~scanAN、第2の走査線scanB1~scanBNを順次選択する。各データ線dataに対応して電流源CSがデータ線駆動回路22内に設けられており、輝度情報に応じた電流レベルでデータ線を駆動する。電流源CSは、図示の電圧/電流変換回路からなり、輝度情報を表す電圧に応じて信号電流を出力する。信号電流は選択された走査線上の画素に流れ、走査線単位で電流書き込みが行われる。各画素はその電流レベルに応じた強度で発光を開始する。ただし、VCKAは、VCKBに対し、遅延回路24によってわずかに遅延されている。これにより、図6に示したように、第2の走査線scanBが第1の走査線scanAに先立って非選択となる。

20

図8は図5の画素回路の変形例である。この回路は、図5におけるTFT2を、TFT2aとTFT2bの2つのトランジスタを直列に接続したダブルゲート構成とし、また図5におけるTFT4を、TFT4aとTFT4bの2つのトランジスタを直列に接続したダブルゲート構成にしたものである。TFT2aとTFT2b及びTFT4aとTFT4bはそれぞれゲートを共通接続されているので、基本的には単一のトランジスタと同様の動作をし、その結果図8の画素回路も図5の画素回路と同様の動作をする。ところで、単一のトランジスタ、特にTFTでは、何らかの欠陥等によってオフ時のリーク電流が大きくなる場合がある。このため、リーク電流を抑えたい場合には複数のトランジスタを直列に接続する冗長構成を採用することが好ましい。こうすれば、いずれか一方のトランジスタにリークがあっても、他方のトランジスタのリークが小さければ、全体としてのリークは抑えられるからである。図8のTFT2aとTFT2bのような構成をとれば、リーク電流が少ないことによって、輝度ゼロ(電流ゼロ)の場合に表示の黒レベルの品位が良くなるというメリットを生ずる。またTFT4aとTFT4bのような構成をとれば、容量Cに書き込まれた輝度情報を安定に保持できるというメリットを生ずる。これらについては、同様に3つ以上のトランジスタを直列に構成することも可能である。以上のように本変形例では、前記受入部、前記変換部及び前記駆動部は複数の薄膜トランジスタTFTを組み合わせた電流回路を構成し、1つまたは2つ以上の薄膜トランジスタ(TFT)は電流回路中の電流リークを抑制するためにダブルゲート構造を有する。

30

40

図9は本発明にかかる画素回路の他の実施例である。この回路は、信号電流 I_w が流れるトランジスタTFT1自身が、発光素子OLEDに流れる電流 I_{drv} を制御することが特徴である。前述の図5に示した画素回路では、TFT1とTFT2の特性(V_{th} や μ など)が互いにわずかに異なっている場合、正確には(6)式が成立せず、 I_w と I_{drv} が正確には比例しない可能性があるが、図9の画素回路ではこのような問題が原理的に生じない。図9の画素回路は、TFT1の他、第1の走査線scanAの制御によって画素回路とデータ線dataとを接続もしくは遮断するトランジスタTFT3、第2の走査線scanBの制御によって書き込み期間中にTFT1のゲート・ドレインを短絡するト

50

ランジスタ TFT_4 、 TFT_1 のゲート・ソース間電圧を書き込み終了後も保持するための容量 C 、及び有機 EL 素子からなる発光素子 $OLED$ を備えている。保持容量 C は、その一方の端子が TFT_1 のゲートに接続され、他方の端子は GND (接地電位) に接続されているが、 GND に限らず任意の一定電位でも良い。発光素子 $OLED$ のアノード (陽極) は、走査線単位で配設されたアノード線 A に接続されている。 TFT_3 は $PMOS$ 、その他のトランジスタは $NMOS$ で構成しているが、これは一例であって、必ずしもこの通りである必要はない。

以上のように本実施形態では、画素回路の駆動部は、変換部との間で変換用薄膜トランジスタ TFT_1 を時分割的に共用している。即ち、駆動部は、信号電流 I_w の変換を完了した後変換用薄膜トランジスタ TFT_1 を受入部から切り離して駆動用とし、保持された電圧レベルを変換用薄膜トランジスタ TFT_1 のゲートに印加した状態でチャネルを通じ駆動電流を発光素子 $OLED$ に流す。又、駆動部は、駆動時以外に変換用薄膜トランジスタ TFT_1 を介して発光素子 $OLED$ に流れる不要電流を遮断する制御手段を有する。本例の場合、制御手段は、整流作用を有する二端子型の発光素子 $OLED$ の端子間電圧をアノード線 A により制御して不要電流を遮断する。

この回路の駆動方法は次の通りであり、駆動波形を図 10 に示す。まず、書き込み時には第 1 の走査線 $scan A$ 、第 2 の走査線 $scan B$ を選択状態とする。図 10 の例では、第 1 の走査線 $scan A$ を低レベル、第 2 の走査線 $scan B$ を高レベルとしている。ここでデータ線 $data$ に電流値 I_w の電流源 CS を接続するが、 I_w が発光素子 $OLED$ を介して流れるのを防ぐために、発光素子 $OLED$ のアノード線 A は発光素子 $OLED$ が off 状態となるように低レベル (例えば GND ないし負電位) としておく。これにより、 TFT_1 に信号電流 I_w が流れる。このとき、 TFT_1 のゲート・ドレイン間は TFT_4 によって電氣的に短絡されているので (5) 式が成立し、 TFT_1 は飽和領域で動作する。従って、そのゲート・ソース間には (3) 式で与えられる電圧 V_{gs} が生ずる。次に第 1 の走査線 $scan A$ 、第 2 の走査線 $scan B$ を非選択状態とする。詳しくは、まず第 2 の走査線 $scan B$ を低レベルとして TFT_4 を off 状態とする。これによって TFT_1 生じた V_{gs} が容量 C に保持される。次に第 1 の走査線 $scan A$ を高レベルとして TFT_3 を off 状態とすることにより、画素回路とデータ線 $data$ とが電氣的に遮断されるので、その後はデータ線 $data$ を介して別の画素への書き込みを行うことができる。ここで、電流源 CS が信号電流 I_w として供給するデータは、第 2 の走査線 $scan B$ が非選択となる時点では有効である必要があるが、その後は任意の値 (例えば次の画素の書き込みデータ) とされて良い。続いて、アノード線 A を高レベルとする。 TFT_1 の V_{gs} は容量 C によって保持されているので、 TFT_1 が飽和領域で動作していれば、 TFT_1 を流れる電流は (3) 式の I_w に一致し、これが即ち、発光素子 $OLED$ に流れる駆動電流 I_{drv} となる。つまり信号電流 I_w が発光素子 $OLED$ の駆動電流 I_{drv} と一致する。 TFT_1 を飽和領域で動作させるには、発光素子 $OLED$ での電圧降下を考慮しても尚 (5) 式が成立するよう、十分な正電位をアノード線 A に与えれば良い。上記の駆動によれば、発光素子 $OLED$ に流れる電流 I_{drv} は、 TFT の特性ばらつきによらず、正確に I_w に一致する。

図 11 は、図 9 に示した画素回路の変形例である。図 11 では、図 9 のようなアノード線はなく、発光素子 $OLED$ のアノードは一定の正電位 V_{dd} に接続されている一方、 TFT_1 のドレインと発光素子 $OLED$ のカソード (陰極) との間に P チャネルトランジスタ TFT_5 が挿入されている。 TFT_5 のゲートは、走査線単位で配設された駆動線 drv で制御される。 TFT_5 を挿入する目的は、データ書き込み時に駆動線 drv を高レベルとして TFT_5 を off 状態とし、信号電流 I_w が発光素子 $OLED$ を介して流れるのを防止することである。書き込みが終了した後、 drv を低レベルとして TFT_5 を on 状態とし、発光素子 $OLED$ に駆動電流 I_{drv} を流す。これ以外の動作は図 9 の回路と同様である。

本例は発光素子 $OLED$ と直列に接続された TFT_5 を含み、 TFT_5 に与える制御信号に応じて発光素子 $OLED$ に流れる電流を遮断することが可能である。制御信号は、走査

10

20

30

40

50

線 $scan$ と平行に設けた駆動線 drv を介して同一走査線上の各画素に含まれる $TFT5$ のゲートに与えられる。本例では、発光素子 $OLED$ と $TFT1$ との間に $TFT5$ が挿入されており、 $TFT5$ のゲート電位の制御によって、発光素子 $OLED$ に流れる電流をオン/オフすることができる。本例によれば、各画素が発光するのは発光制御信号によって $TFT5$ がオンしている時間分である。そのオン時間を τ とし、一フレームの時間を T とすると、画素が発光している時間的割合即ちデューティは概ね τ / T となる。発光素子の時間平均輝度はこのデューティに比例して変化する。従って、 $TFT5$ を制御してオン時間 τ を変更することにより、 EL ディスプレイの画面輝度を簡便且つ幅広い範囲で可変調整することもできる。

以上のように本例では、制御手段が変換用薄膜トランジスタ $TFT1$ と発光素子 $OLED$ との間に挿入された制御用薄膜トランジスタ $TFT5$ からなる。制御用薄膜トランジスタ $TFT5$ は、発光素子 $OLED$ の非駆動時に非導通状態となって変換用薄膜トランジスタ $TFT1$ と発光素子 $OLED$ とを切り離し、駆動時には導通状態に切り替わる。更に、この制御手段は、非駆動時に駆動電流を遮断して発光素子 $OLED$ を非発光状態に置くオフ時間と、駆動時に駆動電流を流して発光素子 $OLED$ を発光状態に置くオン時間の割合を制御して、各画素の輝度を制御可能である。本例によれば、表示装置は走査線単位で輝度情報を各画素に書き込んだ後、次の走査線サイクル（フレーム）の輝度情報が新たに書き込まれる以前に、走査線単位で各画素に含まれる発光素子を一括して消灯できる。これによれば、輝度情報の書き込み後発光素子の点灯から消灯するまでの時間を調節できることになる。即ち、一走査サイクルにおける発光時間の割合（デューティ）を調節できることになる。発光時間（デューティ）の調節は等価的に各発光素子に供給する駆動電流を調節することに相当する。よって、デューティを調節することにより簡便且つ自在に表示輝度を調整することが可能である。更に重要な点は、デューティを適切に設定することで、等価的に駆動電流を大きくすることができる。例えば、デューティを $1 / 10$ にすると、駆動電流を 10 倍にしても同等の輝度を得られる。駆動電流を 10 倍にすればこれに対応する信号電流も 10 倍に出来る為、微弱な電流レベルを扱わなくて良い。

図 12 は、図 9 に示した画素回路の別の変形例である。図 12 では、 $TFT1$ のドレインと発光素子 $OLED$ のカソードとの間に $TFT6$ が挿入され、 $TFT6$ のゲート・ドレイン間には $TFT7$ が接続され、そのゲートは第 2 の走査線 $scanB$ によって制御されている。 $TFT7$ のソースと GND 電位との間には補助容量 $C2$ が接続されている。この回路の駆動方法は図 9 の画素回路の場合と基本的に同様であるが、以下に説明する。尚、駆動波形は図 10 の場合と同様である。先ず、書き込み時には、走査線単位で配設されたアノード線 A を低レベル（例えば GND ないし負電位）として $OLED$ に電流が流れないようにした状態で第 1 の走査線 $scanA$ 、第 2 の走査線 $scanB$ を選択状態とすると、信号電流 Iw が $TFT1$ 及び $TFT6$ を流れる。両 TFT 共、ゲート・ソース間がそれぞれ $TFT4$ 及び $TFT7$ によって短絡されているので、飽和領域で動作する。次に第 1 の走査線 $scanA$ 、第 2 の走査線 $scanB$ を非選択状態とする。これによって先に $TFT1$ 及び $TFT6$ に生じた Vgs が容量 C 及び補助容量 $C2$ によってそれぞれ保持される。次に第 1 の走査線 $scanA$ を off 状態とすることにより、画素回路とデータ線 $data$ とが電氣的に遮断されるので、その後はデータ線 $data$ を介して別の画素への書き込みを行うことができる。続いてアノード線 A を高レベルとする。 $TFT1$ の Vgs は容量 C によって保持されているので、 $TFT1$ が飽和領域で動作していれば、 $TFT1$ を流れる電流は (3) 式の Iw に一致し、これがすなわち発光素子 $OLED$ に流れる電流 $Idrv$ となる。つまり、信号電流 Iw が発光素子 $OLED$ の駆動電流 $Idrv$ と一致する。ここで、 $TFT6$ の作用について説明する。図 9 の画素回路においては、前述したように、信号電流 Iw と発光素子 $OLED$ の駆動電流は共に $TFT1$ によって決まるので、(3) 式、(4) 式より $Iw = Idrv$ であった。ただし、これは $TFT1$ を流れる電流 Ids が、飽和領域において (1) 式で与えられる場合、すなわち Ids がドレイン・ソース間電圧 Vds に依存しないとした場合である。しかるに現実のトランジスタでは、 Vgs が一定であっても、 Vds が大きい程 Ids が大きくなる場合がある。これは、 Vds が

10

20

30

40

50

大きくなることによってドレイン近傍のピンチオフ点がソース側へ移動し、実効的なチャンネル長が減少する、いわゆるショートチャンネル効果や、ドレインの電位がチャンネル電位に影響を与えてチャンネルの導電率が変化する、いわゆるバックゲート効果などのためである。この場合、トランジスタを流れる電流 I_{ds} は、例えば以下の式のようにになる。

$$I_{ds} = \mu \cdot C_{ox} \cdot W / L / 2 (V_{gs} - V_{th})^2 * (1 + \lambda \cdot V_{ds}) \quad \dots \quad (9)$$

従って、 I_{ds} は V_{ds} に依存することになる。ここで、 λ は正の定数である。この場合、図 9 の回路では、書き込み時と駆動時とで V_{ds} が同一でなければ、 I_w と I_{drv} とは一致しない。

これに対し、図 12 の回路の動作を考える。図 12 の T F T 6 の動作に注目すると、そのドレイン電位は書き込み時と駆動時とで一般に同一ではない。例えば駆動時のドレイン電位の方が高い場合、T F T 6 の V_{ds} も大きくなり、これを (9) 式に当てはめれば、書き込み時と駆動時とで V_{gs} が一定であっても、 I_{ds} は駆動時の方が増加する。言い換えれば I_w より I_{drv} が大きくなって両者は一致しない。ところが、 I_{drv} は T F T 1 を流れるので、その場合 T F T 1 での電圧降下が大きくなり、そのドレイン電位 (T F T 6 のソース電位) が上昇する。この結果 T F T 6 の V_{gs} は小さくなり、これは I_{drv} を小さくする方向に作用する。結果として、T F T 1 のドレイン電位 (T F T 6 のソース電位) は大きく変動することができず、T F T 1 に注目すれば、書き込み時と駆動時とで I_{ds} が大きくは変わらないことがわかる。すなわち、 I_w と I_{drv} とがかなり精度よく一致することになる。この動作をより良く行わせるためには、T F T 1 , T F T 6 共に V_{ds} に対する I_{ds} の依存性を小さくするのが良いので、両トランジスタを飽和領域で動作させることが望ましい。書き込み時には T F T 1 , T F T 6 共にゲート・ドレイン間が短絡されているので、書き込まれる輝度データによらず、必然的に両者共飽和領域で動作する。駆動時にも飽和領域で動作させるには、発光素子 O L E D での電圧降下を考慮しても尚 T F T 6 が飽和領域で動作するよう、アノード線 A に十分な正電位を与えれば良い。この駆動によれば、発光素子 O L E D に流れる電流 I_{drv} は、T F T の特性ばらつきによらず、図 9 の実施例より正確に I_w に一致する。以上のように本例の駆動部は、変換用薄膜トランジスタ T F T 1 を通って発光素子 O L E D に流れる駆動電流の電流レベルを安定化するために、変換用薄膜トランジスタ T F T 1 のソースを基準にしたドレインの電位を固定化する電位固定手段として、T F T 6 , T F T 7 及び C 2 を有する。

図 13 は本発明にかかる画素回路の別の実施例である。この画素回路は、図 9、図 11、図 12 の回路と同様、信号電流 I_w が流れるトランジスタ T F T 1 自身が、発光素子 O L E D に流れる電流 I_{drv} を制御するが、図 13 では発光素子 O L E D が T F T 1 のソース側に接続されていることが特徴である。即ち、本画素回路の駆動部は、ゲート、ドレイン及びソースを備えた薄膜トランジスタ T F T 1 を含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を発光素子 O L E D に流す。発光素子 O L E D は、アノード及びカソードを有する二端子型であり、アノードがソースに接続している。これに対し、図 9 に示した画素回路の駆動部は、ゲート、ドレイン及びソースを備えた薄膜トランジスタを含み、ゲートに印加された電圧レベルに応じてドレインとソースの間を通る駆動電流を発光素子に流す一方、発光素子は、アノード及びカソードを有する二端子型であり、カソードがドレインに接続している。

本例の画素回路は、T F T 1 の他、第 1 の走査線 $s c a n A$ の制御によって画素回路とデータ線 $d a t a$ とを接続もしくは遮断するトランジスタ T F T 3、第 2 の走査線 $s c a n B$ の制御によって書き込み期間中に T F T 1 のゲート・ドレインを短絡するトランジスタ T F T 4、T F T 1 のゲート電位を、書き込み終了後も保持するための容量 C、T F T 1 のドレインと電源電位 V_{dd} との間に挿入された P チャンネルトランジスタ T F T 5、及び発光素子 O L E D から成る。図 13 では、容量 C の一方の端子が G N D に接続されており書き込み時と駆動時とで T F T 1 の V_{gs} を概ね同じ値に保持する。尚、T F T 5 のゲートは駆動線 $d r v$ で制御される。T F T 5 を挿入する目的は、データ書き込み時に駆動線 $d r v$ を高レベルとして T F T 5 を o f f 状態とし、信号電流 I_w をすべて T F T 1 に流

10

20

30

40

50

すことである。書き込みが終了した後、 $d r v$ を低レベルとして $T F T 5$ を $o n$ 状態とし、発光素子 $O L E D$ に駆動電流 $I d r v$ を流す。このように、駆動方法は図11の回路と同様である。

図14は、図13に示した画素回路の変形例である。図13と図14とでは、容量 C の一方の端子が、図13では $G N D$ 、図14では $T F T 1$ のソースに接続されている点異なるが、いずれの場合も、書き込み時と駆動時とで $T F T 1$ の $V g s$ を概ね同じ値に保持するという点で機能的な差異はない。

図15は図5に示した画素回路の発展例である。本画素回路は、変換部によって保持された電圧レベルを下方調整して駆動部に供給する調整手段を含んでおり、各画素の輝度の黒レベルを引き締める。具体的には、駆動部は、ゲート、ドレイン及びソースを有する薄膜トランジスタ $T F T 2$ を含んでおり、調整手段は、薄膜トランジスタ $T F T 2$ のゲートとソース間の電圧を底上げしてゲートに印加される電圧レベルを下方調整する定電圧源 E を備えている。即ち、 $T F T 2$ のソースを $T F T 1$ のソース電位よりわずかに高い電位 E に接続することで、黒レベルを締める。

図16は図15に示した画素回路の変形例である。本例では、調整手順は、薄膜トランジスタ $T F T 2$ のゲートと第2の走査線 $s c a n B$ に接続した追加容量 $C 2$ からなり、薄膜トランジスタ $T F T 2$ のゲートに印加する為容量 C に保持されるべき電圧レベルを下方調整する。即ち、第2の走査線 $s c a n B$ を低レベルに切り換えて非選択とする際に、容量 $C 2$ の作用で $T F T 2$ のゲート電位を若干下げることが出来る。以上のように本表示装置は、画素を選択するための走査線 $s c a n A$ と、画素を駆動するための輝度情報を与えるデータ線 $d a t a$ とがマトリクス状に配設され、各画素は、供給される電流量によって輝度が変化する発光素子 $O L E D$ と、走査線 $s c a n A$ によって制御され且つデータ線 $d a t a$ から与えられた輝度情報を画素に書き込む書込手段($T F T 1$, $T F T 3$, C)と、書き込まれた輝度情報に応じて発光素子 $O L E D$ に供給する電流量を制御する駆動手段($T F T 2$)とを含み、各画素への輝度情報の書き込みは、走査線 $s c a n A$ が選択された状態で、データ線 $d a t a$ に輝度情報に応じた電気信号 $I w$ を印加することによって行われ、各画素に書き込まれた輝度情報は走査線 $s c a n A$ が非選択となった後も各画素に保持され、各画素の発光素子 $O L E D$ は保持された輝度情報に応じた輝度で点灯を維持可能であって、書込手段($T F T 1$, $T F T 3$, C)によって書き込まれた輝度情報を下方調整して駆動手段($T F T 2$)に供給する調整手段($C 2$)を含んでおり、各画素の輝度の黒レベルを引き締めることができる。

図17は図15に示した画素回路の変形例である。本例では、調整手順は、 $T F T 1$ によって変換された電圧レベルを容量 C に保持する時、容量 C の一端の電位を調整して、 $T F T 2$ のゲートに印加されるべき電圧レベルを下方調整する。即ち、容量 C の一端に接続したソース電位制御線 S を制御することで、黒レベルを締める。電位制御線 S を、書き込み時より低電位とすると、容量 C の作用で $T F T 2$ のゲート電位が若干下がるためである。電位制御線 S は走査線単位で設け制御する。電位制御線 S は書き込み中に" H "レベルとし、書き込み終了後" L "レベルとする。振幅を $V s$ 、 $T F T 2$ のゲートに存在する容量(ゲート容量、その他の寄生容量)を $C p$ とすると、 $T F T 2$ のゲート電位は $V g = V s * C / (C + C p)$ だけ低下し、 $V g s$ が小さくなる。 H , L 電位の絶対値は任意に設定できる。

図18は本発明にかかる画素回路の他の実施例である。本例の回路は、2つの取込用薄膜トランジスタ $T F T 3$ 及びスイッチ用薄膜トランジスタ $T F T 4$ を同一導電タイプ(図18では $P M O S$)としている。そして本例では、図18に示すように、書きこみ動作においてそれらのゲートは共通の走査線 $s c a n$ に接続し、共通の信号で制御することも可能である。この場合の表示装置は、図7に示す表示装置における走査線駆動回路 $B 2 3$ が不要である。

図19は図18に示した画素回路の変形例である。本例では、図5、図8、図9、図11～図17に示した回路と同様に、同一導電タイプ P チャネル $T F T$ から構成した2つの取込用薄膜トランジスタ $T F T 3$ 及びスイッチ用薄膜トランジスタ $T F T 4$ のゲートをそれ

10

20

30

40

50

ぞれ異なる走査線、即ち第1の走査線 *s c a n A* 及び第2の走査線 *s c a n B* に接続して、それぞれ別々に制御する。このように別々に制御する理由は、図18の例のように *T F T 3* 及び *T F T 4* を共通の信号で制御すると次のような不都合が生じる場合があるからである。

ある走査線上の画素に対する書き込みが終了する時、図18の例で走査線 *s c a n* のレベルが上昇する際、*T F T 3* のインピーダンスは必然的に増大していき、最終的に事実上無限大、すなわち *o f f* 状態となる。従ってこの過程においてデータ線 *d a t a* の電位は次第に上昇するが、ある程度まで上昇した時点でデータ線 *d a t a* を駆動する電流源が定電流性を失い、電流値は減少する。

具体例として、図18のようにデータ線 *d a t a* が *P N P* トランジスタ *B I P 1* によって駆動されている例を考える。ベースに流れる電流を一定値 I_b 、トランジスタ *B I P 1* の電流増幅率を β とすると、トランジスタ *B I P 1* のコレクタ・エミッタ間にある程度の電圧（例えば $1V$ ）がかかっているならば、トランジスタ *B I P 1* はほぼ定電流源として動作し、データ線 *d a t a* には $I_w = \beta I_b$ の大きさの電流が供給される。ところが、書き込み終了時に、*T F T 3* のインピーダンスが上昇するとデータ線の電位が上昇していき、トランジスタ *B I P 1* が飽和領域に入ると定電流性を失い、駆動電流は βI_b より減少する。このとき *T F T 4* が *o n* 状態であれば、この減少した電流値が *T F T 1* に流れ、正確に所望の電流値が書き込まれないことになる。

従って、*T F T 3* と *T F T 4* を別々の信号線、即ちそれぞれ第1の走査線 *s c a n A*、第2の走査線 *s c a n B* によって制御し、書き込み終了時には *T F T 3* に先だって *T F T 4* を *o f f* 状態とすることがより望ましい。本発明に係る画素回路においては、*T F T 3* と *T F T 4* は、前述した各例のように同一導電タイプである必要はなく、*T F T 3* と *T F T 4* とは同一または異なる導電タイプであり、それぞれのゲートを *s c a n A* 及び *s c a n B* という別々の走査線によって制御し、書き込み終了時には *T F T 3* に先だって *T F T 4* が *o f f* 状態とするように構成することが望ましい。このことは、図面を参照して説明した前述の各例においても同様のことが言える。

また、*T F T 3*、*T F T 4* をそれぞれ別の走査線 *s c a n A*、*s c a n B* によって制御する場合は、書き込み終了後、第2の走査線 *s c a n B* の操作によって *T F T 4* を *o n* 状態とし、走査線単位で画素を消灯することができる。これは、*T F T 1* のゲート・ドレイン、及び *T F T 2* のゲートが接続されるため、*T F T 2* のゲート電圧は *T F T 1* のしきい値（これは *T F T 2* のしきい値にほぼ等しい）となり、*T F T 1*、*T F T 2* 共に *o f f* 状態となるからである。第2の *s c a n B* の波形は、図20（b）に示すように、パルス状の消灯信号を与えても良いし、図20（c）に示す *s c a n B'* のように持続的な消灯信号を与えても良い。

このように、消灯信号のタイミングを変えることによって、表示装置の輝度を簡便自在に変化させることが可能である。*R*・*G*・*B*の色毎に第2の走査線 *s c a n B* を分け、別々に制御すれば色バランス調整も簡便に行うことができる。

更に、同じ時間平均輝度を得たい場合、発光期間の割合（*d u t y*）を減らすことによって発光素子 *O L E D* の駆動電流を大きくできる。これは即ちそれだけ大きな書き込み電流を扱うことをも意味するので、データ線 *d a t a* への書き込み駆動回路の実現が容易になり、書き込み必要時間も短縮できる。また、発光 *d u t y* を50%程度以下にすることによって動画画質が向上する。

また、図5、図8、図9、図11～図18で示した回路と同様に、図19の回路では、取込用薄膜トランジスタ *T F T 3* と変換用薄膜トランジスタ *T F T 1* とを異なる導電タイプとしている。例えば変換用薄膜トランジスタ *T F T 1* が *N*チャネルタイプの場合、取込用薄膜トランジスタ *T F T 3* を *P*チャネルタイプとしている。これは以下の理由による。

即ち、データ線を駆動する定電流駆動回路を構成する際して、データ線の電位変動はなるべく小さいことが望ましい。なぜなら、前述したように、データ線電位の変動幅が広いと、データ線駆動回路が定電流性が失われやすい上、*T F T 3* を確実に *o n / o f f* するための走査線 *s c a n A* の振幅も大きくなり、消費電力などの点で不利になるからである。

10

20

30

40

50

従って、データ線からTFT3、TFT1を介して接地電位に至る経路の電圧降下が小さいことが望ましい。そこで、図19の例ではTFT1がNMOSであるのに対し、TFT3をPMOSで構成して、TFT3での電圧降下を小さく抑えている。即ちTFT3での電圧降下は、書き込み電流 I_w の値が最大のときに最大となるため、データ線の振幅を小さく抑えるためには書き込み電流 I_w が最大のときのTFT3における電圧降下を小さくすべきである。図19の例では、書き込み電流 I_w が大きいたまはそれに応じてデータ線の電位も上昇するが、それに伴ってTFT3のゲート・ソース間電圧の絶対値も増大し、TFT3のインピーダンスは下がる方向に作用する。これに対し、もしTFT3がNMOSであると、書き込み電流 I_w が大きくなる程ゲート・ソース間電圧が減少する方向であり、TFT3のインピーダンスは上昇してしまい、データ線電位の上昇を招きやすい。同様に、TFT1をPMOSで構成した場合はTFT3はNMOSで構成するのが良い。

10

なお、TFT4の導電タイプは、TFT3と同じでも異なっても実用的な構成が可能であるが、同じにすると第1の走査線scanAと第2の走査線scanBとを共通の電位で駆動しやすいため、より望ましい。

図21は図19に示した画素回路の変形例である。本例にかかる画素回路は等価回路的には図19に示した画素回路と同様であるが、変換用薄膜トランジスタTFT1のチャネル幅(W)とチャネル長(L)は比 W/L を駆動用薄膜トランジスタTFT2の W/L より大きく設定している点が図19の回路と異なる。このようにTFT1の W/L をTFT2の W/L より大きく設定する理由は、書き込みを確実に終了させるためである。このこと

20

について、具体的な数値を挙げて以下に説明する。
現実的な数字として、最大輝度 $200 [cd/m^2]$ 、一画素当たりの発光面のサイズ $100 [\mu m] \times 100 [\mu m] = 1e-8 [m^2]$ 、発光効率 $2 [cd/A]$ とすると、最大輝度時の発光素子OLEDの駆動電流は $200 \times 1e-8 / 2 = 1 \mu A$ となる。64階調を制御しようとする、最小階調に相当する電流値は $1 \mu A / 64 = 16 [nA]$ 程度となり、このような小さな電流値を正確に供給することは極めて難しい。更にTFT1がインピーダンスの高い状態で動作するため、データ線dataの寄生容量等の影響で回路の状態が安定するのに長い時間がかかり、所定の走査線周期内で書き込みを終了することができないことがある。

図21に示すように、TFT1の $W/L = 100 / 10$ 、TFT2の $W/L = 5 / 20$ とすれば、 W/L の比が40となり、 $16 nA$ のOLED駆動電流を得るためにデータ線dataに供給すべき書き込み電流は $16 nA \times 40 = 640 nA$ となり、現実的な数値となり、書き込みを確実に終了させることができる。TFT1やTFT2が複数のトランジスタから成る場合は、実効的な W/L を考慮して上記計算をすべきであることは当然である。

30

図22は図19に示した回路の発展例である。本画素回路は、各データ線dataと所定の電位との間にリーク素子LEK1を接続し、黒書き込みの高速化を図っている。

電流書き込み型の画素回路において、「黒」を書き込むケースは書き込み電流がゼロの場合に相当する。このとき、直前の走査線サイクルにおいてデータ線に「白」レベル、すなわち比較的大きな電流が書き込まれ、結果としてデータ線電位が比較的高いレベルになっていたとすると、その直後に「黒」を書き込むのには長い時間が必要である。「黒」を書き込むというのはTFT1によって、データ線の容量Cdなどに蓄えられた初期電荷がディスチャージされるということであるが、データ線電位が下がってTFT1のしきい値近傍になるとTFT1のインピーダンスが高くなり、TFT1の流れる電流特性を示す図23中において特性曲線▲1▼で示すように、理論的には永久に「黒」書き込みが終了しない。現実には有限の時間で書き込みを行うわけであるから、これは「黒」レベルが完全に沈まない、いわゆる黒浮き現象として現われ、画像のコントラストを低下させる。

40

そこで、図22の回路では、データ線dataと接地電位GNDとの間にリーク素子LEK1、具体的にはNMOSTランジスタを接続し、Vgとしては一定バイアスを与えている。これにより図22において特性曲線▲2▼で示すように、「黒」書き込みが確実に終

50

了する。リーク素子 $LEK1$ としては単純な抵抗などでも良いが、その場合「白」書き込み時においてデータ線電位が上昇すると、それに比例して抵抗に流れる電流が増加し、これは $TFT1$ に流れる電流の低下や消費電力の悪化を招く。これに対し、 $NMOS$ を飽和領域で動作させれば定電流動作となるため、そのような弊害が小さく抑えられる。なお、リーク素子は TFT で構成することも、 TFT プロセスとは別個に外部部品で構成することも可能である。

図24は図19に示した回路回路の発展例である。本画素回路は、各データ線 $data$ と所定の電位との間に初期値設定用素子 $PRC1$ を接続し、その素子の動作によって書き込みに先立ってデータ線の初期値設定を行い、書き込みの高速化を図っている。

電流書き込み型の画素において、黒に近いグレーを書き込む際に長い時間を要する場合がある。図25では書き込み開始時のデータ線の電位が $0V$ である場合を示している。これは、直前の走査線サイクルにおいて「黒」を書いた場合で、書き込まれた画素の $TFT1$ のしきい値 V_{th1} が $0V$ 程度と低い場合、あるいは同様に黒書き込みの場合であって、前述のような黒書き対策用のリーク素子を備えた場合に起こり得る。

従来の回路では、初期値の $0V$ から「黒」に近いグレー、すなわち非常に小さな電流値を書き込んでいるため、平衡電位 V_{BLA} に達するのに長い時間がかかる。例えば図25中において特性曲線▲1▼で示すように所定の書き込み時間内に $TFT1$ のしきい値に達しないことも考えられるが、この場合 $TFT2$ もオフ状態となり、たゞしくグレーが書き込めず、表示画像は、いわゆる黒潰れの状態となる。

図24の回路では、データ線と電源電位 V_{dd} との間に初期値設定（プリチャージ）用素子 $PRC1$ として $PMOS$ トランジスタを接続し、ゲート電位 V_g として、書き込みサイクルの最初にパルスを与えている。このパルス印加によって図25中において特性曲線▲2▼で示すようにデータ線電位が $TFT1$ のしきい値 V_{th1} 以上に上昇し、その後は書き込み電流 I_w と画素内部の TFT の動作とのバランスで決まる平衡電位 V_{BLA} に向かって比較的高速に収束するので、正しい輝度データ書き込みが高速で可能になる。なお、プリチャージ用素子は TFT で構成することも、 TFT プロセスとは別個に外部部品で構成することも可能である。

図26は本発明にかかる画素回路の他の実施例である。この回路では、前述した各例の回路と異なり、 $TFT1$ と $TFT2$ の導電タイプを P チャネルタイプ（ $PMOS$ ）により構成している。これに伴い、前述した理由により $TFT3$ を $TFT1$ と異なる導電タイプである N チャネルタイプ（ $NMOS$ ）とし、また制御性を考慮して $TFT4$ も $TFT3$ と同一の導電タイプである N チャネルタイプ（ $NMOS$ ）として構成している。

図26に回路において、 $TFT1$ 、 $TFT2$ の両トランジスタは発光素子 $OLED$ の駆動時、等しいゲート・ソース間電圧で動作するが、ドレイン・ソース間電圧は必ずしも等しくない。書き込み電流 I_w と発光素子 $OLED$ の駆動電流とが正確に比例するためには先に述べたように $TFT2$ を飽和領域で動作させるのが望ましい。一方、 $NMOS$ の場合、動作耐圧を向上させるために LDD （ $Lightly\ Doped\ Drain$ ）構造をとることが一般的であるが、この場合 LDD による直列抵抗成分などによって、飽和領域においてドレイン電流がドレイン・ソース間電圧に影響されやすい、言い換えると定電流性が $PMOS$ に比べて劣る傾向があるためである。

従って、変換用薄膜トランジスタ $TFT1$ と駆動用薄膜トランジスタ $TFT2$ とを、 $PMOS$ により構成することが好ましい。

この回路の動作は、素子の極性が逆になっている点を除き、基本的には図5の回路等と同様である。

図27は本発明にかかる画素回路の他の実施例である。この回路では、前述した各例の回路と異なり、スイッチ用薄膜トランジスタ $TFT4$ を、変換用薄膜トランジスタ $TFT1$ のドレインとゲート間に接続する代わりに、 $TFT1$ のドレインとゲートとを直接接続し、その接続点と、 $TFT2$ のゲートと容量との接続点との間に $TFT4$ を接続して構成している。

この図27の回路においても、基本的には図5の回路等と同様の動作が可能であるそして

10

20

30

40

50

、この回路においても、TFT3とTFT4とは同一または異なる導電タイプでよく、それぞれのゲートは第1の走査線scanA及び第2の走査線scanBという別々の走査線によって制御され、書き込み終了時にはTFT3に先だってTFT4がoff状態とされる。また、図21に関連付けて説明したように、所定の走査線周期内で書き込みを確実に終了させるために、TFT1のサイズ(W/L)をTFT2のサイズより大きく設定することが望ましい。

産業上の利用可能性

以上のように、本発明に係る電流駆動回路およびそれを用いた表示素装置によれば、能動素子(TFTなど)の特性ばらつきによらず、データ線からの信号電流 I_w に正確に比例(または対応)する駆動電流 I_{drv} を、電流駆動型の発光素子(有機EL素子など)に流すことが可能である。このような電流駆動回路を含む画素回路をマトリクス状に多数配置することにより、各画素を正確に所望の輝度で発光させることができるので、高品位なアクティブマトリクス型表示装置を提供することが可能である。

10

【図面の簡単な説明】

図1は、従来の画素回路の例を示す回路図である。

図2は、従来の表示装置の構成例を示すブロック図である。

図3は、従来の表示装置の構成例を示す断面図である。

図4は、従来の表示装置の他の構成例を示す断面図である。

図5は、本発明にかかる画素回路の実施形態を示す回路図である。

図6は、図5の実施形態における各信号の波形の例を示す波形図である。

20

図7は、図5の実施形態にかかる画素回路を使用した表示装置の構成例を示すブロック図である。

図8は、図5の実施形態の変形例を示す回路図である。

図9は、本発明にかかる画素回路の他の実施形態を示す回路図である。

図10は、図9の実施形態における各信号の波形の例を示す波形図である。

図11は、図9の実施形態の変形例を示す回路図である。

図12は、図9の実施形態の変形例を示す回路図である。

図13は、図9の実施形態の変形例を示す回路図である。

図14は、図9の実施形態の変形例を示す回路図である。

図15は、本発明にかかる画素回路の別の実施形態を示す回路図である。

30

図16は、図15の実施形態の変形例を示す回路図である。

図17は、図15の実施形態の変形例を示す回路図である。

図18は、本発明にかかる画素回路の他の実施形態を示す回路図である。

図19は、図18の実施形態の変形例を示す回路図である。

図20は、図19の回路における走査線単位で画素の消灯を行う場合を説明するための図である。

図21は、図19の実施形態の変形例を示す回路図である。

図22は、図19の実施形態の変形例を示す回路図である。

図23は、図22の回路及び従来回路の変換用トランジスタを流れる電流特性を示す図である。

40

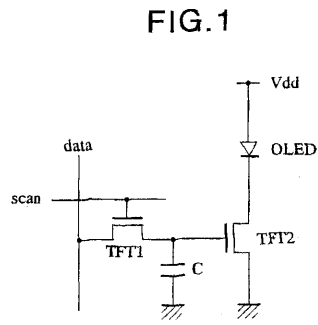
図24は、図19の実施形態の変形例を示す回路図である。

図25は、図23の回路及び従来回路のデータ線電位を示す図である。

図26は、本発明にかかる画素回路の他の実施形態を示す回路図である。

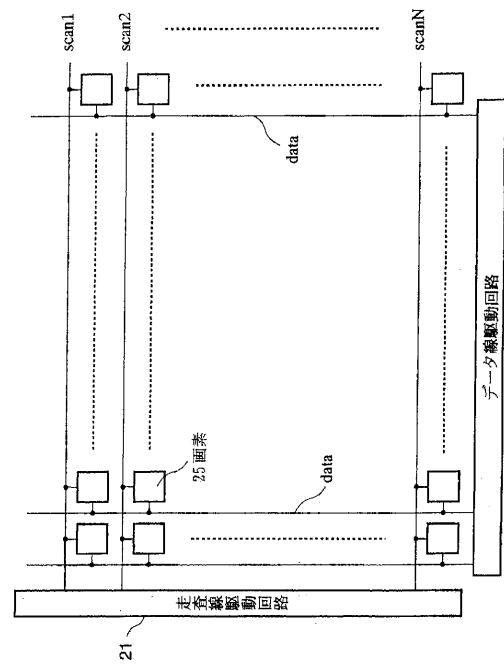
図27は、本発明にかかる画素回路の他の実施形態を示す回路図である。

【図1】



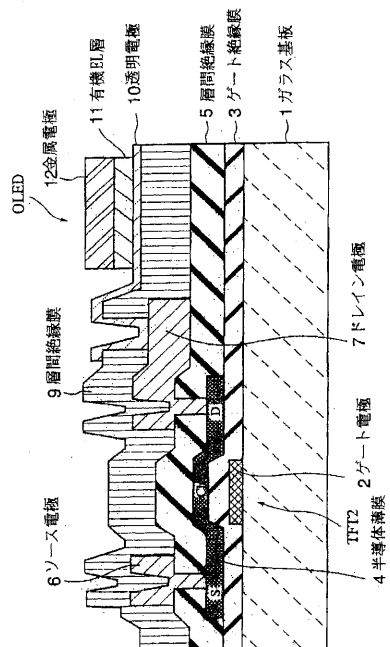
【図2】

FIG.2



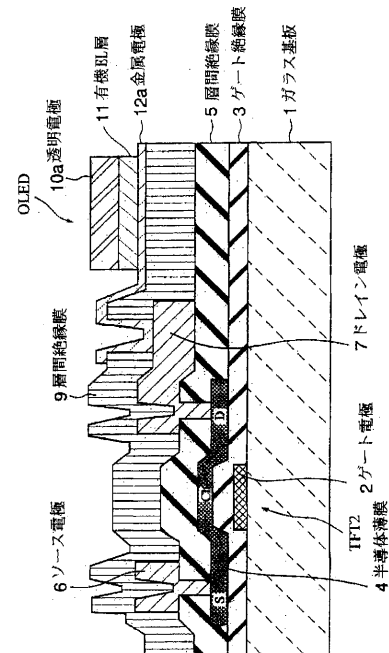
【図3】

FIG.3



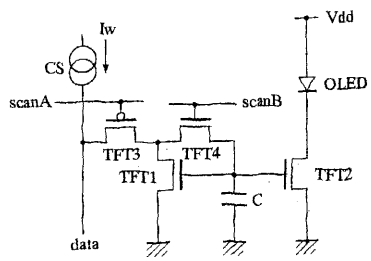
【図4】

FIG.4



【図5】

FIG.5



【図6A】



FIG.6A

【図6B】



FIG.6B

【図6C】

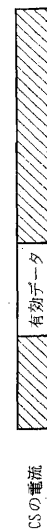
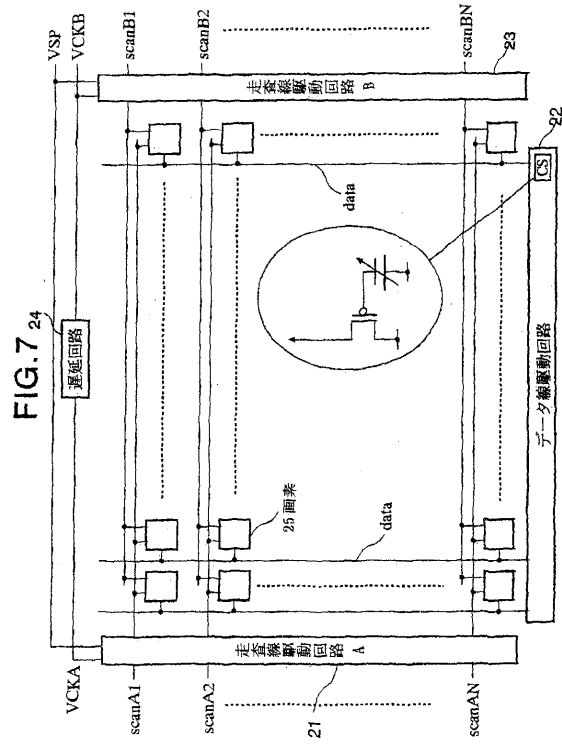


FIG.6C

【図6D】

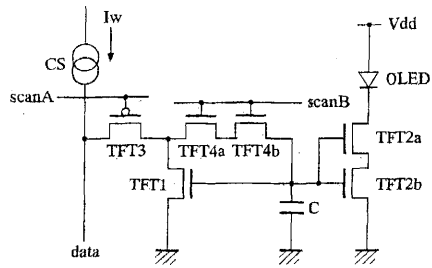


【図7】

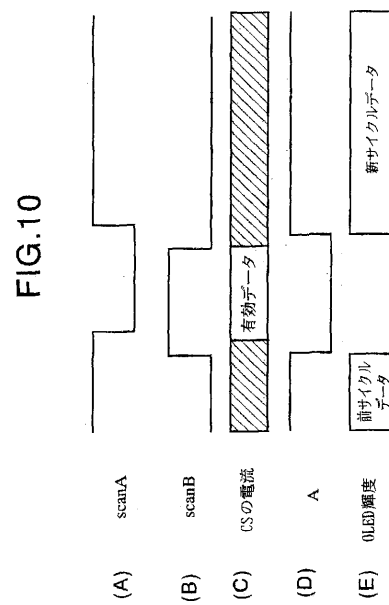


【図8】

FIG.8

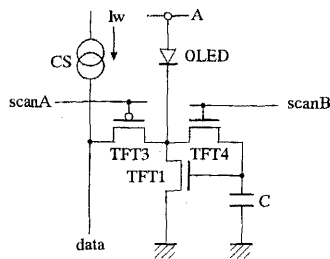


【図10】



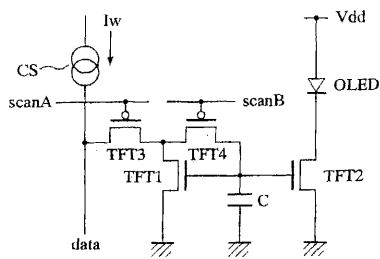
【図9】

FIG.9

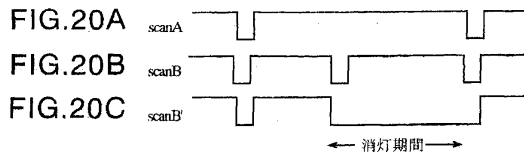


【図19】

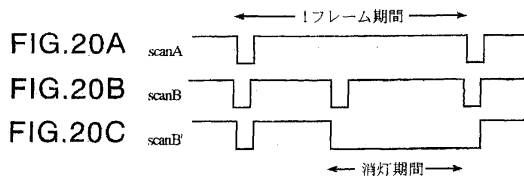
FIG.19



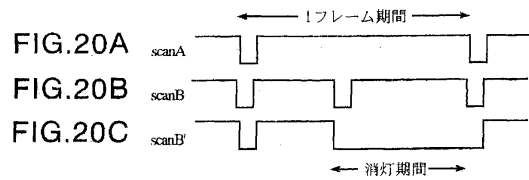
【図20A】



【図20B】

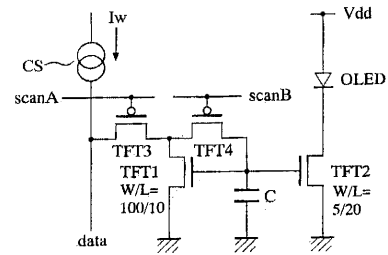


【図20C】



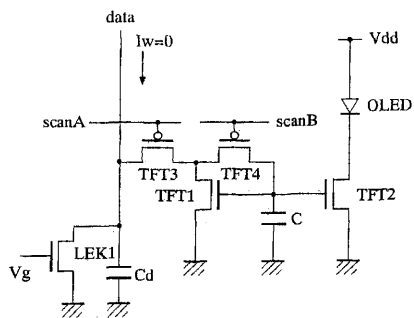
【図21】

FIG.21



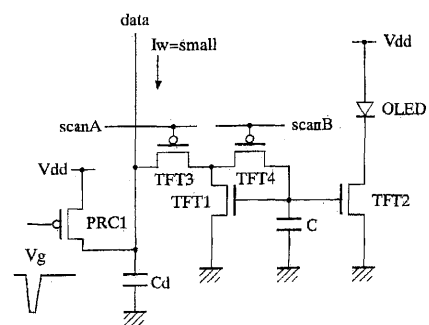
【図22】

FIG.22



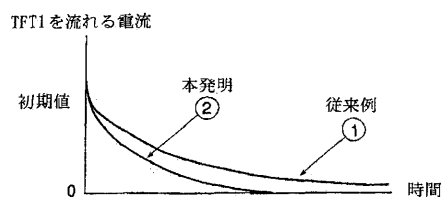
【図24】

FIG.24



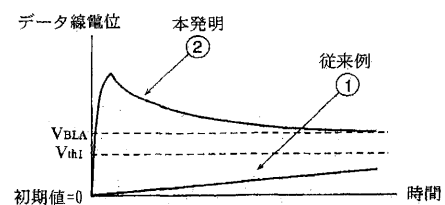
【図23】

FIG.23



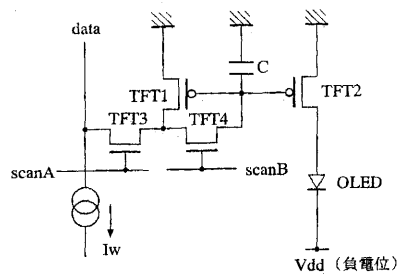
【図25】

FIG.25



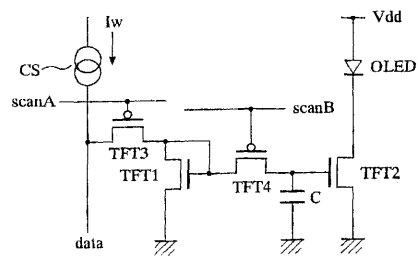
【図 26】

FIG.26



【図 27】

FIG.27



符号リスト

- OLED・・・発光素子
- TFT1・・・変換用薄膜トランジスタ
- TFT2・・・駆動用薄膜トランジスタ
- TFT3・・・取込用薄膜トランジスタ
- TFT4・・・スイッチ用薄膜トランジスタ
- C・・・保持容量
- CS・・・電流源
- scanA・・・走査線
- scanB・・・走査線
- data・・・データ線
- 21・・・走査線駆動回路
- 22・・・データ線駆動回路
- 23・・・走査線駆動回路
- 25・・・画素

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 4 2 E
G 0 9 F 9/30 3 3 8

(56)参考文献 実開昭62-122488(JP, U)
国際公開第98/048403(WO, A1)
特開平11-282419(JP, A)
国際公開第99/065012(WO, A1)
特開2000-081920(JP, A)
特表2002-517806(JP, A)
特開平10-319908(JP, A)
欧州特許出願公開第0905673(EP, A1)
特開平06-236697(JP, A)
特開平02-105907(JP, A)
特開平05-181554(JP, A)
特開平03-075978(JP, A)
特開平03-004383(JP, A)
特開平11-264844(JP, A)
特開2000-040924(JP, A)
特開平08-054835(JP, A)
特開2000-221942(JP, A)
特開平08-088400(JP, A)
特開平03-118168(JP, A)
特開2001-083924(JP, A)
特開2001-056667(JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30
G09F 9/30
G09G 3/20

专利名称(译)	电流驱动电路，使用其的显示装置，像素电路和驱动方法		
公开(公告)号	JP4126909B2	公开(公告)日	2008-07-30
申请号	JP2001511659	申请日	2000-07-14
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	湯本昭		
发明人	湯本 昭		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 G09G3/32 H01L27/32		
CPC分类号	G09G3/3216 G09G3/3241 G09G3/325 G09G3/3275 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2300/0866 G09G2310/0248 G09G2310/0262 G09G2320/0219 G09G2320/0238 H01L27/3244		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.624.B G09G3/20.623.B G09G3/20.621.F G09G3/20.641.D G09G3/20.642.E G09F9/30.338		
代理人(译)	佐藤隆久		
审查员(译)	Naoaki桥本		
优先权	1999200843 1999-07-14 JP		
其他公开文献	JPWO2001006484A1		
外部链接	Espacenet		

摘要(译)

一种显示装置，包括电流驱动电路，该电流驱动电路能够稳定且正确地向每个像素的发光元件提供预期的电流，而不受像素内部有源元件的特性变化的影响，因此能够显示高质量的图像，其中每个像素包括用于选择扫描线（SCAN-A）时从数据线（DATA）提取信号电流（ I_w ）的接收用晶体管（TFT3），用于一次转换像素的转换用晶体管（TFT1）所获取的信号电流（ I_w ）的电流电平保持为电压电平，并且驱动使用晶体管（TFT2）用于使具有与保持的电压电平相对应的电流电平的驱动电流通过发光元件（OLED）。转换用薄膜晶体管（TFT1）通过将由（TFT3）获取的信号电流（ I_w ）通过其自身的通道，在其自身的栅极处产生转换的电压电平。电容器（C）保持在（TFT1）栅极处产生的电压电平。（TFT2）使具有与保持的电压电平相对应的电流电平的驱动电流通过发光元件（OLED）。

4

FIG.4

