

【特許請求の範囲】

【請求項 1】

(A) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた n チャンネル型の駆動トランジスタ、

(B) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、並びに、

(C) 一対の電極を備えたコンデンサ部、
を備えており、

駆動トランジスタにおいては、

(A - 1) 一方のソース/ドレイン領域は、電源部に接続されており、

(A - 2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第 2 ノードを構成し、

(A - 3) ゲート電極は、映像信号書込みトランジスタの他方のソース/ドレイン領域に接続され、且つ、コンデンサ部の他方の電極に接続されており、第 1 ノードを構成し、映像信号書込みトランジスタにおいては、

(B - 1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B - 2) ゲート電極は、走査線に接続されている、

有機エレクトロルミネッセンス発光部を駆動するための駆動回路であって、

駆動トランジスタの一方のソース/ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第 1 の電圧と、第 2 ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第 2 の電圧とが、選択的に電源部から印加され、

駆動トランジスタの一方のソース/ドレイン領域側には、LDD 構造が形成されていることを特徴とする有機エレクトロルミネッセンス発光部を駆動するための駆動回路。

【請求項 2】

駆動トランジスタの他方のソース/ドレイン領域側には、第 2 の LDD 構造が形成されていると共に、第 2 の LDD 構造の長さは駆動トランジスタの一方のソース/ドレイン領域側の LDD 構造の長さよりも短いことを特徴とする請求項 1 に記載の有機エレクトロルミネッセンス発光部を駆動するための駆動回路。

【請求項 3】

(A) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた n チャンネル型の駆動トランジスタ、

(B) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、並びに、

(C) 一対の電極を備えたコンデンサ部、
を備えており、

駆動トランジスタにおいては、

(A - 1) 一方のソース/ドレイン領域は、電源部に接続されており、

(A - 2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第 2 ノードを構成し、

(A - 3) ゲート電極は、映像信号書込みトランジスタの他方のソース/ドレイン領域に接続され、且つ、コンデンサ部の他方の電極に接続されており、第 1 ノードを構成し、映像信号書込みトランジスタにおいては、

(B - 1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B - 2) ゲート電極は、走査線に接続されている、

有機エレクトロルミネッセンス発光部を駆動するための駆動回路であって、

駆動回路は、

(D) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた第1ノード初期化トランジスタ、
を更に備えており、

第1ノード初期化トランジスタにおいては、

(D-1) 一方のソース/ドレイン領域は、第1ノード初期化電圧供給線に接続されており、

(D-2) 他方のソース/ドレイン領域は、第1ノードに接続されており、

(D-3) ゲート電極は、第1ノード初期化トランジスタ制御線に接続されており、

駆動トランジスタの一方のソース/ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第1の電圧と、第2ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第2の電圧とが、選択的に電源部から印加され、

駆動トランジスタの一方のソース/ドレイン領域側には、LDD構造が形成されていることを特徴とする有機エレクトロルミネッセンス発光部を駆動するための駆動回路。

【請求項4】

駆動トランジスタの他方のソース/ドレイン領域側には、第2のLDD構造が形成されていると共に、第2のLDD構造の長さは駆動トランジスタの一方のソース/ドレイン領域側のLDD構造の長さよりも短いことを特徴とする請求項3に記載の有機エレクトロルミネッセンス発光部を駆動するための駆動回路。

【請求項5】

有機エレクトロルミネッセンス発光部を駆動するための駆動回路であって、ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えたnチャンネル型の駆動トランジスタを含んでおり、

駆動トランジスタにおいては、一方のソース/ドレイン領域は、電源部に接続されており、他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続されており、

駆動トランジスタの一方のソース/ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第1の電圧と、前記アノード電極に接続された駆動トランジスタの他方のソース/ドレイン領域と有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第2の電圧とが、選択的に電源部から印加され、

駆動トランジスタの一方のソース/ドレイン領域側には、LDD構造が形成されていることを特徴とする有機エレクトロルミネッセンス発光部を駆動するための駆動回路。

【請求項6】

駆動トランジスタの他方のソース/ドレイン領域側には、第2のLDD構造が形成されていると共に、第2のLDD構造の長さは駆動トランジスタの一方のソース/ドレイン領域側のLDD構造の長さよりも短いことを特徴とする請求項5に記載の有機エレクトロルミネッセンス発光部を駆動するための駆動回路。

【請求項7】

(A) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えたnチャンネル型の駆動トランジスタ、

(B) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、並びに、

(C) 一対の電極を備えたコンデンサ部、
を備えており、

駆動トランジスタにおいては、

(A-1) 一方のソース/ドレイン領域は、電源部に接続されており、

(A-2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備

10

20

30

40

50

えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第2ノードを構成し、

(A-3) ゲート電極は、映像信号書込みトランジスタの他方のソース/ドレイン領域に接続され、且つ、コンデンサ部の他方の電極に接続されており、第1ノードを構成し、映像信号書込みトランジスタにおいては、

(B-1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B-2) ゲート電極は、走査線に接続されている、

有機エレクトロルミネッセンス発光部を駆動するための駆動回路を用いた有機エレクトロルミネッセンス発光部の駆動方法であって、

駆動トランジスタの一方のソース/ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第1の電圧と、第2ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第2の電圧とが、選択的に電源部から印加され、

駆動トランジスタの一方のソース/ドレイン領域側には、LDD構造が形成されており、

有機エレクトロルミネッセンス発光部の駆動方法は、

(a) 第1ノードと第2ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から第1ノードに第1ノード初期化電圧を印加し、電源部から駆動トランジスタの一方のソース/ドレイン領域に第2の電圧を印加する前処理を行い、次いで、

(b) 走査線からの信号によりオン状態を維持した映像信号書込みトランジスタを介してデータ線から第1ノードに第1ノード初期化電圧を印加した状態で、電源部から駆動トランジスタの一方のソース/ドレイン領域に第1の電圧を印加し、以て、第1ノードの電位を保った状態で、第1ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第2ノードの電位を変化させる閾値電圧キャンセル処理を行い、その後、

(c) 走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号を第1ノードに印加する書込み処理を行い、次いで、

(d) 走査線からの信号により映像信号書込みトランジスタをオフ状態とすることにより第1ノードを浮遊状態とし、電源部から駆動トランジスタを介して、第1ノードと第2ノードとの間の電位差の値に応じた電流を有機エレクトロルミネッセンス発光部に流す、工程から成ることを特徴とする有機エレクトロルミネッセンス発光部の駆動方法。

【請求項8】

駆動トランジスタの他方のソース/ドレイン領域側には、第2のLDD構造が形成されていると共に、第2のLDD構造の長さは駆動トランジスタの一方のソース/ドレイン領域側のLDD構造の長さよりも短いことを特徴とする請求項7に記載の有機エレクトロルミネッセンス発光部の駆動方法。

【請求項9】

(A) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えたnチャンネル型の駆動トランジスタ、

(B) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、並びに、

(C) 一对の電極を備えたコンデンサ部、を備えており、

駆動トランジスタにおいては、

(A-1) 一方のソース/ドレイン領域は、電源部に接続されており、

(A-2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第2ノードを構成し、

(A-3) ゲート電極は、映像信号書込みトランジスタの他方のソース/ドレイン領域

10

20

30

40

50

に接続され、且つ、コンデンサ部の他方の電極に接続されており、第 1 ノードを構成し、映像信号書込みトランジスタにおいては、

(B - 1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B - 2) ゲート電極は、走査線に接続されている、

有機エレクトロルミネッセンス発光部を駆動するための駆動回路を用いた有機エレクトロルミネッセンス発光部の駆動方法であって、

駆動回路は、

(D) ソース/ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた第 1 ノード初期化トランジスタ、

を更に備えており、

10

第 1 ノード初期化トランジスタにおいては、

(D - 1) 一方のソース/ドレイン領域は、第 1 ノード初期化電圧供給線に接続されており、

(D - 2) 他方のソース/ドレイン領域は、第 1 ノードに接続されており、

(D - 3) ゲート電極は、第 1 ノード初期化トランジスタ制御線に接続されており、

駆動トランジスタの一方のソース/ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第 1 の電圧と、第 2 ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第 2 の電圧とが、選択的に電源部から印加され、

20

駆動トランジスタの一方のソース/ドレイン領域側には、LDD 構造が形成されており、

有機エレクトロルミネッセンス発光部の駆動方法は、

(a) 第 1 ノードと第 2 ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、第 1 ノード初期化トランジスタ制御線からの信号によりオン状態とされた第 1 ノード初期化トランジスタを介して、第 1 ノード初期化電圧供給線から第 1 ノードに第 1 ノード初期化電圧を印加し、電源部から駆動トランジスタの一方のソース/ドレイン領域に第 2 の電圧を印加する前処理を行い、次いで、

(b) 第 1 ノード初期化トランジスタ制御線からの信号によりオン状態を維持した第 1 ノード初期化トランジスタを介して第 1 ノード初期化電圧供給線から第 1 ノードに第 1 ノード初期化電圧を印加した状態で、電源部から駆動トランジスタの一方のソース/ドレイン領域に第 1 の電圧を印加し、以て、第 1 ノードの電位を保った状態で、第 1 ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第 2 ノードの電位を変化させる閾値電圧キャンセル処理を行い、その後、

30

(c) 走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号を第 1 ノードに印加する書込み処理を行い、次いで、

(d) 走査線からの信号により映像信号書込みトランジスタをオフ状態とすることにより第 1 ノードを浮遊状態とし、電源部から駆動トランジスタを介して、第 1 ノードと第 2 ノードとの間の電位差の値に応じた電流を有機エレクトロルミネッセンス発光部に流す、工程から成ることを特徴とする有機エレクトロルミネッセンス発光部の駆動方法。

40

【請求項 10】

駆動トランジスタの他方のソース/ドレイン領域側には、第 2 の LDD 構造が形成されていると共に、第 2 の LDD 構造の長さは駆動トランジスタの一方のソース/ドレイン領域側の LDD 構造の長さよりも短いことを特徴とする請求項 9 に記載の有機エレクトロルミネッセンス発光部の駆動方法。

【請求項 11】

(1) 走査回路、

(2) 映像信号出力回路、

(3) 第 1 の方向に N 個、第 1 の方向とは異なる第 2 の方向に M 個、合計 $N \times M$ 個の、2 次元マトリクス状に配列され、それぞれが有機エレクトロルミネッセンス発光部、及び

50

、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えている有機エレクトロルミネッセンス素子、

(4) 走査回路に接続され、第1の方向に延びるM本の走査線、

(5) 映像信号出力回路に接続され、第2の方向に延びるN本のデータ線、並びに、

(6) 電源部、

を備えた有機エレクトロルミネッセンス表示装置であって、

前記駆動回路は、

(A) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えたnチャンネル型の駆動トランジスタ、

(B) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、並びに、

(C) 一对の電極を備えたコンデンサ部、

を備えており、

駆動トランジスタにおいては、

(A-1) 一方のソース/ドレイン領域は、電源部に接続されており、

(A-2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第2ノードを構成し、

(A-3) ゲート電極は、映像信号書込みトランジスタの他方のソース/ドレイン領域に接続され、且つ、コンデンサ部の他方の電極に接続されており、第1ノードを構成し、

映像信号書込みトランジスタにおいては、

(B-1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B-2) ゲート電極は、走査線に接続されており、

駆動トランジスタの一方のソース/ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第1の電圧と、第2ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第2の電圧とが、選択的に電源部から印加され、

駆動トランジスタの一方のソース/ドレイン領域側には、LDD構造が形成されていることを特徴とする有機エレクトロルミネッセンス表示装置。

【請求項12】

駆動トランジスタの他方のソース/ドレイン領域側には、第2のLDD構造が形成されていると共に、第2のLDD構造の長さは駆動トランジスタの一方のソース/ドレイン領域側のLDD構造の長さよりも短いことを特徴とする請求項11に記載の有機エレクトロルミネッセンス表示装置。

【請求項13】

(1) 走査回路、

(2) 映像信号出力回路、

(3) 第1の方向にN個、第1の方向とは異なる第2の方向にM個、合計 $N \times M$ 個の、2次元マトリクス状に配列され、それぞれが有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えている有機エレクトロルミネッセンス素子、

(4) 走査回路に接続され、第1の方向に延びるM本の走査線、

(5) 映像信号出力回路に接続され、第2の方向に延びるN本のデータ線、並びに、

(6) 電源部、

を備えた有機エレクトロルミネッセンス表示装置であって、

前記駆動回路は、

(A) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えたnチャンネル型の駆動トランジスタ、

(B) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた映像信号

10

20

30

40

50

書込みトランジスタ、並びに、

(C) 一对の電極を備えたコンデンサ部、
を備えており、

駆動トランジスタにおいては、

(A-1) 一方のソース/ドレイン領域は、電源部に接続されており、

(A-2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第2ノードを構成し、

(A-3) ゲート電極は、映像信号書込みトランジスタの他方のソース/ドレイン領域に接続され、且つ、コンデンサ部の他方の電極に接続されており、第1ノードを構成し、

映像信号書込みトランジスタにおいては、

(B-1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B-2) ゲート電極は、走査線に接続されている、

有機エレクトロルミネッセンス発光部を駆動するための駆動回路であって、

駆動回路は、

(D) ソース/ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた第1ノード初期化トランジスタ、

を更に備えており、

第1ノード初期化トランジスタにおいては、

(D-1) 一方のソース/ドレイン領域は、第1ノード初期化電圧供給線に接続されており、

(D-2) 他方のソース/ドレイン領域は、第1ノードに接続されており、

(D-3) ゲート電極は、第1ノード初期化トランジスタ制御線に接続されており、

駆動トランジスタの一方のソース/ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第1の電圧と、第2ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第2の電圧とが、選択的に電源部から印加され、

駆動トランジスタの一方のソース/ドレイン領域側には、LDD構造が形成されていることを特徴とする有機エレクトロルミネッセンス表示装置。

【請求項14】

駆動トランジスタの他方のソース/ドレイン領域側には、第2のLDD構造が形成されていると共に、第2のLDD構造の長さは駆動トランジスタの一方のソース/ドレイン領域側のLDD構造の長さよりも短いことを特徴とする請求項13に記載の有機エレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス表示装置、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路、並びに、有機エレクトロルミネッセンス発光部の駆動方法に関する。

【背景技術】

【0002】

有機エレクトロルミネッセンス素子(以下、単に、有機EL素子と略称する)を発光素子として用いた有機エレクトロルミネッセンス表示装置(以下、単に、有機EL表示装置と略称する)において、有機EL素子の輝度は、有機EL素子を流れる電流値によって制御される。そして、液晶表示装置と同様に、有機EL表示装置においても、駆動方式として、単純マトリクス方式、及び、アクティブマトリクス方式が周知である。アクティブマトリクス方式は、単純マトリクス方式に比べて構造が複雑となるといった欠点はあるが、画像の輝度を高いものとする事ができる等、種々の利点を有する。

【 0 0 0 3 】

有機 E L 素子を構成する有機エレクトロルミネッセンス発光部（以下、単に、発光部と略称する）を駆動するための回路として、5つのトランジスタと1つのコンデンサ部から構成された駆動回路（5 T r / 1 C 駆動回路と呼ぶ）が、例えば、特開 2 0 0 6 - 2 1 5 2 1 3 号公報から周知である。5 T r / 1 C 駆動回路は、図 1 2 に示すように、映像信号書込みトランジスタ T_{Sig} 、駆動トランジスタ T_{Drv} 、発光制御トランジスタ T_{EL_C} 、第 1 ノード初期化トランジスタ T_{ND1} 、第 2 ノード初期化トランジスタ T_{ND2} の 5 つのトランジスタから構成され、更には、1つのコンデンサ部 C_1 から構成されている。ここで、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域は第 2 ノード ND_2 を構成し、駆動トランジスタ T_{Drv} のゲート電極は第 1 ノード ND_1 を構成する。

10

【 0 0 0 4 】

尚、これらのトランジスタ及びコンデンサ部については、後に詳しく説明する。

【 0 0 0 5 】

例えば、各トランジスタは n チャネル型の薄膜トランジスタ（T F T）から成り、発光部 E L P は、駆動回路を覆うように形成された層間絶縁層等の上に設けられている。発光部 E L P のアノード電極は、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域に接続されている。一方、発光部 E L P のカソード電極には、電圧 V_{Cat} （例えば、0 ボルト）が印加される。符号 C_{EL} は発光部 E L P の寄生容量を表す。

【 0 0 0 6 】

有機 E L 表示装置は、図 1 3 に概念図を示すように、

20

（ 1 ）走査回路 1 0 1、

（ 2 ）映像信号出力回路 1 0 2、

（ 3 ）第 1 の方向に N 個、第 1 の方向とは異なる第 2 の方向（具体的には、第 1 の方向に直交する方向）に M 個、合計 $N \times M$ 個の、2 次元マトリクス状に配列され、それぞれが有機エレクトロルミネッセンス発光部 E L P、及び、有機エレクトロルミネッセンス発光部 E L P を駆動するための駆動回路を備えている有機エレクトロルミネッセンス素子 1 0、

（ 4 ）走査回路 1 0 1 に接続され、第 1 の方向に延びる M 本の走査線 S C L、

（ 5 ）映像信号出力回路 1 0 2 に接続され、第 2 の方向に延びる N 本のデータ線 D T L

30

（ 6 ）電源部 1 0 0、

（ 7 ）発光制御トランジスタ制御回路 1 0 3、

（ 8 ）第 1 ノード初期化トランジスタ制御回路 1 0 4、並びに、

（ 9 ）第 2 ノード初期化トランジスタ制御回路 1 0 5、

を備えている。尚、図 1 3 においては、便宜のため 3×3 個の有機 E L 素子 1 0 を示したが、これは単なる例示に過ぎない。

【 0 0 0 7 】

各有機 E L 素子 1 0 における駆動のタイミングチャートを模式的に図 1 4 に示し、各トランジスタのオン/オフ状態等を模式的に図 1 5 の（ A ）～（ D ）及び図 1 6 の（ A ）～（ E ）に示す。図 1 4 に示すように、[期間 - $TP(5)_1$] において、閾値電圧キャンセル処理を行うための前処理が実行される。即ち、第 1 ノード初期化トランジスタ制御回路 1 0 4 及び第 2 ノード初期化トランジスタ制御回路 1 0 5 の動作に基づき、第 1 ノード初期化トランジスタ制御線 AZ_{ND1} 及び第 2 ノード初期化トランジスタ制御線 AZ_{ND2} をハイレベルとする。これにより、図 1 5 の（ B ）に示すように、第 1 ノード初期化トランジスタ T_{ND1} 及び第 2 ノード初期化トランジスタ T_{ND2} をオン状態とすることで、第 1 ノード ND_1 の電位は、 V_{ofs} （例えば、0 ボルト）となる。一方、第 2 ノード ND_2 の電位は、 V_{ss} （例えば、- 1 0 ボルト）となる。そして、これによって、駆動トランジスタ T_{Drv} のゲート電極と他方のソース/ドレイン領域との間の電位差が、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} （例えば、3 ボルト）以上となる。駆動トランジスタ T_{Drv} はオン状態である。

40

50

【 0 0 0 8 】

次いで、図 1 4 に示すように、[期間 - $TP(5)_2$] において、閾値電圧キャンセル処理が行われる。[期間 - $TP(5)_1$] の完了以前において、第 2 ノード初期化トランジスタ制御線 AZ_{ND2} をローレベルとすることによって、第 2 ノード初期化トランジスタ T_{ND2} をオフ状態とする。そして、図 1 5 の (D) に示すように、第 1 ノード初期化トランジスタ T_{ND1} のオン状態を維持したまま、[期間 - $TP(5)_2$] の始期において発光制御トランジスタ制御回路 1 0 3 の動作に基づき、発光制御トランジスタ制御線 CL_{EL_C} をハイレベルとする。これにより、発光制御トランジスタ T_{EL_C} をオン状態とする。その結果、第 1 ノード ND_1 の電位から駆動トランジスタ T_{Drv} の閾値電圧 V_{th} を減じた電位に向かって、第 2 ノード ND_2 の電位は変化する。即ち、浮遊状態の第 2 ノード ND_2 の電位が上昇する。そして、駆動トランジスタ T_{Drv} のゲート電極と他方のソース/ドレイン領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{Drv} がオフ状態となる。この状態にあっては、第 2 ノード ND_2 の電位は、概ね $(V_{ofs} - V_{th})$ である。その後、[期間 - $TP(5)_3$] において、第 1 ノード初期化トランジスタ T_{ND1} のオン状態を維持したまま、発光制御トランジスタ制御回路 1 0 3 の動作に基づき、発光制御トランジスタ制御線 CL_{EL_C} をローレベルとし、発光制御トランジスタ T_{EL_C} をオフ状態とする。次に、[期間 - $TP(5)_4$] において、第 1 ノード初期化トランジスタ制御回路 1 0 4 の動作に基づき第 1 ノード初期化トランジスタ制御線 AZ_{ND1} をローレベルとすることによって、第 1 ノード初期化トランジスタ T_{ND1} をオフ状態とする。

10

【 0 0 0 9 】

20

次いで、図 1 4 に示すように、[期間 - $TP(5)_5$] において、駆動トランジスタ T_{Drv} に対する書込み処理を行う。具体的には、図 1 6 の (C) に示すように、第 1 ノード初期化トランジスタ T_{ND1} 、第 2 ノード初期化トランジスタ T_{ND2} 、及び、発光制御トランジスタ T_{EL_C} のオフ状態を維持したまま、データ線 DTL の電位を映像信号に相当する電圧 [発光部 ELP における輝度を制御するための映像信号 (駆動信号、輝度信号) V_{sig}] とし、次いで、走査線 SC_L をハイレベルとすることによって映像信号書込みトランジスタ T_{sig} をオン状態とする。その結果、第 1 ノード ND_1 の電位は、 V_{sig} へと上昇する。第 1 ノード ND_1 の電位の変化分に基づく電荷は、コンデンサ部 C_1 、発光部 ELP の寄生容量 C_{EL} 、駆動トランジスタ T_{Drv} におけるゲート電極と発光部 ELP 側のソース/ドレイン領域との間の寄生容量に振り分けられる。従って、第 1 ノード ND_1 の電位が変化すると、第 2 ノード ND_2 の電位も変化する。しかし、発光部 ELP の寄生容量 C_{EL} の容量値が大きな値である程、第 2 ノード ND_2 の電位の変化は小さくなる。そして、一般に、発光部 ELP の寄生容量 C_{EL} の容量値は、コンデンサ部 C_1 の容量値及び駆動トランジスタ T_{Drv} の寄生容量の値よりも大きい。そこで、第 2 ノード ND_2 の電位は殆ど変化しないとすれば、駆動トランジスタ T_{Drv} のゲート電極と他方のソース/ドレイン領域との間の電位差 V_{gs} は、以下の式 (A) のとおりとなる。

30

【 0 0 1 0 】

$$V_{gs} = V_{sig} - (V_{ofs} - V_{th}) \quad (A)$$

【 0 0 1 1 】

その後、図 1 4 に示すように、[期間 - $TP(5)_6$] において、駆動トランジスタ T_{Drv} の特性 (例えば、移動度 μ の大小等) に応じて駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域の電位 (即ち、第 2 ノード ND_2 の電位) を上昇させる移動度補正処理を行う。具体的には、図 1 6 の (D) に示すように、駆動トランジスタ T_{Drv} のオン状態を維持したまま、発光制御トランジスタ制御回路 1 0 3 の動作に基づき、発光制御トランジスタ T_{EL_C} をオン状態とし、次いで、所定の時間 (t_0) が経過した後、映像信号書込みトランジスタ T_{sig} をオフ状態とする。その結果、駆動トランジスタ T_{Drv} の移動度 μ の値が大きい場合、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域における電位の上昇量 ΔV (電位補正值) は大きくなり、駆動トランジスタ T_{Drv} の移動度 μ の値が小さい場合、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域における電位の上昇量 ΔV (電位補正值) は小さくなる。ここで、駆動トランジスタ T_{Drv} のゲート電極と他方のソ

40

50

ース/ドレイン領域との間の電位差 V_{gs} は、式 (A) から以下の式 (B) のように変形される。尚、移動度補正処理を実行するための所定の時間 ([期間 - TP (5)₆] の全時間 t_0) は、有機 EL 表示装置の設計の際、設計値として予め決定しておけばよい。

【 0 0 1 2 】

$$V_{gs} = V_{sig} - (V_{ofs} - V_{th}) - \Delta V \quad (B)$$

【 0 0 1 3 】

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了する。そして、その後の [期間 - TP (5)₇] において、映像信号書込みトランジスタ T_{sig} がオフ状態となり、第 1 ノード ND_1 、即ち、図 16 の (E) に示すように、駆動トランジスタ T_{drv} のゲート電極は浮遊状態となる一方、発光制御トランジスタ T_{EL_C} はオン状態を維持しており、発光制御トランジスタ T_{EL_C} の一方のソース/ドレイン領域は、発光部 ELP の発光を制御するための電源部 (電圧 V_{CC} 、例えば 20 ボルト) に接続された状態にある。従って、以上の結果として、第 2 ノード ND_2 の電位が上昇し、所謂ブートストラップ回路におけると同様の現象が駆動トランジスタ T_{drv} のゲート電極に生じ、第 1 ノード ND_1 の電位も上昇する。その結果、駆動トランジスタ T_{drv} のゲート電極と他方のソース/ドレイン領域との間の電位差 V_{gs} は、式 (B) の値を保持する。また、発光部 ELP を流れる電流は、駆動トランジスタ T_{drv} のドレイン領域からソース領域へと流れるドレイン電流 I_{ds} であるので、駆動トランジスタ T_{drv} が飽和領域において理想的に動作するとすれば、式 (C) で表すことができる。発光部 ELP は、ドレイン電流 I_{ds} の値に応じた輝度で発光する。

10

20

【 0 0 1 4 】

$$\begin{aligned} I_{ds} &= k \cdot \mu \cdot (V_{gs} - V_{th})^2 \\ &= k \cdot \mu \cdot (V_{sig} - V_{ofs} - \Delta V)^2 \quad (C) \end{aligned}$$

【 0 0 1 5 】

【特許文献 1】特開 2006 - 215213 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 6 】

上述したように、従来の駆動回路は、発光部 ELP を発光させるために必要な駆動トランジスタと映像信号書込みトランジスタの他、更に 3 つのトランジスタを必要とし、駆動回路の構成が複雑である。有機 EL 表示装置の製造の容易化や歩留まりの向上等を図る観点からは、有機 EL 素子の駆動回路の構成は簡単であることが望ましい。

30

【 0 0 1 7 】

従って、本発明の目的は、簡単な構成で、駆動トランジスタの特性ばらつきを補正するための上述した閾値電圧キャンセル処理等を支障なく行うことができ、有機 EL 素子の発光特性を良好なものとすることができる有機エレクトロルミネッセンス発光部を駆動するための駆動回路、係る駆動回路を備えた有機エレクトロルミネッセンス表示装置、及び、係る駆動回路を用いた有機エレクトロルミネッセンス発光部の駆動方法を提供することにある。

40

【課題を解決するための手段】

【 0 0 1 8 】

上記の目的を達成するための本発明の第 1 の態様若しくは第 2 の態様に係る有機エレクトロルミネッセンス表示装置は、

(1) 走査回路、

(2) 映像信号出力回路、

(3) 第 1 の方向に N 個、第 1 の方向とは異なる第 2 の方向に M 個、合計 $N \times M$ 個の、2 次元マトリクス状に配列され、それぞれが有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えている有機エレクトロルミネッセンス素子、

(4) 走査回路に接続され、第 1 の方向に延びる M 本の走査線、

50

(5) 映像信号出力回路に接続され、第 2 の方向に延びる N 本のデータ線、並びに、
(6) 電源部、
を備えた有機エレクトロルミネッセンス表示装置に関する。

【 0 0 1 9 】

上記の目的を達成するための本発明の第 1 の態様に係る有機エレクトロルミネッセンス表示装置を構成する駆動回路、本発明の第 1 の態様に係る有機エレクトロルミネッセンス発光部を駆動するための駆動回路、及び、本発明の第 1 の態様に係る有機エレクトロルミネッセンス発光部の駆動方法に用いられる駆動回路（以下、これらを単に、本発明の第 1 の態様に係る駆動回路と呼ぶ場合がある）、並びに、上記の目的を達成するための本発明の第 2 の態様に係る有機エレクトロルミネッセンス表示装置を構成する駆動回路、本発明の第 2 の態様に係る有機エレクトロルミネッセンス発光部を駆動するための駆動回路、及び、本発明の第 2 の態様に係る有機エレクトロルミネッセンス発光部の駆動方法に用いられる駆動回路（以下、これらを単に、本発明の第 2 の態様に係る駆動回路と呼ぶ場合がある）は、

(A) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた n チャンネル型の駆動トランジスタ、

(B) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、並びに、

(C) 一对の電極を備えたコンデンサ部、
を備えており、

駆動トランジスタにおいては、

(A - 1) 一方のソース/ドレイン領域は、電源部に接続されており、

(A - 2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第 2 ノードを構成し、

(A - 3) ゲート電極は、映像信号書込みトランジスタの他方のソース/ドレイン領域に接続され、且つ、コンデンサ部の他方の電極に接続されており、第 1 ノードを構成し、映像信号書込みトランジスタにおいては、

(B - 1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B - 2) ゲート電極は、走査線に接続されている、
駆動回路に関する。

【 0 0 2 0 】

本発明の第 2 の態様に係る駆動回路は、

(D) ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた第 1 ノード初期化トランジスタ、
を更に備えており、

第 1 ノード初期化トランジスタにおいては、

(D - 1) 一方のソース/ドレイン領域は、第 1 ノード初期化電圧供給線に接続されており、

(D - 2) 他方のソース/ドレイン領域は、第 1 ノードに接続されており、

(D - 3) ゲート電極は、第 1 ノード初期化トランジスタ制御線に接続されている、
駆動回路に関する。

【 0 0 2 1 】

そして、本発明の第 1 の態様若しくは第 2 の態様に係る駆動回路は、駆動トランジスタの一方のソース/ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第 1 の電圧と、第 2 ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第 2 の電圧とが、選択的に電源部から印加され、駆動トランジスタの一方のソース/ドレイン領域側には、LDD 構造が形成されていることを特徴とする。

【 0 0 2 2 】

上記の目的を達成するための本発明の第3の態様に係る有機エレクトロルミネッセンス発光部を駆動するための駆動回路（以下、これらを単に、本発明の第3の態様に係る駆動回路と呼ぶ場合がある）は、ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えたnチャンネル型の駆動トランジスタを含んだ駆動回路に関する。駆動トランジスタにおいては、一方のソース/ドレイン領域は、電源部に接続されており、他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続されている。そして、駆動トランジスタの一方のソース/ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第1の電圧と、前記アノード電極に接続された駆動トランジスタの他方のソース/ドレイン領域と有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第2の電圧とが、選択的に電源部から印加され、駆動トランジスタの一方のソース/ドレイン領域側には、LDD構造が形成されていることを特徴とする。

10

【 0 0 2 3 】

本発明の第1の態様、第2の態様、第3の態様に係る駆動回路（以下、これらを単に、本発明の駆動回路と呼ぶ場合がある）にあっては、駆動トランジスタの他方のソース/ドレイン領域側には、第2のLDD構造が形成されていると共に、第2のLDD構造の長さは駆動トランジスタの一方のソース/ドレイン領域側のLDD構造の長さよりも短い構成とすることができる。

20

【 0 0 2 4 】

本発明の第1の態様に係る有機エレクトロルミネッセンス発光部の駆動方法（以下、単に、本発明の第1の態様に係る駆動方法と呼ぶ場合がある）は、本発明の第1の態様に係る駆動回路を用いて、

（a）第1ノードと第2ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から第1ノードに第1ノード初期化電圧を印加し、電源部から駆動トランジスタの一方のソース/ドレイン領域に第2の電圧を印加する前処理を行い、次いで、

（b）走査線からの信号によりオン状態を維持した映像信号書込みトランジスタを介してデータ線から第1ノードに第1ノード初期化電圧を印加した状態で、電源部から駆動トランジスタの一方のソース/ドレイン領域に第1の電圧を印加し、以て、第1ノードの電位を保った状態で、第1ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第2ノードの電位を変化させる閾値電圧キャンセル処理を行い、その後、

30

（c）走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号を第1ノードに印加する書込み処理を行い、次いで、

（d）走査線からの信号により映像信号書込みトランジスタをオフ状態とすることにより第1ノードを浮遊状態とし、電源部から駆動トランジスタを介して、第1ノードと第2ノードとの間の電位差の値に応じた電流を有機エレクトロルミネッセンス発光部に流す、工程から成ることを特徴とする。

【 0 0 2 5 】

40

本発明の第2の態様に係る有機エレクトロルミネッセンス発光部の駆動方法（以下、単に、本発明の第2の態様に係る駆動方法と呼ぶ場合がある）は、本発明の第2の態様に係る駆動回路を用いて、

（a）第1ノードと第2ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、第1ノード初期化トランジスタ制御線からの信号によりオン状態とされた第1ノード初期化トランジスタを介して、第1ノード初期化電圧供給線から第1ノードに第1ノード初期化電圧を印加し、電源部から駆動トランジスタの一方のソース/ドレイン領域に第2の電圧を印加する前処理を行い、次いで、

（b）第1ノード初期化トランジスタ制御線からの信号によりオン状態を維持した第1ノード初期化トランジスタを介して第1ノード初期化電圧供給線から第1ノードに第1ノ

50

ード初期化電圧を印加した状態で、電源部から駆動トランジスタの一方のソース/ドレイン領域に第1の電圧を印加し、以て、第1ノードの電位を保った状態で、第1ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第2ノードの電位を変化させる閾値電圧キャンセル処理を行い、その後、

(c) 走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号を第1ノードに印加する書込み処理を行い、次いで、

(d) 走査線からの信号により映像信号書込みトランジスタをオフ状態とすることにより第1ノードを浮遊状態とし、電源部から駆動トランジスタを介して、第1ノードと第2ノードとの間の電位差の値に応じた電流を有機エレクトロルミネッセンス発光部に流す、工程から成ることを特徴とする。

10

【0026】

図12に示す従来の駆動回路が、5つのトランジスタと1つのコンデンサ部から構成されていたのに対し、本発明の駆動回路にあってはトランジスタの数を削減することができる。これにより、有機エレクトロルミネッセンス表示装置(以下、単に、有機EL表示装置と呼ぶ場合がある)の製造の容易化や歩留まりの向上等を図ることができる。また、本発明の第1の態様に係る駆動方法あるいは本発明の第2の態様に係る駆動方法(以下、これらを単に、本発明の駆動方法と呼ぶ場合がある)により、駆動トランジスタの特性ばらつきを補正するための上述した閾値電圧キャンセル処理等を支障なく行うことができる。

【0027】

図12に示す従来の駆動回路にあっては、駆動トランジスタの一方のソース/ドレイン領域は専らドレイン領域として働き、他方のソース/ドレイン領域は専らソース領域として働く。本発明の第1の態様に係る駆動方法、及び、本発明の第2の態様に係る駆動方法にあっては、有機エレクトロルミネッセンス素子(以下、単に、有機EL素子と呼ぶ場合がある)の発光時において駆動トランジスタの一方のソース/ドレイン領域はドレイン領域として働き、他方のソース/ドレイン領域はソース領域として働く。しかし、上述した前処理や閾値電圧キャンセル処理においては、逆に、駆動トランジスタの一方のソース/ドレイン領域はソース領域として働き、他方のソース/ドレイン領域はドレイン領域として働く。そして、駆動トランジスタに大きな電流が流れるのは、有機EL素子の発光時であるので、駆動トランジスタの一方のソース/ドレイン領域から他方のソース/ドレイン領域に電流が流れる際の飽和特性における直線性を改善することにより、有機EL素子の発光特性を良好なものとすることができる。本発明の駆動回路にあっては、駆動トランジスタの一方のソース/ドレイン領域側にLDD構造(Lightly Doped Drain構造)が形成されている。即ち、有機EL素子の発光時においては駆動トランジスタのドレイン領域側にLDD構造が形成されている構成となる。従って、後述する図1の(B)に示すように、駆動トランジスタの一方のソース/ドレイン領域から他方のソース/ドレイン領域に電流が流れる際の飽和特性における直線性が改善され、有機EL素子の発光特性を良好なものとすることができる。

20

30

【0028】

また、駆動トランジスタに電源部が直接接続されている構成にあっては、電源部に静電ノイズ等が発生したとき、駆動トランジスタがその影響を受けやすい。しかし、本発明の駆動回路にあっては、駆動トランジスタの電源部側にはLDD構造が形成されているので、これが静電ノイズ等に対する保護抵抗として作用する利点も有する。

40

【0029】

この場合において、駆動トランジスタの他方のソース/ドレイン領域側にもLDD構造を形成した構成とすることができる。しかしながら、上述した前処理や閾値電圧キャンセル処理において第2ノードの電位を変化させる観点からは、飽和特性よりもむしろ駆動トランジスタの応答性を改善することが求められる。LDD構造は抵抗成分としても作用するので、駆動トランジスタの他方のソース/ドレイン領域側に、例えば駆動トランジスタの一方のソース/ドレイン領域側と同様のLDD構造を形成すると、上述した前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性が悪化すると共に、有機EL素

50

子の発光時において駆動トランジスタを流れる電流量の低下を招く要因となる。そこで、本発明の駆動回路においては、駆動トランジスタの他方のソース/ドレイン領域側に第2のLDD構造が形成されていると共に、第2のLDD構造の長さは駆動トランジスタの一方のソース/ドレイン領域側のLDD構造の長さよりも短い構成とすることが好ましい。本発明の駆動回路にあっては、有機EL素子の発光時における駆動トランジスタの飽和特性の改善と、上述した前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性の改善とを図ることができる。尚、便宜のため、以下、駆動トランジスタの一方のソース/ドレイン領域側のLDD構造を、第1のLDD構造と呼ぶ場合がある。

【0030】

本発明の第1の態様に係る駆動方法における工程(b)、若しくは、本発明の第2の態様に係る駆動方法における工程(b)にあっては、第1ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第2ノードの電位を変化させる閾値電圧キャンセル処理を行なう。定性的には、閾値電圧キャンセル処理において、第1ノードと第2ノードとの間の電位差(換言すれば、駆動トランジスタのゲート電極と他方のソース/ドレイン領域との間の電位差)が駆動トランジスタの閾値電圧に近づく程度は、閾値電圧キャンセル処理の時間により左右される。従って、例えば閾値電圧キャンセル処理の時間を充分長く確保した形態にあっては、第2ノードの電位は第1ノードの電位から駆動トランジスタの閾値電圧を減じた電位に達する。そして、第1ノードと第2ノードとの間の電位差は駆動トランジスタの閾値電圧に達し、駆動トランジスタはオフ状態となる。一方、例えば閾値電圧キャンセル処理の時間を短く設定せざるを得ない形態にあっては、第1ノードと第2ノードとの間の電位差が駆動トランジスタの閾値電圧より大きく、駆動トランジスタはオフ状態とはならない場合がある。本発明の駆動方法にあっては、閾値電圧キャンセル処理の結果として、必ずしも駆動トランジスタがオフ状態となることを要しない。

【0031】

尚、本発明の第1の態様に係る駆動方法における工程(b)において、第1ノードの電位を保った状態で、第1ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第2ノードの電位を変化させるには、前記工程(a)における第2ノードの電位に駆動トランジスタの閾値電圧を加えた電圧を超える電圧を電源部から駆動トランジスタの一方のソース/ドレイン領域に印加すればよい。本発明の第2の態様に係る駆動方法においても同様である。

【0032】

本発明の第1の態様に係る駆動方法における工程(c)、若しくは、本発明の第2の態様に係る駆動方法における工程(c)にあっては、駆動トランジスタの一方のソース/ドレイン領域に有機エレクトロルミネッセンス発光部を発光させるための第1の電圧が印加された状態で、これら工程(c)を行う構成とすることもできる。この構成にあっては、書込み処理において実質的に移動度補正処理が併せて行なわれる。

【0033】

以上に説明した各種の好ましい構成を含む本発明の第1の態様若しくは第2の態様に係る有機エレクトロルミネッセンス表示装置、本発明の駆動回路において、走査回路、映像信号出力回路等の各種の回路、走査線、データ線等の各種の配線、電源部、有機エレクトロルミネッセンス発光部(以下、単に、発光部と呼ぶ場合がある)の構成、構造は、周知の構成、構造とすることができ。具体的には、発光部は、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等から構成することができる。

【0034】

本発明の駆動回路は、例えば、2つのトランジスタと1つのコンデンサ部から構成された駆動回路(2Tr/1C駆動回路)、3つのトランジスタと1つのコンデンサ部から構成された駆動回路(3Tr/1C駆動回路)とすることができ。駆動回路の詳細は後述する。

【0035】

駆動回路を構成するトランジスタとして、nチャネル型の薄膜トランジスタ(TFT)

を挙げることができるが、場合によっては、例えば、映像信号書込みトランジスタ等に p チャンネル型の薄膜トランジスタを用いることもできる。駆動回路を構成するトランジスタは、エンハンスメント型であってもよいし、デプレッション型であってもよい。駆動トランジスタにおける第 1 の LDD 構造あるいは第 2 の LDD 構造は、広く周知の方法により形成することができる。コンデンサ部は、一方の電極、他方の電極、及び、これらの電極に挟まれた誘電体層（絶縁層）から構成することができる。駆動回路を構成するトランジスタ及びコンデンサ部は、或る平面内に形成され（例えば、支持体上に形成され）、発光部は、例えば、層間絶縁層を介して、駆動回路を構成するトランジスタ及びコンデンサ部の上方に形成されている。また、駆動トランジスタの他方のソース/ドレイン領域は、発光部に備えられたアノード電極に、例えば、コンタクトホールを介して接続されている。尚、半導体基板等にトランジスタを形成した構成であってもよい。

【0036】

有機 EL 表示装置は、 $(N/3) \times M$ 個の 2 次元マトリクス状に配列された画素から構成され、1 つの画素は、3 つの副画素（赤色を発光する赤色発光副画素、緑色を発光する緑色発光副画素、青色を発光する青色発光副画素）から構成されている形態とすることができるが、本発明は、これに限るものではない。例えば、有機 EL 表示装置は、所謂モノクロ表示の態様とすることもできる。

【0037】

各画素を構成する有機 EL 素子は、例えば、線順次駆動される。この場合の表示フレームレートを FR（回/秒）とする。即ち、第 m 行目（但し、 $m = 1, 2, 3 \dots M$ ）に配列された $(N/3)$ 個の画素、より具体的には、N 個の副画素のそれぞれを構成する有機 EL 素子を同時に駆動することができる。換言すれば、1 つの行を構成する各有機 EL 素子にあっては、その発光/非発光のタイミングは、それらが属する行単位で制御される。但し、線順次駆動される態様に限定するものではなく、有機 EL 素子が点順次駆動される態様であってもよい。

【0038】

尚、線順次駆動の際に 1 つの行を構成する各画素について映像信号を書き込む処理は、全ての画素について同時に映像信号を書き込む処理（以下、単に、同時書込み処理と呼ぶ場合がある）であってもよいし、各画素毎に順次映像信号を書き込む処理（以下、単に、順次書込み処理と呼ぶ場合がある）であってもよい。いずれの書込み処理とするかは、駆動回路の構成に応じて適宜選択すればよい。

【0039】

原則として、第 m 行目、第 n 列（但し、 $n = 1, 2, 3 \dots N$ ）に位置する有機 EL 素子に関する駆動、動作を説明するが、係る有機 EL 素子を、以下、第 (n, m) 番目の有機 EL 素子あるいは第 (n, m) 番目の副画素と呼ぶ。そして、第 m 行目に配列された各有機 EL 素子の水平走査期間（第 m 番目の水平走査期間）が終了するまでに、各種の処理（閾値電圧キャンセル処理、書込み処理、移動度補正処理）が行われる。尚、書込み処理や移動度補正処理は、第 m 番目の水平走査期間内に行われる必要がある。一方、駆動回路の種類によっては、閾値電圧キャンセル処理やこれに伴う前処理を第 m 番目の水平走査期間より先行して行うことができる。

【0040】

そして、上述した各種の処理が全て終了した後、第 m 行目に配列された各有機 EL 素子を構成する発光部を発光させる。尚、上述した各種の処理が全て終了した後、直ちに発光部を発光させてもよいし、所定の期間（例えば、所定の行数分の水平走査期間）が経過した後に発光部を発光させてもよい。この所定の期間は、有機 EL 表示装置の仕様や駆動回路の構成等に応じて、適宜設定することができる。尚、以下の説明においては、説明の便宜のため、各種の処理終了後、直ちに発光部を発光させるものとする。そして、第 m 行目に配列された各有機 EL 素子を構成する発光部の発光は、第 $(m + m')$ 行目に配列された各有機 EL 素子の水平走査期間の開始直前まで継続される。ここで、「 m' 」は、有機 EL 表示装置の設計仕様によって決定される。即ち、或る表示フレームの第 m 行目に配列

された各有機EL素子を構成する発光部の発光は、第 $(m+m'-1)$ 番目の水平走査期間まで継続される。一方、第 $(m+m')$ 番目の水平走査期間の始期から、次の表示フレームにおける第 m 番目の水平走査期間内において書込み処理や移動度補正処理が完了するまで、第 m 行目に配列された各有機EL素子を構成する発光部は、原則として非発光状態を維持する。上述した非発光状態の期間（以下、単に、非発光期間と呼ぶ場合がある）を設けることにより、アクティブマトリクス駆動に伴う残像ボケが低減され、動画品位をより優れたものとすることができる。但し、各副画素（有機EL素子）の発光状態／非発光状態は、以上に説明した状態に限定するものではない。また、水平走査期間の時間長は、 $(1/FR) \times (1/M)$ 秒未満の時間長である。 $(m+m')$ の値が M を越える場合、越えた分の水平走査期間は、次の表示フレームにおいて処理される。

10

【0041】

1つのトランジスタの有する2つのソース／ドレイン領域において、「一方のソース／ドレイン領域」という用語を、電源側に接続された側のソース／ドレイン領域といった意味において使用する場合がある。また、トランジスタがオン状態にあるとは、ソース／ドレイン領域間にチャネルが形成されている状態を意味する。係るトランジスタの一方のソース／ドレイン領域から他方のソース／ドレイン領域に電流が流れているか否かは問わない。一方、トランジスタがオフ状態にあるとは、ソース／ドレイン領域間にチャネルが形成されていない状態を意味する。更には、ソース／ドレイン領域は、不純物を含むシリコンやアモルファスシリコン等の導電性物質から構成することができるだけでなく、金属、合金、導電性粒子、これらの積層構造、有機材料（導電性高分子）から成る層から構成することができる。また、以下の説明において参照する各種のタイミングチャートにおいて、各期間を示す横軸の長さ（時間長）は模式的なものであり、各期間の時間長の割合を示すものではない。

20

【発明の効果】

【0042】

従来の駆動回路が、5つのトランジスタと1つのコンデンサ部から構成されていたのに対し、本発明の駆動回路にあってはトランジスタの数を削減することができる。これにより、有機EL表示装置の製造の容易化や歩留まりの向上等を図ることができる。また、本発明の駆動方法により、駆動トランジスタの特性ばらつきを補正するための閾値電圧キャンセル処理等を支障なく行うことができる。本発明の駆動回路にあっては、駆動トランジスタの一方のソース／ドレイン領域側にLDD構造を形成した。これにより、有機EL素子の発光時においては駆動トランジスタのドレイン領域側にLDD構造が形成されている構成となり、駆動トランジスタの一方のソース／ドレイン領域から他方のソース／ドレイン領域に電流が流れる際の飽和特性における直線性が改善され、有機EL素子の発光特性を良好なものとするることができる。また、駆動トランジスタの他方のソース／ドレイン領域側にもLDD構造を形成した構成にあっては、駆動トランジスタの他方のソース／ドレイン領域側には、駆動トランジスタの一方のソース／ドレイン領域側のLDD構造よりも長さが短い第2のLDD構造が形成されている。本発明の駆動回路にあっては、LDD構造の形成による抵抗成分の増加が抑えられ、有機EL素子の発光時における駆動トランジスタの飽和特性の直線性の改善と、前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性の改善とを図ることができる。

30

40

【発明を実施するための最良の形態】

【0043】

以下、図面を参照して、実施例に基づき本発明を説明する。

【実施例1】

【0044】

実施例1は、本発明の第1の態様に係る有機EL表示装置、本発明の第1の態様及び第3の態様に係る駆動回路、本発明の第1の態様に係る駆動方法に関する。

【0045】

実施例1の駆動回路の等価回路図を図1の(A)に示す。駆動回路を構成する駆動トラ

50

ンジスタにおけるＬＤＤ構造とドレイン電流との関係を模式的に図１の（Ｂ）に示す。実施例１の有機ＥＬ表示装置の概念図を図２に示す。有機ＥＬ素子１０の一部分の模式的な断面図を図３の（Ａ）に示し、有機ＥＬ素子１０を構成する駆動トランジスタ付近の模式的な断面図を図３の（Ｂ）に示す。有機ＥＬ素子１０における駆動のタイミングチャートを模式的に図４に示し、各トランジスタのオン／オフ状態等を模式的に図５の（Ａ）～（Ｆ）に示す。

【００４６】

先ず、実施例１の有機ＥＬ表示装置、及び、駆動回路について説明する。実施例１の有機ＥＬ表示装置は、図２に示すように、

- （１）走査回路１０１、
 - （２）映像信号出力回路１０２、
 - （３）第１の方向（実施例１においては水平方向）にＮ個、第１の方向とは異なる第２の方向（具体的には、第１の方向に直交する方向、実施例１においては垂直方向）にＭ個、合計 $N \times M$ 個の、２次元マトリクス状に配列された有機ＥＬ素子１０、
 - （４）走査回路１０１に接続され、第１の方向に延びるＭ本の走査線ＳＣＬ、
 - （５）映像信号出力回路１０２に接続され、第２の方向に延びるＮ本のデータ線ＤＴＬ、並びに、
 - （６）電源部１００、
- を備えている。後述する他の実施例においても同様である。

【００４７】

尚、図２及び後述する図８においては、 3×3 個の有機ＥＬ素子１０を図示しているが、これは、あくまでも例示に過ぎない。

【００４８】

そして、各有機ＥＬ素子１０は、駆動回路、及び、発光部ＥＬＰを備えている。ここで、発光部ＥＬＰは、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等の周知の構成、構造を有する。走査回路１０１、映像信号出力回路１０２、走査線ＳＣＬ、データ線ＤＴＬ、電源部１００の構成、構造は、周知の構成、構造とすることができる。後述する他の実施例においても同様である。また、後述する第１ノード初期化トランジスタ制御回路１０４の構成、構造も、周知の構成、構造とすることができる。

【００４９】

図１に示す実施例１の駆動回路は、発光部ＥＬＰを駆動するための駆動回路であって、ソース／ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えたｎチャンネル型の駆動トランジスタ $T_{D_{rv}}$ を含んでいる。駆動トランジスタ $T_{D_{rv}}$ においては、一方のソース／ドレイン領域は、電源部１００に接続されており、他方のソース／ドレイン領域は、発光部ＥＬＰに備えられたアノード電極に接続されている。後述する他の実施例においても同様である。

【００５０】

駆動トランジスタ $T_{D_{rv}}$ の一方のソース／ドレイン領域には、駆動トランジスタ $T_{D_{rv}}$ を介して発光部ＥＬＰに向かって電流を流すための第１の電圧 V_{CC-H} （例えば２０ボルト）と、前記アノード電極に接続された駆動トランジスタ $T_{D_{rv}}$ の他方のソース／ドレイン領域と発光部ＥＬＰに備えられたカソード電極との間の電位差が発光部ＥＬＰの閾値電圧を越えないようにするための第２の電圧 V_{CC-L} （例えば－１０ボルト）とが、選択的に電源部１００から印加される。後述する他の実施例においても同様である。尚、発光部ＥＬＰの閾値電圧については後述する。

【００５１】

以下、より詳細に説明する。実施例１の駆動回路は２つのトランジスタと１つのコンデンサ部 C_1 から構成されている（以下、 $2Tr/1C$ 駆動回路と呼ぶ場合がある）。即ち、実施例１の駆動回路は、（Ａ）駆動トランジスタ $T_{D_{rv}}$ 、（Ｂ）映像信号書込みトランジスタ T_{Sig} 、並びに、（Ｃ）一対の電極を備えたコンデンサ部 C_1 を備えている。

【００５２】

10

20

30

40

50

駆動トランジスタ T_{Drv} 、及び、映像信号書込みトランジスタ T_{Sig} は、それぞれ、ソース/ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた、 n チャネル型の TFT から成る。後述する他の実施例においても同様である。尚、映像信号書込みトランジスタ T_{Sig} を p チャネル型の TFT から形成してもよい。

【0053】

駆動トランジスタ T_{Drv} においては、

(A - 1) 一方のソース/ドレイン領域は、電源部 100 に接続されており、

(A - 2) 他方のソース/ドレイン領域は、発光部 ELP に備えられたアノード電極に接続され、且つ、コンデンサ部 C_1 の一方の電極に接続されており、第2ノード ND_2 を構成し、

10

(A - 3) ゲート電極は、映像信号書込みトランジスタ T_{Sig} の他方のソース/ドレイン領域に接続され、且つ、コンデンサ部 C_1 の他方の電極に接続されており、第1ノード ND_1 を構成する。後述する他の実施例においても同様である。

【0054】

上述したように、駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域には、第1の電圧 V_{CC-H} と第2の電圧 V_{CC-L} とが、選択的に電源部 100 から印加される。第1の電圧 V_{CC-H} は、駆動トランジスタ T_{Drv} を介して発光部 ELP に向かって電流を流すための電圧である。一方、第2の電圧 V_{CC-L} は、第2ノード ND_2 と発光部 ELP に備えられたカソード電極との間の電位差が発光部 ELP の閾値電圧を越えないようにするための電圧である。後述する他の実施例においても同様である。

20

【0055】

駆動トランジスタ T_{Drv} が飽和領域において理想的に動作して有機 EL 素子 10 の発光部 ELP に電流を流すとすれば、駆動トランジスタ T_{Drv} は以下の式 (1) に従ってドレイン電流 I_{ds} を流すように駆動される。有機 EL 素子 10 の発光状態においては、駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域はドレイン領域として働き、他方のソース/ドレイン領域はソース領域として働く。後述する他の実施例においても同様である。尚、

μ : 実効的な移動度

L : チャネル長

W : チャネル幅

30

V_{gs} : ゲート電極とソース領域として働く他方のソース/ドレイン領域との間の電位差

V_{th} : 閾値電圧

C_{ox} : (ゲート絶縁層の比誘電率) $\times$ (真空の誘電率) / (ゲート絶縁層の厚さ)

$k \equiv (1/2) \cdot (W/L) \cdot C_{ox}$

とする。

【0056】

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 \quad (1)$$

【0057】

このドレイン電流 I_{ds} が有機 EL 素子 10 の発光部 ELP を流れることで、有機 EL 素子 10 の発光部 ELP が発光する。更には、このドレイン電流 I_{ds} の値の大小によって、有機 EL 素子 10 の発光部 ELP における発光状態 (輝度) が制御される。後述する他の実施例においても同様である。

40

【0058】

そして、映像信号書込みトランジスタ T_{Sig} においては、

(B - 1) 一方のソース/ドレイン領域は、データ線 DTL に接続されており、

(B - 2) ゲート電極は、走査線 SC_L に接続されている。後述する他の実施例においても同様である。

【0059】

映像信号書込みトランジスタ T_{Sig} の一方のソース/ドレイン領域は、上述のとおり、データ線 DTL に接続されている。そして、映像信号出力回路 102 からデータ線 DTL

50

を介して、発光部 E L P における輝度を制御するための映像信号 V_{Sig} 、あるいは又、後述する第 1 ノード初期化電圧 V_{Ofs} が、一方のソース/ドレイン領域に供給される。尚、データ線 D T L を介して、 V_{Sig} 、 V_{Ofs} 以外の種々の信号・電圧（プリチャージ駆動のための信号や各種の基準電圧等）が、一方のソース/ドレイン領域に供給されてもよい。また、映像信号書込みトランジスタ T_{Sig} のオン/オフ動作は、映像信号書込みトランジスタ T_{Sig} のゲート電極に接続された走査線 S C L によって制御される。

【0060】

発光部 E L P のアノード電極は、上述のとおり、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域に接続されている。一方、発光部 E L P のカソード電極には、電圧 V_{cat} が印加される。発光部 E L P の寄生容量を符号 C_{EL} で表す。また、発光部 E L P の発光に必要とされる閾値電圧を V_{th-EL} とする。即ち、発光部 E L P のアノード電極とカソード電極との間に V_{th-EL} 以上の電圧が印加されると、発光部 E L P は発光する。後述する他の実施例においても同様である。

10

【0061】

図 1 に示すように、駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域側には、符号 LD_1 で表した L D D 構造（第 1 の L D D 構造）が形成されている。後述する他の実施例においても同様である。

【0062】

実施例 1 における駆動方法については後述するが、発光部 E L P を発光させる際には、電源部 100 から第 1 の電圧 V_{CC-H} が、駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域に印加される。この場合には、駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域がドレイン領域となり、他方のソース/ドレイン領域がソース領域となる。そして、駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域側には L D D 構造 LD_1 が形成されている。即ち、有機 E L 素子の発光時においては駆動トランジスタのドレイン領域側に L D D 構造が形成されている構成となる。従って、上述したドレイン電流 I_{ds} の飽和特性における直線性が改善され、有機 E L 素子 10 の発光特性を良好なものとすることができる。また、L D D 構造の形成による抵抗成分の増加が抑えられ、有機 E L 素子 10 の発光時における駆動トランジスタ T_{Drv} の飽和特性の直線性の改善と、後述する前処理や閾値電圧キャンセル処理における駆動トランジスタ T_{Drv} の応答性の改善とを図ることができる。尚、図 1 の (B) に示すように、L D D 構造の長さ（より具体的には、後述する図 3 の (B) に示す L_1 ）が長くなればなる程、直線性の改善が図られる。L D D 構造の長さ L_1 は設計に応じて適宜設定すればよい。後述する他の実施例においても同様である。

20

30

【0063】

ついで、図 3 を参照して、図 1 の (A) に示す L D D 構造 LD_1 を含め、実施例 1 における駆動回路を構成するトランジスタ及びコンデンサ部 C_1 の構造について詳しく説明する。

【0064】

図 3 の (A) に示すように、実施例 1 における駆動回路を構成するトランジスタ及びコンデンサ部 C_1 は支持体 20 上に形成され、発光部 E L P は、例えば、層間絶縁層 40 を介して、駆動回路を構成するトランジスタ及びコンデンサ部 C_1 の上方に形成されている。また、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域は、発光部 E L P に備えられたアノード電極に、コンタクトホールを介して接続されている。尚、図 3 の (A) においては、駆動トランジスタ T_{Drv} のみを図示する。駆動トランジスタ T_{Drv} 以外のトランジスタは隠れて見えない。

40

【0065】

上述したように、駆動トランジスタ T_{Drv} は n チャネル型トランジスタから成る。より具体的には、図 3 の (A) 及び (B) に示すように、駆動トランジスタ T_{Drv} は、ゲート電極 31、ゲート絶縁層 32、半導体層 33、ゲート電極 31 に対応する半導体層 33 の部分が該当するチャネル形成領域 34、半導体層 33 に設けられた一方のソース/ドレイン領域 35₁ と他方のソース/ドレイン領域 35₂、及び、チャネル形成領域 34 と一方の

50

ソース/ドレイン領域 35_1 との間に形成された LDD 構造 LD_1 から構成されている。尚、図 3 の (A) にあつては、便宜のため、一方のソース/ドレイン領域 35_1 と LDD 構造 LD_1 とを併せて単に参照番号 35 と表した。同様に、他方のソース/ドレイン領域 35_2 も単に参照番号 35 として表した。

【0066】

一方、コンデンサ部 C_1 は、他方の電極 36、ゲート絶縁層 32 の延在部から構成された誘電体層、及び、一方の電極 37 (第 2 ノード ND_2 に相当する) から成る。ゲート電極 31、ゲート絶縁層 32 の一部、及びコンデンサ部 C_1 を構成する他方の電極 36 は、支持体 20 上に形成されている。駆動トランジスタ T_{D_rv} の一方のソース/ドレイン領域 35_1 は配線 38 に接続され、他方のソース/ドレイン領域 35_2 は一方の電極 37 に接続されている。駆動トランジスタ T_{D_rv} 及びコンデンサ部 C_1 等は、層間絶縁層 40 で覆われており、層間絶縁層 40 上に、アノード電極 51、正孔輸送層、発光層、電子輸送層、及び、カソード電極 53 から成る発光部 ELP が設けられている。尚、図面においては、正孔輸送層、発光層、及び、電子輸送層を 1 層 52 で表した。発光部 ELP が設けられていない層間絶縁層 40 の部分の上には、第 2 層間絶縁層 54 が設けられ、第 2 層間絶縁層 54 及びカソード電極 53 上には透明な基板 21 が配置されており、発光層にて発光した光は、基板 21 を通過して、外部に出射される。尚、一方の電極 37 とアノード電極 51 とは、層間絶縁層 40 に設けられたコンタクトホールによって接続されている。また、カソード電極 53 は、第 2 層間絶縁層 54、層間絶縁層 40 に設けられたコンタクトホール 56, 55 を介して、ゲート絶縁層 32 の延在部上に設けられた配線 39 に接続されている。

10

20

【0067】

尚、図 12 を用いて説明した従来の 5Tr / 1C 駆動回路におけるコンデンサ部 C_1 の構成は上述したと同様の構成を有する。また、従来の 5Tr / 1C 駆動回路を構成する各トランジスタについても、基本的には上述したと同様にゲート電極、ゲート絶縁層、半導体層から構成されている。

【0068】

以上、実施例 1 の有機 EL 表示装置、及び、発光部 ELP を駆動するための駆動回路の構成について説明し、併せて、従来の 5Tr / 1C 駆動回路の構成を説明した。従来の駆動回路が、5 つのトランジスタと 1 つのコンデンサ部から構成されていたのに対し、実施例 1 の駆動回路にあつてはトランジスタの数を削減することができる。これにより、有機 EL 表示装置の製造の容易化や歩留まりの向上等を図ることができる。

30

【0069】

次いで、上述した駆動回路を用いた発光部 ELP の駆動方法の説明を行う。尚、上述したように、各種の処理 (閾値電圧キャンセル処理、書込み処理、移動度補正処理) が全て完了した後、直ちに発光状態が始まるものとして説明するが、これに限るものではない。

【0070】

後述する他の実施例も含め、以下の説明において、電圧あるいは電位の値を以下のとおりとするが、これは、あくまでも説明のための値であり、これらの値に限定されるものではない。

40

【0071】

V_{Sig} : 発光部 ELP における輝度を制御するための映像信号

・・・ 0 ボルト ~ 10 ボルト

V_{CC-H} : 発光部 ELP に電流を流すための第 1 の電圧

・・・ 20 ボルト

V_{CC-L} : 第 2 ノード ND_2 と発光部 ELP に備えられたカソード電極との間の電位差が発光部 ELP の閾値電圧 V_{th-EL} を越えないようにするための第 2 の電圧

・・・ - 10 ボルト

V_{ofs} : 駆動トランジスタ T_{D_rv} のゲート電極の電位 (第 1 ノード ND_1 の電位) を初期化するための電圧

50

・・・ 0 ボルト

V_{th} : 駆動トランジスタ T_{Drv} の閾値電圧

・・・ 3 ボルト

V_{Cat} : 発光部 ELP のカソード電極に印加される電圧

・・・ 0 ボルト

V_{th-EL} : 発光部 ELP の閾値電圧

・・・ 3 ボルト

【 0 0 7 2 】

実施例 1 の駆動方法においては、(a) 第 1 ノード ND_1 と第 2 ノード ND_2 との間の電位差が駆動トランジスタ T_{Drv} の閾値電圧 V_{th} を越えるように、走査線 SC_L からの信号によりオン状態とされた映像信号書込みトランジスタ T_{Sig} を介して、データ線 DT_L から第 1 ノード ND_1 に第 1 ノード初期化電圧 V_{ofs} を印加し、電源部 100 から駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域に第 2 の電圧 V_{CC-L} を印加する前処理を行う。

10

【 0 0 7 3 】

より具体的には、実施例 1 の駆動方法にあつては、前記工程 (a) において、走査回路 101 の動作に基づき、走査線 SC_L からの信号によりオン状態とされた映像信号書込みトランジスタ T_{Sig} を介して、映像信号出力回路 102 の動作に基づき、データ線 DT_L から第 1 ノード初期化電圧 V_{ofs} を第 1 ノード ND_1 に印加する。

【 0 0 7 4 】

実施例 1 の駆動方法においては、次いで、(b) 走査線 SC_L からの信号によりオン状態を維持した映像信号書込みトランジスタ T_{Sig} を介してデータ線 DT_L から第 1 ノード ND_1 に第 1 ノード初期化電圧 V_{ofs} を印加した状態で、電源部 100 から駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域に第 1 の電圧 V_{CC-H} を印加し、以て、第 1 ノード ND_1 の電位を保った状態で、第 1 ノード ND_1 の電位から駆動トランジスタ T_{Drv} の閾値電圧 V_{th} を減じた電位に向かって、第 2 ノード ND_2 の電位を変化させる閾値電圧キャンセル処理を行う。

20

【 0 0 7 5 】

実施例 1 の駆動方法においては、その後、(c) 走査線 SC_L からの信号によりオン状態とされた映像信号書込みトランジスタ T_{Sig} を介して、データ線 DT_L から映像信号 V_{Sig} を第 1 ノード ND_1 に印加する書込み処理を行う。

30

【 0 0 7 6 】

より具体的には、実施例 1 の駆動方法にあつては、前記工程 (c) において、走査回路 101 の動作に基づき、走査線 SC_L からの信号によりオン状態とされた映像信号書込みトランジスタ T_{Sig} を介して、映像信号出力回路 102 の動作に基づき、データ線 DT_L から映像信号 V_{Sig} を第 1 ノード ND_1 に印加する。

【 0 0 7 7 】

実施例 1 の駆動方法においては、次いで、(d) 走査線 SC_L からの信号により映像信号書込みトランジスタ T_{Sig} をオフ状態とすることにより第 1 ノード ND_1 を浮遊状態とし、電源部 100 から駆動トランジスタ T_{Drv} を介して、第 1 ノード ND_1 と第 2 ノード ND_2 との間の電位差の値に応じた電流を発光部 ELP に流すことにより、発光部 ELP を駆動する。

40

【 0 0 7 8 】

より具体的には、実施例 1 の駆動方法にあつては、前記工程 (d) において、走査回路 101 の動作に基づき、走査線 SC_L からの信号により映像信号書込みトランジスタ T_{Sig} をオフ状態とし、第 1 ノード ND_1 を浮遊状態とする。そして、電源部 100 から第 1 ノード ND_1 と第 2 ノード ND_2 との間の電位差の値に応じた電流を発光部 ELP に流すことにより、発光部 ELP を駆動する。

【 0 0 7 9 】

尚、実施例 1 においては、前記工程 (c) における書込み処理において実質的に移動度

50

補正処理が併せて行なわれる。詳細については後述する。

【0080】

上記の工程(a)、工程(b)、工程(c)、及び、工程(d)を、図4、図5の(A)~(F)を参照して、以下、説明する。

【0081】

[期間-TP(2)₋₁] (図4及び図5の(A)参照)

この[期間-TP(2)₋₁]は、例えば、前の表示フレームにおける動作であり、前回の各種の処理完了後に第(n, m)番目の有機EL素子10が発光状態にある期間である。即ち、第(n, m)番目の副画素を構成する有機EL素子10における発光部ELPには、後述する式(5)に基づくドレイン電流I'_{ds}が流れており、第(n, m)番目の副画素を構成する有機EL素子10の輝度は、係るドレイン電流I'_{ds}に対応した値である。ここで、映像信号書込みトランジスタT_{sig}はオフ状態であり、駆動トランジスタT_{drv}はオン状態である。第(n, m)番目の有機EL素子10の発光状態は、第(m+m')行目に配列された有機EL素子10の水平走査期間の開始直前まで継続される。

10

【0082】

尚、背景技術において参照した図14に示す[期間-TP(5)₋₁]も、実質的に、[期間-TP(2)₋₁]と同様の動作である。

【0083】

図4に示す[期間-TP(2)₀]~[期間-TP(2)₂]は、前回の各種の処理完了後の発光状態が終了した後から、次の書込み処理が行われる直前までの動作期間である。そして、[期間-TP(2)₀]~[期間-TP(2)₂]において、第(n, m)番目の有機EL素子は原則として非発光状態にある。尚、説明の便宜のため、[期間-TP(2)₁]の始期、及び、[期間-TP(2)₃]の終期は、それぞれ、第m番目の水平走査期間の始期、及び、終期に一致するものとして説明する。

20

【0084】

以下、[期間-TP(2)₀]~[期間-TP(2)₂]の各期間について、説明する。尚、[期間-TP(2)₁]~[期間-TP(2)₃]の各期間の長さは、有機EL表示装置の設計に応じて適宜設定すればよい。

【0085】

[期間-TP(2)₀] (図5の(B)参照)

この[期間-TP(2)₀]は、例えば、前の表示フレームから現表示フレームにおける動作である。即ち、この[期間-TP(2)₀]は、前の表示フレームにおける第(m+m')番目の水平走査期間から、現表示フレームにおける第(m-1)番目の水平走査期間までの期間である。そして、この[期間-TP(2)₀]において、第(n, m)番目の有機EL素子は、原則として非発光状態にある。[期間-TP(2)₋₁]から[期間-TP(2)₀]に移る時点で、電源部100から供給される電圧を、第1の電圧V_{CC-H}から第2の電圧V_{CC-L}に切り替える。その結果、第2ノードND₂(駆動トランジスタT_{drv}の他方のソース/ドレイン領域あるいは発光部ELPのアノード電極)の電位はV_{CC-L}まで低下し、発光部ELPは非発光状態となる。また、第2ノードND₂の電位低下に倣うように、浮遊状態の第1ノードND₁(駆動トランジスタT_{drv}のゲート電極)の電位も低下する。

30

40

【0086】

尚、背景技術において参照した図14に示す[期間-TP(5)₀]は、上述した[期間-TP(2)₀]に対応する期間である。図14においては、[期間-TP(5)₋₁]から[期間-TP(5)₀]に移る時点で、発光制御トランジスタT_{EL-C}がオフ状態となるが故に、第2ノードND₂(駆動トランジスタT_{drv}のソース領域あるいは発光部ELPのアノード電極)の電位は、(V_{th-EL}+V_{Cat})まで低下し、発光部ELPは非発光状態となる。また、第2ノードND₂の電位低下に倣うように、浮遊状態の第1ノードND₁(駆動トランジスタT_{drv}のゲート電極)の電位も低下する。

【0087】

50

[期間 - $TP(2)_1$] (図 4、図 5 の (C) 参照)

この期間内に、上記の工程 (a)、即ち、上述した前処理を行う。

【 0088 】

[期間 - $TP(2)_1$] から、現表示フレームにおける第 m 行目の水平走査期間が開始する。[期間 - $TP(2)_1$] の始期から後述する [期間 - $TP(2)_2$] の終期迄、映像信号出力回路 102 の動作に基づき、データ線 DTL に第 1 ノード初期化電圧 V_{ofs} を印加する。電源部 100 から駆動トランジスタ T_{drv} の一方のソース/ドレイン領域に第 2 の電圧 V_{CC-L} を印加した状態を維持し、[期間 - $TP(2)_1$] の開始時、走査回路 101 の動作に基づき、走査線 SCL をハイレベルとする。そして、走査線 SCL からの信号によりオン状態とされた映像信号書込みトランジスタ T_{sig} を介して、データ線 DTL から第 1 ノード ND_1 に第 1 ノード初期化電圧 V_{ofs} を印加する。

10

【 0089 】

その結果、第 1 ノード ND_1 の電位は V_{ofs} (0 ボルト) となる。一方、第 2 ノード ND_2 の電位は V_{CC-L} (- 10 ボルト) である。第 1 ノード ND_1 と第 2 ノード ND_2 との間の電位差は 10 ボルトであり、駆動トランジスタ T_{drv} の閾値電圧 V_{th} は 3 ボルトであるので、駆動トランジスタ T_{drv} はオン状態である。尚、第 2 ノード ND_2 と発光部 ELP に備えられたカソード電極との間の電位差は - 10 ボルトであり、発光部 ELP の閾値電圧 V_{th-EL} を越えない。

【 0090 】

[期間 - $TP(2)_2$] (図 4、図 5 の (D) 参照)

20

この期間内に、上記の工程 (b)、即ち、上述した閾値電圧キャンセル処理を行う。

【 0091 】

[期間 - $TP(2)_2$] (図 5 の (D) 参照)

即ち、走査線 SCL からの信号によりオン状態を維持した映像信号書込みトランジスタ T_{sig} を介してデータ線 DTL から第 1 ノード ND_1 に第 1 ノード初期化電圧 V_{ofs} を印加した状態で、電源部 100 から供給される電圧を、第 2 の電圧 V_{CC-L} から第 1 の電圧 V_{CC-H} に切り替え、電源部 100 から駆動トランジスタ T_{drv} の一方のソース/ドレイン領域に第 1 の電圧 V_{CC-H} を印加する。その結果、第 1 ノード ND_1 の電位は変化しないが ($V_{ofs} = 0$ ボルトを維持)、第 1 ノード ND_1 の電位から駆動トランジスタ T_{drv} の閾値電圧 V_{th} を減じた電位に向かって、第 2 ノード ND_2 の電位は変化する。即ち、浮遊状態の第 2 ノード ND_2 の電位が上昇する。そして、駆動トランジスタ T_{drv} のゲート電極と他方のソース/ドレイン領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{drv} がオフ状態となる。具体的には、浮遊状態の第 2 ノード ND_2 の電位が ($V_{ofs} - V_{th} = - 3$ ボルト) に近づき、最終的に ($V_{ofs} - V_{th}$) となる。ここで、以下の式 (2) が保証されていれば、云い換えれば、式 (2) を満足するように電位を選択、決定しておけば、発光部 ELP が発光することはない。

30

【 0092 】

$$(V_{ofs} - V_{th}) < (V_{th-EL} + V_{Cat}) \quad (2)$$

【 0093 】

この [期間 - $TP(2)_2$] にあつては、第 2 ノード ND_2 の電位は、最終的に、($V_{ofs} - V_{th}$) となる。即ち、駆動トランジスタ T_{drv} の閾値電圧 V_{th} 、及び、駆動トランジスタ T_{drv} のゲート電極を初期化するための電圧 V_{ofs} のみに依存して、第 2 ノード ND_2 の電位は決定される。そして、発光部 ELP の閾値電圧 V_{th-EL} とは無関係である。

40

【 0094 】

[期間 - $TP(2)_3$] (図 4、図 5 の (E) 参照)

この期間内に、上記の工程 (c)、即ち、上述した書込み処理を行う。

【 0095 】

[期間 - $TP(2)_3$] (図 5 の (E) 参照)

次に、駆動トランジスタ T_{drv} に対する書込み処理を行う。具体的には、映像信号書込みトランジスタ T_{sig} のオン状態を維持したまま、データ線 DTL の電位を、発光部 ELP

50

Pにおける輝度を制御するための映像信号 V_{Sig} とする。その結果、第1ノード ND_1 の電位は V_{Sig} へと上昇する。駆動トランジスタ T_{Drv} はオン状態である。尚、映像信号書込みトランジスタ T_{Sig} を、一旦、オフ状態とし、データ線 DTL の電位を、発光部 ELP における輝度を制御するための映像信号 V_{Sig} に変更し、その後、走査線 SCl をハイレベルとすることによって、映像信号書込みトランジスタ T_{Sig} をオン状態としてもよい。

【0096】

ここで、コンデンサ部 C_1 の容量は値 c_1 であり、発光部 ELP の寄生容量 C_{EL} の容量は値 c_{EL} である。そして、駆動トランジスタ T_{Drv} のゲート電極と他方のソース/ドレイン領域との間の寄生容量の値を c_{gs} とする。駆動トランジスタ T_{Drv} のゲート電極の電位が V_{Ofs} から $V_{Sig} (> V_{Ofs})$ に変化したとき、コンデンサ部 C_1 の両端の電位(第1ノード ND_1 及び第2ノード ND_2 の電位)は、原則として、変化する。即ち、駆動トランジスタ T_{Drv} のゲート電極の電位(=第1ノード ND_1 の電位)の変化分($V_{Sig} - V_{Ofs}$)に基づく電荷が、コンデンサ部 C_1 、発光部 ELP の寄生容量 C_{EL} 、駆動トランジスタ T_{Drv} のゲート電極と他方のソース/ドレイン領域との間の寄生容量に振り分けられる。然るに、値 c_{EL} が、値 c_1 及び値 c_{gs} と比較して十分に大きな値であれば、駆動トランジスタ T_{Drv} のゲート電極の電位の変化分($V_{Sig} - V_{Ofs}$)に基づく駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域(第2ノード ND_2)の電位の変化は小さい。そして、一般に、発光部 ELP の寄生容量 C_{EL} の容量値 c_{EL} は、コンデンサ部 C_1 の容量値 c_1 及び駆動トランジスタ T_{Drv} の寄生容量の値 c_{gs} よりも大きい。そこで、説明の便宜のため、特段の必要がある場合を除き、第1ノード ND_1 の電位変化により生ずる第2ノード ND_2 の電位変化は考慮せずに説明を行う。他の実施例においても同様である。尚、図4、図9、及び、図14に示した駆動のタイミングチャートも、第1ノード ND_1 の電位変化により生ずる第2ノード ND_2 の電位変化を考慮せずに示した。

【0097】

実施例1の駆動方法にあっては、駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域には電源部100から第1の電圧 V_{CC-H} が印加された状態で、駆動トランジスタ T_{Drv} のゲート電極に映像信号 V_{Sig} が印加される。このため、図4に示すように、[期間- $T_P(2)_3$]において第2ノード ND_2 の電位が上昇する。この電位の上昇量 ΔV (電位補正值)については後述する。駆動トランジスタ T_{Drv} のゲート電極(第1ノード ND_1)の電位を V_g 、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域(第2ノード ND_2)の電位を V_s としたとき、上述した第2ノード ND_2 の電位の上昇を考慮しなければ、 V_g の値、 V_s の値は以下のとおりとなる。第1ノード ND_1 と第2ノード ND_2 の電位差、即ち、駆動トランジスタ T_{Drv} のゲート電極とソース領域として働く他方のソース/ドレイン領域との間の電位差 V_{gs} は、以下の式(3)で表すことができる。

【0098】

$$\begin{aligned} V_g &= V_{Sig} \\ V_s &= V_{Ofs} - V_{th} \\ V_{gs} &= V_{Sig} - (V_{Ofs} - V_{th}) \end{aligned} \quad (3)$$

【0099】

即ち、駆動トランジスタ T_{Drv} に対する書込み処理において得られた V_{gs} は、発光部 ELP における輝度を制御するための映像信号 V_{Sig} 、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} 、及び、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{Ofs} のみに依存している。そして、発光部 ELP の閾値電圧 V_{th-EL} とは無関係である。

【0100】

次いで、移動度補正処理について簡単に説明する。実施例1の駆動方法にあっては、描き込み処理において、駆動トランジスタ T_{Drv} の特性(例えば、移動度 μ の大小等)に応じて駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域の電位(即ち、第2ノード ND_2 の電位)を上昇させる移動度補正処理が併せて行われる。

【0101】

駆動トランジスタ T_{Drv} をポリシリコン薄膜トランジスタ等から作製した場合、トラン

ジスタ間で移動度 μ にばらつきが生じることは避け難い。従って、移動度 μ に差異がある複数の駆動トランジスタ T_{DrV} のゲート電極に同じ値の映像信号 V_{Sig} を印加したとしても、移動度 μ の大きい駆動トランジスタ T_{DrV} を流れるドレイン電流 I_{ds} と、移動度 μ の小さい駆動トランジスタ T_{DrV} を流れるドレイン電流 I_{ds} との間に、差異が生じてしまう。そして、このような差異が生じると、有機 EL 表示装置の画面の均一性（ユニフォーミティ）が損なわれてしまう。

【 0 1 0 2 】

上述したように、実施例 1 の駆動方法にあっては、駆動トランジスタ T_{DrV} の一方のソース／ドレイン領域には電源部 100 から第 1 の電圧 V_{CC-H} が印加された状態で、駆動トランジスタ T_{DrV} のゲート電極に映像信号 V_{Sig} が印加される。このため、図 4 に示すように、[期間 - TP (2)₃] において第 2 ノード ND_2 の電位が上昇する。駆動トランジスタ T_{DrV} の移動度 μ の値が大きい場合、駆動トランジスタ T_{DrV} の他方のソース／ドレイン領域における電位（即ち、第 2 ノード ND_2 の電位）の上昇量 ΔV （電位補正值）は大きくなる。逆に、駆動トランジスタ T_{DrV} の移動度 μ の値が小さい場合、駆動トランジスタ T_{DrV} の他方のソース／ドレイン領域における電位の上昇量 ΔV （電位補正值）は小さくなる。ここで、駆動トランジスタ T_{DrV} のゲート電極とソース領域として働く他方のソース／ドレイン領域との間の電位差 V_{gs} は、式（3）から以下の式（4）のように変形される。

【 0 1 0 3 】

$$V_{gs} = V_{Sig} - (V_{Ofs} - V_{th}) - \Delta V \quad (4)$$

【 0 1 0 4 】

尚、書き込み処理を実行するための所定の時間（[期間 - TP (2)₃] の全時間 t_0 ）は、有機 EL 表示装置の設計の際、設計値として予め決定しておけばよい。また、このときの駆動トランジスタ T_{DrV} の他方のソース／ドレイン領域における電位（ $V_{Ofs} - V_{th} + \Delta V$ ）が以下の式（2'）を満足するように、[期間 - TP (2)₂] の全時間 t_0 は決定されている。そして、これによって、[期間 - TP (2)₂] において、発光部 ELP が発光することはない。更には、この移動度補正処理によって、係数 k （ $\equiv (1/2) \cdot (W/L) \cdot C_{ox}$ ）のばらつきの補正も同時に行われる。

【 0 1 0 5 】

$$(V_{Ofs} - V_{th} + \Delta V) < (V_{th-EL} + V_{Cat}) \quad (2')$$

【 0 1 0 6 】

[期間 - TP (2)₄]（図 4、及び、図 5 の（F）参照）

以上の操作によって、閾値電圧キャンセル処理、書き込み処理、移動度補正処理が完了する。その後、この期間内に、上記の工程（d）を以下のように行う。即ち、駆動トランジスタ T_{DrV} の一方のソース／ドレイン領域に電源部 100 から第 1 の電圧 V_{CC-H} が印加された状態を維持した状態で、走査回路 101 の動作に基づき走査線 SCL をローレベルとし、映像信号書き込みトランジスタ T_{Sig} をオフ状態とし、第 1 ノード ND_1 、即ち、駆動トランジスタ T_{DrV} のゲート電極を浮遊状態とする。従って、以上の結果として、第 2 ノード ND_2 の電位は上昇する。

【 0 1 0 7 】

ここで、上述したとおり、駆動トランジスタ T_{DrV} のゲート電極は浮遊状態にあり、しかも、コンデンサ部 C_1 が存在するが故に、所謂ブートストラップ回路におけると同様の現象が駆動トランジスタ T_{DrV} のゲート電極に生じ、第 1 ノード ND_1 の電位も上昇する。その結果、駆動トランジスタ T_{DrV} のゲート電極とソース領域として働く他方のソース／ドレイン領域との間の電位差 V_{gs} は、式（4）の値を保持する。

【 0 1 0 8 】

また、第 2 ノード ND_2 の電位が上昇し、 $(V_{th-EL} + V_{Cat})$ を越えるので、発光部 ELP は発光を開始する。このとき、発光部 ELP を流れる電流は、駆動トランジスタ T_{DrV} のドレイン領域からソース領域へと流れるドレイン電流 I_{ds} であるので、式（1）で表すことができる。ここで、式（1）と式（4）から、式（1）は、以下の式（5）によ

に変形することができる。

【 0 1 0 9 】

$$I_{ds} = k \cdot \mu \cdot (V_{sig} - V_{ofs} - \Delta V)^2 \quad (5)$$

【 0 1 1 0 】

従って、発光部 E L P を流れる電流 I_{ds} は、例えば、 V_{ofs} を 0 ボルトに設定したとした場合、発光部 E L P における輝度を制御するための映像信号 V_{sig} の値から、駆動トランジスタ T_{Drv} の移動度 μ に起因した第 2 ノード ND_2 (駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域) における電位補正值 ΔV の値を減じた値の 2 乗に比例する。云い換えれば、発光部 E L P を流れる電流 I_{ds} は、発光部 E L P の閾値電圧 V_{th-EL} 、及び、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} には依存しない。即ち、発光部 E L P の発光量 (輝度) は、発光部 E L P の閾値電圧 V_{th-EL} の影響、及び、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} の影響を受けない。そして、第 (n, m) 番目の有機 E L 素子の輝度は、係る電流 I_{ds} に対応した値である。

10

【 0 1 1 1 】

しかも、移動度 μ の大きな駆動トランジスタ T_{Drv} ほど、電位補正值 ΔV が大きくなるので、式 (4) の左辺の V_{gs} の値が小さくなる。従って、式 (5) において、移動度 μ の値が大きくとも、 $(V_{sig} - V_{ofs} - \Delta V)^2$ の値が小さくなる結果、ドレイン電流 I_{ds} を補正することができる。即ち、移動度 μ の異なる駆動トランジスタ T_{Drv} においても、映像信号 V_{sig} の値が同じであれば、ドレイン電流 I_{ds} が略同じとなる結果、発光部 E L P を流れ、発光部 E L P の輝度を制御する電流 I_{ds} が均一化される。即ち、移動度 μ のばらつき (更には、 k のばらつき) に起因する発光部の輝度のばらつきを補正することができる。

20

【 0 1 1 2 】

そして、発光部 E L P の発光状態を第 ($m + m' - 1$) 番目の水平走査期間まで継続する。この時点は、[期間 - $TP(2)_{.1}$] の終わりに相当する。

【 0 1 1 3 】

以上によって、有機 E L 素子 [第 (n, m) 番目の副画素 (有機 E L 素子)] の発光の動作が完了する。

【 0 1 1 4 】

以上、実施例 1 の駆動方法について説明した。

30

【 実施例 2 】

【 0 1 1 5 】

実施例 2 も、本発明の第 1 の態様に係る有機 E L 表示装置、本発明の第 1 の態様及び第 3 の態様に係る駆動回路、本発明の第 1 の態様に係る駆動方法に関する。

【 0 1 1 6 】

実施例 2 は、実施例 1 の変形である。実施例 2 は実施例 1 に対し、駆動回路を構成する駆動トランジスタの構造が相違する。より具体的には、実施例 2 にあっては、実施例 1 で説明した第 1 の L D D 構造の他、駆動トランジスタの他方のソース/ドレイン領域側に第 2 の L D D 構造が形成されている。

40

【 0 1 1 7 】

実施例 2 の有機 E L 表示装置の概念図は上述した図 2 と同様である。実施例 2 の駆動回路の等価回路図を図 6 の (A) に示す。図 6 の (B) は駆動トランジスタ付近の模式的な断面図であって、実施例 1 において参照した図 3 の (B) に対応する。

【 0 1 1 8 】

図 6 の (A) 及び (B) に示すように、実施例 2 にあっては、実施例 1 で説明した第 1 の L D D 構造 LD_1 に加えて、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域側には、第 2 の L D D 構造 LD_2 が形成されている。そして、第 2 の L D D 構造 LD_2 の長さ L_2 は駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域側の第 1 の L D D 構造 LD_1 の長さ L_1 よりも短い。

【 0 1 1 9 】

50

上述した駆動回路を構成する駆動トランジスタ T_{Drv} の構造の相違を除く他、実施例 2 の有機 EL 表示装置、及び、駆動回路の構造、構成は実施例 1 で説明したと同様である。また、実施例 2 の駆動回路の動作、実施例 2 の駆動方法は、実施例 1 において説明したと同様であるので、説明を省略する。実施例 2 においては、第 2 の LDD 構造 LD_2 の長さ L_2 は駆動トランジスタ T_{Drv} の一方のソース / ドレイン領域側の第 1 の LDD 構造 LD_1 の長さ L_1 よりも短くすることにより、第 2 の LDD 構造の形成による抵抗成分の増加が抑えられ、有機 EL 素子の発光時における駆動トランジスタの飽和特性の直線性の改善と、前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性の改善とを図ることができる。

【実施例 3】

【0120】

実施例 3 は、本発明の第 2 の態様に係る有機 EL 表示装置、本発明の第 2 の態様及び第 3 の態様に係る駆動回路、本発明の第 2 の態様に係る駆動方法に関する。

【0121】

実施例 3 の駆動回路の等価回路図を図 7 に示す。実施例 3 の有機 EL 表示装置の概念図を図 8 に示す。有機 EL 素子における駆動のタイミングチャートを模式的に図 9 に示し、各トランジスタのオン / オフ状態等を模式的に図 10 の (A) ~ (F) に示す。

【0122】

図 7 に示すように、実施例 3 の駆動回路は、基本的には、図 1 に示す実施例 1 の駆動回路に第 1 ノード初期化トランジスタ T_{ND1} を追加した構成である。第 1 ノード初期化トランジスタ T_{ND1} 、図 7 及び図 8 に示す第 1 ノード初期化トランジスタ制御線 AZ_{ND1} 、第 1 ノード初期化トランジスタ制御回路 104 が追加されている点を除く他、実施例 3 の有機 EL 表示装置、及び、駆動回路の構造、構成は、基本的には、実施例 1 で説明したと同様である。

【0123】

実施例 3 の駆動回路は、3 つのトランジスタと 1 つのコンデンサ部 C_1 から構成されている (以下、3 Tr / 1 C 駆動回路と呼ぶ場合がある)。即ち、実施例 3 の駆動回路は、実施例 1 の駆動回路と同様に、(A) 駆動トランジスタ T_{Drv} 、(B) 映像信号書込みトランジスタ T_{sig} 、並びに、(C) 一对の電極を備えたコンデンサ部 C_1 を備える他、(D) 第 1 ノード初期化トランジスタ T_{ND1} を更に備えている。

【0124】

第 1 ノード初期化トランジスタ T_{ND1} は、ソース / ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた、n チャネル型の TFT から成る。但し、p チャネル型の TFT から構成してもよい。

【0125】

第 1 ノード初期化トランジスタ T_{ND1} においては、

(D-1) 一方のソース / ドレイン領域は、第 1 ノード初期化電圧供給線 PS_1 に接続されており、

(D-2) 他方のソース / ドレイン領域は、第 1 ノード ND_1 に接続されており、

(D-3) ゲート電極は、第 1 ノード初期化トランジスタ制御線 AZ_{ND1} に接続されている。

【0126】

第 1 ノード初期化トランジスタ制御線 AZ_{ND1} の一端は、第 1 ノード初期化トランジスタ制御回路 104 に接続されている。第 1 ノード初期化電圧供給線 PS_1 には第 1 ノード初期化電圧 V_{ofs} が印加される。

【0127】

実施例 3 における駆動回路を構成するトランジスタ及びコンデンサ部 C_1 の構造は、図 7 に示す LDD 構造 LD_1 を含め、実施例 1 において図 3 の (A) 及び (B) を参照して説明したと同様であるので、説明を省略する。

【0128】

10

20

30

40

50

以上、実施例 3 の有機 EL 表示装置、及び、発光部 ELP を駆動するための駆動回路の構成について説明した。実施例 1 において説明したと同様に、実施例 3 の駆動回路においてはトランジスタの数を削減することができる。これにより、有機 EL 表示装置の製造の容易化や歩留まりの向上等を図ることができる。LDD 構造 LD₁ による効果は、実施例 1 において説明したと同様である。

【0129】

次いで、上述した実施例 3 の駆動回路を用いた発光部 ELP の駆動方法について説明する。実施例 1 の駆動方法においては、映像信号書込みトランジスタ T_{sig} を介してデータ線 DTL から第 1 ノード ND₁ に第 1 ノード初期化電圧 V_{ofs} を印加した。実施例 3 の駆動方法においては、第 1 ノード初期化トランジスタ T_{ND1} を介して第 1 ノード初期化電圧 V_{ofs} を印加する点が主に相違する。 10

【0130】

実施例 3 の駆動方法においては、(a) 第 1 ノード ND₁ と第 2 ノード ND₂ との間の電位差が駆動トランジスタ T_{drv} の閾値電圧 V_{th} を越えるように、第 1 ノード初期化トランジスタ制御線 AZ_{ND1} からの信号によりオン状態とされた第 1 ノード初期化トランジスタ T_{ND1} を介して、第 1 ノード初期化電圧供給線 PS₁ から第 1 ノード ND₁ に第 1 ノード初期化電圧 V_{ofs} を印加し、電源部 100 から駆動トランジスタ T_{drv} の一方のソース/ドレイン領域に第 2 の電圧 V_{CC-L} を印加する前処理を行う。

【0131】

より具体的には、実施例 3 の駆動方法にあっては、前記工程 (a) において、第 1 ノード初期化トランジスタ制御回路 104 の動作に基づき、第 1 ノード初期化トランジスタ制御線 AZ_{ND1} からの信号によりオン状態とされた第 1 ノード初期化トランジスタ T_{ND1} を介して、第 1 ノード初期化電圧供給線 PS₁ から第 1 ノード初期化電圧 V_{ofs} を第 1 ノード ND₁ に印加する。 20

【0132】

実施例 3 の駆動方法においては、次いで、(b) 第 1 ノード初期化トランジスタ制御線 AZ_{ND1} からの信号によりオン状態を維持した第 1 ノード初期化トランジスタ T_{ND1} を介して第 1 ノード初期化電圧供給線 PS₁ から第 1 ノード ND₁ に第 1 ノード初期化電圧 V_{ofs} を印加した状態で、電源部 100 から駆動トランジスタ T_{drv} の一方のソース/ドレイン領域に第 1 の電圧 V_{CC-H} を印加し、以て、第 1 ノード ND₁ の電位を保った状態で、第 1 ノード ND₁ の電位から駆動トランジスタ T_{drv} の閾値電圧 V_{th} を減じた電位に向かって、第 2 ノード ND₂ の電位を変化させる閾値電圧キャンセル処理を行う。 30

【0133】

実施例 3 の駆動方法においては、その後、(c) 走査線 SCL からの信号によりオン状態とされた映像信号書込みトランジスタ T_{sig} を介して、データ線 DTL から映像信号 V_{sig} を第 1 ノード ND₁ に印加する書込み処理を行う。

【0134】

より具体的には、実施例 3 の駆動方法にあっては、前記工程 (c) において、第 1 ノード初期化トランジスタ制御回路 104 の動作に基づき、第 1 ノード初期化トランジスタ制御線 AZ_{ND1} からの信号により第 1 ノード初期化トランジスタ T_{ND1} をオフ状態とした状態で、走査回路 101 の動作に基づき、走査線 SCL からの信号によりオン状態とされた映像信号書込みトランジスタ T_{sig} を介して、映像信号出力回路 102 の動作に基づき、データ線 DTL から映像信号 V_{sig} を第 1 ノード ND₁ に印加する。 40

【0135】

実施例 3 の駆動方法においては、次いで、(d) 走査線 SCL からの信号により映像信号書込みトランジスタ T_{sig} をオフ状態とすることにより第 1 ノード ND₁ を浮遊状態とし、電源部 100 から駆動トランジスタ T_{drv} を介して、第 1 ノード ND₁ と第 2 ノード ND₂ との間の電位差の値に応じた電流を発光部 ELP に流すことにより、発光部 ELP を駆動する。

【0136】

より具体的には、実施例 1 と同様に、前記工程 (d) において、走査回路 1 0 1 の動作に基づき、走査線 S C L からの信号により映像信号書込みトランジスタ T_{sig} をオフ状態とし、第 1 ノード ND_1 を浮遊状態とする。そして、電源部 1 0 0 から第 1 ノード ND_1 と第 2 ノード ND_2 との間の電位差の値に応じた電流を発光部 E L P に流すことにより、発光部 E L P を駆動する。

【 0 1 3 7 】

尚、実施例 1 と同様に、実施例 3 においても、前記工程 (c) における書込み処理において実質的に移動度補正処理が併せて行なわれる。

【 0 1 3 8 】

上記の工程 (a)、工程 (b)、工程 (c)、及び、工程 (d) を、図 9、図 1 0 の (A) ~ (F) を参照して、以下、説明する。

10

【 0 1 3 9 】

[期間 - $TP(3)_{-1}$] (図 9 及び図 1 0 の (A) 参照)

この [期間 - $TP(3)_{-1}$] は、例えば、前の表示フレームにおける動作であり、実質的に、実施例 1 において説明した [期間 - $TP(2)_{-1}$] と同じ動作である。ここで、映像信号書込みトランジスタ T_{sig} 及び第 1 ノード初期化トランジスタ T_{ND1} はオフ状態であり、駆動トランジスタ T_{Drv} はオン状態である。

【 0 1 4 0 】

図 9 に示す [期間 - $TP(3)_0$] ~ [期間 - $TP(3)_3$] は、図 4 に示す [期間 - $TP(2)_0$] ~ [期間 - $TP(2)_2$] に対応する期間であり、次の書込み処理が行われる直前までの動作期間である。そして、実施例 1 の駆動回路と同様に、[期間 - $TP(3)_0$] ~ [期間 - $TP(3)_3$] において、第 (n , m) 番目の有機 E L 素子は原則として非発光状態にある。但し、実施例 3 の駆動回路の動作においては、図 9 に示すように、[期間 - $TP(3)_0$] の他、[期間 - $TP(3)_1$] ~ [期間 - $TP(3)_3$] が第 m 番目の水平走査期間より前の期間である点が、実施例 1 の駆動回路の動作とは異なる。尚、説明の便宜のため、[期間 - $TP(3)_4$] の始期及び終期は、それぞれ、第 m 番目の水平走査期間の始期及び終期に一致するものとして説明する。

20

【 0 1 4 1 】

以下、[期間 - $TP(3)_0$] ~ [期間 - $TP(3)_3$] の各期間について、説明する。尚、実施例 1 において説明したと同様に、[期間 - $TP(3)_0$] ~ [期間 - $TP(3)_3$] の各期間の長さは、有機 E L 表示装置の設計に応じて適宜設定すればよい。

30

【 0 1 4 2 】

[期間 - $TP(3)_0$] (図 1 0 の (B) 参照)

この [期間 - $TP(3)_0$] は、例えば、前の表示フレームから現表示フレームにおける動作であり、実施例 1 の駆動回路において説明した [期間 - $TP(2)_0$] と、実質的に同じ動作である。即ち、[期間 - $TP(3)_{-1}$] から [期間 - $TP(3)_0$] に移る時点で、電源部 1 0 0 から供給される電圧を、第 1 の電圧 V_{CC-H} から第 2 の電圧 V_{CC-L} に切り替える。その結果、第 2 ノード ND_2 (駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域あるいは発光部 E L P のアノード電極) の電位は V_{CC-L} まで低下し、発光部 E L P は非発光状態となる。また、第 2 ノード ND_2 の電位低下に倣うように、浮遊状態の第 1 ノード ND_1 (駆動トランジスタ T_{Drv} のゲート電極) の電位も低下する。

40

【 0 1 4 3 】

[期間 - $TP(3)_1$] (図 9、図 1 0 の (C) 参照)

この期間内に、上記の工程 (a)、即ち、上述した前処理を行う。

【 0 1 4 4 】

電源部 1 0 0 から駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域に第 2 の電圧 V_{CC-L} を印加した状態を維持し、[期間 - $TP(3)_1$] の開始時、第 1 ノード初期化トランジスタ制御回路 1 0 4 の動作に基づき、第 1 ノード初期化トランジスタ制御線 $A_{Z_{ND1}}$ をハイレベルとすることによって、第 1 ノード初期化トランジスタ T_{ND1} をオン状態とし、オン状態とされた第 1 ノード初期化トランジスタ T_{ND1} を介して、第 1 ノード初期化電

50

圧供給線 PS_1 から第 1 ノード初期化電圧 V_{ofs} を第 1 ノード ND_1 に印加する。

【0145】

その結果、第 1 ノード ND_1 の電位は V_{ofs} (0 ボルト) となる。一方、第 2 ノード ND_2 の電位は V_{CC-L} (-10 ボルト) である。第 1 ノード ND_1 と第 2 ノード ND_2 との間の電位差は 10 ボルトであり、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} は 3 ボルトであるので、駆動トランジスタ T_{Drv} はオン状態である。尚、第 2 ノード ND_2 と発光部 ELP に備えられたカソード電極との間の電位差は -10 ボルトであり、発光部 ELP の閾値電圧 V_{th-EL} を越えない。

【0146】

[期間 - $TP(3)_2$] (図 9、図 10 の (D) 参照)

10

この期間内に、上記の工程 (b)、即ち、上述した閾値電圧キャンセル処理を行う。

【0147】

即ち、第 1 ノード初期化トランジスタ制御線 AZ_{ND1} からの信号によりオン状態を維持した第 1 ノード初期化トランジスタ T_{ND1} を介して第 1 ノード初期化電圧供給線 PS_1 から第 1 ノード ND_1 に第 1 ノード初期化電圧 V_{ofs} を印加した状態で、電源部 100 から供給される電圧を、第 2 の電圧 V_{CC-L} から第 1 の電圧 V_{CC-H} に切り替え、電源部 100 から駆動トランジスタ T_{Drv} の一方のソース/ドレイン領域に第 1 の電圧 V_{CC-H} を印加する。その結果、第 1 ノード ND_1 の電位は変化しないが ($V_{ofs} = 0$ ボルトを維持)、第 1 ノード ND_1 の電位から駆動トランジスタ T_{Drv} の閾値電圧 V_{th} を減じた電位に向かって、第 2 ノード ND_2 の電位は変化する。即ち、浮遊状態の第 2 ノード ND_2 の電位が上昇する。そして、駆動トランジスタ T_{Drv} のゲート電極と他方のソース/ドレイン領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{Drv} がオフ状態となる。具体的には、浮遊状態の第 2 ノード ND_2 の電位が ($V_{ofs} - V_{th} = -3$ ボルト) に近づき、最終的に ($V_{ofs} - V_{th}$) となる。ここで、上述した式 (2) が保証されていれば、言い換えれば、式 (2) を満足するように電位を選択、決定しておけば、発光部 ELP が発光することはない。

20

【0148】

この [期間 - $TP(3)_2$] にあつては、第 2 ノード ND_2 の電位は、最終的に、($V_{ofs} - V_{th}$) となる。即ち、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} 、及び、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{ofs} のみに依存して、第 2 ノード ND_2 の電位は決定される。そして、発光部 ELP の閾値電圧 V_{th-EL} とは無関係である。

30

【0149】

[期間 - $TP(3)_3$] (図 9 参照)

その後、第 1 ノード初期化トランジスタ制御回路 104 の動作に基づき、第 1 ノード初期化トランジスタ制御線 AZ_{ND1} をローレベルとすることによって、第 1 ノード初期化トランジスタ T_{ND1} をオフ状態とする。その結果、第 1 ノード ND_1 の電位は変化せず ($V_{ofs-L} = 0$ ボルトを維持)、浮遊状態の第 2 ノード ND_2 の電位も変化せず、($V_{ofs-L} - V_{th} = -3$ ボルト) を保持する。

【0150】

次いで、[期間 - $TP(3)_4$] ~ [期間 - $TP(3)_5$] の各期間について説明する。これらは、実施例 1 の駆動回路において説明した [期間 - $TP(2)_3$] ~ [期間 - $TP(2)_4$] に対応する期間である。

40

【0151】

[期間 - $TP(3)_4$] (図 9、図 10 の (E) 参照)

この期間内に、上記の工程 (c)、即ち、上述した書込み処理を行う。映像信号出力回路 102 の動作に基づき、データ線 DTL の電位を、発光部 ELP における輝度を制御するための映像信号 V_{sig} とし、次いで、走査回路 101 の動作に基づき、走査線 SC_L からの信号によりオン状態とされた映像信号書込みトランジスタ T_{sig} を介して、データ線 DTL から映像信号 V_{sig} を第 1 ノード ND_1 に印加する。その結果、第 1 ノード ND_1 の電位は、 V_{sig} へと上昇する。

【0152】

50

実施例 3 の駆動方法においても、実施例 1 の駆動方法と同様に、駆動トランジスタ T_{Dr} の一方のソース/ドレイン領域には電源部 100 から第 1 の電圧 V_{CC-H} が印加された状態で、駆動トランジスタ T_{Dr} のゲート電極に映像信号 V_{Sig} が印加される。このため、実施例 1 の駆動方法と同様に、[期間 - $TP(3)_4$] において第 2 ノード ND_2 の電位が上昇する。この電位の上昇量 ΔV (電位補正值) は、実施例 1 において説明したと同様であるので説明を省略する。駆動トランジスタ T_{Dr} のゲート電極とソース領域として働く他方のソース/ドレイン領域との間の電位差 V_{gs} は、上述した式 (4) となる。

【 0 1 5 3 】

尚、実施例 1 において説明したと同様に、書き込み処理を実行するための所定の時間 ([期間 - $TP(3)_4$] の全時間 t_0) は、有機 EL 表示装置の設計の際、設計値として予め決定しておけばよい。また、このときの駆動トランジスタ T_{Dr} の他方のソース/ドレイン領域における電位 ($V_{ofs} - V_{th} + \Delta V$) が上述した式 (2') を満足するように、[期間 - $TP(3)_4$] の全時間 t_0 は決定されている。そして、これによって、[期間 - $TP(3)_4$] において、発光部 ELP が発光することはない。更には、この移動度補正処理によって、係数 k ($\equiv (1/2) \cdot (W/L) \cdot C_{ox}$) のばらつきの補正も同時に行われる。

【 0 1 5 4 】

[期間 - $TP(3)_5$] (図 9、及び、図 10 の (F) 参照)

以上の操作によって、閾値電圧キャンセル処理、書き込み処理、移動度補正処理が完了する。その後、この期間内に、上記の工程 (d) を以下のように行う。即ち、駆動トランジスタ T_{Dr} の一方のソース/ドレイン領域に電源部 100 から第 1 の電圧 V_{CC-H} が印加された状態を維持した状態で、走査回路 101 の動作に基づき走査線 SC_L をローレベルとし、映像信号書き込みトランジスタ T_{Sig} をオフ状態とし、第 1 ノード ND_1 、即ち、駆動トランジスタ T_{Dr} のゲート電極を浮遊状態とする。従って、以上の結果として、第 2 ノード ND_2 の電位は上昇し、($V_{th-EL} + V_{Cat}$) を越えるので、発光部 ELP は発光を開始する。このとき、発光部 ELP を流れる電流は、前述した式 (5) にて得ることができるので、発光部 ELP を流れる電流 I_{ds} は、発光部 ELP の閾値電圧 V_{th-EL} 、及び、駆動トランジスタ T_{Dr} の閾値電圧 V_{th} には依存しない。即ち、発光部 ELP の発光量 (輝度) は、発光部 ELP の閾値電圧 V_{th-EL} の影響、及び、駆動トランジスタ T_{Dr} の閾値電圧 V_{th} の影響を受けない。加えて、駆動トランジスタ T_{Dr} における移動度 μ のばらつきに起因したドレイン電流 I_{ds} のばらつき発生を抑制することができる。

【 0 1 5 5 】

そして、発光部 ELP の発光状態を第 ($m + m' - 1$) 番目の水平走査期間まで継続する。この時点は、[期間 - $TP(3)_{-1}$] の終わりに相当する。

【 0 1 5 6 】

以上によって、有機 EL 素子 [第 (n, m) 番目の副画素 (有機 EL 素子)] の発光の動作が完了する。

【 実施例 4 】

【 0 1 5 7 】

実施例 4 も、本発明の第 2 の態様に係る有機 EL 表示装置、本発明の第 2 の態様及び第 3 の態様に係る駆動回路、本発明の第 2 の態様に係る駆動方法に関する。

【 0 1 5 8 】

実施例 4 は、実施例 3 の変形である。実施例 4 は実施例 3 に対し、駆動回路を構成する駆動トランジスタの構造が相違する。より具体的には、実施例 4 にあっては、実施例 3 で説明した第 1 の LDD 構造の他、駆動トランジスタの他方のソース/ドレイン領域側に第 2 の LDD 構造が形成されている。

【 0 1 5 9 】

実施例 4 の有機 EL 表示装置の概念図は上述した図 8 と同様である。実施例 4 の駆動回路の等価回路図を図 11 に示す。

【 0 1 6 0 】

10

20

30

40

50

図 1 1 に示すように、実施例 4 にあっては、実施例 3 で説明した第 1 の L D D 構造 L D₁に加えて、駆動トランジスタ T_{Drv}の他方のソース / ドレイン領域側には、第 2 の L D D 構造 L D₂が形成されている。そして、第 2 の L D D 構造 L D₂の長さ L₂は駆動トランジスタ T_{Drv}の一方のソース / ドレイン領域側の第 1 の L D D 構造 L D₁の長さ L₁よりも短い。

【 0 1 6 1 】

実施例 4 における駆動回路を構成するトランジスタ及びコンデンサ部 C₁の構造は、図 1 1 に示す L D D 構造 L D₁、L D₂を含め、実施例 2 において図 6 の (A) 及び (B) を参照して説明したと同様であるので、説明を省略する。

【 0 1 6 2 】

上述した駆動回路を構成する駆動トランジスタ T_{Drv}の構造の相違を除く他、実施例 4 の有機 E L 表示装置、及び、駆動回路の構造、構成は実施例 3 で説明したと同様である。また、実施例 4 の駆動回路の動作、実施例 4 の駆動方法は、実施例 3 において説明したと同様であるので、説明を省略する。実施例 4 においては、第 2 の L D D 構造 L D₂の長さ L₂は駆動トランジスタ T_{Drv}の一方のソース / ドレイン領域側の第 1 の L D D 構造 L D₁の長さ L₁よりも短くすることにより、第 2 の L D D 構造の形成による抵抗成分の増加が抑えられ、有機 E L 素子の発光時における駆動トランジスタの飽和特性の直線性の改善と、前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性の改善とを図ることができる。

【 0 1 6 3 】

以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例において説明した有機 E L 表示装置、有機 E L 素子、駆動回路を構成する各種の構成要素の構成、構造、発光部の駆動方法における工程は例示であり、適宜、変更することができる。尚、本発明の駆動方法を構成する各工程は、駆動トランジスタにおける L D D 構造の如何を問わず適用し得る。

【 図面の簡単な説明 】

【 0 1 6 4 】

【 図 1 】 図 1 の (A) は、2 トランジスタ / 1 コンデンサ部から構成された駆動回路の等価回路図である。図 1 の (B) は、駆動回路を構成する駆動トランジスタにおける L D D 構造とドレイン電流との関係を模式的に示した図である。

【 図 2 】 図 2 は、有機 E L 表示装置の概念図である。

【 図 3 】 図 3 の (A) は、有機 E L 素子の一部分の模式的な一部断面図である。図 3 の (B) は、有機 E L 素子を構成する駆動トランジスタ付近の模式的な断面図である。

【 図 4 】 図 4 は、有機 E L 素子における駆動のタイミングチャートを模式的に示した図である。

【 図 5 】 図 5 の (A) ~ (F) は、有機 E L 素子の駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【 図 6 】 図 6 の (A) は、2 トランジスタ / 1 コンデンサ部から構成された駆動回路の等価回路図である。図 6 の (B) は、有機 E L 素子を構成する駆動トランジスタ付近の模式的な断面図である。

【 図 7 】 図 7 は、3 トランジスタ / 1 コンデンサ部から構成された駆動回路の等価回路図である。

【 図 8 】 図 8 は、有機 E L 表示装置の概念図である。

【 図 9 】 図 9 は、有機 E L 素子における駆動のタイミングチャートを模式的に示した図である。

【 図 1 0 】 図 1 0 の (A) ~ (F) は、有機 E L 素子の駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【 図 1 1 】 図 1 1 は、3 トランジスタ / 1 コンデンサ部から構成された駆動回路の等価回路図である。

【 図 1 2 】 図 1 2 は、5 トランジスタ / 1 コンデンサ部から構成された駆動回路の等価回

10

20

30

40

50

路図である。

【図 1 3】図 1 3 は、有機 E L 表示装置の概念図である。

【図 1 4】図 1 4 は、有機 E L 素子における駆動のタイミングチャートを模式的に示した図である。

【図 1 5】図 1 5 の (A) ~ (D) は、有機 E L 素子の駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 1 6】図 1 6 の (A) ~ (E) は、図 1 5 の (D) に引き続き、有機 E L 素子の駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【符号の説明】

【 0 1 6 5 】

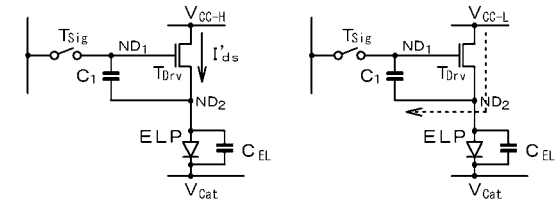
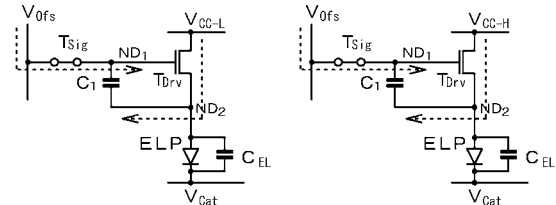
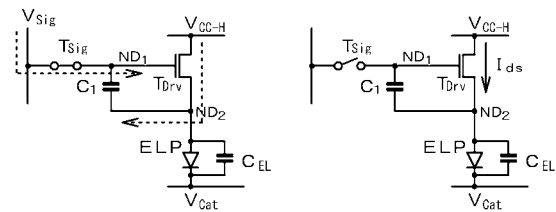
T_{Sig} ・・・映像信号書込みトランジスタ、 T_{Drv} ・・・駆動トランジスタ、 T_{EL_C} ・・・
 発光制御トランジスタ、 T_{ND1} ・・・第 1 ノード初期化トランジスタ、 T_{ND2} ・・・第 2 ノード初期化トランジスタ、 C_1 ・・・コンデンサ部、E L P・・・有機エレクトロルミネッセンス発光部（発光部）、 C_{EL} ・・・発光部 E L P の寄生容量、 ND_1 ・・・第 1 ノード、 ND_2 ・・・第 2 ノード、S C L・・・走査線、D T L・・・データ線、 CL_{EL_C} ・・・発光制御トランジスタ制御線、 AZ_{ND1} ・・・第 1 ノード初期化トランジスタ制御線、 AZ_{ND2} ・・・第 2 ノード初期化トランジスタ制御線、 LD_1 ・・・L D D 構造（第 1 の L D D 構造）、 LD_2 ・・・第 2 の L D D 構造、1 0・・・有機エレクトロルミネッセンス素子、2 0・・・支持体、2 1・・・基板、3 1・・・ゲート電極、3 2・・・ゲート絶縁層、3 3・・・半導体層、3 4・・・チャネル形成領域、3 5 , 3 5₁ , 3 5₂・・・ソース / ドレイン領域、3 6・・・他方の電極、3 7・・・一方の電極、3 8 , 3 9・・・配線、4 0・・・層間絶縁層、5 1・・・アノード電極、5 2・・・正孔輸送層、発光層及び電子輸送層、5 3・・・カソード電極、5 4・・・第 2 層間絶縁層、5 5 , 5 6・・・コンタクトホール、1 0 0・・・電源部、1 0 1・・・走査回路、1 0 2・・・映像信号出力回路、1 0 3・・・発光制御トランジスタ制御回路、1 0 4・・・第 1 ノード初期化トランジスタ制御回路、1 0 5・・・第 2 ノード初期化トランジスタ制御回路

10

20

【図 5】

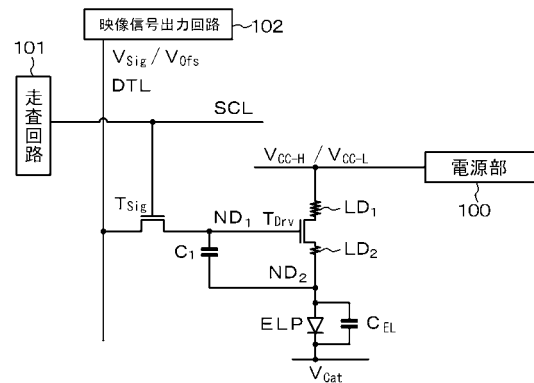
【図 5】 [実施例 1 : 2 Tr / 1 C 駆動回路]

(A) [TP (2)₁](B) [TP (2)₀](C) [TP (2)₁](D) [TP (2)₂](E) [TP (2)₃](F) [TP (2)₄]

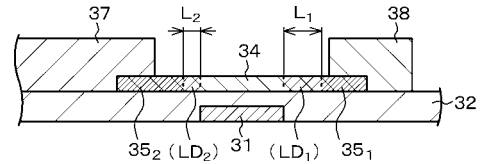
【図 6】

【図 6】 [実施例 2 : 実施例 1 の変形例]

(A)

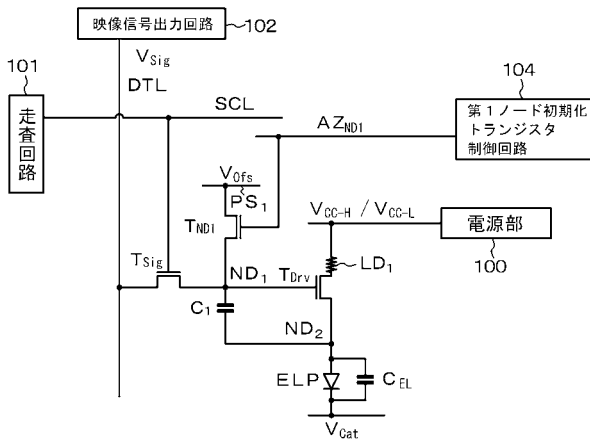


(B)



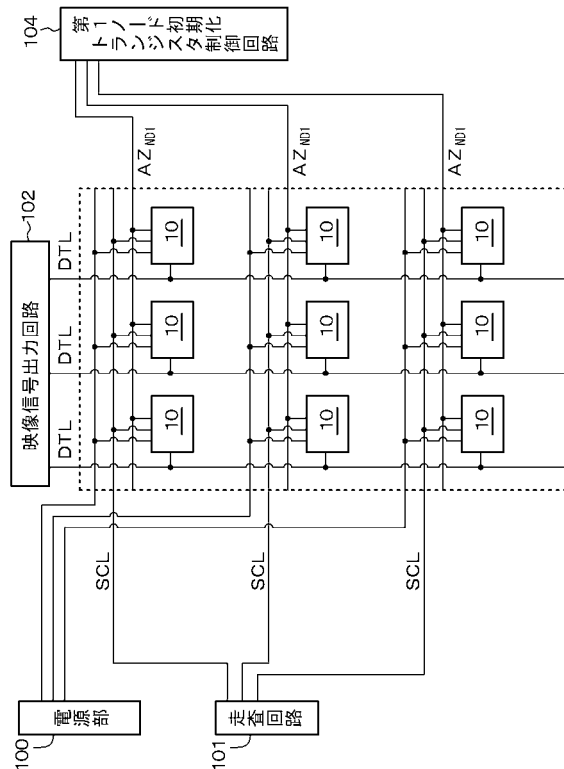
【図 7】

【図 7】 [実施例 3 : 3 Tr / 1 C 駆動回路]



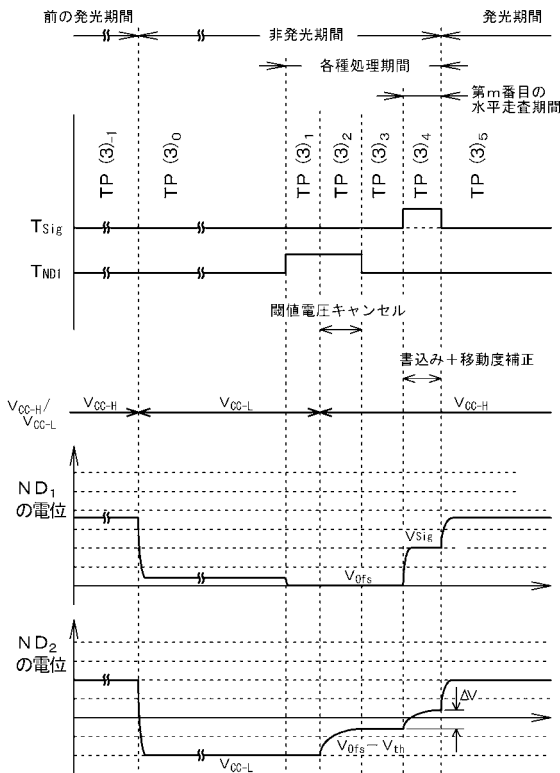
【図 8】

【図 8】 [実施例 3 : 3 Tr / 1 C 駆動回路構成の表示装置]



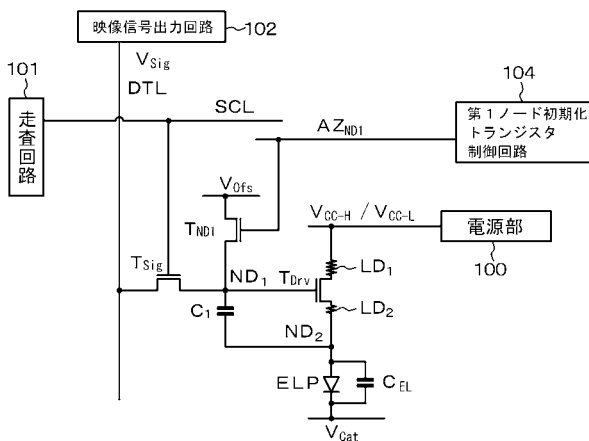
【図 9】

【図 9】 [実施例 3 : 3 Tr / 1 C 駆動回路]



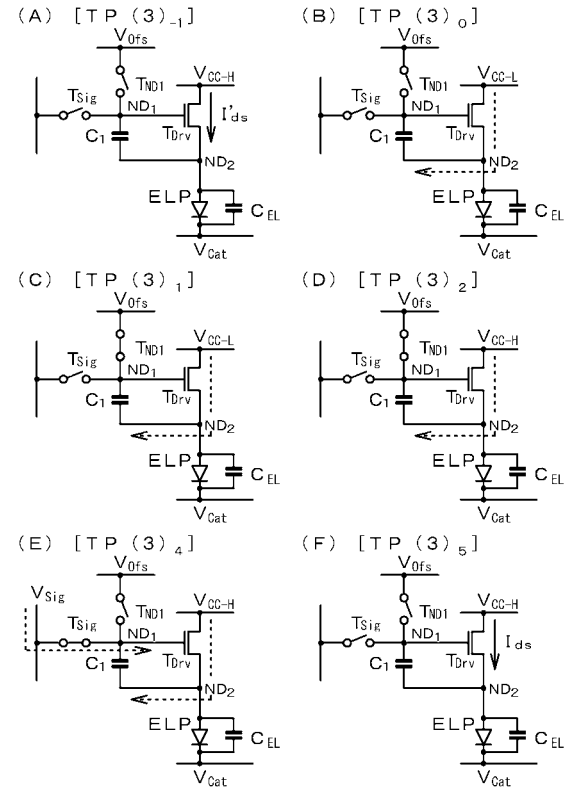
【図 1 1】

【図 1 1】 [実施例 4 : 実施例 3 の変形例]



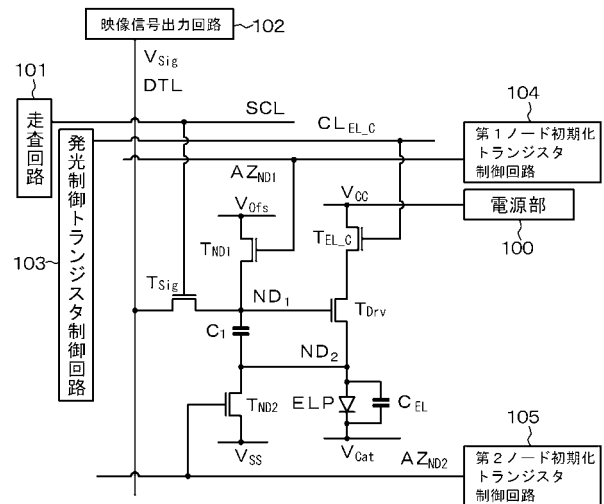
【図 1 0】

【図 1 0】 [実施例 3 : 3 Tr / 1 C 駆動回路]



【図 1 2】

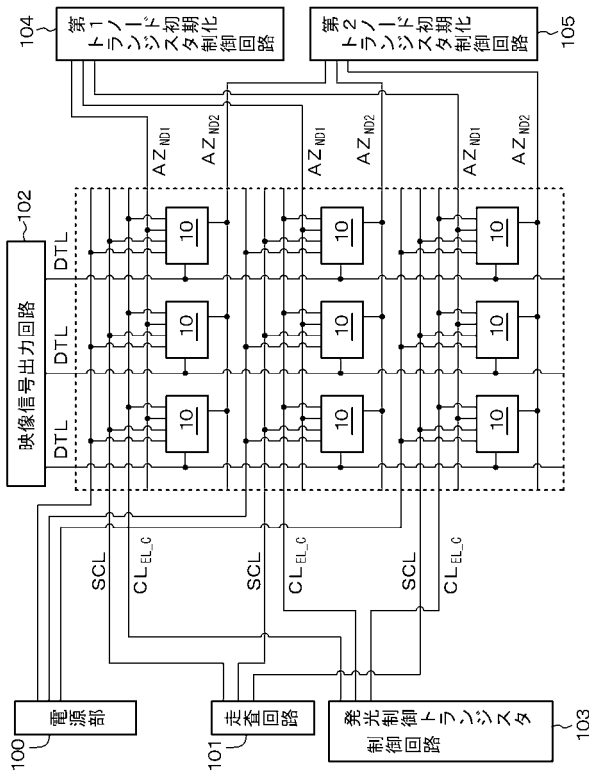
【図 1 2】 [5 Tr / 1 C 駆動回路]



T_{Sig} : 映像信号書き込みトランジスタ
 T_{Drv} : 駆動トランジスタ
 $T_{EL,C}$: 発光制御トランジスタ
 T_{ND1} : 第 1 ノード初期化トランジスタ
 T_{ND2} : 第 2 ノード初期化トランジスタ
 C_1 : コンデンサ部
 ELP : 有機 EL 素子の発光部
 C_{EL} : 発光部の寄生容量
 DTL : データ線
 SCL : 走査線
 $CL_{EL,C}$: 発光制御トランジスタ制御線
 AZ_{ND1} : 第 1 ノード初期化トランジスタ制御線
 AZ_{ND2} : 第 2 ノード初期化トランジスタ制御線

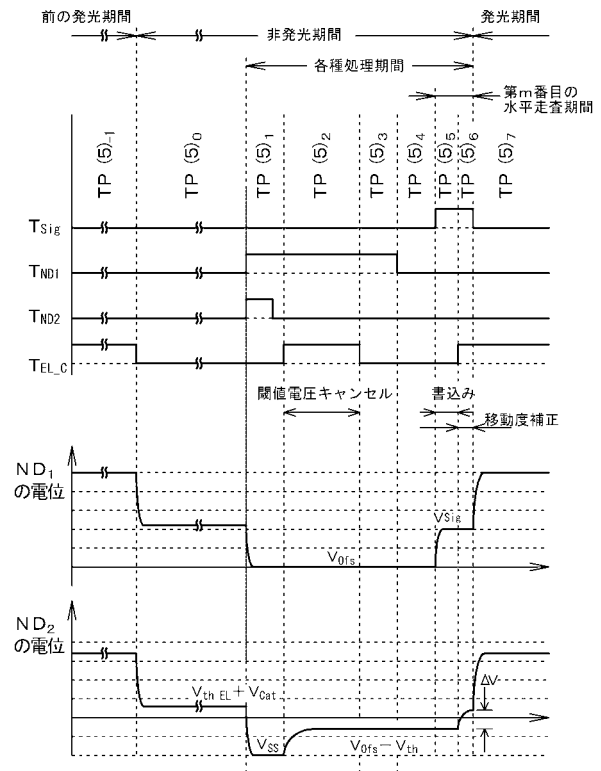
【図 13】

【図 13】 [5 Tr/1 C 駆動回路構成の表示装置]



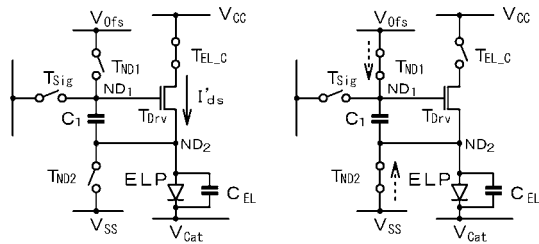
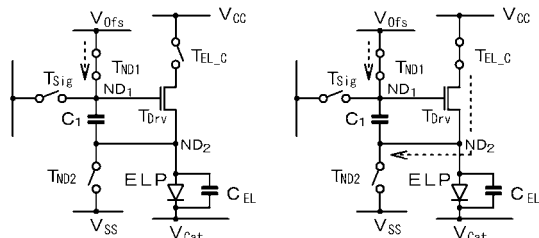
【図 14】

【図 14】 [5 Tr/1 C 駆動回路]



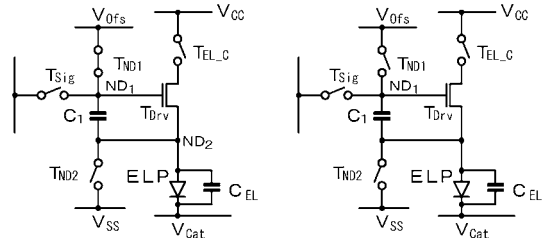
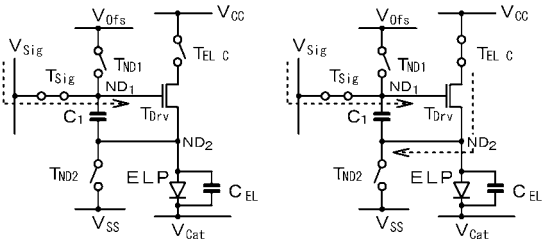
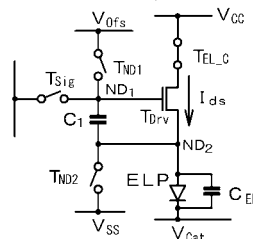
【図 15】

【図 15】 [5 Tr/1 C 駆動回路]

(A) [TP (5)₋₁](B) [TP (5)₁](C) [TP (5)₁] (続き)(D) [TP (5)₂]

【図 16】

【図 16】 [5 Tr/1 C 駆動回路]

(A) [TP (5)₃](B) [TP (5)₄](C) [TP (5)₅](D) [TP (5)₆](E) [TP (5)₇]

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/14 A

(72)発明者 藤村 寛

東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内

F ターム(参考) 3K107 AA01 BB01 CC45 EE03 EE04 HH02 HH04 HH05
5C080 AA06 BB05 DD05 EE28 JJ02 JJ03 JJ04 JJ05 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2009047718A5	公开(公告)日	2010-04-22
申请号	JP2007210741	申请日	2007-08-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	浅野慎 富田昌嗣 藤村寛		
发明人	浅野 慎 富田 昌嗣 藤村 寛		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0866 G09G2310/06 G09G2330/04		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.M G09G3/20.611.H G09G3/20.642.A H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC45 3K107/EE03 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE28 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AB06 5C380/AB23 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CC02 5C380/CC03 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC62 5C380/CC63 5C380/CC65 5C380/CD015 5C380/CD022 5C380/CD023 5C380/CD025 5C380/DA06 5C380/DA47		
代理人(译)	山本隆久 吉井正明		
其他公开文献	JP2009047718A JP5098508B2		

摘要(译)

要解决的问题：提供一种能够改善有机EL元件的发光特性的驱动电路。有机EL元件包括驱动电路和发光单元ELP，并且该驱动电路包括驱动晶体管T₁，视频信号写入晶体管T₁信号和电容器单元C₁。驱动的一个源极/漏极区域具有用于使电流通过驱动晶体管T₁驱动流向发光部ELP的第一电压，以及第二节点和发光部ELP。从电源部100和驱动晶体管T₁的一个源极驱动选择性地施加第二电压，该第二电压用于防止与阴极的电位差超过发光部ELP的阈值电压。在漏极区域侧形成LDD结构LD1。[选型图]图1