

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-11371

(P2007-11371A)

(43) 公開日 平成19年1月18日(2007.1.18)

| (51) Int. Cl. | F I | テーマコード (参考) |
|-----------------------------|----------------|-------------|
| G09G 3/30 (2006.01) | G09G 3/30 J | 3K107 |
| G09G 3/20 (2006.01) | G09G 3/20 624B | 5C080 |
| H01L 51/50 (2006.01) | G09G 3/20 623V | |
| | G09G 3/20 641D | |
| | G09G 3/20 622A | |

審査請求 有 請求項の数 23 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2006-180188 (P2006-180188)
 (22) 出願日 平成18年6月29日 (2006.6.29)
 (31) 優先権主張番号 10-2005-0058029
 (32) 優先日 平成17年6月30日 (2005.6.30)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 599127667
 エルジー フィリップス エルシーディー
 カンパニー リミテッド
 大韓民国 ソウル, ヨンドンポーク,
 ヨイドードン 20
 (74) 代理人 100057874
 弁理士 曾我 道照
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順

最終頁に続く

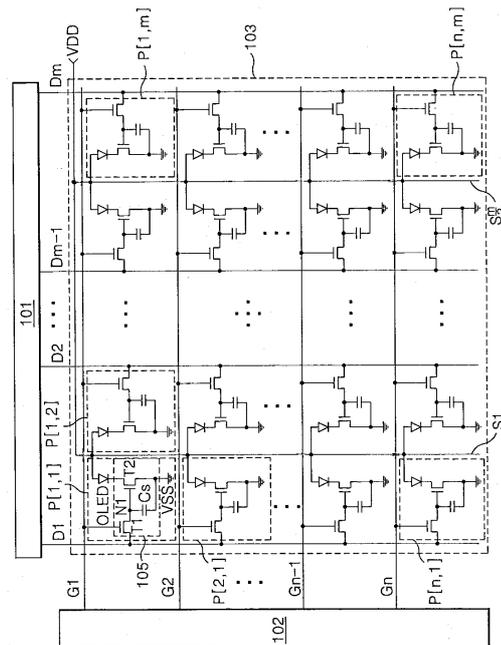
(54) 【発明の名称】 有機発光ダイオード表示装置

(57) 【要約】

【課題】本発明は、有機発光ダイオードパネルのライン数を減らすことによって、開口率を増加させ、輝度を向上させることができる有機発光ダイオード表示装置を提供する。

【解決手段】第1及び第2データラインと、高電位の電源電圧が供給される電源電圧供給ラインと、第1のデータライン、第2のデータライン及び電源電圧供給ラインと交差するゲートラインと、ゲートラインにスキャン信号を供給するゲート駆動回路と、データラインにデータ電圧をそれぞれ供給するデータ駆動回路と、電源供給ラインに共通に接続された第1及び第2有機発光ダイオードと、ゲートラインからのスキャン信号に応じ第1データラインからのデータ電圧により第1有機発光ダイオードを駆動する第1有機発光ダイオード駆動回路と、ゲートラインからのスキャン信号に応じ第2データラインからのデータ電圧により第2有機発光ダイオードを駆動する第2有機発光ダイオード駆動回路を有す。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 のデータラインと、高電位の電源電圧が供給される電源電圧供給ラインと、前記第 1 のデータライン、前記第 2 のデータライン、及び前記電源電圧供給ラインと交差するゲートラインと、前記ゲートラインにスキャン信号を供給するゲート駆動回路と、前記データラインにデータ電圧をそれぞれ供給するデータ駆動回路と、前記電源供給ラインに共通して接続された第 1 及び第 2 の有機発光ダイオードと、前記ゲートラインからのスキャン信号に応じて、前記第 1 のデータラインからのデータ電圧により前記第 1 の有機発光ダイオードを駆動する第 1 の有機発光ダイオード駆動回路と、前記ゲートラインからのスキャン信号に応じて、前記第 2 のデータラインからのデータ電圧により前記第 2 の有機発光ダイオードを駆動する第 2 の有機発光ダイオード駆動回路と、を備えることを特徴とする有機発光ダイオード表示装置。

10

【請求項 2】

前記第 1 の有機発光ダイオード駆動回路は、前記ゲートラインからのスキャン信号に応じて、前記第 1 のデータラインからのデータ電圧を第 1 のノードに供給する第 1 のトランジスタと、前記第 1 のノード上の電圧により前記第 1 の有機発光ダイオードに流れる電流量を制御する第 2 のトランジスタと、前記第 1 のノード上の電圧が充電される第 1 のストレージキャパシタと、を備えることを特徴とする請求項 1 に記載の有機発光ダイオード表示装置。

20

【請求項 3】

前記第 2 の有機発光ダイオード駆動回路は、前記ゲートラインからのスキャン信号に応じて、前記第 2 のデータラインからのデータ電圧を第 2 のノードに供給する第 3 のトランジスタと、前記第 2 のノード上の電圧により前記第 2 の有機発光ダイオードに流れる電流量を制御する第 4 のトランジスタと、前記第 2 のノード上の電圧が充電される第 2 のストレージキャパシタと、を備えることを特徴とする請求項 2 に記載の有機発光ダイオード表示装置。

30

【請求項 4】

前記ゲート駆動回路は、前記データライン、前記電源電圧供給ライン、前記ゲートライン、前記有機発光ダイオード、及び前記有機発光ダイオードの駆動回路が形成された基板上に形成されることを特徴とする請求項 3 に記載の有機発光ダイオード表示装置。

40

【請求項 5】

m (m は、正の整数である)本のデータラインと、前記データラインと交差する n (n は、正の整数である)本のゲートラインと、高電位の電源電圧が供給され、前記データライン間で前記データラインと平行に配置される k (k は、 $m/2$ より小さい正の整数である)本の電源電圧供給ラインと、それぞれに前記ゲートラインと対を成すリセットラインと、前記電源供給ラインに共通して接続される第 1 及び第 2 の有機発光ダイオードと、前記第 1 の有機発光ダイオード、前記ゲートラインからのスキャン信号に応じて、奇数番目の前記データラインからのデータ電圧により前記第 1 の有機発光ダイオードを駆動し、リセットラインからのリセット信号に応じて初期化される第 1 の有機発光ダイオード駆動回路を含む第 1 の画素と、前記第 2 の有機発光ダイオード、前記ゲートラインからのスキャン信号に応じて、偶数番目の前記データラインからのデータ電圧により前記第 2 の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第 2 の有機発光ダイオード駆動回路を含む第 2 の画素と、前記ゲートラインに前記スキャン信号を順次供給するゲート駆動回路と、前記データラインに前記データ電圧をそれぞれ供給するデータ駆動回路と、前記リセットラインに前記リセット信号を供給するリセット駆動回路と、を備えることを特徴とする有機発光ダイオード表示装置。

40

【請求項 6】

前記第 1 の有機発光ダイオード駆動回路は、前記ゲートラインからのスキャン信号に応じて、前記奇数番目のデータラインからのデータ電圧を第 1 のノードに供給する第 1 のトランジスタと、前記第 1 のノード上の電圧により前記第 1 の有機発光ダイオードに流れる

50

電流量を制御する第2のトランジスタと、前記リセットラインからのリセット信号に応じて、前記第1のノードを放電させる第3のトランジスタと、を備えることを特徴とする請求項5に記載の有機発光ダイオード表示装置。

【請求項7】

前記第2の有機発光ダイオード駆動回路は、前記ゲートラインからのスキャン信号に応じて、前記偶数番目のデータラインからのデータ電圧を第2のノードに供給する第4のトランジスタと、前記第2のノード上の電圧により前記第2の有機発光ダイオードに流れる電流量を制御する第4のトランジスタと、前記リセットラインからのリセット信号に応じて、前記第2のノードを放電させる第6のトランジスタと、を備えることを特徴とする請求項6に記載の有機発光ダイオード表示装置。

10

【請求項8】

前記リセット信号は、前記スキャン信号よりも遅く発生することを特徴とする請求項7に記載の有機発光ダイオード表示装置。

【請求項9】

前記リセット信号は、前記スキャン信号よりも1/2フレーム期間以上遅く発生することを特徴とする請求項8に記載の有機発光ダイオード表示装置。

【請求項10】

前記ゲート駆動回路は、予め設定されたクロック周波数によって発生するクロック信号に応じて、前記スキャン信号を順次発生するシフトレジスタを備え、前記リセット信号は、 $(1/c \times \text{前記クロック周波数})$ (但し、 c は、正の整数である)の周波数により発生し、 c 本の前記リセットラインに同時に供給されることを特徴とする請求項8に記載の有機発光ダイオード表示装置。

20

【請求項11】

前記リセット駆動回路は、前記リセットラインに前記リセット信号を順次供給することを特徴とする請求項5に記載の有機発光ダイオード表示装置。

【請求項12】

前記ゲート駆動回路及び前記リセット駆動回路は、前記データライン、前記ゲートライン、前記電源電圧供給ライン、前記リセットライン、前記有機発光ダイオード、前記有機発光ダイオード駆動回路が形成された基板上に形成されることを特徴とする請求項5に記載の有機発光ダイオード表示装置。

30

【請求項13】

m (m は、正の整数である)本のデータラインと、前記データラインと交差する n (n は、正の整数である)本のゲートラインと、高電位の電源電圧が供給され、それぞれに前記データライン間で前記データラインと平行に配置される電源電圧供給ラインと、それぞれに前記ゲートラインと対を成すリセットラインと、同一の一本の電源供給ラインに共通して接続される第1の有機発光ダイオード、第2の有機発光ダイオード、第3の有機発光ダイオード、及び第4の有機発光ダイオードと、前記第1の有機発光ダイオード、奇数番目のゲートラインからのスキャン信号に応じて、奇数番目のデータラインからのデータ電圧により前記第1の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第1の有機発光ダイオード駆動回路を含む第1の画素と、前記第2の有機発光ダイオード、前記奇数番目のゲートラインからのスキャン信号に応じて、偶数番目のデータラインからのデータ電圧により前記第2の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第2の有機発光ダイオード駆動回路を含む第2の画素と、前記第3の有機発光ダイオード、偶数番目のゲートラインからのスキャン信号に応じて、前記奇数番目のデータラインからのデータ電圧により前記第3の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第3の有機発光ダイオード駆動回路を含む第3の画素と、前記第4の有機発光ダイオード、前記偶数番目のゲートラインからのスキャン信号に応じて、前記偶数番目のデータラインからのデータ電圧により前記第4の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第4の有機発光ダイオード駆動回路を

40

50

含む第4の画素と、前記ゲートラインに前記スキャン信号を順次供給するゲート駆動回路と、前記データラインに前記データ電圧をそれぞれ供給するデータ駆動回路と、前記リセットラインに前記リセット信号を供給するリセット駆動回路と、を備えることを特徴とする有機発光ダイオード表示装置。

【請求項14】

前記第1乃至第4の画素は、同一の一本の前記リセットラインを経て供給される前記リセット信号により同時に初期化されることを特徴とする請求項13に記載の有機発光ダイオード表示装置。

【請求項15】

前記第1の有機発光ダイオード駆動回路は、前記奇数番目のゲートラインからのスキャン信号に応じて、前記奇数番目のデータラインからのデータ電圧を第1のノードに供給する第1のトランジスタと、前記第1のノード上の電圧により前記第1の有機発光ダイオードに流れる電流量を制御する第2のトランジスタ及び前記リセットラインからのリセット信号に応じて、前記第1のノードを放電させる第3のトランジスタと、を備えることを特徴とする請求項13に記載の有機発光ダイオード表示装置。

10

【請求項16】

前記第2の有機発光ダイオード駆動回路は、前記奇数番目のゲートラインからのスキャン信号に応じて、前記偶数番目のデータラインからのデータ電圧を第2のノードに供給する第4のトランジスタと、前記第2のノード上の電圧により前記第2の有機発光ダイオードに流れる電流量を制御する第5のトランジスタと、前記リセットラインからのリセット信号に応じて、前記第2のノードを放電させる第6のトランジスタと、を備えることを特徴とする請求項15に記載の有機発光ダイオード表示装置。

20

【請求項17】

前記第3の有機発光ダイオード駆動回路は、前記偶数番目のゲートラインからのスキャン信号に応じて、前記奇数番目のデータラインからのデータ電圧を第3のノードに供給する第7のトランジスタと、前記第3のノード上の電圧により前記第3の有機発光ダイオードに流れる電流量を制御する第8のトランジスタと、前記リセットラインからのリセット信号に応じて、前記第3のノードを放電させる第9のトランジスタと、を備えることを特徴とする請求項16に記載の有機発光ダイオード表示装置。

30

【請求項18】

前記第4の有機発光ダイオード駆動回路は、前記偶数番目のゲートラインからのスキャン信号に応じて、前記偶数番目のデータラインからのデータ電圧を第4のノードに供給する第10のトランジスタと、前記第4のノード上の電圧により前記第4の有機発光ダイオードに流れる電流量を制御する第11のトランジスタと、前記リセットラインからのリセット信号に応じて、前記第4のノードを放電させる第12のトランジスタと、を備えることを特徴とする請求項17に記載の有機発光ダイオード表示装置。

40

【請求項19】

前記リセット信号は、前記スキャン信号よりも遅く発生することを特徴とする請求項13に記載の有機発光ダイオード表示装置。

【請求項20】

前記リセット信号は、前記スキャン信号よりも1/2フレーム期間以上遅く発生することを特徴とする請求項19に記載の有機発光ダイオード表示装置。

40

【請求項21】

前記ゲート駆動回路は、クロック周波数によって発生するクロック信号に応じて、前記スキャン信号を順次発生するシフトレジスタを備え、前記リセット信号は、 $(1/c \times \text{前記クロック周波数})$ (但し、 c は、正の整数である)の周波数により発生し、 c 本の前記リセットラインに同時に供給されることを特徴とする請求項13に記載の有機発光ダイオード表示装置。

【請求項22】

前記リセット駆動回路は、前記リセットラインに前記リセット信号を順次供給すること

50

を特徴とする請求項 13 に記載の有機発光ダイオード表示装置。

【請求項 23】

前記ゲート駆動回路及び前記リセット駆動回路は、前記データライン、前記ゲートライン、前記電源電圧供給ライン、前記リセットライン、前記有機発光ダイオード、前記有機発光ダイオード駆動回路が形成された基板上に形成されることを特徴とする請求項 13 に記載の有機発光ダイオード表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機発光ダイオード表示装置に関し、特に、有機発光ダイオードパネルのライン数を減らすことによって、開口率を増加させ、輝度を向上させることができる有機発光ダイオード表示装置に関する。

10

【背景技術】

【0002】

近年、陰極線管(Cathode Ray Tube)の短所である重量及び体積を減少できる各種の平板表示装置が登場している。このような平板表示装置としては、液晶表示装置(Liquid Crystal Display)、電界放出表示装置(Field Emission Display)、プラズマディスプレイパネル(Plasma Display Panel)及び発光ダイオード(Light Emitting Diode:以下、LEDという)表示装置などがある。

20

それらのうち、LED表示装置は、電子と正孔との再結合により蛍光体を発光させるLEDを利用し、このようなLEDは、蛍光体として無機化合物を使用する無機LED(Inorganic Light Emitting Diode)表示装置と、有機化合物を使用する有機LED(Organic Light Emitting Diode:以下、OLEDという)表示装置とに区分される。このようなOLED表示装置は、低電圧駆動、自己発光、薄膜型、広い視野角、速い応答速度及び高いコントラストなどの多くの長所を有し、次世代の表示装置として期待されている。

【0003】

発光素子としてのOLEDは、通常、負極(Cathode)と正極(Anode)との間に積層された電子注入層、電子輸送層、発光層、正孔輸送層及び正孔注入層から構成される。このようなOLEDでは、正極と負極との間に所定の電圧を印加する場合、負極から発生した電子が電子注入層及び電子輸送層を通じて発光層側に移動し、正極から発生した正孔が正孔注入層及び正孔輸送層を通じて発光層側に移動する。これにより、発光層では、電子輸送層及び正孔輸送層から供給された電子と正孔との再結合により光を放出する。

30

このようなOLEDを利用するアクティブマトリックスタイプのOLED表示装置は、図1に示したように、 n 本のゲートライン G_1 乃至 G_n (n は、正の整数である)と m 本のデータライン D_1 乃至 D_m (m は、正の整数である)との交差で定義された領域に、 $n \times m$ マトリックス形態で配列された $n \times m$ 個の画素 $P[i, j]$ を含むOLEDパネル13と、OLEDパネル13のゲートライン G_1 乃至 G_n を駆動するゲート駆動回路12と、OLEDパネル13のデータライン D_1 乃至 D_m を駆動するデータ駆動回路11と、データライン D_1 乃至 D_m と並んで配列され、高電位の電源電圧 V_{DD} を各画素 $P[i, j]$ に供給する m 本の電源電圧供給ライン S_1 乃至 S_m と、を備える。但し、 $P[i, j]$ は、 i 行、 j 列に位置した画素、 i は、 n より小さいか、または同じ正の整数、 j は、 m より小さいか、または同じ正の整数を意味する。

40

【0004】

ゲート駆動回路12は、ゲートライン G_1 乃至 G_n にスキャン信号を供給し、ゲートライン G_1 乃至 G_n を順次駆動する。データ駆動回路11は、外部から入力されたデジタルデータ電圧をアナログデータ電圧に変換する。そして、データ駆動回路11は、アナログデータ電圧をスキャン信号が供給される度にデータライン D_1 乃至 D_m に供給する。画素 $P[i, j]$ のそれぞれは、第 i のゲートライン G_i にスキャン信号が供給される時、第

50

j のデータライン D_j からのデータ電圧が供給され、そのデータ電圧に相応する光を発生させる。

このために、各画素 P [i , j] は、第 j の電源電圧供給ライン S_j に正極が接続された O L E D と、O L E D を駆動するために O L E D の負極に接続されると共に、第 i のゲートライン G_i 及び第 j のデータライン D_j と接続し、低電位の電源電圧 V S S が供給される O L E D 駆動回路 15 と、を備える。

【 0 0 0 5 】

このような O L E D 駆動回路 15 は、第 i のゲートライン G_i からのスキャン信号に応じて、第 j のデータライン D_j からのデータ電圧を第 1 のノード N₁ に供給する第 1 のトランジスタ T₁ と、第 1 のノード N₁ の電圧に応じて、O L E D に流れる電流量を制御する第 2 のトランジスタ T₂ と、第 1 のノード N₁ 上の電圧が充電されるストレージキャパシタ C_s と、を備える。

10

第 1 のトランジスタ T₁ は、ゲートライン G_i を通じてスキャン信号が供給されると、ターンオンされ、データライン D_j から供給されたデータ電圧を第 1 のノード N₁ に供給する。第 1 のノード N₁ に供給されたデータ電圧は、ストレージキャパシタ C_s に充電されると共に、第 2 のトランジスタ T₂ のゲート電極に供給される。このように供給されるデータ電圧により第 2 のトランジスタ T₂ がターンオンされると、O L E D を通じて電流が流れる。このとき、O L E D を通じて流れる電流は、第 j の電源電圧供給ライン S_j から供給される高電位の電源電圧 V D D により発生し、電流量は、第 2 のトランジスタ T₂ に印加されるデータ電圧の大きさに比例する。そして、第 1 のトランジスタ T₁ がターン

20

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

ところが、前記のような O L E D 表示装置は、次のような問題点がある。図 1 に示されているように、有機発光ダイオードパネルには、各画素に高電位の電源電圧 V D D を供給するための電源電圧供給ライン S_j が形成される。例えば、800 × 600 の解像度を有する S V G A の場合には、800 本の電源電圧供給ライン S_j が、1024 × 768 の解

30

像度を有する X G A の場合には、1024 本の電源電圧供給ライン S_j が形成される。このような多数のラインは、有機発光ダイオードパネルの開口率を減少させ、輝度を低下させる。

【 0 0 0 7 】

従って、本発明の目的は、ライン数を減すことができる O L E D パネルと、これを利用した O L E D 表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 8 】

前記目的を達成するために、本発明の実施の形態による O L E D 表示装置は、第 1 及び第 2 のデータラインと、高電位の電源電圧が供給される電源電圧供給ラインと、前記第 1 のデータライン、前記第 2 のデータライン、及び前記電源電圧供給ラインと交差するゲートラインと、前記ゲートラインにスキャン信号を供給するゲート駆動回路と、前記データラインにデータ電圧をそれぞれ供給するデータ駆動回路と、前記電源供給ラインに共通して接続された第 1 及び第 2 の有機発光ダイオードと、前記ゲートラインからのスキャン信号に応じて、前記第 1 のデータラインからのデータ電圧により前記第 1 の有機発光ダイオードを駆動する第 1 の有機発光ダイオード駆動回路と、前記ゲートラインからのスキャン信号に応じて、前記第 2 のデータラインからのデータ電圧により前記第 2 の有機発光ダイオードを駆動する第 2 の有機発光ダイオード駆動回路と、を備える。

40

【 0 0 0 9 】

本発明の他の実施の形態による O L E D 表示装置は、m (m は、正の整数である) 本のデ

50

ータラインと、前記データラインと交差する n (n は、正の整数である)本のゲートラインと、高電位の電源電圧が供給され、前記データライン間で前記データラインと平行に配置される k (k は、 $m/2$ より小さい正の整数である)本の電源電圧供給ラインと、前記ゲートラインと対を成す多数のリセットラインと、前記電源供給ラインに共通して接続される第1及び第2の有機発光ダイオードと、前記第1の有機発光ダイオード、前記ゲートラインからのスキャン信号に応じて、奇数番目の前記データラインからのデータ電圧により前記第1の有機発光ダイオードを駆動し、リセットラインからのリセット信号に応じて初期化される第1の有機発光ダイオード駆動回路を含む第1の画素と、前記第2の有機発光ダイオード、前記ゲートラインからのスキャン信号に応じて、偶数番目の前記データラインからのデータ電圧により前記第2の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第2の有機発光ダイオード駆動回路を含む第2の画素と、前記ゲートラインに前記スキャン信号を順次供給するゲート駆動回路と、前記データラインに前記データ電圧をそれぞれ供給するデータ駆動回路と、前記リセットラインに前記リセット信号を供給するリセット駆動回路と、を備える。

10

【0010】

本発明のさらに別の実施の形態によるOLED表示装置は、 m (m は、正の整数である)本のデータラインと、前記データラインと交差する n (n は、正の整数である)本のゲートラインと、高電位の電源電圧が供給され、それぞれに前記データライン間で前記データラインと平行に配置される電源電圧供給ラインと、それぞれに前記ゲートラインと対を成すリセットラインと、同一の一本の電源供給ラインに共通して接続される第1の有機発光ダイオード、第2の有機発光ダイオード、第3の有機発光ダイオード、及び第4の有機発光ダイオードと、前記第1の有機発光ダイオード、奇数番目のゲートラインからのスキャン信号に応じて、奇数番目のデータラインからのデータ電圧により前記第1の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第1の有機発光ダイオード駆動回路を含む第1の画素と、前記第2の有機発光ダイオード、前記奇数番目のゲートラインからのスキャン信号に応じて、偶数番目のデータラインからのデータ電圧により前記第2の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第2の有機発光ダイオード駆動回路を含む第2の画素と、前記第3の有機発光ダイオード、偶数番目のゲートラインからのスキャン信号に応じて、前記奇数番目のデータラインからのデータ電圧により前記第3の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第3の有機発光ダイオード駆動回路を含む第3の画素と、前記第4の有機発光ダイオード、前記偶数番目のゲートラインからのスキャン信号に応じて、前記偶数番目のデータラインからのデータ電圧により前記第4の有機発光ダイオードを駆動し、前記リセットラインからのリセット信号に応じて初期化される第4の有機発光ダイオード駆動回路を含む第4の画素と、前記ゲートラインに前記スキャン信号を順次供給するゲート駆動回路と、前記データラインに前記データ電圧をそれぞれ供給するデータ駆動回路と、前記リセットラインに前記リセット信号を供給するリセット駆動回路と、を備える。

20

30

【発明の効果】

【0011】

本発明は、OLEDパネルにおいて、隣接した画素に信号ラインを共有させることによって、OLEDパネルのライン数を減少させ、開口率と輝度を向上させることができる。なお、OLEDを周期的にリセットさせ、OLED駆動の信頼性を向上させることができる。

40

【発明を実施するための最良の形態】

【0012】

前記目的以外の本発明の他の目的及び特徴は、添付の図面を参照した実施の形態の説明により明白になるだろう。以下、図2乃至図12を参照して、本発明の望ましい実施の形態について説明する。

【0013】

50

実施の形態 1 .

本発明の第 1 の実施の形態による O L E D 表示装置は、図 2 に示されているように、 n 本のゲートライン $G 1$ 乃至 $G n$ 、 m 本のデータライン $D 1$ 乃至 $D m$ 及び $m / 2$ 本の電源電圧供給ライン $S 1$ 乃至 $S m / 2$ により領域が定義され、 $n \times m$ マトリックス形態で配列された $n \times m$ 個の画素 ($P [i, j]$: 但し、 $P [i, j]$ は、 i 行、 j 列に位置した画素、 i は、 n より小さいか、または同じ正の整数、 j は、 m より小さいか、または同じ正の整数である) を含む O L E D パネル 1 0 3 と、O L E D パネル 1 0 3 のゲートライン $G 1$ 乃至 $G n$ を駆動するゲート駆動回路 1 0 2 及び O L E D パネル 1 0 3 のデータライン $D 1$ 乃至 $D m$ を駆動するデータ駆動回路 1 0 1 と、を備える。

【 0 0 1 4 】

ゲート駆動回路 1 0 2 は、ゲートライン $G 1$ 乃至 $G n$ にスキャン信号を供給し、ゲートライン $G 1$ 乃至 $G n$ を順次駆動する。

データ駆動回路 1 0 1 は、外部から入力されたデジタルデータ信号をアナログデータ信号に変換する。そして、データ駆動回路 1 0 1 は、アナログデータ信号をスキャン信号が供給される度にデータライン $D 1$ 乃至 $D m$ に供給する。

O L E D パネル 1 0 3 において、奇数番目のデータライン $D 1$ 、 $D 3$ 、 \dots 、 $D m - 1$ と偶数番目のデータライン $D 2$ 、 $D 4$ 、 \dots 、 $D m$ との間に電源電圧供給ライン $S 1$ 乃至 $S m / 2$ が一本ずつ配置される。即ち、隣合うデータライン間に電源電圧供給ラインが配置される。

【 0 0 1 5 】

画素 $P [i, j]$ は、隣合う二本のゲートライン、即ち、一本のデータラインと一本の電源電圧供給ラインとの間により定義される画素領域に形成される。このような画素 $P [i, j]$ のそれぞれは、 i 番目のゲートライン $G i$ にスキャン信号が供給される時、 j 番目のデータラインからのデータ信号を供給され、そのデータ信号に相応する光を発生する。

画素 $P [i, j]$ のそれぞれは、電源電圧供給ライン $S 1$ 乃至 $S m / 2$ に正極が接続された O L E D と、O L E D を駆動するために、O L E D の負極に接続されると共に、ゲートライン $G i$ 及びデータライン $D j$ と接続され、低電位の電源電圧 $V S S$ が供給される O L E D 駆動回路 1 0 5 と、を備える。

【 0 0 1 6 】

奇数列の画素を " $P [i, 2 k - 1]$ (k は、 m 以下の正の整数である)" とし、偶数列の画素を " $P [i, 2 k]$ " とすると、奇数列の画素 $P [i, 2 k - 1]$ 、及びそれと隣合う偶数列の画素 $P [i, 2 k]$ のそれぞれに形成された O L E D は、同一の電源電圧供給ライン $S 1$ 乃至 $S m / 2$ から高電位の電源電圧 $V D D$ を供給される。

O L E D 駆動回路 1 0 5 は、ゲートライン $G 1$ 乃至 $G n$ からのスキャン信号に応じて、データライン $D 1$ 乃至 $D m$ からのデータ電圧を第 1 のノード $N 1$ に供給する第 1 のトランジスタ $T 1$ と、第 1 のノード $N 1$ の電圧に応じて、O L E D に流れる電流量を制御する第 2 のトランジスタ $T 2$ と、第 1 のノード $N 1$ の電圧と低電位の電源電圧 $V S S$ の差電圧を充電するストレージキャパシタ $C s$ と、を備える。このような第 1 及び第 2 のトランジスタ $T 1$ 及び $T 2$ は、非晶質シリコンまたはポリシリコンを半導体層として利用することができる。

【 0 0 1 7 】

第 1 のトランジスタ $T 1$ は、ゲートライン $G 1$ 乃至 $G n$ からのスキャン信号に応じて、ターンオンされ、データライン $D 1$ 乃至 $D m$ から供給されたデータ電圧を第 1 のノード $N 1$ に供給する。第 1 のノード $N 1$ に供給されたデータ電圧は、ストレージキャパシタ $C s$ に充電されると共に第 2 のトランジスタ $T 2$ のゲート電極に供給される。第 1 のノード $N 1$ に供給されるデータ電圧により第 2 のトランジスタ $T 2$ がターンオンされると、データ電圧に相応する電流が O L E D を通じて流れる。この時、O L E D を通じて流れる電流は、第 k の電源電圧供給ライン $S k$ から供給される高電位の電源電圧 $V D D$ により発生し、電流量は、第 2 のトランジスタ $T 2$ に印加されるデータ電圧の大きさに比例する。そして

10

20

30

40

50

、第1のトランジスタT1がターンオフされても、第2のトランジスタT2は、データ電圧が充電されたストレージキャパシタCsによりターンオン状態を維持し、次のフレームのデータ電圧が供給されるまで、OLEDを経て流れる電流量を制御する。

【0018】

このように、本発明の第1の実施の形態によるOLED表示装置では、OLEDパネル103の隣接した二つの画素が、高電位の電源電圧を供給される電源供給ラインを共有することで、電源供給ラインの数が1/2に減少する。

【0019】

実施の形態2 .

図3は、本発明の第2の実施の形態によるOLED表示装置を示すものである。本発明の第2の実施の形態によるOLED表示装置は、図3に示されているように、n本のゲートラインG1乃至Gn、m本のデータラインD1乃至Dm及びm/2本の電源電圧供給ラインS1乃至Sm/2により領域が定義され、n×mマトリクス形態で配列されたn×m個の画素P[i、j]及び各画素P[i、j]にリセット信号を供給するためのn本のリセットラインR1乃至Rnを含むOLEDパネル203と、OLEDパネル203のゲートラインG1乃至Gnを駆動するゲート駆動回路202と、OLEDパネル203のデータラインD1乃至Dmを駆動するデータ駆動回路201及びリセット駆動回路206と、を備える。

10

【0020】

ゲート駆動回路202は、ゲートラインG1乃至Gnにスキャン信号を供給し、ゲートラインG1乃至Gnを順次駆動する。

20

データ駆動回路201は、外部から入力されたデジタルデータ信号をアナログデータ信号に変換する。そして、データ駆動回路201は、アナログデータ信号をスキャン信号が供給される度にデータラインD1乃至Dmに供給する。

リセット駆動回路206は、スキャン信号に続いてリセット信号を発生し、そのリセット信号をリセットラインR1乃至Rnに順次供給する。

【0021】

OLEDパネル203において、データラインD1乃至Dm及び電源供給ラインS1乃至Sm/2は、前述の実施の形態と同様に、奇数データラインD1、D3、・・・、Dm-1と偶数データラインD2、D4、・・・、Dmとの間に電源供給ラインS1乃至Sm/2が一本ずつ配置される。

30

ゲートラインG1乃至Gn及びリセットラインR1乃至Rnは、データラインD1乃至Dm及び電源電圧供給ラインS1乃至Sm/2と交差する。このようなゲートラインG1乃至GnとリセットラインR1乃至Rnは、相互配置され、一本のゲートラインと一本のリセットラインとが一对を成し、一对のゲートラインとリセットラインが垂直に隣合う画素間に配置される。

前述の第1の実施の形態と同様に、奇数列の画素P[i、2k-1]、及びそれと隣合う偶数列の画素P[i、2k]のそれぞれに形成されたOLEDは、同一の電源電圧供給ラインS1乃至Sm/2から高電位の電源電圧VDDを供給される。

【0022】

OLED駆動回路205は、ゲートラインG1乃至Gnからのスキャン信号に応じて、データラインD1乃至Dmからのデータ電圧を第1のノードN1に供給する第1のトランジスタT1と、第1のノードN1上の電圧に応じて、OLEDに流れる電流量を制御する第2のトランジスタT2と、リセットラインR1乃至Rnからのリセット信号に応じて、第1のノードN1を放電させる第3のトランジスタT3と、を備える。

40

第1のトランジスタT1のゲート電極は、ゲートラインG1乃至Gnに接続され、ソース電極は、一本のデータラインD1乃至Dmに接続される。そして、第1のトランジスタT1のドレイン電極は、第1のノードN1に接続される。

第2のトランジスタT2のゲート電極は、第1のノードN1に接続され、ソース電極は、OLEDの負極に接続される。そして、第2のトランジスタT2のドレイン電極は、低

50

電位の電源電圧源 VSS に接続される。

第3のトランジスタ $T3$ のゲート電極は、リセットライン $R1$ 乃至 Rn に接続され、ソース電極は、第1のノード $N1$ に接続される。そして、第3のトランジスタ $T3$ のドレイン電極は、低電位の電源電圧源 VSS に接続される。

このようなトランジスタ $T1$ 乃至 $T3$ は、 N 型の MOS トランジスタで具現化される。

【0023】

スキャン信号に応じて、第1のトランジスタ $T1$ がターンオンされると、データライン $D1$ 乃至 Dm からのデータ電圧が第1のノード $N1$ に供給される。第1のノード $N1$ に供給されたデータ電圧は、第2のトランジスタ $T2$ のゲート電極に供給される。このように供給されるデータ電圧により第2のトランジスタ $T2$ がターンオンされると、 $OLED$ を通して電流が流れる。この時、 $OLED$ を通して流れる電流は、高電位の電源電圧 VDD により発生し、その電流量は、第2のトランジスタ $T2$ のゲート電極に印加されるデータ電圧の大きさに比例する。そして、第1のトランジスタ $T1$ がターンオフされても、第1のノード $N1$ 上にフローティング (Floating) されたデータ電圧により第2のトランジスタ $T2$ は、ターンオン状態を維持し、リセット信号により第3のトランジスタ $T3$ がターンオンされ、第1のノード $N1$ が放電するまで第2のトランジスタは、ターンオン状態を維持する。このような $OLED$ 駆動回路 205 は、 $OLED$ 駆動素子 (第2のトランジスタ) の制御ノード (第1のノード) を一定週期ごとに放電させ、 $OLED$ 駆動素子のゲートバイアスストレスによる劣化を減少させ、 $OLED$ 駆動素子の劣化による特性変化を防止することで、 $OLED$ 駆動回路 205 の動作の信頼性を確保する。

【0024】

図4は、スキャン信号及びリセット信号を供給するためのゲート駆動回路 202 及びリセット駆動回路 206 を概略的に示すものである。

図4を参照すると、ゲート駆動回路 202 は、従属的に接続された n 個のステージから構成されるシフトレジスタを含む。このようなシフトレジスタにおいて、第1のステージには、第1のスタート信号 $Vst1$ が入力され、第2乃至第 n のステージには、スタート信号として前段の出力信号が入力される。また、各ステージは、同一の回路構成を有し、クロック信号に応じて、スタート信号 $Vst1$ または前段の出力信号をシフトさせることで、1水平期間のパルス幅を有するスキャン信号を発生する。このように発生するスキャン信号は、ゲートライン $G1$ 乃至 Gn に順次供給される。

【0025】

リセット駆動回路 206 は、 n 個のステージから構成されるシフトレジスタを含み、各ステージは、ゲート駆動回路 202 のシフトレジスタステージと同一の回路構成を有する。このリセット駆動回路 206 に供給されるクロック信号は、ゲート駆動回路 202 に供給されるクロック信号と同様の周期及び持続時間を有する。

一方、第 i のリセットライン Ri に供給されるリセット信号は、第 i のゲートライン Gi に供給されるスキャン信号よりも遅れて供給される。スキャン信号よりも遅れるリセット信号を供給するためには、第1のスタート信号 $Vst1$ と第2のスタート信号 $Vst2$ との時間差を置けば良く、リセット信号が供給されるタイミングは、第 i のゲートライン Gi に供給されるスキャン信号よりも $1/2$ フレーム期間程度遅れるのが適当である。また、このようなリセット信号は、毎フレーム期間単位で供給されることもでき、数フレーム期間単位で1回ずつ供給されることもできる。

【0026】

図5は、図4のリセット駆動回路 206 と異なるリセット駆動回路 207 を示すものである。

図5のリセット駆動回路 207 は、一つのステージで二つのリセットライン Ri 、 $R+1$ にリセット信号を供給することを特徴とする。これのために、図5のリセット駆動回路 207 に供給されるクロック信号は、図4のリセット駆動回路 206 に供給されるクロック信号に比べて、2倍の週期及び持続時間を有する。その外に、一つのステージで三つ以上のリセットラインに同時にリセット信号を供給する方法も可能である。

上述したように、本発明の第2の実施の形態によるOLED表示装置では、OLEDパネル203の隣接した二つの画素が、高電位の電源電圧を供給される電源供給ラインを共有することで、電源供給ラインの数が1/2に減少すると共に、リセット信号によりOLED駆動素子の制御ノードを放電させることで、OLED駆動素子の劣化による特性変化を防止し、OLED駆動回路の動作の信頼性が向上できる。

【0027】

実施の形態3.

図6は、本発明の第3の実施の形態によるOLED表示装置を示すものである。

本発明の第3の実施の形態によるOLED表示装置は、図6に示されているように、 n 本のゲートライン G_1 乃至 G_n 、 m 本のデータライン D_1 乃至 D_m 及び $m/2$ 本の電源電圧供給ライン S_1 乃至 $S_{m/2}$ 及び $n/2$ 本のリセットライン R_1 乃至 $R_{n/2}$ により領域が定義され、 $n \times m$ マトリクス形態で配列された $n \times m$ 個の画素 $P[i, j]$ を含むOLEDパネル303と、OLEDパネル303のゲートライン G_1 乃至 G_n を駆動するゲート駆動回路302と、OLEDパネル303のデータライン D_1 乃至 D_m を駆動するデータ駆動回路301及びリセット駆動回路306と、を備える。ここで、 $P[i, j]$ は、 i 行、 j 列に位置した画素、 i は、 n よりも小さいか、または同じ正の整数、 j は、 m よりも小さいか、または同じ正の整数を意味する。

【0028】

ゲート駆動回路302は、ゲートライン G_1 乃至 G_n にスキャン信号を供給し、ゲートライン G_1 乃至 G_n を順次駆動する。

リセット駆動回路306は、スキャン信号に続いてリセット信号を発生し、そのリセット信号をリセットライン R_1 乃至 $R_{n/2}$ に順次供給する。ここで、リセット信号は、ゲート駆動回路302に供給されるクロック周波数の $1/c$ 周波数(但し、 c は、正の整数である)により発生し、 c 個のリセットラインに同時または順次供給される。

データ駆動回路301は、外部から入力されたデジタルデータ信号をアナログデータ信号に変換する。そして、データ駆動回路301は、アナログデータ信号をスキャン信号が供給される度にデータライン D_1 乃至 D_m に供給する。

【0029】

ゲートライン G_1 乃至 G_n 及びリセットライン R_1 乃至 $R_{n/2}$ は、データライン D_1 乃至 D_m 及び電源供給ライン S_1 乃至 $S_{m/2}$ と交差する。奇数データライン D_1 、 D_3 、 \dots 、 D_{m-1} と、それと隣合う偶数データライン D_2 、 D_4 、 \dots 、 D_m の間には、一本の電源電圧供給ライン S_1 乃至 $S_{m/2}$ が配置される。奇数ゲートライン G_1 、 G_3 、 \dots 、 G_{n-1} と、それと隣合う偶数ゲートライン G_2 、 G_4 、 \dots 、 G_n の間には、一本のリセットライン R_1 乃至 $R_{n/2}$ が配置される。

奇数列の画素 $P[i, 2k-1]$ 及びそれと隣合う偶数列の画素 $P[i, 2k]$ のそれぞれに形成されたOLEDは、同一の電源電圧供給ライン S_1 乃至 $S_{m/2}$ から高電位の電源電圧 V_{DD} を供給される。

このような画素 $P[i, j]$ のそれぞれは、第 i のゲートライン G_i にスキャン信号が供給される時、第 j のデータライン D_j からのデータ信号を供給され、そのデータ信号に相応する光を発生する。

【0030】

OLED駆動回路305は、ゲートライン G_1 乃至 G_n からのスキャン信号に応じて、データライン D_1 乃至 D_m からのデータ電圧を第1のノード N_1 に供給する第1のトランジスタ T_1 と、第1のノード N_1 上の電圧に応じて、OLEDに流れる電流量を制御する第2のトランジスタ T_2 と、リセットライン R_1 乃至 $R_{n/2}$ からのリセット信号に応じて、第1のノード N_1 を放電させる第3のトランジスタ T_3 と、を備える。

【0031】

$4i+1$ 行に配置され、 $4j+1$ 列に配置される画素 $P[4i+1, 4j+1]$ において、第1のトランジスタ T_1 のゲート電極は、第 $4i+1$ のゲートライン G_1 、 G_5 、 \dots 、 G_{n-3} に接続され、ソース電極は、第 $4j+1$ のデータライン D_1 、 D_5 、 \dots

10

20

30

40

50

、 D_{m-3} に接続される。そして、第1のトランジスタ T_1 のドレーン電極は、第1のノード N_1 に接続される。この画素 $P[4i+1, 4j+1]$ において、第2のトランジスタ T_2 のゲート電極は、第1のノード N_1 に接続され、ソース電極は、OLEDの負極に接続される。そして、第2のトランジスタ T_2 のドレーン電極は、低電位の電源電圧源 V_{SS} に接続される。この画素 $P[4i+1, 4j+1]$ において、第3のトランジスタ T_3 のゲート電極は、奇数リセットライン $R_1, R_3, \dots, R_{n/2-1}$ に接続され、ソース電極は、第1のノード N_1 に接続される。そして、第3のトランジスタ T_3 のドレーン電極は、低電位の電源電圧源 V_{SS} に接続される。この画素 $P[4i+1, 4j+1]$ において、OLEDの正極は、奇数電源電圧供給ライン $S_1, S_3, \dots, S_{m/2-1}$ に接続される。

10

【0032】

$4i+1$ 行に配置され、 $4j+2$ 列に配置される画素 $P[4i+1, 4j+2]$ において、第1のトランジスタ T_1 のゲート電極は、第 $4i+1$ のゲートライン G_1, G_5, \dots, G_{n-3} に接続され、ソース電極は、第 $4j+2$ のデータライン D_2, D_6, \dots, D_{m-2} に接続される。そして、第1のトランジスタ T_1 のドレーン電極は、第1のノード N_1 に接続される。この画素 $P[4i+1, 4j+2]$ において、第2のトランジスタ T_2 のゲート電極は、第1のノード N_1 に接続され、ソース電極は、OLEDの負極に接続される。そして、第2のトランジスタ T_2 のドレーン電極は、低電位の電源電圧源 V_{SS} に接続される。この画素 $P[4i+1, 4j+2]$ において、第3のトランジスタ T_3 のゲート電極は、奇数リセットライン $R_1, R_3, \dots, R_{n/2-1}$ に接続され、ソース電極は、第1のノード N_1 に接続される。そして、第3のトランジスタ T_3 のドレーン電極は、低電位の電源電圧源 V_{SS} に接続される。この画素 $P[4i+1, 4j+2]$ において、OLEDの正極は、奇数電源電圧供給ライン $S_1, S_3, \dots, S_{m/2-1}$ に接続される。

20

【0033】

$4i+1$ 行に配置され、 $4j+3$ 列に配置される画素 $P[4i+1, 4j+3]$ において、第1のトランジスタ T_1 のゲート電極は、第 $4i+1$ のゲートライン G_1, G_5, \dots, G_{n-3} に接続され、ソース電極は、第 $4j+3$ のデータライン D_3, D_7, \dots, D_{m-1} に接続される。そして、第1のトランジスタ T_1 のドレーン電極は、第1のノード N_1 に接続される。この画素 $P[4i+1, 4j+3]$ において、第2のトランジスタ T_2 のゲート電極は、第1のノード N_1 に接続され、ソース電極は、OLEDの負極に接続される。そして、第2のトランジスタ T_2 のドレーン電極は、低電位の電源電圧源 V_{SS} に接続される。この画素 $P[4i+1, 4j+3]$ において、第3のトランジスタ T_3 のゲート電極は、奇数リセットライン $R_1, R_3, \dots, R_{n/2-1}$ に接続され、ソース電極は、第1のノード N_1 に接続される。そして、第3のトランジスタ T_3 のドレーン電極は、低電位の電源電圧源 V_{SS} に接続される。この画素 $P[4i+1, 4j+3]$ において、OLEDの正極は、偶数電源電圧供給ライン $S_2, S_4, \dots, S_{m/2}$ に接続される。

30

【0034】

$4i+1$ 行に配置され、 $4j+4$ 列に配置される画素 $P[4i+1, 4j+4]$ において、第1のトランジスタ T_1 のゲート電極は、第 $4i+1$ のゲートライン G_1, G_5, \dots, G_{n-3} に接続され、ソース電極は、第 $4j+4$ のデータライン D_4, D_8, \dots, D_m に接続される。そして、第1のトランジスタ T_1 のドレーン電極は、第1のノード N_1 に接続される。この画素 $P[4i+1, 4j+4]$ において、第2のトランジスタ T_2 のゲート電極は、第1のノード N_1 に接続され、ソース電極は、OLEDの負極に接続される。そして、第2のトランジスタ T_2 のドレーン電極は、低電位の電源電圧源 V_{SS} に接続される。この画素 $P[4i+1, 4j+4]$ において、第3のトランジスタ T_3 のゲート電極は、奇数リセットライン $R_1, R_3, \dots, R_{n/2-1}$ に接続され、ソース電極は、第1のノード N_1 に接続される。そして、第3のトランジスタ T_3 のドレーン電極は、低電位の電源電圧源 V_{SS} に接続される。この画素 $P[4i+1, 4j+4]$ において

40

50

、O L E Dの正極は、偶数電源電圧供給ラインS 2、S 4、・・・、S m / 2に接続される。

【0035】

4 i + 2行に配置され、4 j + 1列に配置される画素P [4 i + 2、4 j + 1]において、第1のトランジスタT 1のゲート電極は、第4 i + 2のゲートラインG 2、G 6、・・・、G n - 2に接続され、ソース電極は、第4 j + 1のデータラインD 1、D 5、・・・、D m - 3に接続される。そして、第1のトランジスタT 1のドレイン電極は、第1のノードN 1に接続される。この画素P [4 i + 2、4 j + 1]において、第2のトランジスタT 2のゲート電極は、第1のノードN 1に接続され、ソース電極は、O L E Dの負極に接続される。そして、第2のトランジスタT 2のドレイン電極は、低電位の電源電圧源V S Sに接続される。この画素P [4 i + 2、4 j + 1]において、第3のトランジスタT 3のゲート電極は、奇数リセットラインR 1、R 3、・・・、R n / 2 - 1に接続され、ソース電極は、第1のノードN 1に接続される。そして、第3のトランジスタT 3のドレイン電極は、低電位の電源電圧源V S Sに接続される。この画素P [4 i + 2、4 j + 1]において、O L E Dの正極は、奇数電源電圧供給ラインS 1、S 3、・・・、S m / 2 - 1に接続される。

10

【0036】

4 i + 3行に配置され、4 j + 1列に配置される画素P [4 i + 3、4 j + 1]において、第1のトランジスタT 1のゲート電極は、第4 i + 3のゲートラインG 3、G 7、・・・、G n - 1に接続され、ソース電極は、第4 j + 1のデータラインD 1、D 5、・・・、D m - 3に接続される。そして、第1のトランジスタT 1のドレイン電極は、第1のノードN 1に接続される。この画素P [4 i + 3、4 j + 1]において、第2のトランジスタT 2のゲート電極は、第1のノードN 1に接続され、ソース電極は、O L E Dの負極に接続される。そして、第2のトランジスタT 2のドレイン電極は、低電位の電源電圧源V S Sに接続される。この画素P [4 i + 3、4 j + 1]において、第3のトランジスタT 3のゲート電極は、偶数リセットラインR 2、R 4、・・・、R n / 2に接続され、ソース電極は、第1のノードN 1に接続される。そして、第3のトランジスタT 3のドレイン電極は、低電位の電源電圧源V S Sに接続される。この画素P [4 i + 3、4 j + 1]において、O L E Dの正極は、奇数電源電圧供給ラインS 1、S 3、・・・、S m / 2 - 1に接続される。

20

30

【0037】

4 i + 4行に配置され、4 j + 1列に配置される画素P [4 i + 4、4 j + 1]において、第1のトランジスタT 1のゲート電極は、第4 i + 4のゲートラインG 4、G 8、・・・、G nに接続され、ソース電極は、第4 j + 1のデータラインD 1、D 5、・・・、D m - 3に接続される。そして、第1のトランジスタT 1のドレイン電極は、第1のノードN 1に接続される。この画素P [4 i + 4、4 j + 1]において、第2のトランジスタT 2のゲート電極は、第1のノードN 1に接続され、ソース電極は、O L E Dの負極に接続される。そして、第2のトランジスタT 2のドレイン電極は、低電位の電源電圧源V S Sに接続される。この画素P [4 i + 3、4 j + 1]において、第3のトランジスタT 3のゲート電極は、偶数リセットラインR 2、R 4、・・・、R n / 2に接続され、ソース電極は、第1のノードN 1に接続される。そして、第3のトランジスタT 3のドレイン電極は、低電位の電源電圧源V S Sに接続される。この画素P [4 i + 4、4 j + 1]において、O L E Dの正極は、奇数電源電圧供給ラインS 1、S 3、・・・、S m / 2 - 1)に接続される。

40

【0038】

各画素において、第1乃至第3のトランジスタT 1乃至T 3は、非晶質シリコンまたはポリシリコンで形成されることができ、N型のM O Sトランジスタで具現化される。

結果として、図6のように水平に隣合う二つの画素は、同一の電源電圧供給ラインS 1乃至S m / 2を共有し、垂直に隣合う画素は、同一のリセットラインR 1乃至R n / 2を共有する。

50

【0039】

それぞれのOLED駆動回路305において、スキャン信号に応じて、第1のトランジスタT1がターンオンされると、第jのデータラインDjから供給されたデータ電圧を第1のノードN1に供給する。第1のノードN1に供給されたデータ電圧は、第2のトランジスタのゲート電極に供給される。このように供給されるデータ電圧により第2のトランジスタT2がターンオンされると、OLEDを通じて電流が流れる。この時、OLEDを通じて流れる電流は、高電位の電源電圧VDDにより発生し、その電流量は、第2のトランジスタT2のゲート電極に印加されるデータ電圧の大きさに比例する。そして、第1のトランジスタT1がターンオフされても、第1のノードN1上にフローティング(Floating)されたデータ電圧により第2のトランジスタT2は、ターンオン状態を維持し、リセット信号により第3のトランジスタT3がターンオンされ、第1のノードN1が放電するまで、第2のトランジスタはターンオン状態を維持する。このようなOLED駆動回路305は、OLED駆動素子(第2のトランジスタ)の制御ノード(第1のノード)を一定週期ごとに放電させ、OLED駆動素子のゲートバイアスストレスによる劣化を減少させ、OLED駆動素子の劣化による特性変化を防止することで、OLED駆動回路305の動作の信頼性を確保する。

10

【0040】

図7は、ゲート駆動回路302及びリセット駆動回路306を概略的に示すものである。図7を参照すると、ゲート駆動回路302は、従属的に接続されたn個のステージから構成されるシフトレジスタを含む。このようなシフトレジスタにおいて、第1のステージには、第1のスタート信号Vst1が入力され、第2乃至第nのステージには、スタート信号として前段の出力信号が入力される。また、各ステージは、同一の回路構成を有し、クロック信号CLKsに応じて、第1のスタート信号Vst1または前段の出力信号をシフトさせることで、1水平期間のパルス幅を有するスキャン信号を発生する。このように発生するスキャン信号は、ゲートラインG1乃至Gnに順次供給される。

20

【0041】

リセット駆動回路306は、n/2個のステージから構成されるシフトレジスタを含み、各ステージは、ゲート駆動回路302のシフトレジスタステージと同一の回路構成を有し、リセット駆動回路306に供給されるクロック信号CLKsは、ゲート駆動回路302に供給されるクロック信号CLKsに比べて、2倍の週期及び持続時間を有する。このリセット駆動回路306の各ステージで発生するリセット信号のそれぞれは、2行の画素を同時にリセットさせる。

30

【0042】

一方、同一の行から発生するスキャン信号とリセット信号との間の時間差を見ると、リセット信号は、スキャン信号よりも約1/2フレーム期間以上遅れる。スキャン信号に比べて、リセット信号をさらに遅く発生させるために、第1のスタート信号Vst1と第2のスタート信号Vst2との時間差を置く。よって、リセット駆動回路306に供給されるスタートパルスVst2は、ゲート駆動回路305に供給されるスタートパルスVst1に比べて、約1/2フレーム期間後に発生する。

【0043】

このようなリセット信号は、毎フレーム期間単位で1回以上リセットラインR1乃至Rn/2に順次供給されることもでき、数フレーム期間単位でリセットラインR1乃至Rn/2に供給されることもできる。また、リセットラインR1乃至Rn/2が共通して接続されると、リセット信号は、すべてのリセットラインR1乃至Rn/2にリセット信号が同時に供給されることもできる。

40

【0044】

図8は、他の例によるリセット駆動回路307を示すものである。図8を参照すると、リセット駆動回路307は、従属的に接続されたn/4個のステージを含み、それぞれのステージで発生したリセット信号は、隣合う二本のリセットラインR1乃至Rn/2に同時に供給される。このようなステージの動作タイミングを指示するためのクロック信号C

50

L K s は、前述した図 7 のリセット駆動回路 3 0 6 に供給されるクロック信号 C L K s に比べて、2 倍の週期及び持続時間を有する。その他に、1 個のステージで三つ以上のリセットラインに同時にリセット信号を供給する方法も可能である。

【0 0 4 5】

上述したように、本発明の第 3 の実施の形態による O L E D 表示装置では、O L E D パネル 3 0 3 において、横に隣接した二つの画素が、高電位の電源電圧を供給される電源供給ラインを共有することで、電源供給ラインの数が 1 / 2 に減少し、垂直に隣合う二つの画素が、リセット信号を供給されるリセットラインを共有することで、リセットラインの数が 1 / 2 に減少する。また、リセット信号により O L E D 駆動素子の制御ノードを放電させることで、O L E D 駆動素子の劣化による特性変化を防止し、O L E D 駆動回路の動作の信頼性が向上できる。

10

【0 0 4 6】

一方、第 1 乃至第 3 の実施の形態では、各画素 P [i , j] の O L E D 駆動回路 1 0 5 、 2 0 5 、 3 0 5 が、O L E D の負極に接続されていると説明したが、これは選択的な事項であり、図 9 及び図 1 0 に示されているように、O L E D 駆動回路が、O L E D の正極に接続される構造も可能である。図 9 は、第 2 の実施の形態に対して、図 1 0 は、第 3 の実施の形態に対して、画素 P [i , j] の構成を例として示している。図 9 及び図 1 0 において、“ 4 0 3 , 5 0 3 ” は O L E D パネルを、“ 4 0 1 , 5 0 1 ” はデータ駆動回路を、“ 4 0 2 , 5 0 2 ” はゲート駆動回路を、“ 4 0 6 , 5 0 6 ” はリセット駆動回路を、“ 4 0 5 , 5 0 5 ” は O L E D 駆動回路をそれぞれ示す。

20

【0 0 4 7】

また、第 1 の実施の形態によるゲート駆動回路は、図 1 1 に示されているように、O L E D パネル(画像表示領域)の下部又は側部基板内に形成されることができ、第 2 及び第 3 の実施の形態によるゲート駆動回路及びリセット駆動回路は、図 1 2 に示されているように、O L E D パネルの下部又は側部基板内に形成されることができ、このように、O L E D パネル内に形成される駆動回路の各トランジスタは、非晶質シリコンまたはポリシリコンを用いたトランジスタから構成されることができ、

【0 0 4 8】

上述したように、本発明は、O L E D パネルにおいて、隣接した画素に信号ラインを共有させることによって、O L E D パネルのライン数を減少させ、開口率と輝度を向上させることができる。なお、O L E D を周期的にリセットさせ、O L E D 駆動の信頼性を向上させることができる。

30

【図面の簡単な説明】

【0 0 4 9】

【図 1】従来有機発光ダイオード表示装置を示す図である。

【図 2】本発明の第 1 の実施の形態による有機発光ダイオード表示装置を示す図である。

【図 3】本発明の第 2 の実施の形態による有機発光ダイオード表示装置を示す図である。

【図 4】図 3 に示されているゲート駆動回路とリセット駆動回路を示す図である。

【図 5】図 3 に示されているゲート駆動回路とリセット駆動回路の他の例を簡単に示す図である。

40

【図 6】本発明の第 3 の実施の形態による有機発光ダイオード表示装置を示す図である。

【図 7】図 6 に示されているゲート駆動回路とリセット駆動回路を示す図である。

【図 8】図 6 に示されているゲート駆動回路とリセット駆動回路の他の例を簡単に示す図である。

【図 9】本発明の別の変形例による有機発光ダイオード駆動回路を有する有機発光ダイオード表示装置を示す図である。

【図 1 0】本発明のさらに別の変形例による有機発光ダイオード駆動回路を有する有機発光ダイオード表示装置を示す図である。

【図 1 1】図 2 に示されている有機発光ダイオード表示装置において、駆動回路が内蔵された構成例を示す図である。

50

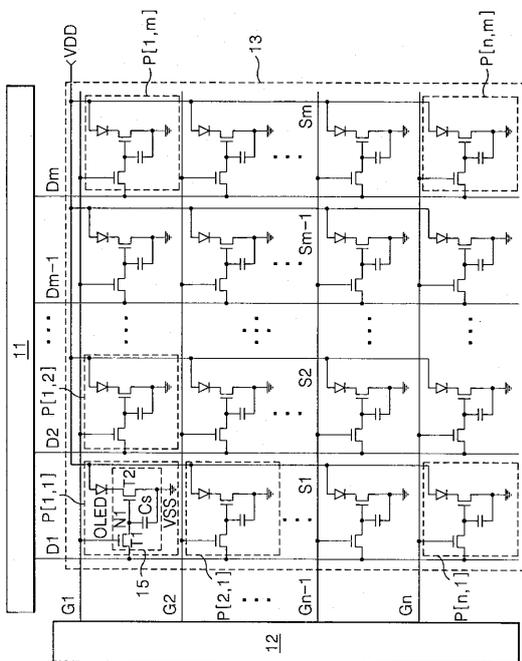
【図12】図3及び図6に示されている有機発光ダイオード表示装置において、駆動回路が内蔵された構成例を示す図である。

【符号の説明】

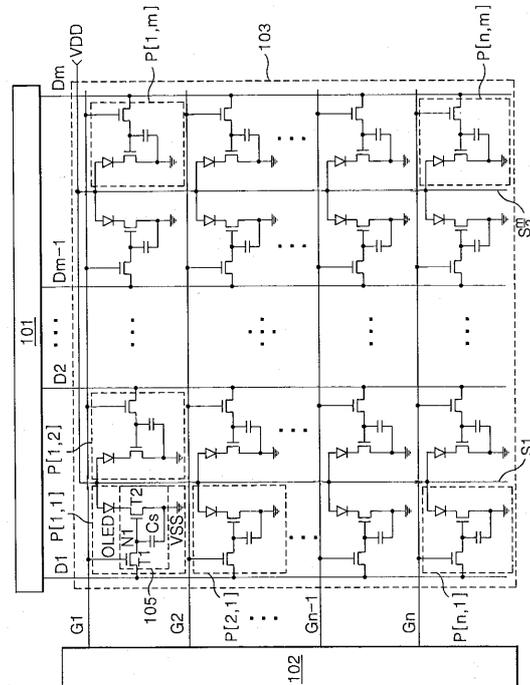
【0050】

101, 201, 301, 401, 501 データ駆動回路、102, 202, 302, 402, 502 ゲート駆動回路、206, 207, 306, 307, 406, 506 リセット駆動回路、105, 205, 305, 405, 505 OLED駆動回路、103, 203, 303, 403, 503 OLEDパネル、D1, D2, ..., Dm データライン、G1, G2, ..., Gn ゲートライン、S1, S2, ..., Sm 電源電圧供給ライン、R1, R2, ..., Rn リセットライン。

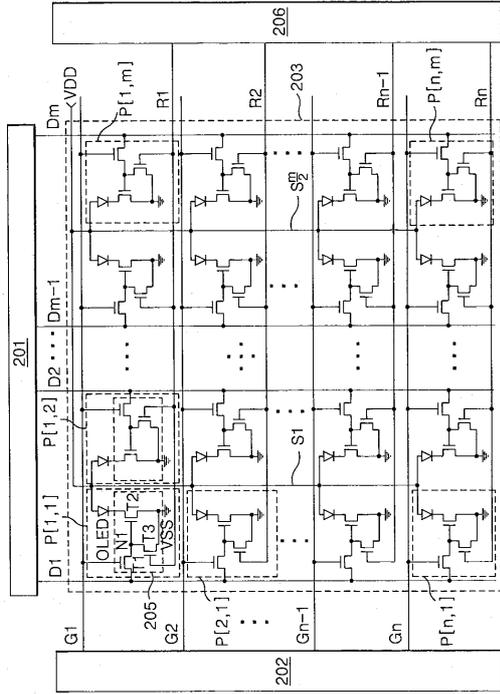
【図1】



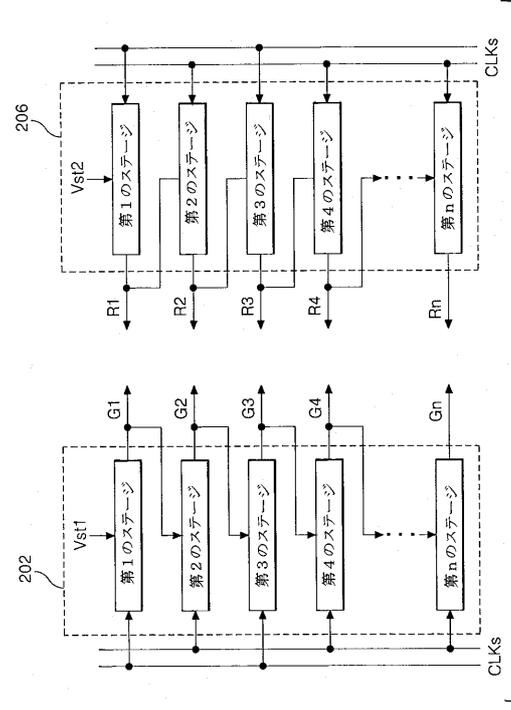
【図2】



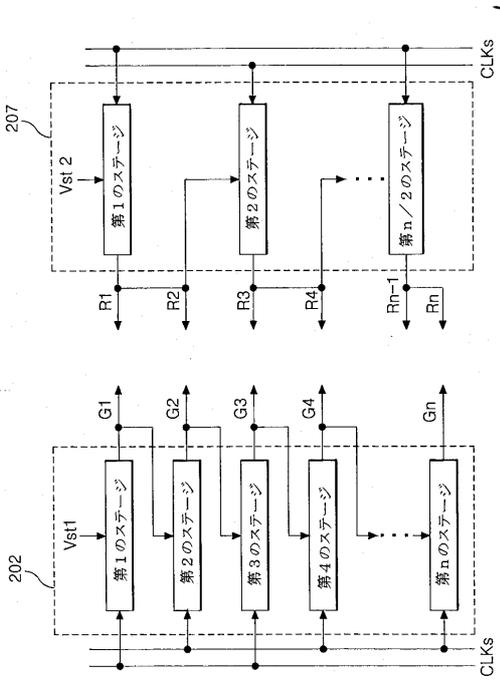
【 図 3 】



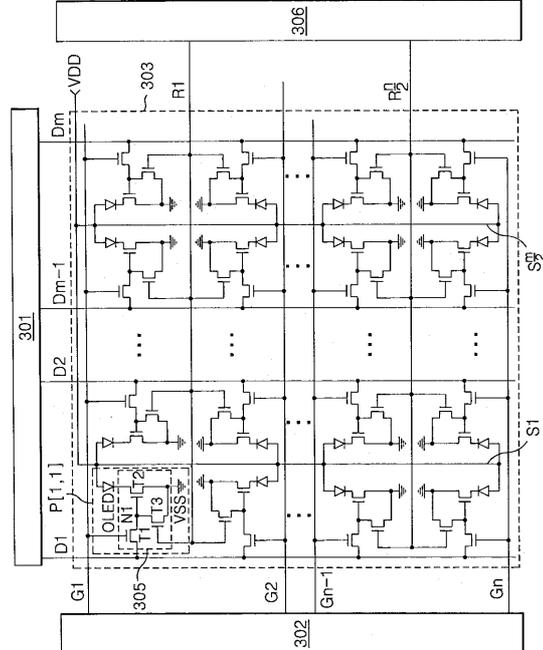
【 図 4 】



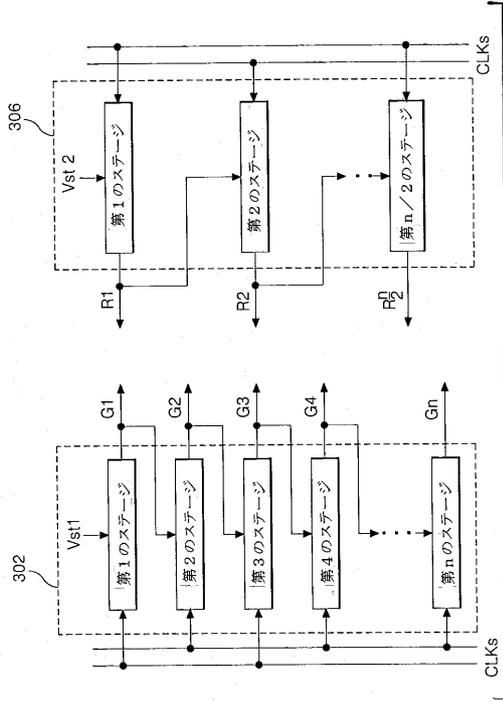
【 図 5 】



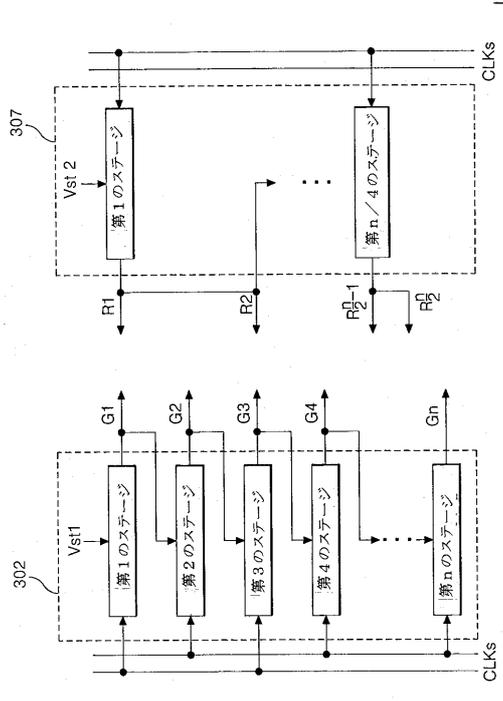
【 図 6 】



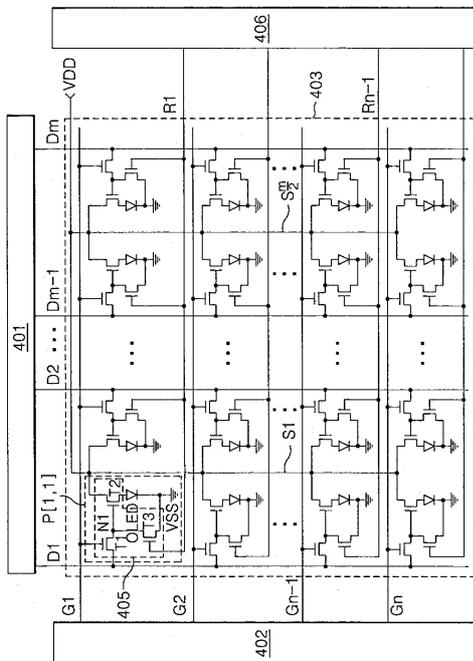
【 図 7 】



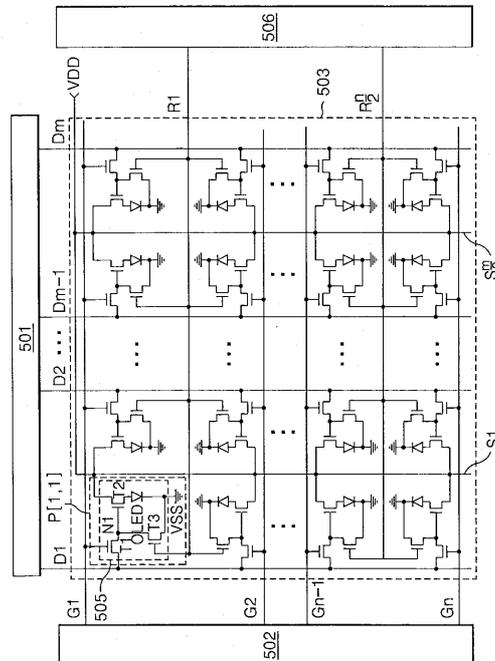
【 図 8 】



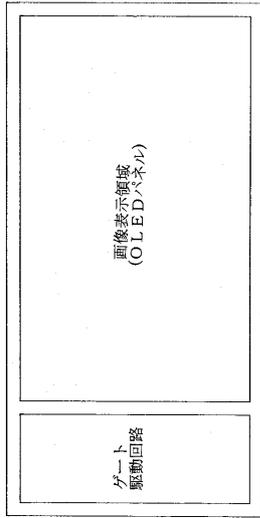
【 図 9 】



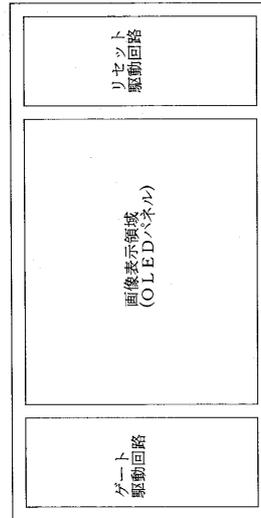
【 図 10 】



【図 1 1】



【図 1 2】



フロントページの続き

| (51) Int.Cl. | F I | テーマコード(参考) |
|--------------|---|------------|
| | G 0 9 G 3/20 | 6 2 1 M |
| | G 0 9 G 3/20 | 6 8 0 G |
| | G 0 9 G 3/20 | 6 2 3 W |
| | G 0 9 G 3/20 | 6 2 1 A |
| | G 0 9 G 3/20 | 6 2 2 E |
| | G 0 9 G 3/20 | 6 4 2 D |
| | H 0 5 B 33/14 | A |
| | | |
| (72)発明者 | クォンシク・パク | |
| | 大韓民国、ソウル、カンナム - グム、ドゴク・2 - ドン、ゲポ・ハンシン・アパートメント 5 - 4 0 6 | |
| (72)発明者 | スヨン・ユン | |
| | 大韓民国、キョンギ - ド、コヤン - シ、ドキャン - グ、ヘン・シン・2 - ドン、ムウォン・ミョル、1 0 ダンチ・アパートメント 1 0 1 0 - 8 0 2 | |
| (72)発明者 | ミンドゥ・チョン | |
| | 大韓民国、ソウル、ドンデムン - グ、チャンアン - ドン 4 1 7 - 3、ヒョン - イン・ハーブヴィル 1 0 1 - 8 0 2 | |
| F ターム(参考) | 3K107 AA01 BB01 CC02 CC36 CC45 EE04 HH04 HH05 5C080 AA06 BB06 DD03 DD23 EE29 FF11 HH09 JJ02 JJ03 | |

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 有机发光二极管显示装置 | | |
| 公开(公告)号 | JP2007011371A | 公开(公告)日 | 2007-01-18 |
| 申请号 | JP2006180188 | 申请日 | 2006-06-29 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | Eruji飞利浦杜迪股份有限公司 | | |
| [标]发明人 | クオンシクパク スヨンユン ミンドウチョン | | |
| 发明人 | クオンシク・パク スヨン・ユン ミンドウ・チョン | | |
| IPC分类号 | G09G3/30 G09G3/20 H01L51/50 | | |
| CPC分类号 | G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0465 G09G2310/0251 G09G2320/043 H01L27/3276 | | |
| FI分类号 | G09G3/30.J G09G3/20.624.B G09G3/20.623.V G09G3/20.641.D G09G3/20.622.A G09G3/20.621.M G09G3/20.680.G G09G3/20.623.W G09G3/20.621.A G09G3/20.622.E G09G3/20.642.D H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 | | |
| F-TERM分类号 | 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC36 3K107/CC45 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB06 5C080/DD03 5C080/DD23 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C380/AA01 5C380/AB06 5C380/AB18 5C380/AB22 5C380/AB23 5C380/AB45 5C380/AB46 5C380/BA12 5C380/BB22 5C380/BB23 5C380/BD02 5C380/BD07 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC38 5C380/CC51 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CC77 5C380/CD012 5C380/CD073 5C380/CF07 5C380/DA02 5C380/DA06 5C380/DA47 | | |
| 代理人(译) | 英年古河 Kajinami秩序 | | |
| 优先权 | 1020050058029 2005-06-30 KR | | |
| 其他公开文献 | JP5016862B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明提供一种有机发光二极管显示装置，其能够通过减少有机发光二极管面板的线数来提高开口率并提高亮度。与第一数据线，第二数据线和电源电压供应线相交的栅极线;第二数据线;用于向栅极线提供扫描信号，分别和一个栅极驱动电路提供数据驱动电路的数据电压施加到数据线，并共同连接到电源线，栅极线，第一和第二有机发光二极管第一有机发光二极管驱动电路，用于根据来自第一数据线的的数据电压响应第一数据线的扫描信号驱动第一有机发光二极管，以及用于驱动有机发光二极管的第二有机发光二极管驱动电路。 .The

