

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-352063
(P2005-352063A)

(43) 公開日 平成17年12月22日(2005.12.22)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 K	3K007
G09G 3/20	G09G 3/30 J	5C080
H05B 33/14	G09G 3/20 611H	
	G09G 3/20 612F	
	G09G 3/20 623A	
審査請求 未請求 請求項の数 8 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2004-171428 (P2004-171428)	(71) 出願人	000006013
(22) 出願日	平成16年6月9日(2004.6.9)		三菱電機株式会社
			東京都千代田区丸の内二丁目2番3号
		(74) 代理人	100064746
			弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行
		最終頁に続く	

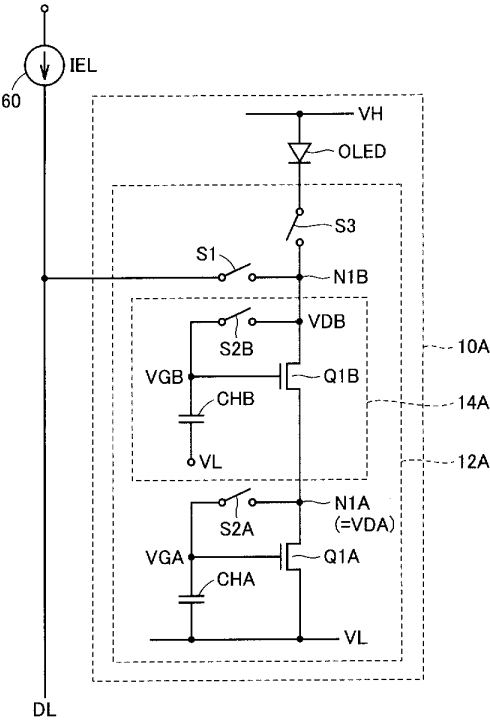
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 画素回路に含まれる電流源トランジスタの素子特性の影響を排除し、表示むらのない画像表示装置を提供する。

【解決手段】 画素駆動回路12Aは、電流源となるTFT素子Q1AのドレインとノードN1Bとの間に配されるTFT素子Q1B、キャパシタCHBおよびスイッチS2Bからなるドレイン電圧上昇制限回路14Aを備える。データ書込モード時にスイッチS2A、S2B、S1がオンし、データ線DLからTFT素子Q1B、Q1Aに駆動電流 I_{EL} が流れると、各TFT素子のゲート電圧がキャパシタCHB、CHAにそれぞれ保持される。表示モード時にはスイッチS3のみがオンし、発光ダイオードOLEDを介して電源電圧VHからTFT素子Q1B、Q1Aに電流経路が形成する。ノードN1Aの電圧はチャネル変調によらず一定に保持されることから、発光ダイオードOLEDには所望の電流 I_{EL} が流れる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

行列状に配列され、各々が電流駆動型発光素子を備える複数の画素回路と、
前記複数の画素回路の行にそれぞれ対応して配置され、一定周期で順に選択される複数の走査線と、

前記複数の画素回路の列に対応して配置される複数のデータ線と、

前記複数のデータ線に対応して配置され、前記複数の画素回路のうちの走査対象の画素回路での表示輝度に対応して設定される駆動電流を各前記複数のデータ線に供給する定電流回路とを備え、

各前記複数の画素回路は、

第 1 のモードにおいて、対応するデータ線と電氣的に結合されて前記駆動電流が流入または流出され、前記第 1 のモードの後に実行される第 2 のモードにおいて、前記対応するデータ線と電氣的に分離されるノードと、

前記ノードと第 1 の電圧源との間に接続され、前記第 1 のモードにおいて、前記ノードに流入または流出される前記駆動電流を書込むとともに、前記第 2 のモードにおいて、書込まれた前記駆動電流に応じた電流を前記電流駆動型発光素子に供給する画素駆動回路と

、
前記ノードと第 2 の電圧源との間に配され、前記第 2 のモードにおいて導通状態となり、前記駆動電流に応じた電流が供給される前記電流駆動型発光素子とを含み、

前記画素駆動回路は、

前記ノードと前記第 1 の電圧源との間に直列に接続され、前記第 1 のモードにおいて、前記駆動電流が通過する第 1 および第 2 のトランジスタと、

前記第 1 のモードにおいて、前記第 1 および第 2 のトランジスタのゲート電極に前記駆動電流によって決定される電圧をそれぞれ保持するように接続される第 1 および第 2 の容量素子とを含む、画像表示装置。

【請求項 2】

各前記複数の画素回路は、

前記対応するデータ線と前記ノードとの間に配され、前記第 1 のモードにおいてオンする一方で、前記第 2 のモードにおいてオフする第 1 のスイッチ素子と、

前記第 1 のトランジスタのゲート電極と第 1 の電極との間および前記第 2 のトランジスタのゲート電極と前記第 1 の電極との間にそれぞれ配され、前記第 1 のモードにおいてオンする一方で、前記第 2 のモードにおいてオフする第 2 のスイッチ素子と、

前記ノードと前記電流駆動型発光素子との間に配され、前記第 1 のモードにおいてオフする一方で、前記第 2 のモードにおいてオンする第 3 のスイッチ素子とをさらに含む、請求項 1 に記載の画像表示装置。

【請求項 3】

各前記複数の画素回路は、

前記対応するデータ線と前記ノードとの間に配され、前記第 1 のモードにおいてオンする一方で、前記第 2 のモードにおいてオフする第 1 のスイッチ素子と、

前記第 1 のトランジスタのゲート電極と第 1 の電極との間および前記第 2 のトランジスタのゲート電極と前記第 1 の電極との間にそれぞれ配され、前記第 1 のモードにおいてオンする一方で、前記第 2 のモードにおいてオフする第 2 のスイッチ素子と、

前記第 2 の電圧源に対峙して配される第 3 の電圧源と、

前記第 2 の電圧源および前記第 3 の電圧源と前記電流駆動型発光素子との間に配され、前記第 1 のモードにおいて、前記電流駆動型発光素子と前記第 3 の電圧源とを電氣的に結合し、前記第 2 のモードにおいて、前記電流駆動型発光素子と前記第 2 の電圧源とを電氣的に結合する第 3 のスイッチ素子とを含み、

前記第 3 の電圧源の電圧は、前記電流駆動型発光素子と結合されたときに、前記ノードの電圧との関係において、前記電流駆動型発光素子を逆バイアス状態にする電圧とする、請求項 1 に記載の画像表示装置。

10

20

30

40

50

【請求項 4】

各前記複数の画素回路は、

前記対応するデータ線と前記ノードとの間に配され、前記第 1 のモードにおいてオンする一方で、前記第 2 のモードにおいてオフする第 1 のスイッチ素子と、

前記第 1 のトランジスタのゲート電極と第 1 の電極との間および前記第 2 のトランジスタのゲート電極と前記第 1 の電極との間にそれぞれ配され、前記第 1 のモードにおいてオンする一方で、前記第 2 のモードにおいてオフする第 2 のスイッチ素子と、

前記第 2 の電圧源と前記電流駆動型発光素子との間に配され、前記第 1 のモードにおいて、前記電流駆動型発光素子と前記第 2 の電圧源とを電氣的に分離し、前記第 2 のモードにおいて、前記電流駆動型発光素子と前記第 2 の電圧源とを電氣的に結合する第 3 のスイッチ素子とをさらに含む、請求項 1 に記載の画像表示装置。 10

【請求項 5】

各前記複数の画素回路は、

前記対応するデータ線と前記ノードとの間に配され、前記第 1 のモードにおいてオンする一方で、前記第 2 のモードにおいてオフする第 1 のスイッチ素子と、

前記第 1 のトランジスタのゲート電極と第 1 の電極との間および前記第 2 のトランジスタのゲート電極と前記第 1 の電極との間にそれぞれ配され、前記第 1 のモードにおいてオンする一方で、前記第 2 のモードにおいてオフする第 2 のスイッチ素子と、

前記第 2 の電圧源と前記電流駆動型発光素子との間に配され、前記第 1 のモードにおいて第 3 の電圧源の電圧を示し、かつ前記第 2 のモードにおいて前記第 2 の電圧源の電圧を示すパルス信号を前記電流駆動型発光素子に印加するパルス信号入力手段とをさらに含み、 20

前記第 3 の電圧源の電圧は、前記ノードの電圧との関係において、前記電流駆動型発光素子を逆バイアス状態にする電圧とする、請求項 1 に記載の画像表示装置。

【請求項 6】

前記第 1 のスイッチ素子は、前記対応するデータ線と前記ノードとの間に電氣的に結合され、前記走査線と結合されたゲートを有する第 1 の導電型の第 1 のトランジスタを含み、

前記第 2 のスイッチ素子は、前記第 1 および第 2 のトランジスタのゲート・ドレイン間にそれぞれ電氣的に結合され、前記走査線と結合されたゲートを有する第 1 の導電型の第 2 のトランジスタを含み、 30

前記第 3 のスイッチ素子は、前記ノードと前記電流駆動型発光素子との間に電氣的に結合され、前記走査線と結合されたゲートを有する第 2 の導電型のトランジスタを含み、

前記走査線の選択期間において、前記第 1 のモードが実行され、前記走査線の非選択期間において、前記第 2 のモードが実行される、請求項 2 から 5 のいずれか 1 項に記載の画像表示装置。

【請求項 7】

前記定電流回路は、各前記複数のデータ線に対応して配置され、前記駆動電流を前記対応するデータ線に供給する複数の定電流源を含む、請求項 1 から 6 のいずれか 1 項に記載の画像表示装置。 40

【請求項 8】

前記第 1 のトランジスタは、前記第 1 の電極が前記ノードに接続され、第 2 の電極が前記第 2 のトランジスタの前記第 1 の電極に接続され、

前記第 2 のトランジスタは、前記第 2 の電極が前記第 1 の電圧源に接続され、

前記第 2 のスイッチ素子は、前記第 1 のモードにおいて、前記第 1 のトランジスタのゲート電極および前記第 1 の電極が、前記第 2 のトランジスタのゲート電極および前記第 1 の電極よりも少なくとも先に電氣的に分離するように設定される、請求項 2 から 7 のいずれか 1 項に記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、画像表示装置に関し、より特定的には、有機EL (Electro Luminescence)等の電流駆動型発光素子を各画素に備える画像表示装置に関する。

【背景技術】

【0002】

近年、フラットパネル・ディスプレイの分野においては、液晶ディスプレイに加えて、有機EL表示装置が注目されている。有機EL表示装置は、液晶ディスプレイと比較して、高いコントラスト比、速い応答性および広い視野角を有する。有機EL表示装置においては、画素ごとに電流駆動型発光素子である、有機EL素子が配置されている。有機EL素子の代表例としては、有機発光ダイオードが知られている。

10

【0003】

特に最近では、このような有機EL表示装置のうちでも、画像の高精細化および低消費電力化の観点から、低温多結晶シリコン (ポリシリコン)を用いた薄膜トランジスタ (TFT: Thin Film Transistor)を有機発光ダイオードの駆動素子とする、低温ポリシリコン型TFTディスプレイが注目されている。しかしながら、低温ポリシリコン型TFTディスプレイには、移動度やしきい値電圧などのトランジスタ特性の製造ばらつきが、従来のTFTよりも比較的大きい傾向にある。

【0004】

このような背景から、有機EL表示装置の問題点の1つとして、画素ごとの表示輝度特性の非一様性、いわゆる表示むらの問題が指摘されている。この問題を指摘するための構成として、たとえば特許文献1に、画素回路の構成が開示されている。

20

【0005】

図7は、特許文献1に記載される従来の画素回路を説明するための回路図である。

【0006】

図7を参照して、従来の画素回路100は、発光素子として設けられた有機発光ダイオードOLEDに対して、指示された表示輝度に対応した電流を供給するための画素駆動回路110とを含む。

【0007】

画素駆動回路110は、電流駆動素子として用いられるN型TFT素子Q1と、電圧保持キャパシタCHと、スイッチS11~S13とを含む。なお、以下において、TFTは、電界効果型トランジスタの代表例として示されるものとする。

30

【0008】

有機発光ダイオードOLEDは、電流駆動型の発光素子であって、供給される電流に応じてその表示輝度が変化する。有機発光ダイオードOLEDのアノードは、電源電圧VHに接続される。

【0009】

N型TFT素子Q1は、有機発光ダイオードOLEDのカソードと電源電圧VLとの間に接続される。電源電圧VLには、接地電圧または所定の負電圧が印加される。N型TFT素子Q1のゲートは、電圧保持キャパシタCHを介して電源電圧VLに接続されるとともに、スイッチS12を介してN型TFT素子Q1のドレインに接続される。

40

【0010】

スイッチS11は、N型TFT素子Q1のドレインと等電圧であるノードN1とデータ線DLとの間に接続される。

【0011】

スイッチS13は、N型TFT素子Q1のドレインと有機発光ダイオードOLEDのアノードとの間に接続される。

【0012】

以上の構成からなる画素回路100において、表示動作は2つのモードにおいて行なわれる。まず、アドレス周期に対応するデータ書込モードにおいては、有機発光ダイオードOLEDからの必要な出力を決定する駆動電流 I_{EL} が、定電流源60からデータ線DL

50

に駆動される。

【0013】

画素回路100では、スイッチS11をオンしてデータ線DLとノードN1とを電氣的に結合する。さらに、スイッチS12をオンして、N型TFT素子Q1をダイオード接続するとともに、スイッチS13をオフして、有機発光ダイオードOLEDを絶縁する。これにより、定電流源60～データ線DL～N型TFT素子Q1～電源電圧VLの電流経路が形成されて、当該電流経路に駆動電流 I_{EL} が流される。

【0014】

図8は、データ書込モードにおけるN型TFT素子Q1の等価回路図である。

【0015】

図8を参照して、N型TFT素子Q1は、ダイオード接続状態となっているため、飽和領域で動作する。また、ゲート・ソース間電圧VGSが駆動電流 I_{EL} を流すために必要な電圧レベルに設定され、電圧保持キャパシタCHによって保持される。

【0016】

ここで、TFT素子を初めとする電界効果型トランジスタにおける飽和領域でのドレイン電流(I_{EL} に相当)は、一般的に(1)式で示される。

【0017】

$$I_{EL} = (\beta / 2) \cdot (VGS - VTN)^2 \cdots (1)$$

ただし、 $\beta = \mu \cdot (W/L) \cdot Cox$

ここで、 β ：電流増幅係数、 μ ：移動度、L：ゲートチャネル長、W：ゲートチャネル幅、 Cox ：ゲート容量、VTN：しきい値電圧である。 20

【0018】

(1)式より、ゲート・ソース間電圧VGSは、

$$VGS = VDS = VTN + (2 I_{EL} / \beta)^{1/2} \cdots (2)$$

となり、トランジスタのしきい値電圧VTNに駆動電流 I_{EL} による電圧上昇分が加算された形で表わされる。

【0019】

さらに、スイッチS11、S12をオフして、画素回路100をデータ線DLから絶縁するとともに、電圧保持キャパシタCHを絶縁する。これにより、電圧保持キャパシタCHの端子間電圧には、(2)式で示される、N型TFT素子Q1に駆動電流 I_{EL} を流すのに必要なゲート・ソース間電圧VGSが格納される。 30

【0020】

電圧保持キャパシタCHにゲート・ソース間電圧VGSが格納されてデータ書込モードが終了すると、スイッチS13をオンして有機発光ダイオードOLEDのカソードをN型TFT素子Q1のドレインに接続することにより、表示モードが開始する。

【0021】

表示モードにおいては、N型TFT素子Q1は、先述の駆動電流 I_{EL} によって決定される出力を有機発光ダイオードOLEDから発生するために、電圧保持キャパシタCHに格納される電圧VGSに応じた電流を有機発光ダイオードOLEDに駆動する。すなわち、N型TFT素子Q1が電流源として動作することにより、駆動電流 I_{EL} に等しい電流が有機発光ダイオードOLEDを流れることになる。 40

【0022】

以上のように、データ書込モードと表示モードとにおいて、同じN型TFT素子Q1を電流供給および電流発生に使用することから、駆動電流 I_{EL} は、N型TFT素子Q1のしきい値電圧VTNおよび移動度 μ に影響されることなく、一定レベルに保たれる。

【特許文献1】特表2002-517806号公報(第1図)

【発明の開示】

【発明が解決しようとする課題】

【0023】

ここで、図7の画素回路100において電流駆動素子として用いられる、TFT素子を 50

はじめとする電界効果型トランジスタ（以下、電流源トランジスタとも称する）は、一般的に、図9に示すドレイン・ソース間電流 I_{DS} とドレイン・ソース間電圧 V_{DS} との関係有する。

【0024】

図9を参照して、電流源トランジスタの動作領域は、非飽和領域と飽和領域とに大別される。非飽和領域は、ドレイン・ソース間電圧 V_{DS} とともにドレイン・ソース間電流 I_{DS} が増加する領域である。一方、飽和領域は、ドレイン・ソース間電圧 V_{DS} とは無関係にゲート・ソース間電圧 V_{GS} だけで定まる定電流特性を示す領域である。

【0025】

ここで、図8中の点線で示す直流特性は、寸法が十分大きい理想的なトランジスタの特性である。一方、実際の微細トランジスタは、実線で示すように、形状効果のためチャンネル長、チャンネル幅や電源電圧によってさらに複雑な特性を示すことが知られている。

【0026】

理想的なトランジスタは、点線で示すように、ドレイン・ソース間電流 I_{DS} がいったん飽和すると、ドレイン・ソース間電圧 V_{DS} を増加してもドレイン・ソース間電流 I_{DS} は変わらない。これに対して、実際のトランジスタでは、飽和領域においても、ドレイン・ソース間電流 I_{DS} がドレイン・ソース間電圧 V_{DS} とともにわずかに増加する、いわゆるチャンネル変調が現われる。これは、ドレインの空乏層端がソース側に動き、実効的にチャンネル長が短くなることによる。このチャンネル変調によって、飽和領域では、ドレイン・ソース間にある抵抗成分 r が現われる。この抵抗成分 r は、ドレイン・ソース間のチャンネルコンダクタンスの逆数に相当する。

【0027】

図7の画素回路100において、データ書込モード時にスイッチ S_{11} 、 S_{12} がオンされると、(2)式により、駆動電流 I_{EL} に応じたドレイン・ソース間電圧 V_{DS} が設定される。続いて、スイッチ S_{11} 、 S_{12} がオフすると、この電圧がゲート・ソース間電圧 V_{GS} として、電圧保持キャパシタ C_H に保持される。

【0028】

表示モードでは、スイッチ S_{13} がオンすると、有機発光ダイオード $OLED$ を介して電源電圧 V_H から電圧が供給され、 N 型 TFT 素子 Q_1 を電流が流れる。このとき、ノード N_1 には、有機発光ダイオード $OLED$ の順方向の電圧降下分（以下、 V_F とも称する）により、電源電圧 V_H よりほぼ V_F だけ低下した電圧（ $V_H - V_F$ ）が与えられる。これにより、ノード N_1 の電圧は、先の N 型 TFT 素子 Q_1 のドレイン・ソース間電圧 V_{DS} から（ $V_H - V_F$ ）に増加する。

【0029】

ここで、 N 型 TFT 素子 Q_1 においては、図9で示したように、実際には飽和領域においても、抵抗成分 r に起因してチャンネル変調が生じ、ドレイン・ソース間電圧 V_{DS} の増加に伴ってドレイン・ソース間電流 I_{DS} が増加する。

【0030】

表示部に行列状に配列されるすべての画素回路100において、内包する N 型 TFT 素子 Q_1 が互いに等しい抵抗成分 r 、すなわちチャンネルコンダクタンスを有していれば、電流 I_{DS} の増加分は電流源トランジスタ間で等しくなり、画素回路100間において、有機発光ダイオード $OLED$ に駆動される電流を均一に保つことができる。

【0031】

しかしながら、実際には、 N 型 TFT 素子 Q_1 ごとに、製造ばらつき等によって抵抗成分 r の大きさが異なることから、有機発光ダイオード $OLED$ に駆動される電流は、画素回路100間で一致せず、表示むらを起こす原因となる。

【0032】

この発明は、かかる課題を解決するためになされたものであり、その目的は、画素回路に含まれる電流源トランジスタの素子特性の影響を排除し、表示むらのない画像表示装置を提供することである。

【課題を解決するための手段】

【0033】

この発明に従う画像表示装置は、行列状に配列され、各々が電流駆動型発光素子を備える複数の画素回路と、複数の画素回路の行にそれぞれ対応して配置され、一定周期で順に選択される複数の走査線と、複数の画素回路の列に対応して配置される複数のデータ線と、複数のデータ線に対応して配置され、複数の画素回路のうちの走査対象の画素回路での表示輝度に対応して設定される駆動電流を各複数のデータ線に供給する定電流回路とを備える。各複数の画素回路は、第1のモードにおいて、対応するデータ線と電氣的に結合されて駆動電流が流入または流出され、第1のモードの後に実行される第2のモードにおいて、対応するデータ線と電氣的に分離されるノードと、ノードと第1の電圧源との間に接続され、第1のモードにおいて、ノードに流入または流出される駆動電流を書込むとともに、第2のモードにおいて、書込まれた駆動電流に応じた電流を電流駆動型発光素子に供給する画素駆動回路と、ノードと第2の電圧源との間に配され、第2のモードにおいて導通状態となり、駆動電流に応じた電流が供給される電流駆動型発光素子とを含む。画素駆動回路は、ノードと第1の電圧源との間に直列に接続され、第1のモードにおいて、駆動電流が通過する第1および第2のトランジスタと、第1のモードにおいて、第1および第2のトランジスタのゲート電極に駆動電流によって決定される電圧をそれぞれ保持するように接続される第1および第2の容量素子とを含む。

【発明の効果】

【0034】

この発明によれば、表示部に配される複数の画素回路において、電流源トランジスタの影響を排除し、発光素子に表示輝度に応じて設定された電流が高い精度を持って駆動されることから、表示むらの発生を抑えることができる。

【発明を実施するための最良の形態】

【0035】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0036】

実施の形態1.

図1は、この発明の実施の形態1に従う画像表示装置の構成を示す回路図である。

【0037】

図1を参照して、画像表示装置は、表示部20と、ゲート駆動回路30と、ソース駆動回路40とを備える。

【0038】

表示部20は、行列状に配された複数の画素回路10Aを含む。画素回路10Aの行（以下、画素行とも称する）の各々に対応して、走査線SLが配置される。また、画素回路の列（以下、画素列とも称する）のそれぞれに対応して、データ線DLがそれぞれ設けられる。図1には、第1行の第1列および第2列の画素回路ならびにこれに対応する走査線SL1およびデータ線DL1, DL2が代表的に示されている。

【0039】

ゲート駆動回路30は、所定の走査周期に基づいて、走査線SLを走査期間において選択状態（ハイレベルの電位に相当）に設定し、それ以外の非走査期間において非選択状態（ローレベルの電位に相当）に設定するように、走査線SLの電圧を制御する。

【0040】

ソース駆動回路40は、Nビット（N：自然数）のデジタル信号である表示信号SIGによって段階的に設定される表示電流をデータ線DLに出力する。図1には、N=6の場合、すなわち、表示信号SIGが表示信号ビットD0～D5からなる場合の構成について代表的に示されている。

【0041】

6ビットの表示信号に基づいて、各画素において、 $2^6 = 64$ 段階の階調的な輝度表示

10

20

30

40

50

が可能となる。さらに、R (Red)、G (Green) および B (Blue) の各1つの画素から1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。

【0042】

ソース駆動回路40は、シフトレジスタ50と、第1および第2のデータラッチ回路52、54と、定電流回路56とを含む。

【0043】

表示信号SIGは、画素回路10Aごとに表示輝度に対応してシリアルに生成される。すなわち、各タイミングにおける表示信号ビットD0～D5は、表示部20中の1つの画素回路10Aにおける表示輝度を示している。

【0044】

シフトレジスタ50は、表示信号SIGの設定が切換えられる所定周期に同期したタイミングで、第1のデータラッチ回路52に対して、表示信号ビットD0～D5の取込を指示する。第1のデータラッチ回路52は、シリアルに生成される1つの画素行分の表示信号SIGを、順に取込んで保持する。

【0045】

1つの画素行分の表示信号SIGが第1のデータラッチ回路52に取込まれたタイミングで、ラッチ信号LTの活性化に 응답して、第1のデータラッチ回路52にラッチされた表示信号群は、第2のデータラッチ回路54に伝達される。

【0046】

定電流回路56は、第2のラッチ回路54から1つの画素行分の画素データを受け、画素データに応じて駆動電流 I_{EL} を画素ごとに選択し、列方向に配置されたデータ線DLへ一斉に出力する。

【0047】

ゲート駆動回路30が走査対象行に対応する走査線SLを活性化すると、その走査線SLに接続される画素回路10Aが一斉に活性化され、各画素回路10Aは、対応するデータ線DLに印加されている駆動電流 I_{EL} に応じた輝度で表示を行ない、これによって1画素行分の画素データが表示される。

【0048】

以上の動作を行方向に配置された走査線ごとに順次実行することにより、表示部20に画像が表示される。

【0049】

図2は、図1における画素回路10Aの構成を示す回路図である。

【0050】

図2を参照して、画素回路10Aは、発光素子として設けられた有機発光ダイオードOLEDと、指示された表示輝度に応じた電流 I_{EL} を供給するための画素駆動回路12Aとを備える。

【0051】

画素駆動回路12Aは、N型TFT素子Q1Aと、電圧保持キャパシタCHAと、スイッチS1、S2A、S3とを含む。

【0052】

N型TFT素子Q1Aは、電流源トランジスタであり、有機発光ダイオードOLEDのカソードと電源電圧VLとの間に直列に接続される。

【0053】

電圧保持キャパシタCHAは、N型TFT素子Q1Aのゲートと電源電圧VLとの間に接続される。

【0054】

スイッチS1は、データ線DLとノードN1Bとの間に配され、表示装置のモードを指示する制御信号に応じてオンし、データ線DLと画素回路10Aとを電氣的に結合する。スイッチS3は、有機発光ダイオードOLEDのカソードとノードN1Bとの間に配され、表示装置のモードを指示する制御信号に応じてオンし、有機発光ダイオードOLEDと

10

20

30

40

50

ノードN1Bとを電氣的に結合する。スイッチ2Aは、N型TFT素子Q1Aのゲートとドレインとの間に配され、表示装置のモードを指示する制御信号に応じてオンし、N型TFT素子Q1Aをダイオード接続する。

【0055】

画素駆動回路12Aは、さらに、有機発光ダイオードOLEDと電流源トランジスタであるN型TFT素子Q1Aとの間に直列に接続されるN型TFT素子Q1Bと、キャパシタCHBと、スイッチS2Bとを含む。

【0056】

N型TFT素子Q1BとキャパシタCHBとスイッチS2Bとは、後述するように、電流源トランジスタであるN型TFT素子Q1Aのドレイン電圧（ノードN1Aに相当）の上昇を抑えるドレイン電圧上昇制限回路14Aを構成する。本実施の形態に係る画素回路10Aは、電流駆動回路12Aにドレイン電圧上昇制限回路14Aを備える点において、図7に示す従来の画素回路100とは異なっている。 10

【0057】

詳細には、N型TFT素子Q1Bは、ドレインがノードN1Bに接続され、ソースがN型TFT素子Q1Aのドレイン（＝ノードN1A）に接続される。N型TFT素子Q1Bのゲートと電源電圧VLとの間には、キャパシタCHBが接続される。さらに、N型TFT素子Q1Bのゲートとドレインとは、スイッチS2Bを介してダイオード接続される。

【0058】

以上の構成において、画素回路10Aに含まれる複数のスイッチS1, S2A, S2B, S3のオン／オフ動作は、表示装置のモードを指示する制御信号として、たとえばモード切換時に選択状態に活性化、または非選択状態に不活性化される走査線SLによって行なわれる。 20

【0059】

具体的には、スイッチS1, S2A, S2B, S3は、たとえばN型TFT素子をそれぞれ含み（図示せず）、これらのN型TFT素子のゲートは、走査線SLを選択する選択信号（図示せず）によって生成される走査線（図示せず）に接続される。

【0060】

この場合、スイッチS1は、走査線の信号に応答してオンし、データ線DLとノードN1Bとを電氣的に結合する。スイッチS2A, S2Bは、走査線の信号に応答してオンし、対応するN型TFT素子Q1A, Q2Aにおいてダイオード接続を形成する。 30

【0061】

スイッチS3は、走査線の信号に応答してオンすると、有機発光ダイオードOLEDのカソードとノードN1Bとを電氣的に結合する。

【0062】

図3は、スイッチS1, S2A, S2B, S3の動作を説明するためのタイミング図である。

【0063】

図3を参照して、データ書込モードの時刻t0において、スイッチS2A, S2B, S1は、同時にオンされる。スイッチS2A, S2Bがオンしたことによって、N型TFT素子Q1A, Q1Bはそれぞれダイオード接続される。さらに、スイッチS1がオンしたことによって、データ線DLからノードN1Bに、表示輝度に対応する駆動電流IELが供給される。なお、図3においては、スイッチS1, S2A, S2Bを同じタイミングでオンする構成としたが、互いに異なるタイミングであってもよく、その順序は問わない。 40

【0064】

図4は、時刻t0における画素回路10Aの等価回路図である。本図では、電源電圧VLを接地電圧とする。

【0065】

図4を参照して、駆動電流IELがデータ線DLからノードN1Bを介して、直列接続されるN型TFT素子Q1A, Q1Bを流れると、各TFT素子のドレイン電圧はVD1 50

、 V_{D2} となる。また、ダイオード接続されていることによって、各TFT素子のゲート電圧 V_{G1} 、 V_{G2} は、それぞれドレイン電圧 V_{D1} 、 V_{D2} と等価となる。

【0066】

ここで、説明の簡単のため、N型TFT素子 $Q1A$ 、 $Q1B$ のトランジスタ寸法（ゲートチャンネル長： L 、ゲートチャンネル幅： W ）、しきい値電圧 V_{TN} および電流増幅係数 β を互いに等しいものとする。

【0067】

まず、N型TFT素子 $Q1A$ において、ドレイン・ソース間電圧 V_{DS1} とゲート・ソース間電圧 V_{GS1} とは等しく、

$$V_{DS1} = V_{GS1} = V_{TN} + (2 I_{EL} / \beta)^{1/2} \quad \dots (3)$$

10

で示される。

【0068】

N型TFT素子 $Q1B$ においても同様に、ドレイン・ソース間電圧 V_{DS2} とゲート・ソース間電圧 V_{GS2} とは等しく、

$$V_{DS2} = V_{GS2} = V_{TN} + (2 I_{EL} / \beta)^{1/2} \quad \dots (4)$$

となる。両素子は、同サイズであることから、ドレイン・ソース間電圧には同電圧（ $V_{DS1} = V_{DS2}$ に相当）が印加される。

【0069】

N型TFT素子 $Q1B$ のゲート電圧 V_{G2} とN型TFT素子のゲート電圧 V_{G1} との間には、 $V_{G2} = 2 V_{G1}$ の関係が成り立つ。この電圧 V_{G1} 、 V_{G2} が図2のキャパシタ

20

CHA 、 CHB にそれぞれ保持される。

【0070】

再び図3を参照して、スイッチ $S1$ 、 $S2A$ 、 $S2B$ は、データ書込モードから表示モードに移行するにあたって、オフ状態に遷移する。各スイッチがオフとなる時刻は、同時でもよいが、図3に示すように、スイッチ $S2B$ が先立って時刻 $t1$ でオフし、続いてスイッチ $S2A$ 、 $S1$ が時刻 $t2$ （ $> t1$ ）でオフするように設定することが望ましい。スイッチ $S2A$ が先にオフすることによって、ノード $N1A$ の電位レベルが低下し、このレベルがn型TFT素子のゲート電圧として保持されるのを回避するためである。

【0071】

スイッチ $S1$ 、 $S2A$ 、 $S2B$ のいずれもがオフした時刻 $t2$ において、スイッチ $S3$ がオンとなり、表示モードが開始する。スイッチ $S3$ がオンしたことに応じて、有機発光ダイオード $OLED$ を介して電源電圧 VH からN型TFT素子 $Q1B$ 、 $Q1A$ に電流 I_{EL} が駆動される。

30

【0072】

このとき、ノード $N1B$ の電圧レベルは、データ書込モードにおける V_{G2} （ $= V_{D2}$ ）から、電源電圧 VH からダイオードの順方向電圧分 V_F を差し引いた電圧（ $VH - V_F$ ）に増加する。

【0073】

N型TFT素子 $Q1B$ においては、ドレイン・ソース間電圧 V_{DS} が増加したことに伴って、図9に示すチャンネル変調により、ドレイン・ソース間電流 I_{DS} が増加する。すなわち、所望の電流 I_{EL} よりも大きい電流 I_{EL}' が駆動されることになる。

40

【0074】

ここで、仮にドレイン・ソース間電流が I_{EL}' に増加したとすれば、同じ電流 I_{EL}' が直列接続されるN型TFT素子 $Q1A$ のドレイン・ソース間にも流れることとなる。これにより、N型TFT素子 $Q1A$ においても電流の増加によって、ノード $N1A$ の電圧レベルが増加する。

【0075】

ところが、ノード $N1A$ の電圧レベルが増加すると、N型TFT素子 $Q1B$ のゲート・ソース間電圧 V_{GS2} が減少することになる。ゲート・ソース間電圧 V_{GS2} の減少は、N型TFT素子 $Q1B$ のドレイン・ソース間電流を減少させる方向に作用する。ここで、

50

ドレイン・ソース間電流の減少は、ノードND1Aの電圧レベルを低下させることとなる。ノードND1Aの電圧レベルが低下すれば、N型TFET素子Q1Bのゲート・ソース間電圧VGS2が増加することから、ドレイン・ソース間電流を増加させることとなる。

【0076】

結果として、ノードN1Aの電圧レベルは、ほとんど変化せずに一定レベルに保持される。これにより、N型TFET素子Q1Aのドレイン・ソース間電圧VDS1は変化しないことから、ドレイン・ソース間電流IDSは駆動電流IELに保たれることとなる。最終的に、ノードN1Bから電源電圧VLを流れる電流は、最少電流の経路で決まり、所定の電流IELとなる。以上の結果、有機発光ダイオードOLEDには、表示モードにおいて、トランジスタ特性に影響されない所望の電流IELが流れることとなる。

10

【0077】

したがって、表示部20に配される複数の画素回路10Aにおいては、電流源トランジスタであるN型TFET素子Q1Aのばらつきとは無関係に、各々の有機発光ダイオードOLEDに表示輝度に応じて設定された電流が高い精度を持って駆動されることから、表示むらの発生を抑えることができる。

【0078】

以上のように、この発明の実施の形態1によれば、画素回路に配される電流源トランジスタのドレイン・ソース間電圧の変動を無くすことにより、所望の電流を精度良く発光素子に駆動でき、表示むらの発生を抑えることができる。

【0079】

20

実施の形態2.

図5は、この発明の実施の形態2に従う画像表示装置における画素回路の構成を示す回路図である。なお、本実施の形態に係る画像表示装置は、以下に示す画素回路10Bを除いて、実施の形態1の画像表示回路と同様の構成であるため、重複する部分についての説明は繰り返さない。

【0080】

図5を参照して、画素回路10Bは、有機発光ダイオードOLEDと、指示された表示輝度に応じた電流IELを供給するための画素駆動回路12Bとを備える。

【0081】

画素駆動回路12Bは、電流源トランジスタであるN型TFET素子Q1Aと、電圧保持キャパシタCHAと、スイッチS1、S2A、S3とを含む。

30

【0082】

画素駆動回路12Bは、さらに、有機発光ダイオードOLEDと電流駆動素子であるN型TFET素子Q1Aとの間に直列に接続されるN型TFET素子Q1Bと、キャパシタCHBと、スイッチS2Bとを含む。

【0083】

図5と図2とを対比して明らかなように、画素駆動回路12Bは、先述の画素駆動回路12Aと同様の構成であるため、詳細な説明は繰り返さない。なお、N型TFET素子Q1B、キャパシタCHBおよびスイッチS2Bとは、図2と同様に、N型TFET素子Q1Aのドレイン電圧（ノードN1Aに相当）の上昇を抑えるドレイン電圧上昇制限回路14Bを構成する。

40

【0084】

図5から明らかなように、本実施の形態に係る画素回路10Bは、スイッチS3が有機発光ダイオードOLEDのアノードと電源電圧VHとの間に配される点においてのみ、図2の画素回路10Aと異なる。

【0085】

詳細には、スイッチS3は、表示装置のモードを指示する制御信号に応じて切換動作を行ない、有機発光ダイオードOLEDのアノードを、電源電圧VHおよび接地電圧を与える電源ノードのいずれか一方に選択的に結合する。ここで、上記電源ノードは、接地電圧に限らず、有機発光ダイオードOLEDに順方向電流が流れない電圧であればよい。ある

50

いは、有機発光ダイオードOLEDのアノードが、電源電圧VHに結合された状態と開放された状態とのいずれか一方に選択されるように構成してもよい。

【0086】

まず、データ書込モードにおいて、スイッチS3は、有機発光ダイオードOLEDのアノードと接地電圧とを電氣的に結合する。このとき、有機発光ダイオードOLEDのカソードには、スイッチS1を通じてデータ線DLから駆動電流 I_{EL} が供給される。しかしながら、有機発光ダイオードOLEDは逆バイアス状態となっているため、駆動電流 I_{EL} は、有機発光ダイオードOLEDには流れない。

【0087】

次に、表示モードにおいては、スイッチS3は、有機発光ダイオードOLEDのアノードと電源電圧VHとを電氣的に結合する。この場合、画素回路10Bは、先の実施の形態1の表示モードにおける回路構成と同じとなり、データに応じた駆動電流 I_{EL} が有機発光ダイオードOLEDに与えられることとなる。

【0088】

なお、本実施の形態の変更例として、スイッチS3の替わりに、有機発光ダイオードOLEDのアノードに電源電圧VHと接地電圧との間を遷移するパルス信号を印加する構成とすることもできる。このとき、当該パルス信号は、表示モードの期間に相当するパルス幅において電源電圧VHを示し、これ以外の期間において接地電圧を示すように制御する。ここで、上記電源ノードは、接地電圧に限られず、有機発光ダイオードOLEDに順方向電流が流れない電圧であればよい。

【0089】

このような構成とすることにより、画素回路10BからスイッチS3とその制御信号とを省略することができ、画像表示装置の歩留まり低下の要因となるスイッチおよび配線の欠陥を低減することができる。

【0090】

以上のように、この発明の実施の形態2によれば、電流源トランジスタ特性に影響されず、所望の電流を精度良く発光素子に駆動できることから、表示むらの発生を抑えることができる。

【0091】

また、スイッチの切換機能をパルス信号で代替することにより、回路構成を簡易にし、歩留まりの改善を図ることができる。

【0092】

実施の形態3.

実施の形態3においては、実施の形態1に従う構成のバリエーションとして、画素回路のTF T素子の極性を入れ換えた構成について説明する。

【0093】

図6は、この発明の実施の形態3に従う画像表示装置における画素回路の構成を示す回路図である。

【0094】

図6を参照して、画素回路10Cは、有機発光ダイオードOLEDと、画素駆動回路10Cとを備える。

【0095】

有機発光ダイオードOLEDは、アノードがスイッチS3を介してノードN1Bに接続され、カソードが電源電圧VLに接続される。

【0096】

画素駆動回路10Cは、電流駆動素子であるP型TF T素子Q1Aと、電圧保持キャパシタCHAと、スイッチS1, S2A, S3とを含む。

【0097】

P型TF T素子Q1Aは、ソースが電源電圧VHに接続され、ドレインがスイッチS2Aを介してゲートとダイオード接続される。電圧保持キャパシタCHAは、P型TF T素

10

20

30

40

50

子Q 1 Aのゲートと電源電圧V Hとの間に接続される。

【0098】

画素駆動回路10Cは、さらに、P型T F T素子Q 1 Bと、キャパシタC H Bと、スイッチS 2 Bとを備える。

【0099】

P型T F T素子Q 1 Bは、ソースがP型T F T素子Q 1 Aのドレイン（ノードN 1 Aに相当）に接続され、ドレインがノードN 1 Bに接続され、ゲートがスイッチS 2 Bを介してダイオード接続される。

【0100】

キャパシタC H Bは、P型T F T素子Q 1 Bのゲートと電源電圧V Hとの間に接続される。 10

【0101】

スイッチS 1は、表示装置のモードを指示する制御信号に応じてオンし、データ線D LとノードN 1 Bとを電氣的に結合する。スイッチS 2 A, S 2 Bは、表示装置のモードを指示する制御信号に応じてオンし、P型T F T素子Q 1 A, Q 1 Bをダイオード接続する。スイッチS 3は、表示装置のモードを指示する制御信号に応じてオンし、有機発光ダイオードO L E DのアノードとノードN 1 Bとを電氣的に結合する。

【0102】

P型T F T素子Q 1 Bと、キャパシタC H Bと、スイッチS 2 Bとは、図6に示すように、有機発光ダイオードO L E DとノードN 1 Aとの間に配され、P型T F T素子Q 1 Aのドレイン電圧の下降を制限するドレイン電圧下降制限回路14Cを構成する。ドレイン電圧下降制限回路14Cは、以下に示すように、電源電圧V HからP型T F T素子Q 1 Aを介して有機発光ダイオードO L E Dに駆動される電流 I_{EL} を所望の大きさに調整する働きをする。 20

【0103】

詳細には、電流源トランジスタであるP型T F T素子Q 1 Aのドレイン電圧（ノードN 1 A）の変動を抑えることにより、駆動電流 I_{EL} からトランジスタ特性の影響を排除することで、駆動電流 I_{EL} を表示輝度に対応する所定のレベルに制御する。すなわち、これらの部位は、実施の形態1で述べたドレイン電圧上昇制限回路14Aと同等の機能を有する。 30

【0104】

以上の構成において、データ書込モードにおいては、まず、スイッチS 1, S 2 A, S 2 Bがオンする。これにより、電源電圧V HからP型T F T素子Q 1 A, Q 1 Bを通じてデータ線D Lに接続される定電流源60に至る電流 I_{EL} の電流経路が形成される。

【0105】

P型T F T素子Q 1 A, Q 1 Bでは、駆動電流 I_{EL} を流すのに必要なドレイン・ソース間電圧V D S 1, V D S 2がそれぞれ生じる。なお、P型T F T素子Q 1 A, Q 1 Bはいずれもダイオード接続されていることから、飽和領域での動作となる。

【0106】

ここで、P型T F T素子Q 1 A, Q 1 Bを互いにサイズおよび特性が同じであるとすれば、ドレイン・ソース間電圧は等しくなる（ $V_{DS1} = V_{DS2}$ ）。また、P型T F T素子Q 1 A, Q 1 Bのゲート・電源電圧V H間電圧V G 1, V G 2は、 $V_{G2} = 2V_{G1}$ となる。 40

【0107】

続いて、スイッチS 1, S 2 A, S 2 Bがオフすると、電圧保持キャパシタC H AおよびキャパシタC H Bには、対応するP型T F T素子Q 1 A, Q 1 Bのゲート電圧V G 1, V G 2が保持される。

【0108】

次に、データ書込モードから表示モードに移行したことに応じて、スイッチS 3がオンする。これにより、電源電圧V Hと電源電圧V Lとの間には、P型T F T素子Q 1 A, Q 50

1 Bと有機発光ダイオードO L E Dとからなる電流経路が形成される。

【0109】

ここで、P型T F T素子Q 1 Aが理想的なトランジスタであれば、ノードN 1 Bの電圧の変動によってドレイン・ソース間電圧V D Sが変化しても、飽和領域においてドレイン・ソース間電流I D Sは変化しない。

【0110】

しかしながら、実際には、ノードN 1 Bの電圧が($V_H - 2V_{DS}$)から電源電圧V Lに有機発光ダイオードO L E Dの電圧降下分V Fを加算した($V_F + V_L$)に低下すると、P型T F T素子Q 1 Bでは、ドレイン・ソース間電圧V D S 2が増大し、チャネル変調に起因してドレイン・ソース間電流が I_{EL} から I_{EL}' に増加することになる。

10

【0111】

ここで、仮にP型T F T素子Q 1 Bのドレイン・ソース間電流I D Sが増大すると、この電流が直列接続されるP型T F T素子Q 1 Aにも流れる。P型T F T素子Q 1 Aでは、電流増加によって、ノードN 1 Aの電圧レベルが低下する。このため、P型T F T素子Q 1 Bのゲート・ソース間電圧V G S 2が減少して、ドレイン・ソース間電流I D Sを減少させる方向に作用する。

【0112】

結果として、ノードN 1 Aの電圧レベルは、ほとんど変化しないことから、P型T F T素子Q 1 Aのドレイン・ソース間電圧V D Sは一定となり、ドレイン・ソース間電流I D Sを所定の電流 I_{EL} に保持する。したがって、有機発光ダイオードO L E Dには、表示モードにおいて、トランジスタ特性に影響されない所望の電流 I_{EL} が流れることとなる。

20

【0113】

なお、本実施の形態に係る画素回路10Cにおいても、実施の形態2と同様の構成を適用することが可能である。具体例としては、図6において、有機発光ダイオードO L E DのアノードとノードN 1 Bとの間に配されたスイッチS 3を、有機発光ダイオードO L E Dのカソードと電源電圧V Lとの間に配し、このスイッチS 3により、有機発光ダイオードO L E Dのカソードを、電源電圧V Lおよび所定の電圧を与える電源ノードのいずれか一方に選択的に結合される構成とすればよい。このときの所定の電圧には、有機発光ダイオードO L E Dに順方向電流が流れない電圧が設定される。もしくは、スイッチS 3により、有機発光ダイオードO L E Dのカソードが電源電圧V Lに結合された状態および開放された状態のいずれか一方に選択される構成としてもよい。

30

【0114】

あるいは、実施の形態2の変更例と同様に、このようなスイッチS 3の代わりに、有機発光ダイオードO L E Dのカソードに電源電圧V Lと上記の所定の電圧との間を遷移するパルス信号を印加する構成とすることも可能である。

【0115】

以上のように、この発明の実施の形態3によれば、表示部に配される複数の画素回路において、電流源トランジスタの極性を入れ換えて構成したときにおいても、トランジスタのドレイン電圧の変動が抑えられ、各々の有機発光ダイオードO L E Dに表示輝度に応じて設定された電流が高い精度を持って駆動されることから、表示むらの発生を抑えることができる。

40

【0116】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0117】

【図1】この発明の実施の形態1に従う画像表示装置の構成を示す回路図である。

50

【図 2】 図 1 における画素回路 10 A の構成を示す回路図である。

【図 3】 スイッチ S 1, S 2 A, S 2 B, S 3 の動作を説明するためのタイミング図である。

【図 4】 時刻 t_0 における画素回路 10 A の等価回路図である。

【図 5】 この発明の実施の形態 2 に従う画像表示装置における画素回路の構成を示す回路図である。

【図 6】 この発明の実施の形態 3 に従う画像表示装置における画素回路の構成を示す回路図である。

【図 7】 特許文献 1 に記載される従来の画素回路を説明するための回路図である。

【図 8】 データ書込モードにおける N 型 T F T 素子 Q 1 の等価回路図である。

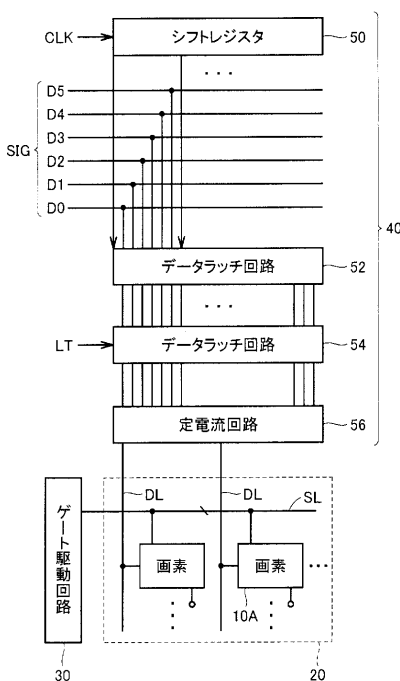
【図 9】 電界効果型トランジスタのドレイン・ソース間電流 I_{DS} とドレイン・ソース間電圧 V_{DS} との一般的な関係を示す図である。

【符号の説明】

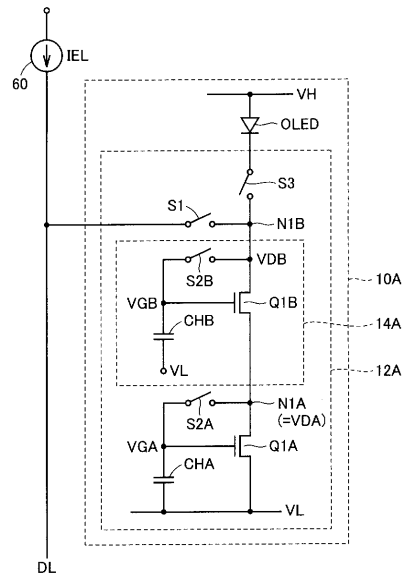
【0118】

10 A ~ 10 C, 100 画素回路、12 A ~ 12 C, 110 画素駆動回路、14 A, 14 B ドレイン電圧上昇制限回路、14 C ドレイン電圧下降制限回路、20 表示部、30 ゲート駆動回路、40 ソース駆動回路、50 シフトレジスタ、52 第 1 のデータラッチ回路、54 第 2 のデータラッチ回路、56 定電流回路、O L E D 有機発光ダイオード、D L データ線、S L 走査線、V H, V L 電源電圧、C H, C H A 電圧保持キャパシタ、C H B キャパシタ、S 1, S 2 A, S 2 B, S 3, S 11 ~ S 13 スイッチ。

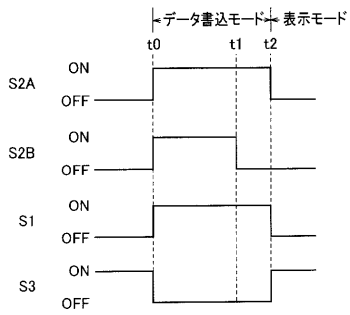
【図 1】



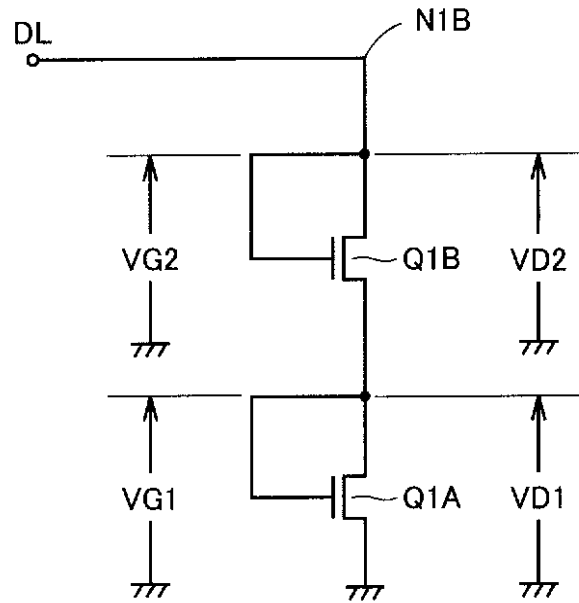
【図 2】



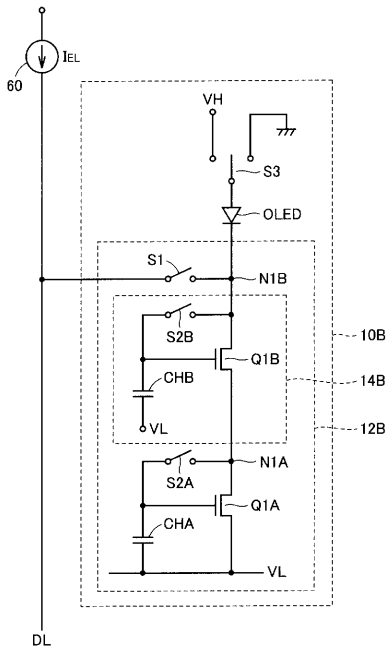
【図 3】



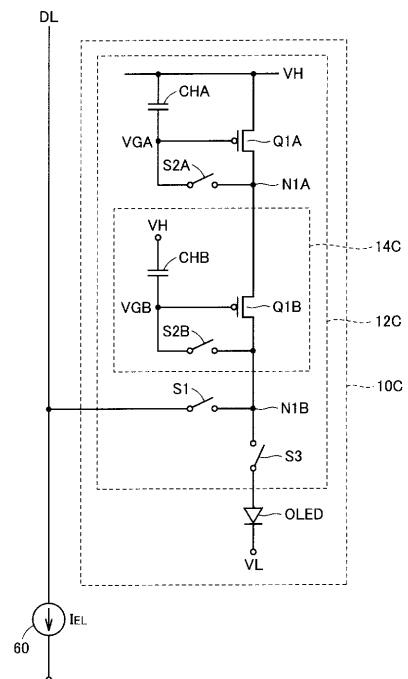
【図 4】



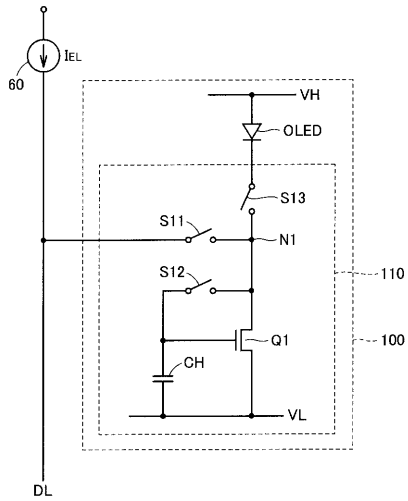
【図 5】



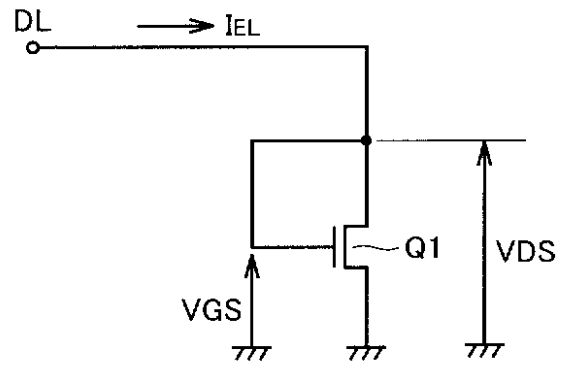
【図 6】



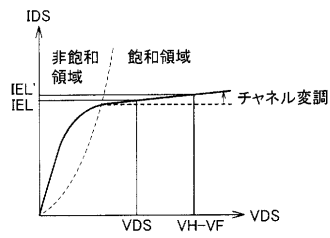
【図 7】



【図 8】



【図 9】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 1 D

G 0 9 G 3/20 6 4 2 A

H 0 5 B 33/14 A

(72)発明者 飛田 洋一

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 3K007 AB17 BA06 DB03 GA00

5C080 AA06 BB05 DD05 EE29 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	画像表示装置		
公开(公告)号	JP2005352063A	公开(公告)日	2005-12-22
申请号	JP2004171428	申请日	2004-06-09
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	飛田 洋一		
发明人	飛田 洋一		
IPC分类号	H01L51/50 G09G3/20 G09G3/30 G09G3/32 H05B33/14		
CPC分类号	G09G3/3283 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2300/0866 G09G2310/0256 G09G2320/043		
FI分类号	G09G3/30.K G09G3/30.J G09G3/20.611.H G09G3/20.612.F G09G3/20.623.A G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A H05B33/14.A G09G3/3266 G09G3/3275 G09G3/3283		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 5C080/AA06 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC11 3K107/CC21 3K107/CC33 3K107/CC45 3K107/EE03 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB24 5C380/AB34 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA04 5C380/CA08 5C380/CA13 5C380/CA26 5C380/CA34 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CC13 5C380/CC27 5C380/CC28 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CD014 5C380/CD026 5C380/CF07 5C380/CF09 5C380/CF48 5C380/CF51 5C380/DA02 5C380/DA06		
代理人(译)	森田俊夫 堀井裕 酒井 将行		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种图像显示装置，该图像显示装置消除了像素电路中包括的电流源晶体管的元件特性的影响并且没有显示不均匀。像素驱动电路12A包括：漏极电压增加限制电路14A，其包括布置在用作电流源的TFT元件Q1A的漏极与节点N1B之间的TFT元件Q1B，电容器CHB和开关S2B。当在数据写入模式下接通开关S2A，S2B，S1并且驱动电流IEL从数据线DL流向TFT元件Q1B，Q1A时，每个TFT元件的栅极电压分别保持在电容器CHB，CHA中。它在显示模式下，仅开关S3导通，并且从电源电压VH经由发光二极管OLED形成到TFT元件Q1B和Q1A的电流路径。由于不管通道调制如何，节点N1A的电压都保持恒定，因此期望电流IEL流过发光二极管OLED。[选择图]图2

