

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-275369

(P2005-275369A)

(43) 公開日 平成17年10月6日(2005.10.6)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 612E	5C080
H05B 33/14	G09G 3/20 621B	
	G09G 3/20 622C	
	G09G 3/20 622D	
審査請求 有 請求項の数 48 O L (全 26 頁) 最終頁に続く		

(21) 出願番号 特願2004-380666 (P2004-380666)  
 (22) 出願日 平成16年12月28日 (2004.12.28)  
 (31) 優先権主張番号 2004-020348  
 (32) 優先日 平成16年3月25日 (2004.3.25)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046  
 エルジー・フィリップス エルシーデー  
 カンパニー, リミテッド  
 大韓民国 ソウル, ヨンドンポーク, ヨ  
 イドードン 20  
 (74) 代理人 100064447  
 弁理士 岡部 正夫  
 (74) 代理人 100085176  
 弁理士 加藤 伸晃  
 (74) 代理人 100106703  
 弁理士 産形 和央  
 (74) 代理人 100094112  
 弁理士 岡部 譲  
 (74) 代理人 100096943  
 弁理士 臼井 伸一

最終頁に続く

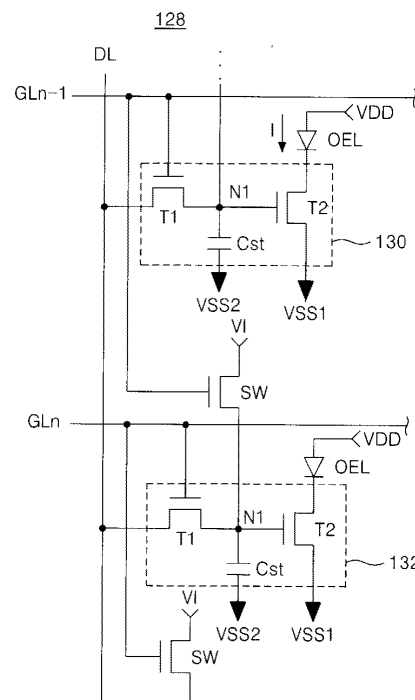
(54) 【発明の名称】 エレクトロルミネセンス表示装置とその駆動方法

(57) 【要約】

【課題】 本発明の目的は画素ごとに形成された駆動薄膜トランジスタのしきい電圧が上昇することを防止して画質を向上するようにしたエレクトロルミネセンス表示装置とその駆動方法を提供するものである。

【解決手段】 本発明に係るエレクトロルミネセンス表示装置はデータラインとゲートラインの交差部により定義された画素領域に形成された多数の画素を具備するエレクトロルミネセンスパネルと、前記供給電圧が供給されるエレクトロルミネセンスセルと、前記エレクトロルミネセンスセルを経由する電流量の流れを制御する駆動薄膜トランジスタと、前記駆動薄膜トランジスタのゲート端子に接続されて前記駆動薄膜トランジスタに選択的に逆電圧を供給するバイアス用スイッチとを具備する。

【選択図】 図6



## 【特許請求の範囲】

## 【請求項 1】

データラインとゲートラインの交差部により定義された画素領域に形成された多数の画素を具備するエレクトロルミネセンスパネルと、前記供給電圧が供給されるエレクトロルミネセンスセルと、前記エレクトロルミネセンスセルを経由する電流量の流れを制御する駆動薄膜トランジスタと、前記駆動薄膜トランジスタのゲート端子に接続されて前記駆動薄膜トランジスタに選択的に逆電圧を供給するバイアス用スイッチとを具備することを特徴とするエレクトロルミネセンス表示装置。

## 【請求項 2】

前記駆動薄膜トランジスタは前記エレクトロルミネセンスセルに接続されたドレイン端子と、第 1 基準電圧源に接続されたソース端子とを具備することを特徴とする請求項 1 記載のエレクトロルミネセンス表示装置。

10

## 【請求項 3】

前記画素のそれぞれは、前記駆動薄膜トランジスタ、データライン及びゲートラインに接続されて前記ゲートラインでスキャンパルスが供給される時、前記データラインに供給されるデータ信号を前記駆動薄膜トランジスタで供給するためのスイッチング薄膜トランジスタと、前記駆動薄膜トランジスタのゲート端子と第 2 基準電圧源の間に接続されるストレージキャパシタとをもっと具備することを特徴とする請求項 2 記載のエレクトロルミネセンス表示装置。

## 【請求項 4】

前記第 1 基準電圧源及び第 2 基準電圧源の電圧は前記供給電圧より低いことを特徴とする請求項 3 記載のエレクトロルミネセンス表示装置。

20

## 【請求項 5】

前記逆電圧を発生する逆電圧源を更に具備して、前記逆電圧は前記第 1 基準電圧源及び第 2 基準電圧源の基準電圧より低いことを特徴とする請求項 3 記載のエレクトロルミネセンス表示装置。

## 【請求項 6】

$n$ ( $n$ は自然数)番目のゲートラインと接続された前記画素の前記バイアススイッチは、前記  $n$ 番目のゲートラインに接続された前記駆動薄膜トランジスタのゲート端子に接続されるドレイン端子と、前記逆電圧源に接続されるソース端子と、 $n-1$ 番目のゲートラインに接続されるゲート端子とを具備することを特徴とする請求項 5 記載のエレクトロルミネセンス表示装置。

30

## 【請求項 7】

前記  $n$ 番目のゲートラインに接続された画素の前記バイアススイッチはスキャンパルスが  $n-1$ 番目のゲートラインに供給される時、前記逆電圧源からの逆電圧を前記  $n$ 番目のゲートラインに接続された画素の駆動薄膜トランジスタのゲート端子に供給することを特徴とする請求項 6 記載のエレクトロルミネセンス表示装置。

## 【請求項 8】

前記  $n$ 番目のゲートラインに接続された画素を制御する前記バイアススイッチは  $n-1$ 番目のゲートラインに接続された画素と同一な画素領域に形成されることを特徴とする請求項 6 記載のエレクトロルミネセンス表示装置。

40

## 【請求項 9】

前記ゲートラインと同一な数で形成される多数の制御ゲートラインを更に具備することを特徴とする請求項 3 記載のエレクトロルミネセンス表示装置。

## 【請求項 10】

$n$ ( $n$ は整数)番目のゲートラインと接続された前記画素の前記バイアススイッチは、前記  $n$ 番目のゲートラインに接続された画素の前記駆動薄膜トランジスタのゲート端子に接続されるドレイン端子と、前記逆電圧を供給するための逆電圧源に接続されるソース端子と、 $n$ 番目の制御ゲートラインに接続されるゲート端子とを具備することを特徴とする請求項 9 記載のエレクトロルミネセンス表示装置。

50

## 【請求項 1 1】

前記ゲートラインに順次スキャンパルスを提供するための第 1 ゲートドライバと、前記制御ゲートラインに順次ターン-オンパルスを提供するための第 2 ゲートドライバとを更に具備することを特徴とする請求項 1 0 記載のエレクトロルミネセンス表示装置。

## 【請求項 1 2】

前記 n 番目の制御ゲートラインに前記ターン-オンパルスが供給される時、前記 n 番目の制御ゲートラインと接続された画素の前記バイアススイッチは前記 n 番目のゲートラインに接続された画素の前記駆動薄膜トランジスタのゲート端子に前記逆電圧源からの前記逆電圧を供給することを特徴とする請求項 1 1 記載のエレクトロルミネセンス表示装置。

## 【請求項 1 3】

前記 n 番目のゲートラインに供給されるスキャンパルスと前記 n 番目の制御ゲートラインに供給されるターン-オンパルスは重畳されないことを特徴とする請求項 1 2 記載のエレクトロルミネセンス表示装置。

## 【請求項 1 4】

前記 n 番目の制御ゲートラインに供給されるターン-オンパルスは n-1 番目のゲートラインに供給されるスキャンパルスと重畳されることを特徴とする請求項 1 3 記載のエレクトロルミネセンス表示装置。

## 【請求項 1 5】

前記ターン-オンパルスのパルス幅は前記スキャンパルスのパルス幅より広いことを特徴とする請求項 1 1 記載のエレクトロルミネセンス表示装置。

## 【請求項 1 6】

スキャンパルス及びターン-オフ電圧の中からいずれか一つを供給受けるゲートラインと、前記ゲートラインとデータラインの交差部に定義された画素領域に形成された多数の画素を持つエレクトロルミネセンスパネルと、前記画素のそれぞれに形成されたエレクトロルミネセンスセル、駆動薄膜トランジスタ、及びバイアススイッチとを具備して、n(n は整数)番目のゲートラインに接続された画素に対して前記エレクトロルミネセンスセルは供給電圧に接続されて、前記駆動薄膜トランジスタは前記エレクトロルミネセンスセルを通じて流れる電流量を制御して、前記バイアススイッチは対応する前記駆動薄膜トランジスタにターン-オフ信号を選択的に供給することを特徴とするエレクトロルミネセンス表示装置。

## 【請求項 1 7】

前記駆動薄膜トランジスタは、前記エレクトロルミネセンスセルに接続されるドレイン端子と、第 1 基準電圧源に接続されるソース端子、及び前記ターン-オフ信号が供給されるゲート端子とを具備することを特徴とする請求項 1 6 記載のエレクトロルミネセンス表示装置。

## 【請求項 1 8】

前記画素のそれぞれに形成されたスイッチングトランジスタ、及びストレージキャパシタをもっと具備して、前記 n 番目のゲートラインに接続された画素で対応する前記駆動薄膜トランジスタに接続された前記スイッチング薄膜トランジスタは前記スキャンパルスが前記 n 番目のゲートラインに供給される時、前記データラインに供給されるデータ信号を前記対応する駆動薄膜トランジスタに供給して、前記ストレージキャパシタは前記対応する駆動薄膜トランジスタのゲート端子と第 2 基準電圧源の間に接続されることを特徴とする請求項 1 7 記載のエレクトロルミネセンス表示装置。

## 【請求項 1 9】

前記第 1 基準電圧源及び第 2 基準電圧源の電圧は前記供給電圧源の電圧より低いことを特徴とする請求項 1 8 記載のエレクトロルミネセンス表示装置。

## 【請求項 2 0】

前記ターン-オフ電圧の電圧は前記第 1 基準電圧源及び第 2 基準電圧源の電圧より低いことを特徴とする請求項 1 8 記載のエレクトロルミネセンス表示装置。

## 【請求項 2 1】

10

20

30

40

50

前記  $n$  番目のゲートラインと接続された前記画素のための前記バイアススイッチは前記  $n$  番目のゲートラインに接続された画素の駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、 $n-1$  番目のゲートラインに接続されるソース端子と、 $n-2$  番目のゲートラインに接続されるゲート端子とを具備することを特徴とする請求項 16 記載のエレクトロルミネセンス表示装置。

【請求項 22】

前記スキャンパルスは前記  $n-2$  番目のゲートラインに供給されて、 $n$  番目のゲートラインに接続された画素の前記バイアススイッチは  $n-1$  番目のゲートラインに供給されたターン-オフ信号を  $n$  番目のゲートラインに接続された画素の前記駆動薄膜トランジスタのゲート端子に供給することを特徴とする請求項 21 記載のエレクトロルミネセンス表示装置。

10

【請求項 23】

前記  $n$  番目のゲートラインに接続された画素の前記バイアススイッチは前記  $n$  番目のゲートラインに接続された画素の駆動薄膜トランジスタのゲート端子に接続されるドレイン端子と、 $n-2$  番目のゲートラインに接続されるソース端子と、 $n-1$  番目のゲートラインに接続されるゲート端子とを具備することを特徴とする請求項 16 記載のエレクトロルミネセンス表示装置。

【請求項 24】

前記スキャンパルスは前記  $n-1$  番目のゲートラインに供給されて、 $n$  番目のゲートラインに接続された画素の前記バイアススイッチは  $n-2$  番目のゲートラインに供給されたターン-オフ信号を  $n$  番目のゲートラインに接続された画素の駆動薄膜トランジスタのゲート端子に供給することを特徴とする請求項 23 記載のエレクトロルミネセンス表示装置。

20

【請求項 25】

多数の制御ゲートラインを更に具備して、前記制御ゲートラインの数は前記ゲートラインの数と同一なことを特徴とする請求項 16 記載のエレクトロルミネセンス表示装置。

【請求項 26】

前記  $n$  番目のゲートラインに接続された前記画素の前記バイアススイッチは前記  $n$  番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子に接続されるドレイン端子と、 $n$  番目の制御ゲートラインに接続されるゲート端子と、前記  $n-1$  番目のゲートラインに接続されるソース端子とを具備することを特徴とする請求項 25 記載のエレクトロルミネセンス表示装置。

30

【請求項 27】

前記ゲートラインに前記スキャンパルスと前記ターン-オフ信号を順次供給する第 1 ゲートドライバと、前記制御ゲートラインにターン-オンパルスを順次供給する第 2 ゲートドライバとを更に具備することを特徴とする請求項 26 記載のエレクトロルミネセンス表示装置。

【請求項 28】

前記  $n$  番目の制御ゲートラインに前記ターン-オンパルスが供給される時、前記  $n$  番目の制御ゲートラインに接続された前記画素の前記バイアススイッチは前記  $n-1$  番目のゲートラインに供給された前記ターン-オフ信号を前記  $n$  番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子に供給することを特徴とする請求項 27 記載のエレクトロルミネセンス表示装置。

40

【請求項 29】

前記  $n$  番目の制御ゲートラインに供給される前記ターン-オンパルスは前記  $n-1$  番目のゲートラインに供給されるスキャンパルスと前記  $n$  番目のゲートラインに供給されるスキャンパルスと重畳されないことを特徴とする請求項 28 記載のエレクトロルミネセンス表示装置。

【請求項 30】

前記  $n$  番目の制御ゲートラインに前記ターン-オンパルスは  $n-2$  番目のゲートラインに

50

供給されるスキャンパルスと重畳されることを特徴とする請求項 29 記載のエレクトロルミネセンス表示装置。

【請求項 31】

前記ターン-オンパルスのパルス幅は前記スキャンパルスのパルス幅より広いことを特徴とする請求項 27 記載のエレクトロルミネセンス表示装置。

【請求項 32】

マトリックス形態に配置されたエレクトロルミネセンスセルのそれぞれに駆動薄膜トランジスタを持つエレクトロルミネセンス表示装置の駆動方法において、ゲートラインで順次スキャンパルスを供給する段階と、 $n$ ( $n$ は整数)番目のゲートラインに前記スキャンパルスが供給される時、前記  $n$ 番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子にデータ信号を供給する段階と、前記  $n$ 番目のゲートラインに接続された前記画素の前記エレクトロルミネセンスセルを經由して供給電圧源から基準電圧源に流れる電流の流れを前記データ信号に基礎して制御する段階と、前記  $n$ 番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子に逆電圧を選択的に供給する段階とを含むことを特徴とするエレクトロルミネセンス表示装置の駆動方法。

10

【請求項 33】

前記スキャンパルスは前記  $n$ 番目のゲートラインに供給されて、前記逆電圧は前記  $n$ 番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子に供給されることを特徴とする請求項 32 記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項 34】

前記逆電圧は前記基準電圧源により供給される基準電圧より低く設定されることを特徴とする請求項 32 記載のエレクトロルミネセンス表示装置の駆動方法。

20

【請求項 35】

多数の第 1 ゲートライン、多数の第 2 ゲートライン、多数のデータライン、前記第 1 ゲートラインと前記データラインの間の交差部により定義された画素領域に形成されてエレクトロルミネセンスセルと駆動薄膜トランジスタをそれぞれ持つ多数の画素を具備するエレクトロルミネセンス表示装置の駆動方法において、前記第 1 ゲートラインにスキャンパルスを順次供給する段階と、前記第 2 ゲートラインにターン-オンパルスを順次供給する段階と、 $n$ ( $n$ は整数)番目の第 1 ゲートラインに前記スキャンパルスが供給される時、前記  $n$ 番目の第 1 ゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子にデータ信号を供給する段階と、前記データ信号に基礎して前記エレクトロルミネセンスセルを經由して供給電圧源から基準電圧源に流れる電流の流れを制御する段階と、 $n$ 番目の第 2 ゲートラインに前記ターン-オンパルスが供給される時、前記  $n$ 番目の第 1 ゲートラインに接続された前記駆動薄膜トランジスタのゲート端子に逆電圧を供給する段階とを含むことを特徴とするエレクトロルミネセンス表示装置の駆動方法。

30

【請求項 36】

前記逆電圧は前記基準電圧源により供給された基準電圧より低く設定されることを特徴とする請求項 35 記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項 37】

前記  $n$ 番目の第 1 ゲートラインに供給されるスキャンパルスと前記  $n$ 番目の第 2 ゲートラインに供給されるターン-オンパルスは重畳されないことを特徴とする請求項 35 記載のエレクトロルミネセンス表示装置の駆動方法。

40

【請求項 38】

前記  $n$ 番目の第 2 ゲートラインに供給される前記ターン-オンパルスは  $n-1$ 番目の前記第 1 ゲートラインに供給されるスキャンパルスと重畳されることを特徴とする請求項 37 記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項 39】

前記ターン-オンパルスのパルス幅は前記スキャンパルスのパルス幅より広く設定されることを特徴とする請求項 35 記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項 40】

50

前記スキャンパルスが供給されない時、前記第1ゲートラインにターン-オフ信号を供給する段階をもっと含むことを特徴とする請求項35記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項41】

前記n番目の第2ゲートラインに前記ターン-オンパルスが供給される時、前記n番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタは前記逆電圧として前記n-1番目の第1ゲートラインに供給される前記ターン-オフ信号を供給受けをすることを特徴とする請求項40記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項42】

前記ターン-オフ信号の電圧は前記基準電圧源により供給される基準電圧より低いことを特徴とする請求項41記載のエレクトロルミネセンス表示装置の駆動方法。 10

【請求項43】

前記n番目の第2ゲートラインに供給される前記ターン-オンパルスは前記n番目の第1ゲートライン及び前記n-1番目の第1ゲートラインに供給されるスキャンパルスと重畳されないことを特徴とする請求項41記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項44】

前記n番目の第2ゲートラインに供給される前記ターン-オンパルスは前記n-2番目のゲートラインに供給される前記スキャンパルスと重畳されることを特徴とする請求項43記載のエレクトロルミネセンス表示装置の駆動方法。 20

【請求項45】

マトリクス形態に配置されたエレクトロルミネセンスセルのそれぞれに駆動薄膜トランジスタが形成されたエレクトロルミネセンス表示装置の駆動方法において、ゲートラインにスキャンパルスとターン-オフ信号の中からいずれか一つを供給する段階と、n(nは整数)番目のゲートラインに前記スキャンパルスが供給される時、前記n番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子にデータ信号を供給する段階と、前記データ信号に基礎して前記n番目のゲートラインに接続された画素の前記エレクトロルミネセンスセルを經由して供給電圧源から基準電圧源に流れる電流を制御する段階と、前記n番目のゲートラインに接続された前記画素の駆動薄膜トランジスタのゲート端子に前記ターン-オフ信号を選択的に供給する段階とを含むことを特徴とするエレクトロルミネセンス表示装置の駆動方法。 30

【請求項46】

前記ターン-オフ信号の電圧は前記基準電圧源により供給される電圧より低く設定されることを特徴とする請求項45記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項47】

n-1番目の前記ゲートラインに前記スキャンパルスが供給される時、n-2番目の前記ゲートラインに供給される前記ターン-オフ信号の電圧が前記n番目のゲートラインに接続された画素の前記駆動薄膜トランジスタのゲート端子に供給されることを特徴とする請求項45記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項48】 40

n-2番目の前記ゲートラインに前記スキャンパルスが供給される時、n-1番目の前記ゲートラインに供給される前記ターン-オフ信号の電圧が前記n番目のゲートラインに接続された画素の前記駆動薄膜トランジスタのゲート端子に供給されることを特徴とする請求項45記載のエレクトロルミネセンス表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はエレクトロルミネセンス表示装置とその駆動方法に関し、特に画素ごとに形成された駆動薄膜トランジスタの信頼性を確保することができるようにしたエレクトロルミネセンス表示装置とその駆動方法に関するものである。 50

## 【背景技術】

## 【0002】

最近陰極線管(CRT)の短所である重さと嵩を減らすことができる各種平板表示装置が頭をもたげている。このような平板表示装置としては液晶表示装置(LCD)、電界放出表示装置(FED)、プラズマ表示パネル(PDP)及びエレクトロルミネセンス(EL)表示装置などがある。

## 【0003】

この中でEL表示装置は電子と正孔の再結合で蛍光体を発光させる自発光素子で、その蛍光体で無機化合物を使う無機ELと有機化合物を使う有機ELに大別される。このようなEL表示装置は低電圧駆動、自己発光、薄膜型、広い視野角、早い応答速度及び高いコントラストなどの多くの長所を持っていて次世代表示装置で期待されている。

10

## 【0004】

有機EL素子は通常陰極と陽極の間に積層された電子注入層、電子輸送層、発光層、正孔輸送層、正孔注入層から構成される。このような有機EL素子では陽極と陰極の間に所定の電圧を印加する場合、陰極から発生された電子が電子注入層及び電子輸送層を通じて発光層の方に移動して、陽極から発生された正孔が正孔注入層及び正孔輸送層を通じて発光層の方に移動する。これによって、発光層では電子輸送層と正孔輸送層から供給された電子と正孔が再結合することによって光を放出するようになる。

## 【0005】

このような有機EL素子を利用するアクティブマトリックスEL表示装置は図1に図示したようにゲートライン(GL)とデータライン(DL)の交差で定義された領域にそれぞれ配列された画素28を具備するELパネル20と、ELパネル20のゲートライン(GL)を駆動するゲートドライバ22と、ELパネル20のデータライン(DL)を駆動するデータドライバ24とを具備する。

20

ゲートドライバ22はゲートライン(GL)にスキャンパルスを供給してゲートライン(GL)を順次駆動する。

データドライバ24は外部から入力されたデジタルデータ信号をアナログデータ信号に変換する。及び、データドライバ24はアナログデータ信号をスキャンパルスが供給される度にデータライン(DL)に供給するようになる。

## 【0006】

画素28のそれぞれはゲートライン(GL)にスキャンパルスが供給される時、データライン(DL)からのデータ信号を供給受けてそのデータ信号に相応する光を発生するようになる。

30

このために、画素28のそれぞれは図2に図示したように供給電圧源(VDD)に陽極が接続されたELセル(OEL)と、ELセル(OEL)の陰極が接続されることと同時にゲートライン(GL)、データライン(DL)及び基底電圧源(GND)に接続されてELセル(OEL)を駆動するためのセル駆動部30とを具備する。

## 【0007】

セル駆動部30はゲートライン(GL)にゲート端子が、データライン(DL)にソース端子が、及び第1ノード(N1)にドレイン端子が接続されたスイッチング薄膜トランジスタ(T1)と、第1ノード(N1)にゲート端子が、基底電圧源(GND)にソース端子が、及びELセル(OEL)にドレイン端子が接続された駆動薄膜トランジスタ(T2)と、基底電圧源(GND)と第1ノード(N1)の間に接続されたストレージキャパシタ(Cst)とを具備する。

40

## 【0008】

スイッチング薄膜トランジスタ(T1)はゲートライン(GL)にスキャンパルスが供給されるとターン-オンされてデータライン(DL)に供給されたデータ信号を第1ノード(N1)に供給する。第1ノード(N1)に供給されたデータ信号はストレージキャパシタ(Cst)に充電されることと同時に駆動薄膜トランジスタ(T2)のゲート端子に供給される。駆動薄膜トランジスタ(T2)はゲート端子に供給されるデータ信号に応答してELセル(OEL)を經由して供給電圧源(VDD)から供給される電流量(I)を制御することによってELセル(OEL)の発光量を

50

調節するようになる。及び、スイッチング薄膜トランジスタ(T1)がターン-オフされても駆動薄膜トランジスタ(T2)はストレージキャパシタ(Cst)に充電されたデータ信号によりオン状態を維持して次のフレームのデータ信号が供給されるまでELセル(OEL)を経由して供給電圧源(VDD)から供給される電流量(I)を制御することができる。

【0009】

ここで、ELセル(OEL)に流れる電流量(I)は式(1)のように表示されることができる。

【数1】

$$I = \frac{W}{2L} C_{ox} (V_{g2} - V_{th})^2$$

ここで、Wは駆動薄膜トランジスタ(T2)の幅を示して、Lは駆動薄膜トランジスタ(T2)の長さを示す。及び、Coxは駆動薄膜トランジスタ(T2)を製造する時、一つの階を形成する絶縁膜により形成されるキャパシタ値を示す。一緒にして、Vg2は駆動薄膜トランジスタ(T2)のゲート端子に入力されるデータ信号の電圧値を示して、Vthは駆動薄膜トランジスタ(T2)のしきい電圧値を示す。

【0010】

数学式1でW、L、Cox、Vg2は時間の経過にかかわらず一定に維持される。しかし、駆動薄膜トランジスタ(T2)のしきい電圧(Vth)は時間の経過に従ってその電圧値が変化されるようになる。

これを詳しく説明すると、駆動薄膜トランジスタ(T2)のゲート端子には持続的に正極性(+)の電圧が供給される。このように駆動薄膜トランジスタ(T2)のゲート端子に持続的に正極性(+)の電圧が供給されると駆動薄膜トランジスタ(T2)が劣化される問題点が発生される。駆動薄膜トランジスタ(T2)が劣化されると駆動薄膜トランジスタ(T2)のしきい電圧(Vth)が時間の経過することによって増加されるようになる。ここで、駆動薄膜トランジスタ(T2)のしきい電圧(Vth)が増加されるとELセル(OEL)に流れる電流量が減少されて輝度が低下される問題点が発生される。

【0011】

実質的に、駆動薄膜トランジスタ(T2)は水素化された非晶質シリコンを利用して生成される。このような水素化された非晶質シリコンは対面的に製作が容易くて350以下

【0012】

の低い基板温度で蒸着が可能であるという利点がある。したがって、大部分の薄膜トランジスタ(TFT)は水素化された非晶質シリコンを利用して形成される。

しかし、このような水素化された非晶質シリコンは原子配列が無秩序であるから図3Aのように弱いSi-Si結合32及びダングリングボンドが存在する。ここで弱い結合32カに結束されたSiは時間の経過に従って図3Bのように原子を離脱するようになって、この席に電子または正孔が再結合されるようになる。(または離脱状態維持)すなわち、水素化された非晶質シリコンの原子配列が変化によりエネルギー準位が変化されることによって図4に図示したように駆動薄膜トランジスタ(T2)のしきい電圧(Vth)が時間が経過することによって増加(Vth', Vth'', Vth''')される。

【0013】

すなわち、従来には駆動薄膜トランジスタ(T2)のしきい電圧(Vth)が時間が経つことによって増加(Vth', Vth'', Vth''')するからELパネル20に望みの輝度の映像を表示することにおいて、困難な問題点が発生される。なおかつELパネル20で部分的な輝度の減少は残像で現われるから画質に深刻な影響を及ぼすようになる。

【発明の開示】

【発明が解決しようとする課題】

【0014】

したがって、本発明の目的は画素ごとに形成された駆動薄膜トランジスタのしきい電圧が上昇することを防止して画質を向上するようにしたエレクトロルミネセンス表示装置とその駆動方法を提供するものである。

10

20

30

40

50

## 【課題を解決するための手段】

## 【0015】

上記目的を達成するために、本発明に係るエレクトロルミネセンス表示装置はデータラインとゲートラインの交差部により定義された画素領域に形成された多数の画素を具備するエレクトロルミネセンスパネルと、前記供給電圧が供給されるエレクトロルミネセンスセルと、前記エレクトロルミネセンスセルを経由する電流量の流れを制御する駆動薄膜トランジスタと、前記駆動薄膜トランジスタのゲート端子に接続されて前記駆動薄膜トランジスタに選択的に逆電圧を供給するバイアス用スイッチとを具備する。

## 【0016】

前記駆動薄膜トランジスタは前記エレクトロルミネセンスセルに接続されたドレイン端子と、第1基準電圧源に接続されたソース端子とを具備する。 10

## 【0017】

前記画素のそれぞれは、前記駆動薄膜トランジスタ、データライン及びゲートラインに接続されて前記ゲートラインでスキャンパルスが供給される時、前記データラインに供給されるデータ信号を前記駆動薄膜トランジスタで供給するためのスイッチング薄膜トランジスタと、前記駆動薄膜トランジスタのゲート端子と第2基準電圧源の間に接続されるストレージキャパシタとをもっと具備する。

## 【0018】

前記第1基準電圧源及び第2基準電圧源の電圧は前記供給電圧より低い。

## 【0019】

前記エレクトロルミネセンス表示装置は前記逆電圧を発生する逆電圧源を更に具備する。 20

## 【0020】

前記逆電圧は前記第1基準電圧源及び第2基準電圧源の基準電圧より低い。

## 【0021】

$n$ ( $n$ は自然数)番目のゲートラインと接続された前記画素の前記バイアススイッチは、前記  $n$ 番目のゲートラインに接続された前記駆動薄膜トランジスタのゲート端子に接続されるドレイン端子と、前記逆電圧源に接続されるソース端子と、 $n-1$ 番目のゲートラインに接続されるゲート端子とを具備する。 30

## 【0022】

前記  $n$ 番目のゲートラインに接続された画素の前記バイアススイッチはスキャンパルスが  $n-1$ 番目のゲートラインに供給される時、前記逆電圧源からの逆電圧を前記  $n$ 番目のゲートラインに接続された画素の駆動薄膜トランジスタのゲート端子に供給する。 30

## 【0023】

前記  $n$ 番目のゲートラインに接続された画素を制御する前記バイアススイッチは  $n-1$ 番目のゲートラインに接続された画素と同一な画素領域に形成される。

## 【0024】

前記エレクトロルミネセンス表示装置は前記ゲートラインと同一な数で形成される多数の制御ゲートラインをもっと具備する。

## 【0025】

$n$ ( $n$ は整数)番目のゲートラインと接続された前記画素の前記バイアススイッチは、前記  $n$ 番目のゲートラインに接続された画素の前記駆動薄膜トランジスタのゲート端子に接続されるドレイン端子と、前記逆電圧を供給するための逆電圧源に接続されるソース端子と、 $n$ 番目の制御ゲートラインに接続されるゲート端子とを具備する。 40

## 【0026】

前記エレクトロルミネセンス表示装置は前記ゲートラインに順次スキャンパルスを供給するための第1ゲートドライバと、前記制御ゲートラインに順次ターン-オンパルスを供給するための第2ゲートドライバとをもっと具備する。

## 【0027】

前記  $n$ 番目の制御ゲートラインに前記ターン-オンパルスが供給される時、前記  $n$ 番目 50

の制御ゲートラインと接続された画素の前記バイアススイッチは前記  $n$  番目のゲートラインに接続された画素の前記駆動薄膜トランジスタのゲート端子に前記逆電圧源からの前記逆電圧を供給する。

【0028】

前記  $n$  番目のゲートラインに供給されるスキャンパルスと前記  $n$  番目の制御ゲートラインに供給されるターン-オンパルスは重畳されない。

【0029】

前記  $n$  番目の制御ゲートラインに供給されるターン-オンパルスは  $n-1$  番目のゲートラインに供給されるスキャンパルスと重畳される。

【0030】

前記ターン-オンパルスのパルス幅は前記スキャンパルスのパルス幅より広い。

【0031】

本発明のエレクトロルミネセンス表示装置はスキャンパルス及びターン-オフ電圧の中からいずれか一つを供給受けるゲートラインと、前記ゲートラインとデータラインの交差部に定義された画素領域に形成された多数の画素を持つエレクトロルミネセンスパネルと、前記画素のそれぞれに形成されたエレクトロルミネセンスセル、駆動薄膜トランジスタ、及びバイアススイッチとを具備する。

【0032】

$n$ ( $n$ は整数)番目のゲートラインに接続された画素に対して前記エレクトロルミネセンスセルは供給電圧に接続されて、前記駆動薄膜トランジスタは前記エレクトロルミネセンスセルを通じて流れる電流量を制御して、前記バイアススイッチは対応する前記駆動薄膜トランジスタにターン-オフ信号を選択的に供給する。

【0033】

前記駆動薄膜トランジスタは、前記エレクトロルミネセンスセルに接続されるドレイン端子と、第1基準電圧源に接続されるソース端子、及び前記ターン-オフ信号が供給されるゲート端子とを具備する。

【0034】

前記エレクトロルミネセンス表示装置は前記画素のそれぞれに形成されたスイッチングトランジスタ、及びストレージキャパシタをもっと具備して、前記  $n$  番目のゲートラインに接続された画素で対応する前記駆動薄膜トランジスタに接続された前記スイッチング薄膜トランジスタは前記スキャンパルスが前記  $n$  番目のゲートラインに供給される時、前記データラインに供給されるデータ信号を前記対応する駆動薄膜トランジスタに供給して、前記ストレージキャパシタは前記対応する駆動薄膜トランジスタのゲート端子と第2基準電圧源の間に接続される。

【0035】

前記第1基準電圧源及び第2基準電圧源の電圧は前記供給電圧源の電圧より低い。

前記ターン-オフ電圧の電圧は前記第1基準電圧源及び第2基準電圧源の電圧より低い。

【0036】

前記  $n$  番目のゲートラインと接続された前記画素のための前記バイアススイッチは前記  $n$  番目のゲートラインに接続された画素の駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、 $n-1$  番目のゲートラインに接続されるソース端子と、 $n-2$  番目のゲートラインに接続されるゲート端子とを具備する。

【0037】

前記スキャンパルスは前記  $n-2$  番目のゲートラインに供給されて、 $n$  番目のゲートラインに接続された画素の前記バイアススイッチは  $n-1$  番目のゲートラインに供給されたターン-オフ信号を  $n$  番目のゲートラインに接続された画素の前記駆動薄膜トランジスタのゲート端子に供給する。

【0038】

前記  $n$  番目のゲートラインに接続された画素の前記バイアススイッチは前記  $n$  番目のゲ

10

20

30

40

50

ートラインに接続された画素の駆動薄膜トランジスタのゲート端子に接続されるドレイン端子と、 $n-2$ 番目のゲートラインに接続されるソース端子と、 $n-1$ 番目のゲートラインに接続されるゲート端子とを具備する。

【0039】

前記スキャンパルスは前記  $n-1$ 番目のゲートラインに供給されて、 $n$ 番目のゲートラインに接続された画素の前記バイアススイッチは  $n-2$ 番目のゲートラインに供給されたターン-オフ信号を  $n$ 番目のゲートラインに接続された画素の駆動薄膜トランジスタのゲート端子に供給する。

【0040】

前記エレクトロルミネセンス表示装置は多数の制御ゲートラインをもっと具備する。 10

【0041】

前記制御ゲートラインの数は前記ゲートラインの数と同一である。

前記  $n$ 番目のゲートラインに接続された前記画素の前記バイアススイッチは前記  $n$ 番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子に接続されるドレイン端子と、 $n$ 番目の制御ゲートラインに接続されるゲート端子と、前記  $n-1$ 番目のゲートラインに接続されるソース端子とを具備する。

【0042】

前記エレクトロルミネセンス表示装置は前記ゲートラインに前記スキャンパルスと前記ターン-オフ信号を順次供給する第1ゲートドライバと、前記制御ゲートラインにターン-オンパルスを順次供給する第2ゲートドライバとを具備する。 20

【0043】

前記  $n$ 番目の制御ゲートラインに前記ターン-オンパルスが供給される時、前記  $n$ 番目の制御ゲートラインに接続された前記画素の前記バイアススイッチは前記  $n-1$ 番目のゲートラインに供給された前記ターン-オフ信号を前記  $n$ 番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子に供給する。

【0044】

前記  $n$ 番目の制御ゲートラインに供給される前記ターン-オンパルスは前記  $n-1$ 番目のゲートラインに供給されるスキャンパルスと前記  $n$ 番目のゲートラインに供給されるスキャンパルスと重畳されない。

前記  $n$ 番目の制御ゲートラインに前記ターン-オンパルスは  $n-2$ 番目のゲートラインに供給されるスキャンパルスと重畳される。 30

前記ターン-オンパルスのパルス幅は前記スキャンパルスのパルス幅より広い。

【0045】

本発明に係るエレクトロルミネセンス表示装置の駆動方法はゲートラインで順次スキャンパルスを供給する段階と、 $n$ ( $n$ は整数)番目のゲートラインに前記スキャンパルスが供給される時、前記  $n$ 番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子にデータ信号を供給する段階と、前記  $n$ 番目のゲートラインに接続された前記画素の前記エレクトロルミネセンスセルを経由して供給電圧源から基準電圧源に流れる電流の流れを前記データ信号に基礎して制御する段階と、前記  $n$ 番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子に逆電圧を選択的に供給する段階とを含む。 40

【0046】

本発明に係るエレクトロルミネセンス表示装置の駆動方法は前記第1ゲートラインにスキャンパルスを順次供給する段階と、前記第2ゲートラインにターン-オンパルスを順次供給する段階と、 $n$ ( $n$ は整数)番目の第1ゲートラインに前記スキャンパルスが供給される時、前記  $n$ 番目の第1ゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子にデータ信号を供給する段階と、前記データ信号に基礎して前記エレクトロルミネセンスセルを経由して供給電圧源から基準電圧源に流れる電流の流れを制御する段階と、 $n$ 番目の第2ゲートラインに前記ターン-オンパルスが供給される時、前記  $n$ 番目の第1ゲートラインに接続された前記駆動薄膜トランジスタのゲート端子に逆電圧を供給する 50

段階とを含む。

【0047】

本発明に係るエレクトロルミネセンス表示装置の駆動方法はゲートラインにスキャンパルスとターン-オフ信号の中からいずれか一つを供給する段階と、 $n$ ( $n$ は整数)番目のゲートラインに前記スキャンパルスが供給される時、前記  $n$ 番目のゲートラインに接続された前記画素の前記駆動薄膜トランジスタのゲート端子にデータ信号を供給する段階と、前記データ信号に基づいて前記  $n$ 番目のゲートラインに接続された画素の前記エレクトロルミネセンスセルを經由して供給電圧源から基準電圧源に流れる電流を制御する段階と、前記  $n$ 番目のゲートラインに接続された前記画素の駆動薄膜トランジスタのゲート端子に前記ターン-オフ信号を選択的に供給する段階とを含む。

10

【発明の効果】

【0048】

本発明に係るエレクトロルミネセンス表示装置とその駆動方法は駆動薄膜トランジスタが劣化されることを防止して画質低下を最小化することができる。

【発明を実施するための最良の形態】

【0049】

[実施例]

上記目的の以外に本発明の他の目的及び特徴は添付図面を参照した実施例に対する説明を通じて明白に説明される。

【0050】

以下、図5乃至図15を参照して本発明の望ましい実施例に対して説明する事にする。

20

【0051】

図5は本発明の第1実施例によるエレクトロルミネセンス表示装置を示す図面である。

図5を参照すると、本発明の第1実施例によるEL表示装置はゲートライン(GL)とデータライン(DL)の交差で定義された領域に配置される画素128を具備するELパネル120と、ELパネル120のゲートライン(GL)を駆動するためのゲートドライバ122と、ELパネル120のデータライン(DL)を駆動するためのデータドライバ124と、 $n-1$ ( $n$ は整数)番目のゲートライン( $GL_n$ )に制御されて $n$ 番目のゲートライン( $GL_n$ )に接続された画素128で逆電圧を供給するための多数のバイアススイッチ(SW)と、画素128で供給電圧(VDD)、逆電圧(VI)、基準電圧(VSS1, VSS2)を供給するための図示されない電圧部とを具備

30

【0052】

ゲートドライバ122はゲートライン(GL)でスキャンパルスを順次供給する。

データドライバ124は外部から入力されたデジタルデータをアナログデータ信号に変換する。及び、データドライバ124はアナログデータ信号をスキャンパルスが供給される時の度にデータライン(DL)で供給する。

【0053】

バイアススイッチ(SW)は  $n-1$ 番目のゲートライン( $GL_{n-1}$ )からスキャンパルスが供給される時、ターン-オンされて逆電圧(VI)を  $n$ 番目のゲートライン(GL)と接続された画素128で供給する。このようなバイアススイッチ(SW)はそれぞれの画素128を制御するように画素128の数と同一にELパネル120に設置される。実際に、図5でバイアススイッチ(SW)は自分が逆電圧(VI)を供給する画素128より一水平ライン上に配置されたことに図示されたが、実際にバイアススイッチ(SW)の設置位置は工程条件などを考慮して多様に設定されることができる。例えば、バイアススイッチ(SW)は自分が逆電圧(VI)を供給する画素128と同一な水平ラインに配置されることができる。

40

【0054】

画素128のそれぞれはゲートライン(GL)にスキャンパルスが供給される時、データライン(DL)からデータ信号を供給受けて、供給受けたデータ信号に対応される光を発生する。

このために、画素128のそれぞれは図6に図示したように供給電圧源(VDD)に陽極が

50

接続されたELセル(OEL)と、ELセル(OEL)の陰極に接続されることと同時にゲートライン(GL)、データライン(DL)及び基準電圧(VSS1, VSS2)に接続されてELセル(OEL)を駆動させるためのセル駆動部130とを具備する。

【0055】

セル駆動部130はゲートライン(GL)にゲート端子が、データライン(DL)にソース端子が、及び第1ノード(N1)にドレイン端子が接続されたスイッチング薄膜トランジスタ(T1)と、第1ノード(N1)にゲート端子が、第1基準電圧(VSS1)にソース端子が、及びELセル(OEL)にドレイン端子が接続された駆動薄膜トランジスタ(T2)と、第1ノード(N1)と第2基準電圧(VSS2)の間に接続されたストレージキャパシタ(Cst)とを具備する。

【0056】

第1基準電圧(VSS1)及び第2基準電圧(VSS2)の電圧値は供給電圧(VDD)の電圧値より低く設定される。言い換えると、駆動薄膜トランジスタ(T2)を經由して電流(I)が流れるように第1基準電圧(VSS1)及び第2基準電圧(VSS2)の電圧値はおおよそ基底電圧源(GND)の以下の電圧値に設定される。(VDDの電圧値は正極性で設定)そして、第1基準電圧(VSS1)及び第2基準電圧(VSS2)の電圧値は一般的に同一に設定される。(例えば、第1基準電圧(VSS1)及び第2基準電圧(VSS2)は基底電圧(GND)に設定されることができる。)しかし、ELパネル120の解像度及びELパネル120の工程条件などの多様な要因により第1基準電圧(VSS1)及び第2基準電圧(VSS2)の電圧値は相異なっているように設定されることができる。

【0057】

スイッチング薄膜トランジスタ(T1)はゲートライン(GL)にスキャンパルスが供給される時、ターン-オンされてデータライン(DL)に供給されるデータ信号を第1ノード(N1)で供給する。第1ノード(N1)に供給されたデータ信号はストレージキャパシタ(Cst)に充電されることと同時に駆動薄膜トランジスタ(T2)のゲート端子に供給される。駆動薄膜トランジスタ(T2)はゲート端子に供給されるデータ信号にตอบสนองしてELセル(OEL)を經由して供給電圧源(VDD)から第1基準電圧(VSS1)に流れる電流量(I)を制御する。この時、ELセル(OEL)は電流量(I)に対応される光を生成する。及び、スイッチング薄膜トランジスタ(T1)がターン-オフされてもストレージキャパシタ(Cst)に充電されたデータ信号により駆動薄膜トランジスタ(T2)はオン状態を維持する。

【0058】

バイアススイッチ(SW)は図6に図示したようにn-1番目のゲートライン(GLn-1)にゲート端子が、逆電圧(VI)にソース端子が、次段画素128のセル駆動部132の第1ノード(N1)にドレイン端子が接続される。このような、バイアススイッチ(SW)はn-1番目のゲートライン(GLn-1)にスキャンパルスが供給される時、ターン-オンされて逆電圧(VI)の電圧をn番目のゲートライン(GLn)と接続されたセル駆動部132の第1ノード(N1)で供給する。一方、逆電圧(VI)の電圧値は第1基準電圧(VSS1)の電圧値より低く設定される。

【0059】

したがって、第1ノード(N1)で逆電圧(VI)が供給されると、すなわちセル駆動部132の駆動薄膜トランジスタ(T2)のゲート端子で逆電圧(VI)が供給されると駆動薄膜トランジスタ(T2)のソース端子の電圧(VSS1)がゲート端子の電圧(VI)より高く設定される。すなわち、第1ノード(N1)で逆電圧(VI)が供給されると駆動薄膜トランジスタ(T2)に逆バイアス電圧が印加されるから駆動薄膜トランジスタ(T2)のしきい電圧(Vth)が時間に従って増加されることを防止することができる。すなわち、本発明ではn-1番目のゲートライン(GLn-1)にスキャンパルスが供給される時、n番目のゲートライン(GLn)に接続された画素の駆動薄膜トランジスタ(T2)に逆バイアス電圧が印加されるから駆動薄膜トランジスタ(T2)の劣化が防止されて、これによって駆動薄膜トランジスタ(T2)のしきい電圧(Vth)をいつも一定に維持することができる。

【0060】

図7はゲートドライバから順次供給されるスキャンパルスを示す図面である。

10

20

30

40

50

図7を図6と結付して本発明の第1実施例によるEL表示装置の動作過程を詳しく説明する事にする。

【0061】

先に、ゲートドライバ122から順次スキャンパルスが供給される。n-1番目のゲートライン(GLn-1)でスキャンパルスが供給されるとn-1番目のゲートライン(GL-1)と接続されたセル駆動部130のスイッチング薄膜トランジスタ(T1)がターン-オンされる。スイッチング薄膜トランジスタ(T1)がターン-オンされるとデータライン(DL)に供給されるデータ信号がセル駆動部130の第1ノード点(N1)に供給される。この時、第1ノード点(N1)に印加されるデータ信号によりセル駆動部130の駆動薄膜トランジスタ(T2)がターン-オンされてデータ信号に対応される電流(I)が供給電圧源(VDD)から第1基準電圧(VSS1)に供給されて、これによって電流(I)に対応される光がELセル(OEL)から生成される。

10

【0062】

一方、n-1番目のゲートライン(GLn-1)に供給されるスキャンパルスによりn番目のゲートライン(GLn)のセル駆動部132とそれぞれ接続されたバイアススイッチ(SW)がターン-オンされる。バイアススイッチ(SW)がターン-オンされると逆電圧(VI)の電圧がn番目のゲートライン(GLn)と接続されたセル駆動部132の第1ノード点(N1)に印加される。ここで、逆電圧(VI)の電圧が第1基準電圧(VSS1)の電圧値より低いからセル駆動部132の駆動薄膜トランジスタ(T2)のソース端子及びゲート端子に逆バイアス電圧が印加される。このように、セル駆動部132の駆動薄膜トランジスタ(T2)に逆バイアス電圧が印加されると駆動薄膜トランジスタ(T2)のしきい電圧(Vth)が時間の経過に対応して上昇されずに一定に維持される。

20

【0063】

図8は本発明の第2実施例によるエレクトロルミネセンス表示装置を示す図面である。

図8を参照すると、本発明の第2実施例によるEL表示装置は第1ゲートライン(GL1)とデータライン(DL)の交差で定義された領域に配置される画素148を具備するELパネル140と、ELパネル140の第1ゲートライン(GL1)を駆動するための第1ゲートドライバ142と、ELパネル140のデータライン(DL)を駆動するためのデータドライバ144と、画素148ごとに形成されて第2ゲートライン(GL2)により制御されながら画素148で逆電圧を供給するためのバイアススイッチ(SW)と、第2ゲートライン(GL2)を駆動するための第2ゲートドライバ143と、画素148で供給電圧(VDD)、逆電圧(VI)、基準電圧(VSS1, VSS2)を供給するための図示されない電圧部とを具備する。

30

【0064】

第1ゲートドライバ142は第1ゲートライン(GL1)でスキャンパルスを順次供給する。

【0065】

第2ゲートドライバ143は第2ゲートライン(GL2)でバイアススイッチ(SW)をターン-オンさせるためのターン-オンパルスを順次供給する。第2ゲートライン(GL2)は第1ゲートライン(GL1)が設置された水平ラインごとに設置される。(すなわち、第1及び第2ゲートライン(GL1, GL2)は同一な数で設定される)第2ゲートドライバ144はn番目の第1ゲートライン(GL1n)でスキャンパルスが供給される時を除いた時点でn番目の第2ゲートライン(GL2n)でターン-オンパルスを供給する。このようなターン-オンパルスの供給時点を含んだバイアススイッチ(SW)の詳細な動作過程は後述する事にする。

40

【0066】

データドライバ144は外部から入力されたデジタルデータをアナログデータ信号に変換する。及び、データドライバ144はアナログデータ信号をスキャンパルスが供給される時の度にデータライン(DL)で供給する。

【0067】

バイアススイッチ(SW)はn番目の第2ゲートライン(GL2n)からターン-オンパルスが供給される時、ターン-オンされて逆電圧(VI)をn番目の第1ゲートライン(GL1n)と接続さ

50

れた画素 1 4 8 で供給する。このようなバイアススイッチ(SW)はそれぞれの画素 1 4 8 を制御するように画素 1 4 8 の数と同一にELパネル 1 4 0 に設置される。

**【 0 0 6 8 】**

画素 1 4 8 のそれぞれは第 1 ゲートライン(GL1)にスキャンパルスが供給される時、データライン(DL)からデータ信号を供給受けて、供給受けたデータ信号に対応される光を発生する。

このために、画素 1 4 8 のそれぞれは図 9 に図示したように供給電圧源(VDD)に陽極が接続されたELセル(OEL)と、ELセル(OEL)の陰極に接続されることと同時に第 1 ゲートライン(GL1)、データライン(DL)及び基準電圧(VSS1, VSS2)に接続されてELセル(OEL)を駆動させるためのセル駆動部 1 5 0 とを具備する。

10

**【 0 0 6 9 】**

セル駆動部 1 5 0 は第 1 ゲートライン(GL1)にゲート端子が、データライン(DL)にソース端子が、及び第 1 ノード(N1)にドレイン端子が接続されたスイッチング薄膜トランジスタ(T1)と、第 1 ノード(N1)にゲート端子が、第 1 基準電圧(VSS1)にソース端子が、及びELセル(OEL)にドレイン端子が接続された駆動薄膜トランジスタ(T2)と、第 1 ノード(N1)と第 2 基準電圧(VSS2)の間に接続されたストレージキャパシタ(Cst)とを具備する。

**【 0 0 7 0 】**

第 1 基準電圧(VSS1)及び第 2 基準電圧(VSS2)の電圧値は供給電圧(VDD)の電圧値より低く設定される。言い換えて、駆動薄膜トランジスタ(T2)を経由して電流(I)が流れるように第 1 基準電圧(VSS1)及び第 2 基準電圧(VSS2)の電圧値はおおよそ基底電圧源(GND)の以下の電圧値に設定される。(VDDの電圧は正極性で設定)そして、第 1 基準電圧(VSS1)及び第 2 基準電圧(VSS2)の電圧値は一般的に同一に設定される。(例えば、第 1 基準電圧(VSS1)及び第 2 基準電圧(VSS2)は基底電圧(GND)に設定されることができる。)しかし、ELパネル 1 4 0 の解像度及びELパネル 1 4 0 の工程条件などの多様な要因により第 1 基準電圧(VSS1)及び第 2 基準電圧(VSS2)の電圧値は相異なっているように設定されることができる。

20

**【 0 0 7 1 】**

スイッチング薄膜トランジスタ(T1)は第 1 ゲートライン(GL1)にスキャンパルスが供給される時、ターン-オンされてデータライン(DL)に供給されるデータ信号を第 1 ノード(N1)で供給する。第 1 ノード(N1)に供給されたデータ信号はストレージキャパシタ(Cst)に充電されることと同時に駆動薄膜トランジスタ(T2)のゲート端子に供給される。駆動薄膜トランジスタ(T2)はゲート端子に供給されるデータ信号に反応してELセル(OEL)を経由して供給電圧源(VDD)から第 1 基準電圧(VSS1)に流れる電流量(I)を制御する。この時、ELセル(OEL)は電流量(I)に対応される光を生成する。及び、スイッチング薄膜トランジスタ(T1)がターン-オフされてもストレージキャパシタ(Cst)に充電されたデータ信号により駆動薄膜トランジスタ(T2)はオン状態を維持する。

30

**【 0 0 7 2 】**

バイアススイッチ(SW)は画素 1 4 8 の形成位置ごとに形成される。ここで、バイアススイッチ(SW)は第 2 ゲートライン(GL2)にゲート端子が、逆電圧(VI)にソース端子が、第 1 ノード(N1)にドレイン端子が接続される。このような、バイアススイッチ(SW)は n 番目の第 2 ゲートライン(GL2n)にターン-オンパルスが供給される時、ターン-オンされて逆電圧(VI)が電圧を n 番目の第 1 ゲートライン(GL1n)と接続されたセル駆動部 1 5 0 の第 1 ノード(N1)で供給する。この時、逆電圧(VI)の電圧値は第 1 基準電圧(VSS1)の電圧値より低く設定される。

40

**【 0 0 7 3 】**

したがって、第 1 ノード(N1)で逆電圧(VI)が供給されると、すなわちセル駆動部 1 5 0 の駆動薄膜トランジスタ(T2)のゲート端子で逆電圧(VI)が供給されると駆動薄膜トランジスタ(T2)のソース端子の電圧(VSS1)がゲート端子の電圧(VI)より高く設定される。すなわち、第 1 ノード(N1)で逆電圧(VI)が供給されると駆動薄膜トランジスタ(T2)に逆

50

バイアス電圧が印加されて、これによって駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )が時間に従って増加されることを防止することができる。すなわち、本発明ではn番目の第2ゲートライン(GL2n)でスキャンパルスが供給される時、n番目の第1ゲートライン(GL1n)に接続された画素148の駆動薄膜トランジスタ(T2)に逆バイアス電圧が印加されて、これによって駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )をいつも一定に維持することができる。

【0074】

図10は第1及び第2ゲートドライバから供給されるスキャンパルス及びターン-オンパルスを示す図面である。

図10を図9と結付して本発明の第2実施例によるEL表示装置の動作過程を詳しく説明する事にする。 10

【0075】

先に、第1ゲートドライバ142から順次スキャンパルスが供給される。n番目の第1ゲートライン(GL1n)でスキャンパルスが供給されるとn番目の第1ゲートライン(GL1n)と接続されたセル駆動部150のスイッチング薄膜トランジスタ(T1)がターン-オンされる。スイッチング薄膜トランジスタ(T1)がターン-オンされるとデータライン(DL)に供給されるデータ信号がセル駆動部150の第1ノード点(N1)に供給される。この時、第1ノード点(N1)に印加されるデータ信号によりセル駆動部150の駆動薄膜トランジスタ(T2)がターン-オンされてデータ信号に対応される電流(I)が供給電圧源(VDD)から第1基準電圧(VSS1)に供給されて、これによって電流(I)に対応される光がELセル(OEL)から生成される。 20

【0076】

一方、n番目の第1ゲートライン(GL1n)に供給されたスキャンパルスと同期されるようにないように(すなわち、重畳されないように)n番目の第2ゲートライン(GL2n)でターン-オンパルスが供給される。n番目の第2ゲートライン(GL2n)でターン-オンパルスが供給されるとn番目の第1ゲートライン(GL1n)のセル駆動部150とそれぞれ接続されたバイアススイッチ(SW)がターン-オンされる。バイアススイッチ(SW)がターン-オンされると逆電圧(VI)の電圧がn番目の第1ゲートライン(GL1n)と接続されたセル駆動部150の第1ノード(N1)に印加される。ここで、逆電圧(VI)の電圧が第1基準電圧(VSS1)の電圧値より低く設定されるからセル駆動部150の駆動薄膜トランジスタ(T2)のソース端子及びゲート端子に逆バイアス電圧が印加される。このようにセル駆動部150の駆動薄膜トランジスタ(T2)に逆バイアス電圧が印加されると駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )が時間の経過に対応して上昇されないで一定に維持される。 30

【0077】

すなわち、本発明ではn番目の第2ゲートライン(GL2n)でターン-オンパルスが供給される時、n番目の第1ゲートライン(GL1n)と接続されたセル駆動部150の駆動薄膜トランジスタ(T2)のソース端子及びゲート端子に逆バイアス電圧(-Vgs)を印加することによって駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )が時間に従って増加されることを防止することができる。したがって、本発明では時間にかかわらずELパネル140に望みの輝度を持つ映像を表示することができる。 40

【0078】

一方、本発明ではELセル(OEL)で安定的に画像が表示されることができるように同一な水平ラインを成すように配置されたn番目の第1及び第2ゲートライン(GLn1, GLn2)に供給されるスキャンパルス及びターン-オンパルスは互いに重畳されないように設定される。実質的に、本発明では安定した画像の表現のためにn番目の第2ゲートライン(GL2n)に供給されるターン-オンパルスはn番目の第1ゲートライン(GL1n)にスキャンパルスが供給される直前に供給されるように設定される。(すなわち、n-1番目の第1ゲートライン(GL1n-1)に供給されたスキャンパルスと重畳されるように)このようにn番目の第2ゲートライン(GL2n)に供給されるターン-オンパルスがn番目の第1ゲートライン(GL1n)にスキャンパルスが供給される直前に供給されるとデータ信号に対応される画像を十分な時 50

間の間に表示することができる。

【0079】

これを詳しく説明すると、画素148は図11のようにスキャンパルスが供給される時、供給されたデータ信号に対応される画像を次のデータ信号が供給される時まで表示するようになる。したがって、ターン-オンパルスがスキャンパルスが供給された直後に供給されたらデータ信号に対応される画像の表示時間が短縮される問題点が発生される。したがって、本発明では $n-1$ 番目の第1ゲートライン( $GL1_{n-1}$ )でスキャンパルスが供給される時、 $n$ 番目の第2ゲートライン( $GL2_n$ )でターン-オンパルスを供給することによって画像の表示時間の短縮を最小化することができる。一方、本発明でターン-オンパルスのパルス幅( $T2$ )はスキャンパルスのパルス幅( $T1$ )より広く設定される。このようにターン-オンパルスのパルス幅( $T2$ )がスキャンパルスのパルス幅( $T1$ )より広く設定されると駆動薄膜トランジスタ( $T2$ )に十分な時間の中に逆バイアス電圧を印加することができる。

10

【0080】

一方、図6及び図9に図示された本発明の第1及び第2実施例によるEL表示装置は多様な形態に応用されることができる。例えば、図6及び図9に図示された本発明の第1実施例及び第2実施例によるEL表示装置は図12のように応用されることができる。

【0081】

図12は本発明の第3実施例によるEL表示装置の画素を示す図面である。

図12を参照すると、本発明の第3実施例によるEL表示装置の画素159のそれぞれはセル駆動部160とバイアススイッチ(SW)を具備する。実質的に本発明の第3実施例によるEL表示装置でセル駆動部160の構成及び動作方法は図6に図示された本発明の第1実施例によるセル駆動部(130, 132)と同一である。したがって、セル駆動部160の詳細な構成の説明は略する事にする。

20

【0082】

$n$ 番目の第1ゲートライン( $GL1_n$ )と接続されたセル駆動部160に逆電圧を供給するためのバイアススイッチ(SW)は $n-1$ 番目の第1ゲートライン( $GL1_{n-1}$ )にソース端子が、次段画素159のセル駆動部160(すなわち、 $n$ 番目の第1ゲートライン( $GL1_n$ )と接続された)の第1ノード( $N1$ )にドレイン端子が、及び $n$ 番目の第2ゲートライン( $GL2_n$ )にゲート端子が接続される。これを本発明の第1実施例と比べて見ると、本発明の第3実施例ではバイアススイッチ(SW)にターン-オンパルスを供給するための第2ゲートライン( $GL2$ )

30

【0083】

$n$ 番目の第1ゲートライン( $GL1_n$ )と接続されたセル駆動部160に逆電圧を供給するためのバイアススイッチ(SW)は $n$ 番目の第2ゲートライン( $GL2_n$ )にターン-オンパルスが供給される時にターン-オンされる。 $n$ 番目の第2ゲートライン( $GL2_n$ )にターン-オンパルスが供給されると $n-1$ 番目の第1ゲートライン( $GL1_{n-1}$ )に供給されるターン-オフ電圧が $n$ 番目の第1ゲートライン( $GL1_n$ )と接続されたセル駆動部160の第1ノード( $N1$ )に供給される。ここで、ターン-オフ電圧は図13に図示したように負極性の電圧(例えば  $-5V$ )を持つ。及び、本発明の第3実施例で第1及び第2基準電圧( $VSS1$ ,  $VSS2$ )の電圧値はターン-オフ電圧値より高く設定される。

40

【0084】

したがって、ターン-オフ電圧が第1ノード( $N1$ )に供給されると駆動薄膜トランジスタ( $T2$ )のソース端子の電圧( $VSS1$ )がゲート端子の電圧(ターン-オフ電圧)より高く設定される。すなわち、第1ノード( $N1$ )でターン-オフ電圧が供給されると駆動薄膜トランジスタ( $T2$ )に逆バイアス電圧が印加されて、これによって駆動薄膜トランジスタ( $T2$ )のしきい電圧( $V_{th}$ )が時間に従って増加されることを防止することができる。すなわち、本発明では $n$ 番目の第2ゲートライン( $GL2$ )でターン-オンパルスが供給される時、 $n-1$ 番目の第1ゲートライン( $GL1_{n-1}$ )に供給されるターン-オフ電圧により $n$ 番目の第1ゲートライン( $GL1_n$ )と接続されたセル駆動部160に含まれた駆動薄膜トランジスタ( $T2$ )に逆バイア

50

ス電圧が印加されて、これによって駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )をいつも一定に維持することができる。

【0085】

図13は第1及び第2ゲートラインに供給されるスキャンパルス及びターン-オンパルスを示す図面である。ここで、第1ゲートライン(GL1)のスキャンパルスは図示されない第1ゲートドライバから供給されて、第2ゲートライン(GL2)のターン-オンパルスは図示されない第2ゲートドライバから供給される。

【0086】

図13を図12と結付して本発明の第3実施例によるEL表示装置の動作過程を詳しく説明する事にする。

10

【0087】

先に、第1ゲートドライバから順次スキャンパルスが供給される。n-1番目の第1ゲートライン(GL1<sub>n-1</sub>)でスキャンパルスが供給されるとn-1番目の第1ゲートライン(GL1<sub>n-1</sub>)と接続されたセル駆動部160のスイッチング薄膜トランジスタ(T1)がターン-オンされる。スイッチング薄膜トランジスタ(T1)がターン-オンされるとデータライン(DL)に供給されるデータ信号がセル駆動部160の第1ノード(N1)に供給される。この時、第1ノード(N1)に印加されるデータ信号によりセル駆動部160の駆動薄膜トランジスタ(T2)がターン-オンされてデータ信号に対応する電流(I)が供給電圧源(VDD)から第1基準電圧(VSS1)に供給されて、これによって電流(I)に対応される光がELセル(OEL)から生成される。このように、第1ゲートドライバから順次供給されるスキャンパルスにより水平ライン単位で画素159が順次駆動される。

20

【0088】

一方、第2ゲートドライバは第2ゲートライン(GL2)で順次ターン-オンパルスを供給する。ここで、n番目の第2ゲートライン(GL2<sub>n</sub>)に供給されるターン-オンパルスはn-1番目の第1ゲートライン(GL1<sub>n-1</sub>)及びn番目の第1ゲートライン(GL1<sub>n</sub>)に供給されるスキャンパルスと重畳されないように(すなわち、互いに異なる時間に)供給される。

【0089】

n番目の第2ゲートライン(GL2<sub>n</sub>)でターン-オンパルスが供給されるとn-1番目の第1ゲートライン(GL1<sub>n-1</sub>)及びn番目の第1ゲートライン(GL1<sub>n</sub>)と接続されたバイアススイッチ(SW)がターン-オンされる。バイアススイッチ(SW)がターン-オンされるとn-1番目の第1ゲートライン(GL1<sub>n-1</sub>)に供給されるターン-オフ電圧がバイアススイッチ(SW)を經由してn番目の第1ゲートライン(GL1<sub>n</sub>)と接続されたセル駆動部160の第1ノード(N1)に印加される。ここで、ターン-オフ電圧は第1基準電圧(VSS1)より低い電圧値に設定されるからセル駆動部160の駆動薄膜トランジスタ(T2)のソース端子及びゲート端子に逆バイアス電圧が印加される。このようにセル駆動部160の駆動薄膜トランジスタ(T2)に逆バイアス電圧が印加されると駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )が時間の経過に対応して上昇されないで一定に維持される。

30

【0090】

すなわち、本発明ではn番目の第2ゲートライン(GL2<sub>n</sub>)でターン-オンパルスが供給される時、n番目の第1ゲートライン(GL1<sub>n</sub>)と接続されたセル駆動部160の駆動薄膜トランジスタ(T2)のソース端子及びゲート端子で逆バイアス電圧(-V<sub>gs</sub>)を印加することによって駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )が時間により増加されることを防止することができる。したがって、本発明の第3実施例によるEL表示装置は時間にかかわらず望みの輝度の映像を表示することができる。

40

【0091】

一方、本発明でn番目の第2ゲートライン(GL2<sub>n</sub>)に供給されるターン-オンパルスは安定的に画像が表示されることができるようにn-1番目及びn番目の第1ゲートライン(GL1<sub>n-1</sub>, GL1<sub>n</sub>)に供給されるスキャンパルスと重畳されないように設定される。実質的に本発明の第3実施例では安定した画像を表現のためにn番目の第2ゲートライン(GL2<sub>n</sub>)に供給されるターン-オンパルスはn-1番目の第1ゲートライン(GL1<sub>n-1</sub>)にスキャンパルス

50

が供給される直前に供給される。(すなわち、 $n-2$ 番目のゲートライン( $GL_{1\ n-2}$ )に供給されるスキャンパルスと重畳されるように)このように $n$ 番目の第2ゲートライン( $GL_{2\ n}$ )に供給されるターン-オンパルスが $n-2$ 番目の第1ゲートライン( $GL_{1\ n-2}$ )に供給されるスキャンパルスと重畳されるように供給されるとそれぞれの画素はデータ信号に対応される画像を十分な時間の間に表示することができる。同時に、本発明の第3実施例でターン-オンパルスのパルス幅( $T_2$ )はスキャンパルスのパルス幅( $T_1$ )より広く設定される。このようにターン-オンパルスのパルス幅( $T_2$ )がスキャンパルスのパルス幅( $T_1$ )より広く設定されると駆動薄膜トランジスタ( $T_2$ )に十分な時間の間に逆バイアス電圧を印加することができる。

#### 【0092】

図14は本発明の第4実施例によるEL表示装置の画素を示す図面である。

図14を参照すると、本発明の第4実施例によるEL表示装置の画素164のそれぞれはセル駆動部162とバイアススイッチ(SW)を具備する。実質的に、本発明の第4実施例によるEL表示装置でセル駆動部162の構成及び動作方法は図6に図示された本発明の第1実施例によるセル駆動部(130, 132)と同一である。したがって、セル駆動部162の詳細な構成の説明は略する事にする。

#### 【0093】

$n+1$ 番目のゲートライン( $GL_{n+1}$ )と接続されたセル駆動部162に逆電圧を供給するためのバイアススイッチ(SW)は $n-1$ 番目のゲートライン( $GL_{n-1}$ )にゲート端子が、 $n$ 番目のゲートライン( $GL_n$ )にソース端子が、及び $n+1$ 番目のゲートライン( $GL_{n+1}$ )と接続されたセル駆動部162の第1ノード( $N_1$ )にドレイン端子が接続される。これを本発明の第1実施例と比べて見ると本発明の第4実施例ではバイアススイッチ(SW)が逆電圧( $V_I$ )と接続されないで以前段ゲートライン( $GL$ )に接続される。(すなわち、逆電圧( $V_I$ )はEL表示装置に供給されない)

#### 【0094】

$n+1$ 番目のゲートライン( $GL_{n+1}$ )と接続されたセル駆動部162に逆電圧を供給するためのバイアススイッチ(SW)は $n-1$ 番目のゲートライン( $GL_{n-1}$ )にスキャンパルスが供給される時にターン-オンされる。バイアススイッチ(SW)がターン-オンされると $n$ 番目のゲートライン( $GL_n$ )に供給されるターン-オフ電圧が $n+1$ 番目のゲートライン( $GL_{n+1}$ )と接続されたセル駆動部162の第1ノード( $N_1$ )に供給される。ここで、ターン-オフ電圧は負極性の電位(例えば  $-5V$ )を持つ。及び、本発明の第4実施例で第1及び第2基準電圧( $V_{SS1}$ ,  $V_{SS2}$ )の電圧値はターン-オフ電圧値より高く設定される。

#### 【0095】

したがって、ターン-オフ電圧が第1ノード( $N_1$ )に供給されると駆動薄膜トランジスタ( $T_2$ )に逆バイアス電圧が印加されて、これによって駆動薄膜トランジスタ( $T_2$ )のしきい電圧( $V_{th}$ )が時間に従って増加されることを防止することができる。すなわち、本発明では $n-1$ 番目のゲートライン( $GL_{n-1}$ )でターン-オンパルスが供給される時、 $n$ 番目のゲートライン( $GL_n$ )に供給されるターン-オフ電圧により $n+1$ 番目のゲートライン( $GL_{n+1}$ )と接続されたセル駆動部162の駆動薄膜トランジスタ( $T_2$ )に逆バイアス電圧が印加されて、これによって駆動薄膜トランジスタ( $T_2$ )のしきい電圧( $V_{th}$ )をいつも一定に維持することができる。

#### 【0096】

このような本発明でゲートライン( $GL$ )に供給されるスキャンパルスは図7に図示したように順次供給される。 $n-1$ 番目のゲートライン( $GL_{n-1}$ )でスキャンパルスが供給されると $n-1$ 番目のゲートライン( $GL_{n-1}$ )と接続されたセル駆動部162のスイッチング薄膜トランジスタ( $T_1$ )がターン-オンされる。スイッチング薄膜トランジスタ( $T_1$ )がターン-オンされるとデータライン( $DL$ )に供給されるデータ信号がセル駆動部162の第1ノード( $N_1$ )に供給される。この時、第1ノード( $N_1$ )に印加されるデータ信号によりセル駆動部162の駆動薄膜トランジスタ( $T_2$ )がターン-オンされてデータ信号に対応する電流( $I$ )が供給電圧源( $V_{DD}$ )から第1基準電圧( $V_{SS1}$ )に供給されて、これによって電流( $I$ )に対応する

10

20

30

40

50

光がELセル(OEL)から生成される。

【0097】

図15は本発明の第5実施例によるEL表示装置の画素を示す図面である。

図15を参照すると、本発明の第5実施例によるEL表示装置の画素168のそれぞれはセル駆動部166とバイアススイッチ(SW)を具備する。実質的に、本発明の第5実施例によるEL表示装置でセル駆動部166の構成及び動作方法は図6に図示された本発明の第1実施例によるセル駆動部(130, 132)と同一である。したがって、セル駆動部166の詳細な説明は略する事にする。

【0098】

n+1番目のゲートライン(GLn+1)と接続されたセル駆動部166に逆電圧を供給するためのバイアススイッチ(SW)はn-1番目のゲートライン(GLn-1)にソース端子が、n番目のゲートライン(GLn)にゲート端子が、及びn+1番目のゲートライン(GLn+1)と接続されたセル駆動部166の第1ノード(N1)にドレイン端子が接続される。これを本発明の第4実施例と比べて見ると本発明の第5実施例ではバイアススイッチ(SW)のソース端子及びゲート端子と接続されるゲートライン(GL)だけ変更されるだけ、その以外の構成は同一である。

【0099】

n+1番目のゲートライン(GLn+1)と接続されたセル駆動部166に逆電圧を供給するためのバイアススイッチ(SW)はn番目のゲートライン(GLn)にスキャンパルスが供給される時にターン-オンされる。バイアススイッチ(SW)がターン-オンされるとn-1番目のゲートライン(GLn-1)に供給されるターン-オフ電圧がn+1番目のゲートライン(GLn+1)と接続されたセル駆動部166の第1ノード(N1)に供給される。ここで、ターン-オフ電圧は負極性の電位(例えば -5V)を持つ。及び、本発明の第5実施例で第1及び第2基準電圧(VSS1, VSS2)の電圧値はターン-オフ電圧値より高く設定される。

【0100】

したがって、ターン-オフ電圧が第1ノード(N1)に供給されると駆動薄膜トランジスタ(T2)に逆バイアス電圧が印加されて、これによって駆動薄膜トランジスタ(T2)のしきい電圧(Vth)が時間に従って増加されることを防止することができる。すなわち、本発明ではn番目のゲートライン(GLn)でターン-オンパルスが供給される時、n-1番目のゲートライン(GLn-1)に供給されるターン-オフ電圧によりn+1番目のゲートライン(GLn+1)と接続されたセル駆動部162内に含まれた駆動薄膜トランジスタ(T2)のゲート端子にソース端子より低い電圧が印加されて、これによって駆動薄膜トランジスタ(T2)のしきい電圧(Vth)をいつも一定に維持することができる。一方、ゲートライン(GL)に供給されるスキャンパルスは図7に図示したように順次供給される。

【0101】

上述したところのように、本発明に係るエレクトロルミネセンス表示装置とその駆動方法によると画素ごとに含まれる駆動薄膜トランジスタのゲート端子にソース端子より低い電圧を周期的に供給する。このように駆動薄膜トランジスタのゲート端子にソース端子より低い電圧が周期的に供給されると駆動薄膜トランジスタが劣化されることを防止することができる。すなわち、本発明では駆動薄膜トランジスタの劣化を防止することによって駆動薄膜トランジスタのしきい電圧をいつも一定に維持することができるし、これによって画質が低下されることを防止することができる。

【0102】

上述したところのように、本発明に係る液晶表示装置の駆動装置及び方法によると以前ラインのデータと現在ラインのデータを比べて、以前ラインのデータと現在ラインのデータが同一な時、データ及びソースシフトクロックをタイミングコントローラからデータドライバに供給しないからEMIを最小化することができる。

【0103】

以上説明した内容を通じて当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正ができる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載し

10

20

30

40

50

た内容に限定されるのではなく特許請求の範囲により決められなければならない。

【図面の簡単な説明】

【0104】

【図1】従来のエレクトロルミネセンス表示装置を示す図面。

【図2】図1に図示されたエレクトロルミネセンス表示装置の画素を示す図面。

【図3A】非晶質シリコンの原子配列を示す図面。

【図3B】非晶質シリコンの他の原子配列を示す図面。

【図4】図2に図示された駆動薄膜トランジスタの劣化に係るしきい電圧の移動を示す図面。

【図5】本発明の第1実施例によるエレクトロルミネセンス表示装置を示す図面。

10

【図6】本発明の第1実施例によるエレクトロルミネセンス表示装置の画素を示す図面。

【図7】図5に図示されたゲートラインに供給されるスキャンパルスを示す図面。

【図8】本発明の第2実施例によるエレクトロルミネセンス表示装置を示す図面。

【図9】本発明の第2実施例によるエレクトロルミネセンス表示装置の画素を示す図面。

【図10】図8に図示された第1及び第2ゲートラインに供給されるスキャンパルス及びターン-オンパルスを示す図面。

【図11】逆バイアスの印加時点を示す図面。

【図12】本発明の第3実施例によるエレクトロルミネセンス表示装置の画素を示す図面。

【図13】図12に図示された第1及び第2ゲートラインに供給されるスキャンパルス及びターン-オンパルスを示す図面。

20

【図14】本発明の第4実施例によるエレクトロルミネセンス表示装置の画素を示す図面。

【図15】本発明の第5実施例によるエレクトロルミネセンス表示装置の画素を示す図面。

【符号の説明】

【0105】

20、120、140:ELパネル

22、122、142、143:ゲートドライバ

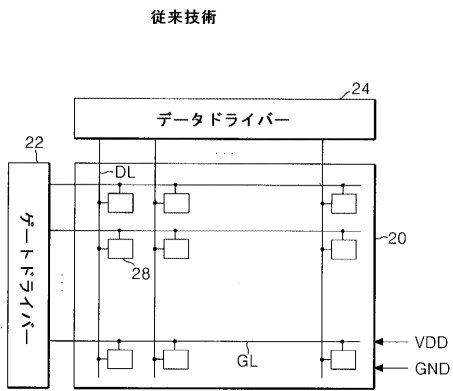
24、124、144:データドライバ

30

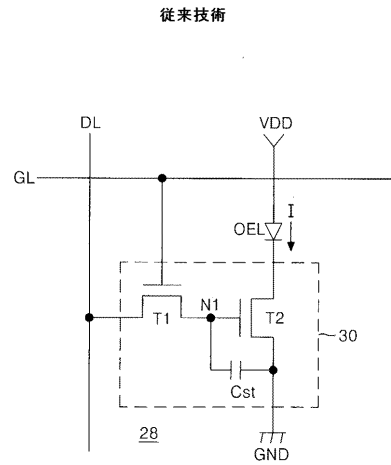
28、128、148、150、159、164、168:画素

30、130、132、160、162、166:セル駆動部

【 図 1 】

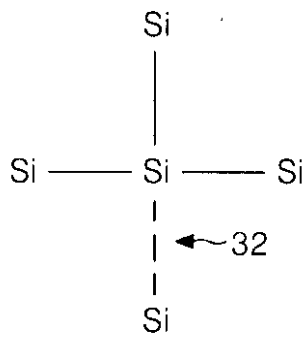


【 図 2 】



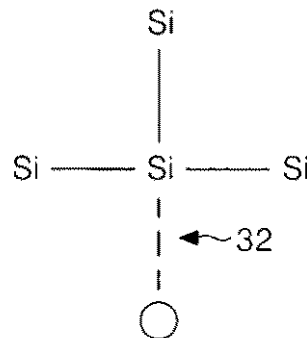
【 図 3 A 】

従来技術

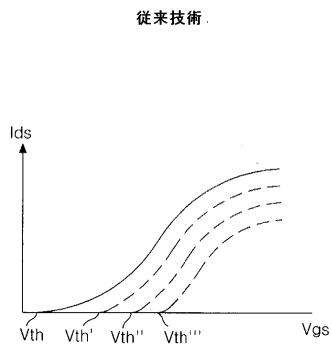


【 図 3 B 】

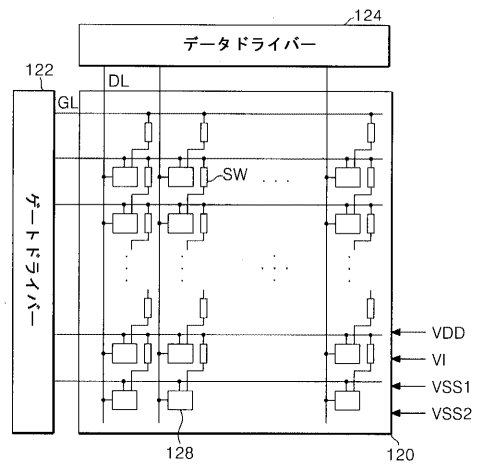
従来技術



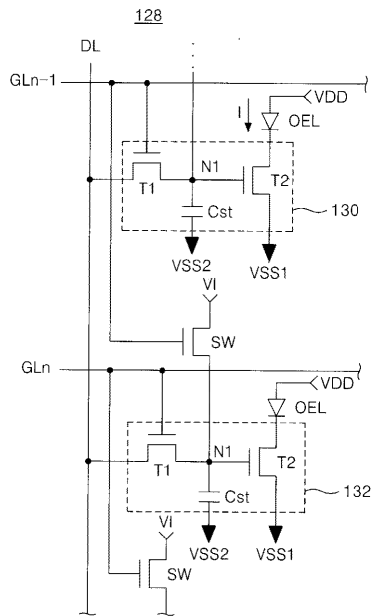
【 図 4 】



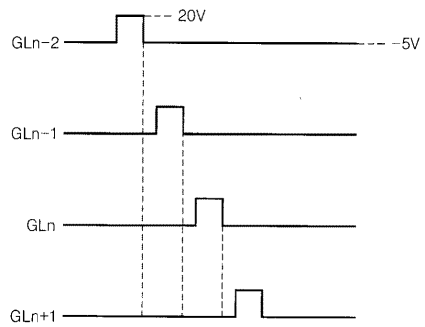
【 図 5 】



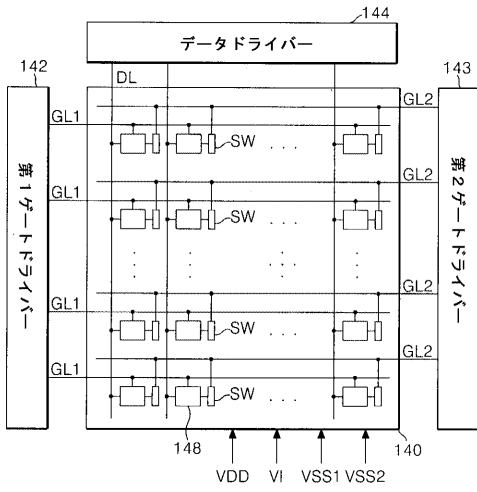
【 図 6 】



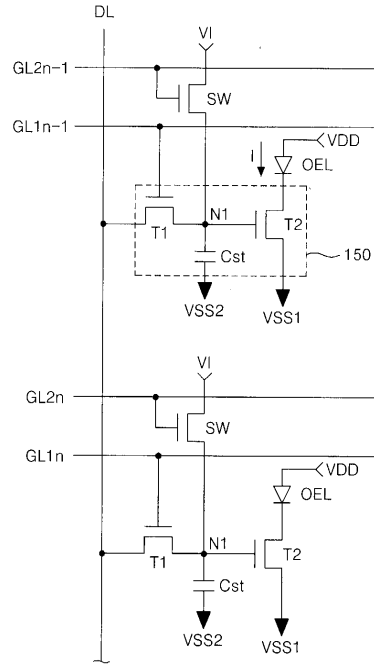
【 図 7 】



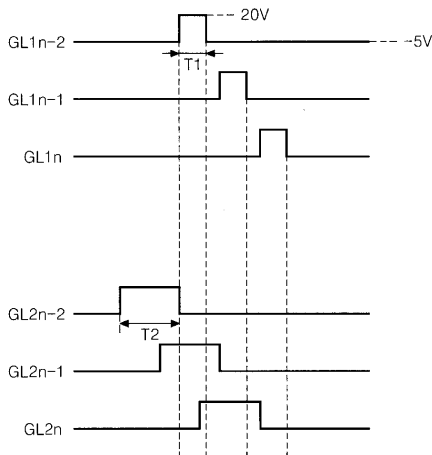
【 図 8 】



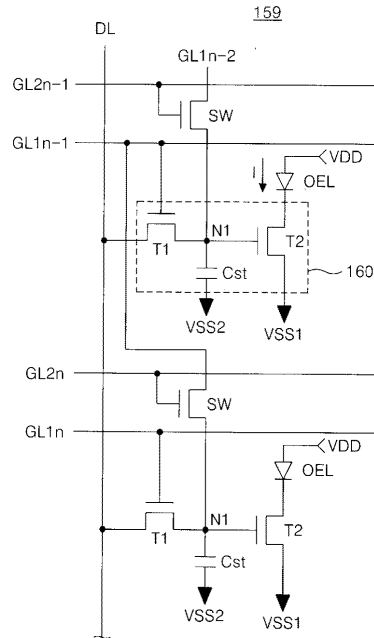
【 図 9 】



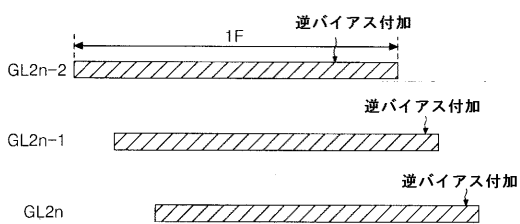
【 図 10 】



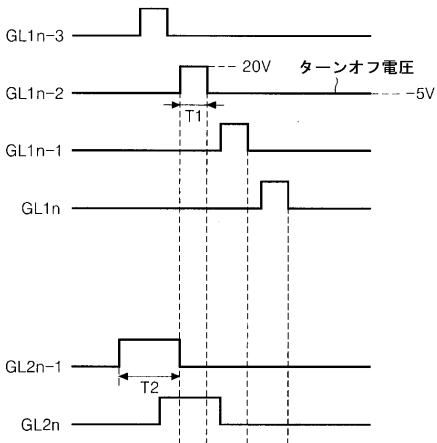
【 図 12 】



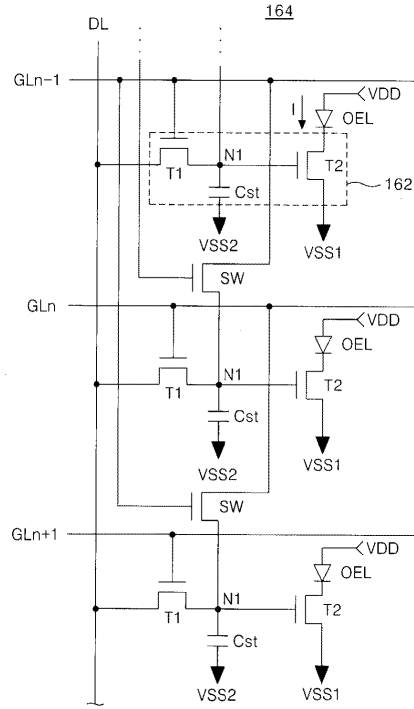
【 図 11 】



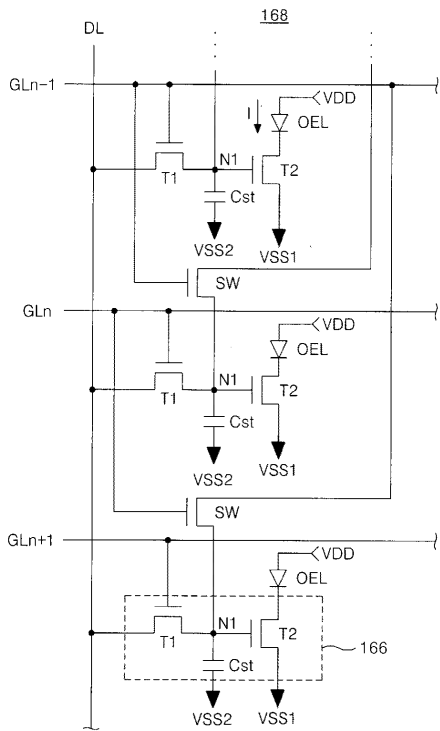
【図 13】



【図 14】



【図 15】



## フロントページの続き

(51) Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 4 1 D
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 4 2 D
	G 0 9 G 3/20	6 7 0 J
	G 0 9 G 3/20	6 7 0 K
	H 0 5 B 33/14	A
(74)代理人 100101498		
弁理士 越智 隆夫		
(74)代理人 100096688		
弁理士 本宮 照久		
(74)代理人 100104352		
弁理士 朝日 伸光		
(74)代理人 100128657		
弁理士 三山 勝巳		
(72)発明者 李 漢 相		
大韓民国 京畿道 儀旺市 五全洞 2 3 0 スンウォン 1次 梨花 アパート 1 0 6 - 1 9		
0 2号		
(72)発明者 金 海 烈		
大韓民国 京畿道 儀旺市 五全洞 モラクサン 現代 アパート 1 1 0 - 2 2 0 1号		
F ターム(参考) 3K007 AB17 BA06 DB03 GA00 GA04		
5C080 AA06 BB05 DD05 DD12 DD29 EE29 FF03 FF11 HH09 JJ02		
JJ03 JJ04 JJ05		

专利名称(译)	电致发光显示装置及其驱动方法		
公开(公告)号	<a href="#">JP2005275369A</a>	公开(公告)日	2005-10-06
申请号	JP2004380666	申请日	2004-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	李 漠 相 金 海 烈		
发明人	李 漠 相 金 海 烈		
IPC分类号	H01L51/50 G09G3/10 G09G3/20 G09G3/30 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0842 G09G2310/0254 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.612.E G09G3/20.621.B G09G3/20.622.C G09G3/20.622.D G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.642.D G09G3/20.670.J G09G3/20.670.K H05B33/14.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA00 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD12 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC21 3K107/EE04 3K107/HH04 3K107/HH05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB46 5C380/BA09 5C380/BA39 5C380/BB21 5C380/BD08 5C380/BD10 5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA32 5C380/CB01 5C380/CB26 5C380/CB31 5C380/CB32 5C380/CC03 5C380/CC26 5C380/CC33 5C380/CC55 5C380/CC61 5C380/CC63 5C380/CC77 5C380/CD012 5C380/CD013 5C380/CE04 5C380/CF48 5C380/DA02 5C380/DA06		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020040020348 2004-03-25 KR		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种电致发光显示装置及其驱动方法，其通过防止为每个像素形成的驱动薄膜晶体管的阈值电压增加来改善图像质量。解决方案：电致发光显示装置包括电致发光面板，该电致发光面板在由数据线和栅极线之间的交叉点限定的像素区域处具有多个像素；每个像素包括连接的电致发光单元以接收电源电压；驱动薄膜晶体管，控制流过电致发光元件的电流；偏置开关连接到驱动薄膜晶体管的栅极端子，偏置开关选择性地驱动薄膜晶体管施加反向电压。 ǰ

