

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-310006

(P2004-310006A)

(43) 公開日 平成16年11月4日(2004.11.4)

(51) Int.Cl.<sup>7</sup>

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30

J

G09G 3/20

611H

G09G 3/20

622G

G09G 3/20

622Q

G09G 3/20

623R

テーマコード (参考)

3K007

5C080

審査請求 有 請求項の数 39 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2003-282534 (P2003-282534)

(22) 出願日 平成15年7月30日 (2003.7.30)

(31) 優先権主張番号 2003-020432

(32) 優先日 平成15年4月1日 (2003.4.1)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 590002817

三星エスディアイ株式会社

大韓民国京畿道水原市靈通区▲しん▼洞 5  
75番地

(74) 代理人 100095957

弁理士 亀谷 美明

(74) 代理人 100096389

弁理士 金本 哲男

(72) 発明者 呂 柱天

大韓民国京畿道安養市東安区平安洞 (番地  
なし) ヒャンチョン現代アパート 110  
-601

(72) 発明者 權 五敬

大韓民国ソウル市松坡区新川洞 (番地なし)  
) ザンミアパート 14-1102

最終頁に続く

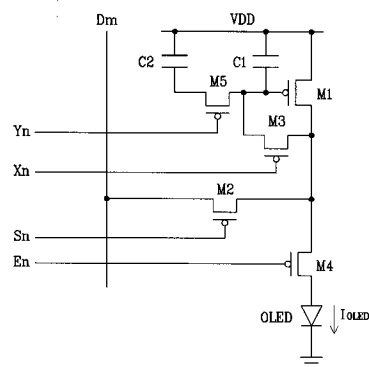
(54) 【発明の名称】 発光表示装置とその駆動方法及び表示パネル

## (57) 【要約】

【課題】 トランジスタのしきい電圧や移動度を補償することができ、データ線を十分に充電させることができる発光表示装置等を提供する。

【解決手段】 有機電界発光表示装置の画素回路において、トランジスタは有機電界発光素子を発光させるための駆動電流を供給し、第1スイッチング素子は第1制御信号にตอบสนองしてトランジスタをダイオード形態に連結させ、第1保存素子は第2制御信号にตอบสนองしてトランジスタのしきい電圧に対応する第1電圧を保存し、第2スイッチング素子は選択信号にตอบสนองしてデータ電流を伝達し、第2保存素子はデータ電流に対応する第2電圧を保存する。第3スイッチング素子は第3制御信号にตอบสนองしてトランジスタからの駆動電流を有機電界発光素子に伝達する。第1及び第2保存素子の結合により決まる第3電圧がトランジスタに印加されて駆動電流が有機電界発光素子に供給される。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

画像信号を示すデータ電流を伝達する複数のデータ線，選択信号を伝達する複数の走査線，前記データ線と前記走査線に連結された画素回路を含む画素領域が形成されている表示パネルを含む発光表示装置であって，

前記画素回路は，

印加される電流に対応して光を発する発光素子と，

前記発光素子を発光させるための駆動電流を供給し，第 1 及び第 2 主電極と制御電極を有する第 1 トランジスタと，

第 1 制御信号にตอบสนองして前記第 1 トランジスタをダイオード形態に連結させる第 1 スイッチング素子と， 10

第 2 制御信号にตอบสนองして前記第 1 トランジスタのしきい電圧に対応する第 1 電圧を保存する第 1 保存素子と，

前記走査線からの選択信号にตอบสนองして前記データ線からのデータ信号を伝達する第 2 スイッチング素子と，

前記第 1 スイッチング素子からの前記データ電流に対応する第 2 電圧を保存する第 2 保存素子と，

第 3 制御信号にตอบสนองして前記第 1 トランジスタからの前記駆動電流を前記発光素子に伝達する第 3 スイッチング素子とを含み，

前記第 1 及び第 2 電圧を各々保存している前記第 1 及び第 2 保存素子の結合によって決定された第 3 電圧が前記第 1 トランジスタに印加されて前記駆動電流が前記発光素子に供給されることを特徴とする発光表示装置。 20

## 【請求項 2】

前記第 2 制御信号，前記選択信号及び前記第 3 制御信号が順次に受信または形成されることを特徴とする，請求項 1 に記載の発光表示装置。

## 【請求項 3】

前記第 1 ～ 第 3 スイッチング素子及び前記第 1 トランジスタは同一伝導タイプのトランジスタであることを特徴とする，請求項 1 または 2 に記載の発光表示装置。

## 【請求項 4】

前記第 1 ～ 第 3 スイッチング素子のうちの少なくとも一つのスイッチング素子は前記第 1 トランジスタと反対の伝導タイプのトランジスタであることを特徴とする，請求項 1 または 2 に記載の発光表示装置。 30

## 【請求項 5】

前記画素回路は，前記第 2 制御信号にตอบสนองして導通し，第 1 端が前記第 1 トランジスタの制御電極に連結される第 4 スイッチング素子をさらに含み，

前記第 2 保存素子は前記第 1 トランジスタの制御電極と第 1 主電極の間に連結される第 1 キャパシタによって形成され，前記第 1 保存素子は前記第 1 トランジスタの第 1 主電極と前記第 4 スイッチング素子の第 2 端の間に連結される第 2 キャパシタと前記第 1 キャパシタの並列連結によって形成されることを特徴とする，請求項 1 または 2 に記載の発光表示装置。 40

## 【請求項 6】

前記第 2 制御信号は前記走査線からの前記選択信号であり，

前記第 4 スイッチング素子は前記選択信号のディスエーブル区間でตอบสนองすることを特徴とする，請求項 5 に記載の発光表示装置。

## 【請求項 7】

前記第 1 制御信号は直前走査線からの選択信号及び現在走査線からの選択信号を含むことを特徴とする，請求項 5 に記載の発光表示装置。

## 【請求項 8】

前記第 1 スイッチング素子は，前記直前走査線からの選択信号にตอบสนองして前記第 1 トランジスタをダイオード形態に連結させる第 2 トランジスタ及び前記現在走査線からの選択 50

信号に応答して前記第 1 トランジスタをダイオード形態に連結させる第 3 トランジスタを含むことを特徴とする、請求項 7 に記載の発光表示装置。

【請求項 9】

前記第 2 制御信号は前記直前走査線からの選択信号及び前記第 3 制御信号を含むことを特徴とする、請求項 5 に記載の発光表示装置。

【請求項 10】

前記画素回路は前記第 4 スイッチング素子に並列に連結される第 5 スイッチング素子をさらに含み、

前記第 4 及び第 5 スイッチング素子は各々前記直前走査線からの選択信号及び前記第 3 制御信号に応答して導通されることを特徴とする、請求項 9 に記載の発光表示装置。

10

【請求項 11】

前記第 1 制御信号は直前走査線からの選択信号及び現在走査線からの選択信号を含み、前記第 2 制御信号は前記直前走査線からの選択信号及び前記第 3 制御信号を含むことを特徴とする、請求項 5 に記載の発光表示装置。

【請求項 12】

前記画素回路は前記第 1 トランジスタの制御電極に第 1 端が連結され、前記第 2 制御信号に応答する第 4 スイッチング素子をさらに含み、

前記第 1 保存素子は前記第 4 スイッチング素子の第 2 端と前記第 1 トランジスタの第 1 主電極の間に連結される第 1 キャパシタによって形成され、

前記第 2 保存素子は前記第 4 スイッチング素子の第 2 端と前記第 1 トランジスタの制御電極の間に連結される第 2 キャパシタと前記第 1 キャパシタの直列連結によって形成されることを特徴とする、請求項 1 に記載の発光表示装置。

20

【請求項 13】

前記選択信号、前記第 1 ～ 第 3 制御信号を供給する第 1 駆動回路、そして前記データ電流を供給する第 2 駆動回路をさらに含み、

前記第 1 及び第 2 駆動回路は前記表示パネルに連結されているか、前記表示パネルの基板上に集積回路チップの形態で装着されているか、前記基板上に前記走査線、前記データ線及び前記第 1 スイッチング素子と同一層に直接形成されていることを特徴とする、請求項 1 に記載の発光表示装置。

【請求項 14】

30

画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、前記データ線と前記走査線に連結された画素回路を含む画素領域が形成された発光表示装置の表示パネルであって、

前記画素回路は、

第 1 電圧を供給する第 1 電源に第 1 主電極が連結される第 1 トランジスタと、

前記第 1 トランジスタの第 2 主電極と前記データ線の間に連結され、前記走査線からの第 1 選択信号によって制御される第 1 スイッチング素子と、

前記第 1 トランジスタをダイオード形態に連結させるように第 1 制御信号によって制御される第 2 スイッチング素子と、

前記第 1 トランジスタの制御電極に第 1 端が連結され、第 2 制御信号によって制御される第 3 スイッチング素子と、

40

前記第 1 トランジスタの第 2 主電極に第 1 端が連結され、第 3 制御信号によって制御される第 4 スイッチング素子と、

印加される電流に対応して光を発光し、前記第 4 スイッチング素子の第 2 端と第 2 電圧を供給する第 2 電源の間に連結される発光素子と、

前記第 3 スイッチング素子がオン状態である時、前記第 1 トランジスタの制御電極と第 1 主電極の間に連結される第 1 保存素子と、

前記第 3 スイッチング素子がオフの状態である時、前記第 1 トランジスタの制御電極と第 1 主電極の間に連結される第 2 保存素子とを含むことを特徴とする表示パネル。

【請求項 15】

50

前記第 2 保存素子は前記第 1 トランジスタの制御電極と第 1 主電極の間に連結される第 1 キャパシタを含み、

前記第 1 保存素子は前記第 1 トランジスタの第 1 主電極と前記第 3 スイッチング素子の第 2 端の間に連結される第 2 キャパシタと前記第 1 キャパシタの並列連結によって形成されることを特徴とする、請求項 1 4 に記載の表示パネル。

【請求項 1 6】

前記第 1 ～ 第 3 制御信号は各々第 1 ～ 第 3 信号線によって供給され、前記表示パネルは前記第 1 ～ 第 3 信号線をさらに含むことを特徴とする、請求項 1 5 に記載の表示パネル。

【請求項 1 7】

前記画素回路は第 1、第 2 及び第 3 区間順に駆動され、

10

前記第 1 区間では前記第 1 及び第 2 制御信号がイネーブル区間を有し、

前記第 2 区間では前記第 1 制御信号及び前記第 1 選択信号がイネーブル区間を有し、

前記第 3 区間では前記第 2 及び第 3 制御信号がイネーブル区間を有することを特徴とする、請求項 1 6 に記載の表示パネル。

【請求項 1 8】

前記第 2 制御信号は前記走査線からの前記第 1 選択信号であり、前記第 3 スイッチング素子は前記選択信号のディスエーブル区間で導通されることを特徴とする、請求項 1 5 に記載の表示パネル。

【請求項 1 9】

前記画素回路は第 1、第 2 及び第 3 区間順に駆動され、

20

前記第 1 区間では前記第 1 制御信号がイネーブル区間を有し、

前記第 2 区間では前記第 1 制御信号及び前記第 1 選択信号がイネーブル区間を有し、

前記第 3 区間では前記第 3 制御信号がイネーブル区間を有することを特徴とする、請求項 1 8 に記載の表示パネル。

【請求項 2 0】

前記第 1 制御信号は前記第 1 選択信号がイネーブルされる時点にディスエーブル区間を有することを特徴とする、請求項 1 9 に記載の表示パネル。

【請求項 2 1】

前記第 1 制御信号は、前記第 1 選択信号及び前記第 1 選択信号より先にイネーブル区間を有する直前走査線からの第 2 選択信号を含み、

30

前記第 2 スイッチング素子は、前記第 2 及び第 1 選択信号に各々応答して前記第 1 トランジスタをダイオード形態に連結させる第 2 及び第 3 トランジスタを含むことを特徴とする、請求項 1 5 に記載の表示パネル。

【請求項 2 2】

前記第 2 制御信号は、前記第 1 選択信号より先にイネーブル区間を有する直前走査線からの第 2 選択信号と前記第 3 制御信号を含み、

前記第 3 スイッチング素子は、前記第 1 トランジスタの制御電極と前記第 2 キャパシタの間に連結され、前記第 2 選択信号及び前記第 3 制御信号に各々応答する第 2 及び第 3 トランジスタを含むことを特徴とする、請求項 1 5 に記載の表示パネル。

【請求項 2 3】

40

前記第 1 制御信号は前記第 1 選択信号及び前記第 1 選択信号より先にイネーブル区間を有する直前走査線からの第 2 選択信号を含み、前記第 2 制御信号は前記第 2 選択信号と前記第 3 制御信号を含み、

前記第 2 スイッチング素子は、前記第 2 及び第 1 選択信号に各々応答して前記第 1 トランジスタをダイオード形態に連結させる第 2 及び第 3 トランジスタを含み、前記第 3 スイッチング素子は、前記第 1 トランジスタの制御電極と前記第 2 キャパシタの間に連結されて前記第 2 選択信号及び前記第 3 制御信号に各々応答する第 4 及び第 5 トランジスタを含むことを特徴とする、請求項 1 5 に記載の表示パネル。

【請求項 2 4】

前記第 1 保存素子は前記第 1 トランジスタの第 1 主電極と前記第 3 スイッチング素子の

50

第 2 端の間に連結される第 1 キャパシタを含み、

前記第 2 保存素子は前記第 1 トランジスタの制御電極と前記第 3 スイッチング素子の第 2 端の間に連結される第 2 キャパシタと前記第 1 キャパシタの直列連結によって形成されることを特徴とする、請求項 14 に記載の表示パネル。

【請求項 25】

走査線からの選択信号に応答してデータ線からのデータ電流を伝達するスイッチング素子、前記データ電流に対応して駆動電流を出力し第 1 及び第 2 主電極と制御電極を有するトランジスタ、そして前記トランジスタからの駆動電流に対応して光を発光する発光素子を含む画素回路が形成されている発光表示装置を駆動する方法であって、

前記トランジスタの制御電極と第 1 主電極の間に形成される第 1 保存素子に前記トランジスタのしきい電圧に対応する第 1 電圧を保存する第 1 段階と、 10

前記スイッチング素子からのデータ電流に対応する第 2 電圧を前記トランジスタの制御電極と第 1 主電極の間に形成される第 2 保存素子に保存する第 2 段階と、

前記第 1 及び第 2 保存素子を結合して前記トランジスタの制御電極と第 1 主電極の間の電圧を第 3 電圧とし、前記トランジスタからの駆動電流を前記発光素子に伝達する第 3 段階とを含み、

前記トランジスタからの駆動電流は前記第 3 電圧に対応して決定されることを特徴とする発光表示装置の駆動方法。

【請求項 26】

前記第 1 段階で前記第 1 保存素子は前記トランジスタの制御電極と第 1 主電極の間に並列に連結される第 1 及び第 2 キャパシタを含み、 20

前記第 2 段階で前記第 2 保存素子は前記第 1 キャパシタを含み、

前記第 3 段階で前記第 3 電圧は前記第 1 及び第 2 キャパシタの並列連結によって決定されることを特徴とする、請求項 25 に記載の発光表示装置の駆動方法。

【請求項 27】

前記第 1 段階で前記第 1 保存素子は前記トランジスタの制御電極と第 1 主電極の間に連結される第 1 キャパシタを含み、

前記第 2 段階で前記第 2 保存素子は前記第 1 キャパシタ及び前記第 1 キャパシタと前記トランジスタの制御電極の間に連結される第 2 キャパシタを含み、

前記第 3 段階で前記第 3 電圧は前記第 1 キャパシタによって決定されることを特徴とする、請求項 25 に記載の発光表示装置の駆動方法。 30

【請求項 28】

走査線からの選択信号に応答してデータ線からのデータ電流を伝達するスイッチング素子、前記データ電流に対応して駆動電流を出力し第 1 及び第 2 主電極と制御電極を有するトランジスタ、そして前記トランジスタからの駆動電流に対応して光を発光する発光素子を含む画素回路が形成されている発光表示装置を駆動する方法であって、

第 1 制御信号に応答して前記トランジスタがダイオード形態に連結され、第 2 制御信号の第 1 レベルに응答して前記トランジスタの制御電極と第 1 主電極の間に第 1 保存素子が連結されて前記第 1 保存素子に前記トランジスタのしきい電圧に対応する第 1 電圧が保存される第 1 段階と、 40

前記第 1 制御信号によってトランジスタはダイオード形態に連結されており、前記第 2 制御信号の第 2 レベルに응答して前記トランジスタの制御電極と第 1 主電極の間に第 2 保存素子が連結され、前記走査線からの第 1 選択信号に응答して前記第 2 保存素子に前記データ電流に対応する第 2 電圧が保存される第 2 段階と、

前記第 2 制御信号の第 1 レベルに응答して前記第 1 及び第 2 保存素子が結合されて前記トランジスタの制御電極と第 1 主電極の間の電圧が第 3 電圧になり、前記トランジスタには前記第 3 電圧に対応する駆動電流が流れ、第 3 制御信号に응答して前記駆動電流が前記発光素子に供給される第 3 段階とを含むことを特徴とする発光表示装置の駆動方法。

【請求項 29】

前記第 3 段階で前記第 2 制御信号の第 1 レベルに응答して前記第 1 保存素子が前記トラ 50

ンジスタの制御電極と第 1 主電極の間に連結されることを特徴とする，請求項 28 に記載の発光表示装置の駆動方法。

【請求項 30】

前記第 1 ～ 第 3 制御信号は前記走査線とは別途の第 1 ～ 第 3 信号線によって各々伝達されることを特徴とする，請求項 28 に記載の発光表示装置の駆動方法。

【請求項 31】

前記第 2 制御信号は前記第 1 選択信号であり，前記第 2 制御信号の第 1 レベルは前記第 1 選択信号のディスエーブルレベルであることを特徴とする，請求項 28 に記載の発光表示装置の駆動方法。

【請求項 32】

前記第 1 制御信号は前記第 1 選択信号がイネーブルレベルになる瞬間にディスエーブル区間を有することを特徴とする，請求項 31 に記載の発光表示装置の駆動方法。

【請求項 33】

前記第 1 制御信号は前記第 1 選択信号及び前記第 1 選択信号より先にイネーブル区間を有する直前走査線からの第 2 選択信号を含み，

前記トランジスタは前記第 1 及び第 2 段階で各々前記第 2 及び第 1 選択信号によってダイオード形態に連結されることを特徴とする，請求項 28 に記載の発光表示装置の駆動方法。

【請求項 34】

前記第 2 制御信号は前記第 1 選択信号より先にイネーブル区間を有する直前走査線からの第 2 選択信号及び前記第 3 制御信号を含み，

前記第 1 及び第 3 段階での前記第 2 制御信号の第 1 レベルは各々前記第 2 選択信号及び前記第 3 制御信号によって決定されることを特徴とする，請求項 28 に記載の発光表示装置の駆動方法。

【請求項 35】

前記第 1 制御信号は前記第 1 選択信号及び前記第 1 選択信号より先にイネーブル区間を有する直前走査線からの第 2 選択信号を含み，

前記第 2 制御信号は前記第 2 選択信号及び前記第 3 制御信号を含み，

前記トランジスタは前記第 1 及び第 2 段階で各々前記第 2 及び第 1 選択信号によってダイオード形態に連結され，

前記第 1 及び第 3 段階での前記第 2 制御信号の第 1 レベルは各々前記第 2 選択信号及び前記第 3 制御信号によって決定されることを特徴とする，請求項 28 に記載の発光表示装置の駆動方法。

【請求項 36】

第 1 選択信号に応答して画像信号を示すデータ電流をトランジスタに伝達して発光素子を駆動する方法であって，

第 1 及び第 2 スイッチング素子に各々印加される第 1 及び第 2 制御信号をイネーブルレベルとして前記トランジスタのしきい電圧に対応する第 1 電圧を保存し，第 3 スイッチング素子に印加される第 3 制御信号をディスエーブルレベルとして前記トランジスタと前記発光素子を電氣的に遮断し，第 4 スイッチング素子に印加される前記第 1 選択信号をディスエーブルレベルとして前記データ電流を遮断する第 1 段階と，

前記第 1 選択信号をイネーブルレベルとして前記データ電流を供給し，前記第 1 及び第 2 制御信号を各々イネーブル及びディスエーブルレベルとして前記データ電流に対応する第 2 電圧を保存する第 2 段階と，

前記第 1 選択信号をディスエーブルレベルとして前記データ電流を遮断し，前記第 1 及び第 2 制御信号を各々ディスエーブル及びイネーブルとして第 3 電圧を前記トランジスタの主電極とゲート電極に印加し，前記第 3 制御信号をイネーブルとして前記トランジスタからの電流を前記発光素子に伝達する第 3 段階とを含み，

前記第 3 電圧は前記第 1 及び第 2 電圧によって決定されることを特徴とする発光表示装置の駆動方法。

10

20

30

40

50

## 【請求項 37】

前記第2制御信号は前記第1選択信号によって決定され、前記第2制御信号は前記第1選択信号と反対レベルを有することを特徴とする、請求項36に記載の発光表示装置の駆動方法。

## 【請求項 38】

前記第1制御信号は前記第1選択信号及び前記第1選択信号より先にイネーブルレベルになり、前記第1制御信号がイネーブルレベルになった後にはディスエーブルレベルになる第2選択信号によって決定されることを特徴とする、請求項36に記載の発光表示装置の駆動方法。

## 【請求項 39】

前記第2制御信号は前記第1選択信号より先にイネーブルレベルになり、前記第1制御信号がイネーブルレベルになった後にはディスエーブルレベルになる第2選択信号及び前記第3制御信号によって決定されることを特徴とする、請求項36または38に記載の発光表示装置の駆動方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は発光表示装置とその駆動方法及びその表示パネルに関し、特に有機物質の電界発光（有機ELという）を利用した発光表示装置とその駆動方法及びその表示パネルに関する。

## 【背景技術】

## 【0002】

一般に有機EL表示装置は蛍光性有機化合物を電氣的に励起して発光させる表示装置であって、行列状に配列された $N \times M$ 個の有機発光セルを電圧駆動あるいは電流駆動して映像を表現することができるようになっている。このような有機発光セルはダイオード特性を有して有機発光ダイオード（Organic Light-Emitting Diode）と呼ばれ、図1に示したようにアノード（図1ではITOとして図示）、有機薄膜（図1ではHIL、HTL、EML、ETL、EILとして図示）、カソード電極層（図1では金属として図示）の構造を有している。有機薄膜は電子と正孔の均衡を良くして発光効率を向上させるために発光層、電子輸送層及び正孔輸送層を含む多層構造からなり、また、別途の電子注入層と正孔注入層を含んでいる。

## 【0003】

このように構成される有機発光セルを駆動する方式には単純マトリックス方式と薄膜トランジスタまたはMOSFETを利用した能動駆動方式がある。単純マトリックス方式は正極と負極を直交するように形成しラインを選択して駆動することに比べて、能動駆動方式は薄膜トランジスタとキャパシタを各ITO画素電極に接続し瞬間的に信号を伝えるが、伝えられた信号電圧をキャパシタ容量によって維持するようにする駆動方式である。能動駆動方式では、キャパシタに電圧を記入し維持させるために印加する信号の形態に従って、電圧記入方式と電流記入方式に分類される。

## 【0004】

次に、図2及び図3を参照して従来技術による電圧記入及び電流記入方式の特徴について説明する。

## 【0005】

図2は有機EL素子を駆動するための従来の電圧記入方式の画素回路の等価回路図であって、 $N \times M$ 個の画素のうちの一つを代表的に示した図面である。図において、有機EL（EL: Electroluminescence）素子OLEDにp-chのトランジスタM101が連結されて発光のための電流を正極の電源電圧VDDから供給する。トランジスタM101の電流量はスイッチング用p-chのトランジスタM102を通じて印加されるデータ電圧によって、調節されるようになっている。この時、印加された電圧を一定の期間維持するためのキャパシタC101がトランジスタM101のソースとゲート

10

20

30

40

50

の間に連結されている。トランジスタM102のゲートにはオン・オフ形態の選択信号を伝える選択走査線Snが連結されており、ソース側にはデータ線Dmが連結されている。

【0006】

このような構造の画素の動作を見てみると、トランジスタM102のゲートに印加される選択信号によってトランジスタM102が導通すれば、データ線Dmからのデータ電圧がトランジスタM101のゲートに印加される。その後、キャパシタC101によってゲートとソース(VDD側)の間に充電された電圧V<sub>GS</sub>に対応してトランジスタM101に電流I<sub>OLED</sub>が流れ、この電流I<sub>OLED</sub>に対応して有機EL素子OLEDが発光する。この時、有機EL素子OLEDに流れる電流は次の数式(1)で近似的に表現できる。

10

【0007】

【数1】

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = \frac{\beta}{2} (V_{DD} - V_{DATA} - |V_{TH}|)^2$$

・・・(1)

【0008】

ここで、I<sub>OLED</sub>は有機EL素子OLEDに流れる電流、V<sub>GS</sub>はトランジスタM101のソースとゲートの間の電圧、V<sub>TH</sub>はトランジスタM101のしきい電圧、V<sub>DD</sub>は電源電圧、V<sub>DATA</sub>はデータ電圧、βは定数値を示す。数式(1)に示したように、図2に示した画素回路によれば印加されるデータ電圧に対応する電流が有機EL素子OLEDに供給され、供給された電流に対応する輝度で有機EL素子が発光する。この時、印加されるデータ電圧は、所定の明暗階調を表現するために一定の範囲で多段階の値を有する。

20

【0009】

しかし、このような従来の電圧記入方式の画素回路では製造工程の不均一性により各画素毎に生じる薄膜トランジスタのしきい電圧V<sub>TH</sub>及び電子移動度の偏差によって高階調が得がたいという問題点がある。例えば、3Vで画素の薄膜トランジスタを駆動する場合、8ビット(256段)階調を表現するためには約12mV(=3V/256)間隔で薄膜トランジスタのゲートに電圧を印加しなければならないが、万一製造工程の不均一による薄膜トランジスタのしきい電圧の偏差が100mVに達する場合には高階調を表現することが難しくなる。また、移動度の偏差によって数式(1)に含まれるβ値が変わるのでさらに高階調を表現することが難しくなる。

30

【0010】

これに対し、電流記入方式の画素回路は、画素回路に電流を供給する電流源がパネル全体、つまり全てのデータ線に関して均一であるとすれば、各画素内の駆動トランジスタが不均一な電圧-電流特性を有すると仮定しても均一なディスプレイ特性を得ることができる。

【0011】

図3は有機EL素子を駆動するための従来の電流記入方式の画素回路の等価回路図であって、N×M個の画素のうちの一つを代表的に示した図面である。図3を参照すれば、有機EL素子OLEDにトランジスタM201が連結されて発光のための電流を供給し、トランジスタM201の電流量はトランジスタM202を通じて印加されるデータ電流によって制御されるようになっている。

40

【0012】

まず回路の動作を見ると、選択走査線Snからの選択信号によってトランジスタM202、M203が導通して、先ずトランジスタM201がダイオード接続の状態になり、キャパシタC201に電流が流れて充電電圧を生じ、トランジスタM201のゲート電位が低下してドレインからソースに電流が流れる。時間経過により充電電圧が高くなってトラ

50

ンジスタM201のドレイン電流がトランジスタM202のソース電流と等しくなればキャパシタC201の充電電流が停止して充電電圧が安定する。従って、データ線Dmからの輝度設定用データ電流 $I_{DATA}$ に対応する電圧がキャパシタC201に保存される。次に、選択走査線Snからの選択信号がハイレベルになってトランジスタM202、M203が遮断されるが、発光走査線Enからの発光信号がローレベルになってトランジスタM204が導通し、電源電圧VDDから電源が供給され、キャパシタC201に保存された電圧に対応する電流が有機EL素子OLEDに流れて設定輝度の発光をする。この時、有機EL素子OLEDに流れる電流は数式(2)のようである。

【0013】

【数2】

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = I_{DATA}$$

10

・・・(2)

【0014】

ここで、 $I_{OLED}$ は有機EL素子OLEDに流れる電流、 $V_{GS}$ はトランジスタM201のソースとゲートの間の電圧、 $V_{TH}$ はトランジスタM201のしきい電圧、 $I_{DATA}$ は輝度設定用データ電流、 $\beta$ は定数値を示す。数式(2)で示したように従来の電流ピクセル回路によれば、有機EL素子に流れる電流 $I_{OLED}$ はデータ電流 $I_{DATA}$ と同一であるので記入電流源がデータ線全てに関して均一であるとすれば均一な特性を得ることができる。しかし、有機EL素子に流れる電流 $I_{OLED}$ は微少電流でありながら所要電圧は高く、この微細電流 $I_{DATA}$ で画素回路を駆動するには、データ線の寄生容量など充電するのに時間が多くかかるという問題点がある。例えば、データ線負荷キャパシタンスが30pFであると仮定する場合に、数十nAから数百nA程度のデータ電流でデータ線の負荷を充電するためには、数msの時間が必要である。これは数十 $\mu$ s水準であるライン時間(例えば、水平走査時間)を考慮してみる時、充電時間が充分でないという問題点がある。

20

【発明の開示】

【発明が解決しようとする課題】

【0015】

30

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、トランジスタのしきい電圧や移動度を補償することができ、データ線を十分に充電させることができる発光表示装置とその駆動方法及びその表示パネルを提供することにある。

【課題を解決するための手段】

【0016】

本発明の第1特徴による発光表示装置は表示パネルを含み、表示パネルには画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、そしてデータ線と走査線によって定義される複数の画素に各々形成される複数の画素回路が形成されている。画素回路は、発光素子と、第1トランジスタと、第1～第3スイッチング素子と、第1及び第2保存素子とを含む。発光素子は印加される電流に対応して光を発光し、第1トランジスタは発光素子を発光させるための駆動電流を制御し、第1及び第2主電極と制御電極を有する。第1スイッチング素子は第1制御信号に応答して前記第1トランジスタをダイオード形態に連結させ、第1保存素子は第2制御信号に応答して前記第1トランジスタのしきい電圧に対応する第1電圧を保存する。第2スイッチング素子は走査線からの選択信号に応答してデータ線からのデータ信号を伝達し、第2保存素子は前記第1スイッチング素子からのデータ電流に対応する第2電圧を保存する。第3スイッチング素子は第3制御信号に応答して前記第1トランジスタからの駆動電流を発光素子に伝達する。前記第1及び第2電圧を各々保存している第1及び第2保存素子の結合によって決定された第3電圧が前記第1トランジスタに印加されて前記駆動電流が発光素子に供給される。

40

【0017】

50

かかる構成によれば、発光素子に供給される電流は、トランジスタのしきい電圧や移動度に関係なく決定されるので、トランジスタのしきい電圧偏差や移動度の偏差を補償することができる。また、発光素子に流れる微小電流を制御することができるので、一ライン時間内にデータ線を十分に充電させることができる。この時、第2制御信号、選択信号及び第3制御信号が順次に受信または形成されることが好ましい。

【0018】

前記画素回路は第2制御信号に応答して導通され、第1端が第1トランジスタの制御電極に連結される第4スイッチング素子をさらに含むのが好ましい。第2保存素子は第1トランジスタの制御電極と第1主電極の間に連結される第1キャパシタによって形成され、第1保存素子は第1トランジスタの第1主電極と第4スイッチング素子の第2端の間に連結される第2キャパシタと第1キャパシタの並列連結によって形成されるよう構成してもよい。

10

【0019】

第2制御信号は前記走査線からの前記選択信号であってもよい。この場合には配線の本数を減らすことができる。この時、第4スイッチング素子は前記選択信号のディスエーブル区間で応答する。

【0020】

そして、第1制御信号は直前走査線からの選択信号及び現在走査線からの選択信号からなることができる。この時、前記第1スイッチング素子は、直前走査線からの選択信号に応答して前記第1トランジスタをダイオード形態に連結させる第2トランジスタ及び現在走査線からの選択信号に応答して前記第1トランジスタをダイオード形態に連結させる第3トランジスタを含む。

20

【0021】

また、第2制御信号は直前走査線からの選択信号及び前記第3制御信号からなることができる。この時、画素回路は前記第4スイッチング素子に並列に連結される第5スイッチング素子をさらに含み、第4及び第5スイッチング素子は各々直前走査線からの選択信号及び第3制御信号に応答して導通される。

【0022】

本発明の第2特徴による発光表示装置の表示パネルは複数の画素回路を含む。画素回路は、第1トランジスタと、第1～第4スイッチング素子と、発光素子と、第1及び第2保存素子とを含む。第1トランジスタは第1電圧を供給する第1電源に第1主電極が連結され、第1スイッチング素子は第1トランジスタの第2主電極とデータ線との間に連結されて走査線からの第1選択信号によって制御される。第2スイッチング素子は第1トランジスタをダイオード形態に連結させるように第1制御信号によって制御され、第3スイッチング素子は第1トランジスタの制御電極に第1端が連結されて第2制御信号によって制御される。第4スイッチング素子は第1トランジスタの第2主電極に第1端が連結されて第3制御信号によって制御され、発光素子は印加される電流に対応して光を発光して第4スイッチング素子の第2端と第2電圧を供給する第2電源の間に連結される。第1保存素子は第3スイッチング素子がオン状態である時、第1トランジスタの制御電極と第1主電極の間に連結され、第2保存素子は第3スイッチング素子がオフの状態である時、第1トランジスタの制御電極と第1主電極の間に連結される。

30

40

【0023】

本発明の第3及び第4特徴によると、走査線からの選択信号に応答してデータ線からのデータ電流を伝達するスイッチング素子と、データ電流に対応して駆動電流を出力して第1及び第2主電極と制御電極を有するトランジスタと、前記トランジスタからの駆動電流に対応して光を発光する発光素子とを含む画素回路が形成されている発光表示装置を駆動する方法が提供される。

【0024】

本発明の第3特徴による駆動方法によれば、まず、トランジスタの制御電極と第1主電極の間に形成される第1保存素子にトランジスタのしきい電圧に対応する第1電圧を保存

50

する。そしてスイッチング素子からのデータ電流に対応する第2電圧がトランジスタの制御電極と第1主電極の間に形成される第2保存素子に保存される。次に、第1及び第2保存素子を結合してトランジスタの制御電極と第1主電極の間の電圧を第3電圧とし、トランジスタからの駆動電流を発光素子に伝達する。この時、トランジスタからの駆動電流は第3電圧に対応して決定される。

#### 【0025】

本発明の第4特徴による駆動方法によれば、まず、第1制御信号にตอบสนองして前記トランジスタがダイオード形態に連結され、第2制御信号の第1レベルにตอบสนองして前記トランジスタの制御電極と第1主電極の間に第1保存素子が連結されて前記第1保存素子に前記トランジスタのしきい電圧に対応する第1電圧が保存される。そして第2制御信号の第2レベルにตอบสนองして前記トランジスタの制御電極と第1主電極の間に第2保存素子が連結され、走査線からの第1選択信号にตอบสนองして前記第2保存素子にデータ電流に対応する第2電圧が保存される。次に、第2制御信号の第1レベルにตอบสนองして前記第1及び第2保存素子が結合されて前記トランジスタの制御電極と第1主電極の間の電圧が第3電圧になり、前記トランジスタには第3電圧に対応する駆動電流が流れ、第3制御信号にตอบสนองして駆動電流が発光素子に供給される。

10

#### 【0026】

本発明の第5特徴によると、第1選択信号にตอบสนองして画像信号を示すデータ電流をトランジスタに伝達して発光素子を駆動する方法が提供される。まず、第1及び第2スイッチング素子に各々印加される第1及び第2制御信号をイネーブルレベルとして前記トランジスタのしきい電圧に対応する第1電圧を保存し、第3スイッチング素子に印加される第3制御信号をディスエーブルレベルとして前記トランジスタと発光素子を電氣的に遮断し、第4スイッチング素子に印加される第1選択信号をディスエーブルレベルとしてデータ電流を遮断する。そして第1選択信号をイネーブルレベルとしてデータ電流を供給し、第1及び第2制御信号を各々イネーブル及びディスエーブルレベルとしてデータ電流に対応する第2電圧を保存する。次に、第1選択信号をディスエーブルレベルとしてデータ電流を遮断し、第1及び第2制御信号を各々ディスエーブル及びイネーブルとして第3電圧を前記トランジスタの主電極とゲート電極に印加し、第3制御信号をイネーブルとして前記トランジスタからの電流を発光素子に伝達する。この時、第3電圧は第1及び第2電圧によって決定される。

20

30

#### 【発明の効果】

#### 【0027】

以上のように、本発明によれば、発光素子に流れる微小電流を制御することができるので、一ライン時間内にデータ線を十分に充電させることができる。また、本発明の別の観点によれば、発光素子に流れる電流は、トランジスタのしきい電圧や移動度に関係なく決定されるので、トランジスタのしきい電圧偏差や移動度の偏差を補償することができる。

#### 【発明を実施するための最良の形態】

#### 【0028】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。図面において本発明を明確に説明するために説明と関係ない部分は省略した。本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。ある部分が他の部分と連結されていると言う時、これは直接的に連結されている場合だけでなく、その中間に他の素子を隔てて電氣的に連結されている場合も含む。

40

#### 【0029】

次に、本発明の実施の形態にかかる発光表示装置としての有機EL表示装置、及びその画素回路と駆動方法について図面を参照して詳細に説明する。

#### 【0030】

まず、図4を参照して本発明の実施の形態にかかる有機EL表示装置について詳しく説明する。図4は本発明の実施の形態にかかる有機EL表示装置の概略的な平面図である。

50

## 【 0 0 3 1 】

図 4 に示したように、本発明の実施の形態にかかる有機 E L 表示装置は有機 E L 表示パネル 1 0、走査駆動部 2 0 及びデータ駆動部 3 0 を含む。

## 【 0 0 3 2 】

有機 E L 表示パネル 1 0 は、行方向（図の紙面左右方向）に並んで配置され、それぞれは列方向（図の紙面上下方向）に長くのびている複数のデータ線  $D_1, D_2, \dots, D_m$ 、列方向（図の紙面上下方向）に並んで配置され、それぞれは行方向（図の紙面左右方向）に長くのびている複数種類の走査線群（選択走査線  $S_1, S_2, \dots, S_n$ 、発光走査線  $E_1, E_2, \dots, E_n$ 、X 走査線  $X_1, X_2, \dots, X_n$ 、Y 走査線  $Y_1, Y_2, \dots, Y_n$ ）及び複数の画素回路 1 1 を含む。データ線  $D_1, D_2, \dots, D_m$  は画像信号を示すデータ信号を画素回路 1 1 に伝達し、選択走査線  $S_1, S_2, \dots, S_n$  は選択信号を画素回路 1 1 に伝達する。画素回路 1 1 は隣接した二つのデータ線  $D_1, D_2, \dots, D_m$  と隣接した二つの選択走査線  $S_1, S_2, \dots, S_n$  によって定義される画素領域に形成されている。また、発光走査線  $E_1, E_2, \dots, E_n$  は画素回路 1 1 の発光を制御する発光信号を伝達し、X 走査線  $X_1, X_2, \dots, X_n$ 、及び Y 走査線  $Y_1, Y_2, \dots, Y_n$  は各々画素回路 1 1 の動作を制御するための制御信号を伝達する。なお、選択信号及び発光信号も各種の制御を行う制御信号として機能する。

## 【 0 0 3 3 】

走査駆動部 2 0 は選択走査線  $S_1, S_2, \dots, S_n$  および発光走査線  $E_1, E_2, \dots, E_n$  に各々選択信号と発光信号を順次に印加し、また、X 走査線  $X_1, X_2, \dots, X_n$ 、及び Y 走査線  $Y_1, Y_2, \dots, Y_n$  に制御信号を順次に印加する駆動回路である。データ駆動部 3 0 はデータ線  $D_1, D_2, \dots, D_m$  に画像信号を示すデータ電流を印加する駆動回路である。

## 【 0 0 3 4 】

走査駆動部 2 0 及び / またはデータ駆動部 3 0 は表示パネル 1 0 に電気的に連結されることができ、または表示パネル 1 0 に接着されて電気的に連結されているテープキャリアパッケージ（TCP）にチップなどの形態で装着することができる。または表示パネル 1 0 に接着されて電気的に連結されている可撓性印刷回路（FPC）またはフィルムなどに集積回路チップなどの形態で装着されることができ、これを CoF（chip on flexible board, chip on film）方式という。これとは異なると、走査駆動部 2 0 及び / またはデータ駆動部 3 0 を表示パネルのガラス基板上に直接装着することができ、またはガラス基板上に走査線、データ線及び薄膜トランジスタと同一層で形成されている駆動回路と代替されることも直接装着されることもできる。これを CoG（chip on glass）方式という。

## 【 0 0 3 5 】

以下では図 5 及び図 6 を参照して本発明の第 1 の実施の形態にかかる有機 E L 表示装置の画素回路 1 1 について詳細に説明する。図 5 は本発明の第 1 の実施の形態にかかる画素回路の等価回路図であり、図 6 は図 5 の画素回路を駆動するための駆動波形図である。そして図 5 では説明の便宜上 m 番目データ線  $D_m$  と n 番目選択走査線  $S_n$  に連結された画素回路だけを示した。

## 【 0 0 3 6 】

図 5 に示したように、本発明の第 1 の実施の形態にかかる画素回路 1 1 は発光素子である有機 E L 素子 OLED、トランジスタ M1、M2、M3、M4、M5 及びキャパシタ C1、C2 を含み、トランジスタ M1、M2、M3、M4、M5 は PMOS トランジスタで形成されている。本実施の形態においてはトランジスタ M2、M3、M4、M5 はスイッチング素子として機能する。このようなトランジスタは表示パネル 1 0 のガラス基板上に形成されるゲート電極、ドレーン電極及びソース電極を各々制御電極及び 2 個の主電極として有する薄膜トランジスタであることが好ましい。また、電源電圧 VDD は正電圧を供給する。

## 【 0 0 3 7 】

10

20

30

40

50

トランジスタ（第 1 トランジスタ）M 1 は電源電圧  $V_{DD}$  にソース，トランジスタ M 5 の第 2 主電極（第 2 端）にゲートが連結されており，トランジスタ M 1 のゲートとドレインの間にはトランジスタ M 3 が連結されている。トランジスタ M 1 はゲートとソースの間にかかる電圧  $V_{GS}$  に対応する電流  $I_{OLED}$  を出力する。トランジスタ M 1 は有機 EL 素子 OLED を発光させるための駆動電流を供給する。トランジスタ M 3 は X 走査線  $X_n$  からのローレベルの制御信号（第 1 制御信号） $CS1_n$  に応答してトランジスタ M 1 をダイオード形態に連結させる。キャパシタ C 1 の一端はトランジスタ M 1 のソースに，他端はトランジスタ M 1 のゲートの間に連結され，キャパシタ C 2 も一端はトランジスタ M 1 のソースに，他端はトランジスタ M 5 の第 1 主電極（第 1 端）の間に連結される。このようなキャパシタ C 1，C 2 はトランジスタのゲートとソースの間の電圧を保存する保存素子（第 1 保存素子）として作用する。トランジスタ M 5 は Y 走査線  $Y_n$  からのローレベルの制御信号  $CS2_n$  に応答してキャパシタ C 1，C 2 各々の他端を接続する。

10

#### 【0038】

トランジスタ M 2 は選択走査線  $S_n$  からのローレベルの選択信号  $SE_n$  に応答してデータ線  $D_m$  からのデータ電流  $I_{DATA}$  をトランジスタ M 1 に伝達する。トランジスタ M 4 はトランジスタ M 1 のドレインと有機 EL 素子 OLED の間に連結されて，発光走査線  $E_n$  からのローレベルの発光信号（第 3 制御信号） $EM_n$  に応答してトランジスタ M 1 の電流  $I_{OLED}$  を有機 EL 素子 OLED に伝達する。有機 EL 素子 OLED はトランジスタ M 4 と基準電圧の間に連結され，印加される電流の量  $I_{OLED}$  に対応した強さの光を発光する。

20

#### 【0039】

次に，図 6 を参照して本発明の第 1 の実施の形態にかかる画素回路の動作について詳細に説明する。本実施の形態では，制御信号  $CS1_n$ ， $CS2_n$ ，選択信号  $SE_n$ ，発光信号  $EM_n$  それぞれにおいて，ローレベルがイネーブルレベル，ローレベルの区間がイネーブル区間となり，ハイレベルがディスエーブルレベル，ハイレベルの区間がディスエーブルレベル区間となる。

#### 【0040】

図 6 において，区間 T 1 では，ローレベルの Y 制御信号  $CS2_n$  によってトランジスタ M 5 が導通してキャパシタ C 1，C 2 はトランジスタ M 1 のゲートとソースの間に並列連結される。そしてローレベルの制御信号  $CS1_n$  によってトランジスタ M 3 が導通しトランジスタ M 1 はダイオード形態に連結され，ダイオード形態に連結されたトランジスタ M 1 によって並列連結されたキャパシタ C 1，C 2 にはトランジスタ M 1 のしきい電圧  $V_{TH}$  が保存される。つまり，区間 T 1 ではキャパシタ C 1，C 2 にトランジスタ M 1 のしきい電圧  $V_{TH}$  がサンプリングされたことになる。また，ハイレベルの発光信号  $EM_n$  によりトランジスタ M 4 は遮断状態であって有機 EL 素子 OLED への電流は遮断されている。

30

#### 【0041】

区間 T 2 では Y 制御信号  $CS2_n$  がハイレベルになってトランジスタ M 5 が遮断され，選択信号  $SE_n$  がローレベルになってトランジスタ M 2 が導通する。遮断されたトランジスタ M 5 によってキャパシタ C 2 は電圧が充電された状態でフローティング状態になる。そして導通したトランジスタ M 2 を通ってデータ線  $D_m$  に吸い込まれるデータ電流  $I_{DATA}$  がトランジスタ M 1 に流れる。その後，データ電流  $I_{DATA}$  に対応してトランジスタ M 1 のゲート - ソース電圧  $V_{GS}$  (T 2) が形成され，キャパシタ（第 2 保存素子）C 1 に保存される。トランジスタ M 1 にはデータ電流  $I_{DATA}$  が流れるのでデータ電流  $I_{DATA}$  は数式 (3) のように示すことができ，数式 (3) から区間 T 2 でのゲート - ソース電圧  $V_{GS}$  (T 2) は数式 (4) で与えられる。つまり，区間 T 2 ではデータ電流  $I_{DATA}$  に相当するゲート - ソース電圧が画素回路のキャパシタ C 1 に記入される。

40

#### 【0042】

【数 3】

$$I_{DATA} = \frac{\beta}{2} (|V_{GS}(T2)| - |V_{TH}|)^2$$

・・・・・・ ( 3 )

【数 4】

$$|V_{GS}(T2)| = \sqrt{\frac{2I_{DATA}}{\beta}} + |V_{TH}|$$

10

・・・・・・ ( 4 )

【0043】

ここで， $\beta$  は定数値である。次に，区間 T3 ではハイレベルの X 制御信号  $CS1_n$  及び選択信号  $SE_n$  に応答してトランジスタ M3，M2 が遮断され，ローレベルの Y 制御信号  $CS2_n$  及び発光信号  $EM_n$  によってトランジスタ M5，M4 が導通する。トランジスタ M5 が導通すればキャパシタ C1，C2 の結合によって区間 T3 でのトランジスタ M1 のゲート - ソース電圧  $V_{GS}(T3)$  は数式 (5) のようになる。

【0044】

20

【数 5】

$$|V_{GS}(T3)| = |V_{TH}| + \frac{C_1}{C_1 + C_2} (|V_{GS}(T2)| - |V_{TH}|)$$

・・・・・・ ( 5 )

【0045】

ここで， $C_1$  及び  $C_2$  は各々キャパシタ C1，C2 のキャパシタンスである。したがって，トランジスタ M1 に流れる電流  $I_{OLED}$  は数式 (6) のようになり，この電流  $I_{OLED}$  が導通したトランジスタ M4 を通って有機 EL 素子 OLED に供給され発光が行われる。つまり，区間 T3 ではキャパシタ C1，C2 の結合によって電荷が分配されてトランジスタ M1 のゲート - ソース電圧  $V_{GS}(T3)$  が減少し，データ電流  $I_{DATA}$  よりも少ない電流が有機 EL 素子 OLED に流れて，適切な発光が行われる。

30

【0046】

【数 6】

$$I_{OLED} = \frac{\beta}{2} \left\{ \frac{C_1}{C_1 + C_2} (|V_{GS}(T2)| - |V_{TH}|) \right\}^2 = \left( \frac{C_1}{C_1 + C_2} \right)^2 I_{DATA}$$

40

・・・・・・ ( 6 )

【0047】

数式 (6) に示したように，有機 EL 素子 OLED に供給される電流  $I_{OLED}$  はトランジスタ M1 のしきい電圧  $V_{TH}$  や移動度に関係なく決定されるので，しきい電圧の偏差や移動度の偏差が補償できる。また，有機 EL 素子 OLED に供給される電流  $I_{OLED}$  はデータ電流  $I_{DATA}$  に比べて  $C_1 / (C_1 + C_2)$  の自乗倍ほど小さい値

【0048】

【数 7】

$$I_{DATA} \left( \frac{C_1}{C_1 + C_2} \right)^2$$

・・・ (7)

【0049】

になる。例えば、 $C_2$  が  $C_1$  の  $M$  倍 ( $C_2 = M * C_1$ ) であれば、電流  $I_{OLED}$  に対して  $(M + 1)^2$  倍だけ大きいデータ電流  $I_{DATA}$  として有機 EL 素子  $OLED$  に流れる微細電流を制御することができるので、高階調を表現することが可能である。そしてデータ線  $D_1, D_2, \dots, D_m$  に大きいデータ電流  $I_{DATA}$  を供給するのでデータ線の充電時間を十分に確保することができる。

【0050】

本発明の第 1 の実施の形態では 5 つのトランジスタ  $M_1 \sim M_5$  を PMOS トランジスタで実現したが、これを NMOS トランジスタで実現することができる。以下ではこのような実施の形態について図 7 及び図 8 を参照して説明する。

【0051】

図 7 は本発明の第 2 の実施の形態にかかる画素回路の等価回路図であり、図 8 は図 7 の画素回路を駆動するための駆動波形図である。

【0052】

図 7 に示した画素回路ではトランジスタ  $M_{21}, M_{22}, M_{23}, M_{24}, M_{25}$  が NMOS トランジスタで形成されており、その連結構造は図 5 の画素回路と対称をなす。第 2 の実施の形態におけるトランジスタ  $M_{21}, M_{22}, M_{23}, M_{24}, M_{25}$ 、キャパシタ  $C_{21}, C_{22}$  をそれぞれ、第 1 の実施の形態におけるトランジスタ  $M_1, M_2, M_3, M_4, M_5$ 、キャパシタ  $C_1, C_2$  に対応させて考えることができる。詳しく説明すれば、トランジスタ (第 1 トランジスタ)  $M_{21}$  は基準電圧にソースが連結されトランジスタ  $M_{25}$  にゲートが連結されており、トランジスタ  $M_{21}$  のゲートとドレインの間にはトランジスタ  $M_{23}$  が連結されている。キャパシタ  $C_{21}$  はトランジスタ  $M_{21}$  のソースとゲートの間に連結され、キャパシタ  $C_{22}$  はトランジスタ  $M_{21}$  のソースとトランジスタ  $M_{25}$  の第 1 主電極 (第 1 端) の間に連結される。トランジスタ  $M_{25}$  の第 2 主電極 (第 2 端) はトランジスタ  $M_{21}$  のゲートに連結され、トランジスタ  $M_{23}, M_{25}$  のゲートには各々  $X$  走査線  $X_n$  及び  $Y$  走査線  $Y_n$  からの  $X$  制御信号  $CS_{1n}$  及び  $Y$  制御信号  $CS_{2n}$  が印加される。トランジスタ  $M_{22}$  は選択走査線  $S_n$  からのハイレベルの選択信号  $SE_n$  に応答してデータ線  $D_m$  からのデータ電流  $I_{DATA}$  をトランジスタ  $M_{21}$  に伝達する。トランジスタ  $M_{24}$  はトランジスタ  $M_{21}$  のドレインと有機 EL 素子  $OLED$  の間に連結され、そのゲートに発光走査線  $E_n$  からの発光信号  $EM_n$  が印加される。有機 EL 素子  $OLED$  はトランジスタ  $M_{24}$  と電源電圧  $VDD$  の間に連結される。本実施の形態においてはトランジスタ  $M_{22}, M_{23}, M_{24}, M_{25}$  はスイッチング素子として機能し、キャパシタ  $C_{21}, C_{22}$  は電圧を保存する保存素子として機能する。

【0053】

図 7 の画素回路は NMOS トランジスタで形成されているので、図 8 に示したように図 7 の画素回路を駆動するための駆動波形は図 6 の駆動波形に対して反転された形態を有する。本実施の形態では、制御信号  $CS_{1n}, CS_{2n}$ 、選択信号  $SE_n$ 、発光信号  $EM_n$  それぞれにおいて、ハイレベル、ローレベルとイネーブル、ディスエーブルの関係が第 1 の実施の形態の場合と逆になる。本発明の第 2 の実施の形態にかかる画素回路の詳細な動作は図 7 及び図 8 と第 1 の実施の形態の説明から容易に分かるので詳細な説明を省略する。

【0054】

本発明の第 1 及び第 2 の実施の形態によれば、5 つのトランジスタが全て同一タイプの

トランジスタであるので、表示パネル 10 のガラス基板上に薄膜トランジスタを形成する工程を簡単にすることができる。

【0055】

本発明の第 1 及び第 2 の実施の形態それぞれでは 5 つのトランジスタを PMOS または NMOS トランジスタで実現したが、これに限定されず、PMOS と NMOS の組み合わせ、または類似な機能をする他のスイッチング素子で実現することができる。

【0056】

そして本発明の第 1 及び第 2 の実施の形態では二つの制御信号  $CS1_n$ 、 $CS2_n$  を使用して画素回路を制御したが、一つの制御信号だけを使用して画素回路を制御することができる。以下ではこのような実施の形態について図 9 ~ 図 12 を参照して詳細に説明する。

10

【0057】

図 9 は本発明の第 3 の実施の形態にかかる画素回路の等価回路図であり、図 10 は図 9 の画素回路を駆動するための駆動波形図である。

【0058】

図 9 に示したように、本発明の第 3 の実施の形態にかかる画素回路はトランジスタ  $M3_2$ 、 $M3_5$  を除けば第 1 の実施の形態と同様の構造を有する。すなわち、第 3 の実施の形態におけるトランジスタ  $M3_1$ 、 $M3_3$ 、 $M3_4$ 、キャパシタ  $C3_1$ 、 $C3_2$  をそれぞれ、第 1 の実施の形態におけるトランジスタ  $M1$ 、 $M3$ 、 $M4$ 、キャパシタ  $C1$ 、 $C2$  に対応させて考えることができる。トランジスタ  $M3_2$  は NMOS トランジスタで形成されており、トランジスタ  $M3_2$ 、 $M3_5$  のゲートは選択走査線  $S_n$  に共通に連結されている。つまり、トランジスタ  $M3_5$  は選択走査線  $S_n$  からの選択信号  $SE_n$  により駆動される。本実施の形態においてはトランジスタ  $M3_2$ 、 $M3_3$ 、 $M3_4$ 、 $M3_5$  はスイッチング素子として機能し、キャパシタ  $C3_1$ 、 $C3_2$  は電圧を保存する保存素子として機能する。本実施の形態では、制御信号  $CS1_n$ 、発光信号  $EM_n$  それぞれにおいて、ローレベルがイネーブルレベル、ローレベルの区間がイネーブル区間となり、ハイレベルがディスエーブルレベル、ハイレベルの区間がディスエーブルレベル区間となる。また、選択信号  $SE_n$  は、トランジスタ  $M3_5$  に関しては、ローレベルがイネーブルレベル、ローレベルの区間がイネーブル区間となり、ハイレベルがディスエーブルレベル区間となる。また、選択信号  $SE_n$  は、トランジスタ  $M3_2$  に関しては、ハイレベルがイネーブルレベル、ハイレベルの区間がディスエーブルレベル区間となるが、トランジスタ  $M3_2$  に関しては、ハイレベルがイネーブルレベル、ハイレベルの区間がイネーブル区間となり、ローレベルがディスエーブルレベル区間となる。

20

30

【0059】

図 10 を見れば、区間  $T1$  ではローレベルの X 制御信号（第 1 制御信号） $CS1_n$  及び選択信号  $SE_n$  によりトランジスタ  $M3_3$ 、 $M3_5$  が導通する。導通したトランジスタ  $M3_3$  によってトランジスタ（第 1 トランジスタ） $M3_1$  はダイオード形態に連結されて、キャパシタ  $C3_1$ 、 $C3_2$  にはトランジスタ  $M3_1$  のしきい電圧  $V_{TH}$  が保存される（キャパシタ  $C3_1$ 、 $C3_2$  は第 1 保存素子として機能する）。また、ハイレベルの発光信号  $EM_n$  によってトランジスタ  $M3_4$  が遮断されて有機 EL 素子 OLED への電流が遮断されている。

40

【0060】

区間  $T2$  では選択信号  $SE_n$  がハイレベルになってトランジスタ  $M3_2$  が導通しトランジスタ  $M3_5$  が遮断される。その後、キャパシタ  $C3_1$  には数式（4）に示した電圧  $V_{GS}(T2)$  が充電される（キャパシタ  $C3_1$  は第 2 保存素子として機能する）。この時、選択信号  $SE_n$  によりトランジスタ  $M3_2$  が導通する瞬間キャパシタ  $C3_2$  に充電された電圧が変わることがあるので、これを防止するためにトランジスタ  $M3_2$  が導通する前にトランジスタ  $M3_3$  を遮断した後、トランジスタ  $M3_2$  が導通した後に再びトランジスタ  $M3_3$  を導通させる。つまり、選択信号  $SE_n$  がハイレベルになる前に X 制御信号  $CS1_n$  を暫くハイレベルに反転させる。

【0061】

50

本発明の第3の実施の形態での残りの動作は第1の実施の形態と同様であるので詳細な説明は省略する。このような第3の実施の形態によれば、Y制御信号 $CS2_n$ を供給する走査線 $Y_1 - Y_n$ をなくすることができるので画素の開口率を高めることができる。

#### 【0062】

そして本発明の第3の実施の形態ではトランジスタ $M3_1, M3_3, M3_4, M3_5$ をPMOSTランジスタで実現しトランジスタ $M3_2$ をNMOSTランジスタで実現したが、これとは反対に実現することもできる。次に、このような実施の形態について図11及び図12を参照して説明する。

#### 【0063】

図11は本発明の第4の実施の形態にかかる画素回路の等価回路図であり、図12は図11の画素回路を駆動するための駆動波形図である。 10

#### 【0064】

図11に示したように、本発明の第4の実施の形態にかかる画素回路はトランジスタ $M4_2$ がPMOSTランジスタで実現されトランジスタ $M4_1, M4_3, M4_4, M4_5$ がNMOSTランジスタで実現されており、その連結構造は図9の画素回路と対称をなす。第4の実施の形態におけるトランジスタ $M4_1, M4_2, M4_3, M4_4, M4_5$ 、キャパシタ $C4_1, C4_2$ をそれぞれ、第3の実施の形態におけるトランジスタ $M3_1, M3_2, M3_3, M3_4, M3_5$ 、キャパシタ $C3_1, C3_2$ に対応させて考えることができる。本実施の形態においてはトランジスタ $M4_2, M4_3, M4_4, M4_5$ はスイッチング素子として機能し、キャパシタ $C4_1, C4_2$ は電圧を保存する保存素子として機能する。また、図12に示したように図11の画素回路を駆動するための駆動波形は図10の駆動波形に対して反転された形態を有する。本実施の形態では、制御信号 $CS1_n$ 、選択信号 $SE_n$ 、発光信号 $EM_n$ それぞれにおいて、ハイレベル、ローレベルとイネーブル、ディスエーブルの関係が第3の実施の形態の場合と逆になる。第4の実施の形態にかかる画素回路の連結構造及び動作については第3の実施の形態の説明から容易に分かるので詳細な説明を省略する。 20

#### 【0065】

本発明の第1～第4の実施の形態では2つのキャパシタを電源電圧 $VDD$ に並列に連結したが、これとは異なって2つのキャパシタを電源電圧 $VDD$ に直列に連結することもできる。次に、このような実施の形態について図13及び図14を参照して詳細に説明する。 30

#### 【0066】

図13は本発明の第5の実施の形態にかかる画素回路の等価回路図である。

#### 【0067】

図13に示したように、本発明の第5の実施の形態にかかる画素回路はキャパシタ $C5_1, C5_2$ 及びトランジスタ $M5_5$ の連結状態を除けば第1の実施の形態と同様の構造を有する。第5の実施の形態におけるトランジスタ $M5_1, M5_2, M5_3, M5_4, M5_5$ をそれぞれ、第1の実施の形態におけるトランジスタ $M1, M2, M3, M4, M5$ に対応させて考えることができる。詳しく説明すれば、キャパシタ $C5_1, C5_2$ は電源電圧 $VDD$ とトランジスタ $M5_3$ の間に直列に連結され、トランジスタ $M5_5$ はキャパシタ $C5_1, C5_2$ 間の接続点とトランジスタ(第1トランジスタ) $M5_1$ のゲートの間に連結されている。本実施の形態においてはトランジスタ $M5_2, M5_3, M5_4, M5_5$ はスイッチング素子として機能し、キャパシタ $C5_1, C5_2$ は電圧を保存する保存素子として機能する。 40

#### 【0068】

第5の実施の形態にかかる画素回路は第1の実施の形態と同一駆動波形によって駆動され、詳細な動作について図6及び図13を参照して説明する。本実施の形態では、制御信号 $CS1_n, CS2_n$ 、選択信号 $SE_n$ 、発光信号 $EM_n$ それぞれにおいて、ローレベルがイネーブルレベル、ローレベルの区間がイネーブル区間となり、ハイレベルがディスエーブルレベル、ハイレベルの区間がディスエーブルレベル区間となる。 50

## 【 0 0 6 9 】

まず，区間 T 1 ではローレベルの X 制御信号（第 1 制御信号）C S 1<sub>n</sub> によってトランジスタ M 5 3 が導通してトランジスタ M 5 1 はダイオード形態に連結される。ダイオード形態に連結されたトランジスタ M 5 1 によってキャパシタ（第 1 キャパシタ）C 5 1 にはトランジスタ M 5 1 のしきい電圧 V<sub>TH</sub> が保存され，キャパシタ（第 2 キャパシタ）C 5 2 の電圧は 0 V になる。また，ハイレベルの発光信号 E M<sub>n</sub> によってトランジスタ M 5 4 が遮断されて有機 E L 素子 O L E D への電流が遮断されている。

## 【 0 0 7 0 】

区間 T 2 では Y 制御信号 C S 2<sub>n</sub> がハイレベルになってトランジスタ M 5 5 が遮断され，選択信号 S E<sub>n</sub> がローレベルになってトランジスタ M 5 2 が導通する。導通したトランジスタ M 5 2 によってデータ線 D<sub>m</sub> からのデータ電流 I<sub>D A T A</sub> がトランジスタ M 5 1 に流れるようになり，トランジスタ M 5 1 のゲート - ソース電圧 V<sub>GS</sub> ( T 2 ) が数式 ( 4 ) のようになる。したがって，しきい電圧 V<sub>TH</sub> を充電していたキャパシタ C 5 1 の電圧 V<sub>C 1</sub> はキャパシタ C 5 1，C 5 2 の結合によって数式 ( 8 ) のようになる。ここで，C<sub>1</sub> 及び C<sub>2</sub> は各々キャパシタ C 5 1，C 5 2 のキャパシタンスである。

## 【 0 0 7 1 】

## 【 数 8 】

$$V_{C1} = |V_{TH}| + \frac{C_2'}{C_1 + C_2} (|V_{GS}(T2)| - |V_{TH}|)$$

20

・・・ ( 8 )

## 【 0 0 7 2 】

次に，区間 ( T 3 ) ではハイレベルの X 制御信号 C S 1<sub>n</sub> 及び選択信号 S E<sub>n</sub> に応答してトランジスタ M 5 3，M 5 2 が遮断され，ローレベルの Y 制御信号 C S 2<sub>n</sub> 及び発光信号 E M<sub>n</sub> によってトランジスタ M 5 5，M 5 4 が導通する。トランジスタ M 5 3 が遮断されてトランジスタ M 5 5 が導通すれば，キャパシタ C 5 1 の電圧 V<sub>C 1</sub> が区間 T 3 でのトランジスタ M 5 1 のゲート - ソース電圧 V<sub>GS</sub> ( T 3 ) になる。したがって，トランジスタ M 5 1 に流れる電流 I<sub>O L E D</sub> は数式 ( 9 ) のようになり，この電流 I<sub>O L E D</sub> がトランジスタ M 5 4 によって有機 E L 素子 O L E D に供給され発光が行われる。

30

## 【 0 0 7 3 】

## 【 数 9 】

$$I_{OLED} = \frac{\beta}{2} \left\{ \frac{C_2}{C_1 + C_2} (|V_{GS}(T2)| - |V_{TH}|) \right\}^2 = \left( \frac{C_2}{C_1 + C_2} \right)^2 I_{DATA}$$

・・・ ( 9 )

## 【 0 0 7 4 】

本発明の第 5 の実施の形態でも第 1 の実施の形態と同様に有機 E L 素子 O L E D に供給される電流 I<sub>O L E D</sub> はトランジスタ M 5 1 のしきい電圧 V<sub>TH</sub> や移動度に関係なく決定される。また，電流 I<sub>O L E D</sub> に対して ( C<sub>1</sub> + C<sub>2</sub> ) / C<sub>2</sub> の自乗倍ほど大きいデータ電流 I<sub>D A T A</sub> として有機 E L 素子 O L E D に流れる微細電流を制御することができるので，高階調を表現することができる。そしてデータ線 D 1，D 2，...，D<sub>m</sub> に大きいデータ電流 I<sub>D A T A</sub> を供給するのでデータ線の充電時間を十分に確保することができる。

40

## 【 0 0 7 5 】

本発明の第 5 の実施の形態では 5 つのトランジスタ M 5 1 ~ M 5 5 を P M O S トランジスタで実現したが，これらを N M O S トランジスタで実現することも可能である。次に，このような実施の形態について図 1 4 を参照して説明する。

## 【 0 0 7 6 】

図 1 4 は本発明の第 6 の実施の形態にかかる画素回路の等価回路図である。

50

## 【 0 0 7 7 】

図 1 4 に示したように、本発明の第 6 の実施の形態にかかる画素回路はトランジスタ M 6 1, M 6 2, M 6 3, M 6 4, M 6 5 が N M O S トランジスタで実現されており、その連結構造は図 1 3 の画素回路と対称をなす。第 6 の実施の形態におけるトランジスタ M 6 1, M 6 2, M 6 3, M 6 4, M 6 5, キャパシタ C 6 1, C 6 2 をそれぞれ、第 5 の実施の形態におけるトランジスタ M 5 1, M 5 2, M 5 3, M 5 4, M 5 5, キャパシタ C 5 1, C 5 2 に対応させて考えることができる。本実施の形態においてはトランジスタ M 6 2, M 6 3, M 6 4, M 6 5 はスイッチング素子として機能し、キャパシタ C 6 1, C 6 2 は電圧を保存する保存素子として機能する。図 1 4 の画素回路を駆動するための駆動波形は図 1 3 の画素回路を駆動するための駆動波形の反転された形態を有し、図 8 の駆動波形と同一である。本実施の形態では、制御信号  $CS1_n$ ,  $CS2_n$ , 選択信号  $SE_n$ , 発光信号  $EM_n$  それぞれにおいて、ハイレベル、ローレベルとイネーブル、ディスエーブルの関係が第 5 の実施の形態の場合と逆になる。このような第 6 の実施の形態にかかる画素回路の連結構造及び動作については第 5 の実施の形態の説明から容易に分かるので詳細な説明を省略する。

10

## 【 0 0 7 8 】

本発明の第 1 ~ 第 6 の実施の形態では二つの制御信号または一つの制御信号を使用して画素回路を制御したが、これとは異なって制御信号を使用せずに直前走査線の選択信号を使用して画素回路を制御することもできる。次に、このような実施の形態について図 1 5 及び図 1 6 を参照して詳細に説明する。

20

## 【 0 0 7 9 】

図 1 5 は本発明の第 7 の実施の形態にかかる画素回路の等価回路図であり、図 1 6 は図 1 5 の画素回路を駆動するための駆動波形図である。

## 【 0 0 8 0 】

図 1 5 に示したように、本発明の第 7 の実施の形態にかかる画素回路はトランジスタ M 7 3, M 7 5, M 7 6, M 7 7 を除けば第 1 の実施の形態と同様な構造を有する。第 7 の実施の形態におけるトランジスタ M 7 1, M 7 2, M 7 4, キャパシタ C 7 1, C 7 2 をそれぞれ、第 1 の実施の形態におけるトランジスタ M 1, M 2, M 4, キャパシタ C 1, C 2 に対応させて考えることができる。詳しく説明すれば、トランジスタ (第 2 トランジスタ) M 7 3 は直前選択走査線  $S_{n-1}$  からの選択信号  $SE_{n-1}$  に応答してトランジスタ (第 1 トランジスタ) M 7 1 をダイオード形態に連結し、トランジスタ (第 3 トランジスタ) M 7 7 は現在選択走査線  $S_n$  からの選択信号  $SE_n$  に応答してトランジスタ M 7 1 をダイオード形態に連結する。図 1 5 でトランジスタ M 7 7 はデータ線  $D_m$  とトランジスタ M 7 1 のゲートの間に連結されているが、トランジスタ M 7 1 のゲートとドレインの間に連結されることもできる。そしてトランジスタ M 7 5, M 7 6 はキャパシタ C 7 2 とトランジスタ M 7 1 のゲートの間に並列に連結される。トランジスタ M 7 5 は直前選択走査線  $S_{n-1}$  からの選択信号  $SE_{n-1}$  に応答し、トランジスタ M 7 6 は発光走査線  $E_n$  からの発光信号  $EM_n$  に応答する。本実施の形態においてはトランジスタ M 7 2, M 7 3, M 7 4, M 7 5, M 7 6, M 7 7 はスイッチング素子として機能し、キャパシタ C 7 1, C 7 2 は電圧を保存する保存素子として機能する。

30

40

## 【 0 0 8 1 】

次に、図 1 6 を参照して図 1 5 の画素回路の動作について詳細に説明する。本実施の形態では、選択信号  $SE_n$ ,  $SE_{n-1}$  発光信号  $EM_n$  それぞれにおいて、ローレベルがイネーブルレベル、ローレベルの区間がイネーブル区間となり、ハイレベルがディスエーブルレベル、ハイレベルの区間がディスエーブルレベル区間となる。

## 【 0 0 8 2 】

図 1 6 を見れば、まず、区間 T 1 ではローレベルの直前選択信号  $SE_{n-1}$  によってトランジスタ M 7 3, M 7 5 が導通する。導通したトランジスタ M 7 5 によってキャパシタ C 7 1, C 7 2 はトランジスタ M 7 1 のゲートとソースの間で並列連結される。そして導通されたトランジスタ M 7 3 によってトランジスタ M 7 1 はダイオード形態に連結され、

50

並列連結されたキャパシタ  $C_{71}$  ,  $C_{72}$  にはトランジスタ  $M_{71}$  のしきい電圧  $V_{TH}$  が保存される。そしてハイレベルの現在選択信号  $SE_n$  及び発光信号  $EM_n$  によってトランジスタ  $M_{72}$  ,  $M_{77}$  ,  $M_{74}$  ,  $M_{76}$  は遮断されている。

#### 【0083】

区間  $T_2$  では直前選択信号  $SE_{n-1}$  がハイレベルになってトランジスタ  $M_{73}$  が遮断されるが、ローレベルの現在選択信号  $SE_n$  によりトランジスタ  $M_{77}$  が導通してトランジスタ  $M_{71}$  はダイオード形態に連結された状態で維持される。直前選択信号  $SE_{n-1}$  によってトランジスタ  $M_{75}$  が遮断されてキャパシタ  $C_{72}$  は電圧が保存された状態でフローティングになる。そして現在選択信号  $SE_n$  によりトランジスタ  $M_{72}$  が導通してデータ線  $D_m$  からのデータ電流  $I_{DATA}$  がトランジスタ  $M_{71}$  に流れる。その後、データ電流  $I_{DATA}$  に対応してトランジスタ  $M_{71}$  のゲート・ソース電圧  $V_{GS}(T_2)$  が決定され、ゲート・ソース電圧  $V_{GS}(T_2)$  は第1の実施の形態と同様に数式(4)で与えられる。

10

#### 【0084】

次に、区間  $T_3$  では選択信号  $SE_n$  がハイレベルになってトランジスタ  $M_{72}$  ,  $M_{77}$  が遮断され、ローレベルの発光信号  $EM_n$  によってトランジスタ  $M_{74}$  ,  $M_{76}$  が導通する。トランジスタ  $M_{76}$  が導通すればキャパシタ  $C_{71}$  ,  $C_{72}$  の結合によってトランジスタ  $M_{71}$  のゲート・ソース電圧  $V_{GS}(T_3)$  は第1の実施の形態と同一に数式(5)で与えられる。したがって、数式(6)に示した電流  $I_{OLED}$  が導通されたトランジスタ  $M_{74}$  によって有機EL素子  $OLED$  に供給されて発光が行われる。

20

#### 【0085】

本発明の第7の実施の形態ではX制御信号  $CS_{1n}$  及びY制御信号  $CS_{2n}$  を除去したが、これとは異なってX制御信号  $CS_{1n}$  及びY制御信号  $CS_{2n}$  のうちの一つを除去することもできる。詳しく説明すれば、本発明の第7の実施の形態でX制御信号  $CS_{1n}$  を追加的に使用する場合には、図15の画素回路でトランジスタ  $M_{77}$  を除去し、直前選択信号  $SE_{n-1}$  の代りのX制御信号  $CS_{1n}$  でトランジスタ  $M_{73}$  を駆動すればよい。そして本発明の第7の実施の形態でY制御信号  $CS_{2n}$  を追加的に使用する場合には、図15の画素回路でトランジスタ  $M_{76}$  を除去し、トランジスタ  $M_{75}$  を直前選択信号  $SE_{n-1}$  と発光信号  $EM_n$  の代りのY制御信号  $CS_{2n}$  で駆動することができる。このようにすれば、図15に比べて配線の数が増加するが、トランジスタの個数を減らすことができる。

30

#### 【0086】

以上のように、本発明の実施の形態によれば、大きいデータ電流によって有機EL素子に流れる微小電流を制御することができるので、一ライン時間内にデータ線を十分に充電することができる。また、有機EL素子に流れる電流は、トランジスタのしきい電圧や移動度に関係なく決定されるので、トランジスタのしきい電圧偏差や移動度の偏差が補償され、高解像度と大面積の発光表示装置が実現できる。

#### 【0087】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

40

#### 【0088】

例えば、上記の第1～第7の実施の形態ではPMOS及び/またはNMOSTランジスタを使用して画素回路を実現したが、上記例に限定されずPMOS、NMOSまたはPMOSとNMOSの組み合わせで画素回路を実現することができ、また、類似の機能をする他のスイッチング素子を使用して画素回路を実現することもできる。

#### 【産業上の利用可能性】

#### 【0089】

本発明は、発光表示装置とその駆動方法及び表示パネルに適用可能であり、特に有機物

50

質の電界発光（有機 EL）を利用し，電流記入回路を有する能動駆動方式の発光表示装置とその駆動方法及びその表示パネルに適用可能である。

【図面の簡単な説明】

【0090】

【図1】有機電界発光素子の概念図である。

【図2】従来の電圧記入方式の画素回路の等価回路図である。

【図3】従来の電流記入方式の画素回路の等価回路図である。

【図4】本発明の実施の形態にかかる有機 EL 表示装置の概略的な平面図である。

【図5】本発明の第1の実施の形態にかかる画素回路の等価回路図である。

【図6】図5の画素回路を駆動するための駆動波形図である。

10

【図7】本発明の第2の実施の形態にかかる画素回路の等価回路図である。

【図8】図7の画素回路を駆動するための駆動波形図である。

【図9】本発明の第3の実施の形態にかかる画素回路の等価回路図である。

【図10】図9の画素回路を駆動するための駆動波形図である。

【図11】本発明の第4の実施の形態にかかる画素回路の等価回路図である。

【図12】図11の画素回路を駆動するための駆動波形図である。

【図13】本発明の第5の実施の形態にかかる画素回路の等価回路図である。

【図14】本発明の第6の実施の形態にかかる画素回路の等価回路図である。

【図15】本発明の第7の実施の形態にかかる画素回路の等価回路図である。

【図16】図15の画素回路を駆動するための駆動波形図である。

20

【符号の説明】

【0091】

10 有機 EL 表示パネル

11 画素回路

20 走査駆動部

30 データ駆動部

CS1<sub>n</sub> X 制御信号

CS2<sub>n</sub> Y 制御信号

C1, C2 キャパシタ

D1, D2, ..., D<sub>m</sub> データ線

E<sub>1</sub>, E<sub>2</sub>, ..., E<sub>n</sub> 発光走査線

EM<sub>n</sub> 発光信号

I<sub>OLED</sub> 電流

I<sub>DATA</sub> データ電流

M1, M2, M3, M4, M5 トランジスタ

OLED 有機 EL 素子

VDD 電源電圧

S<sub>1</sub>, S<sub>2</sub>, ..., S<sub>n</sub> 選択走査線

SE<sub>n</sub> 選択信号

V<sub>GS</sub>(T2), V<sub>GS</sub>(T3) ゲート - ソース電圧

V<sub>TH</sub> しきい電圧

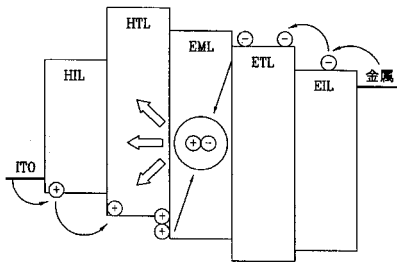
X<sub>1</sub>, X<sub>2</sub>, ..., X<sub>n</sub> X 走査線

Y<sub>1</sub>, Y<sub>2</sub>, ..., Y<sub>n</sub> Y 走査線

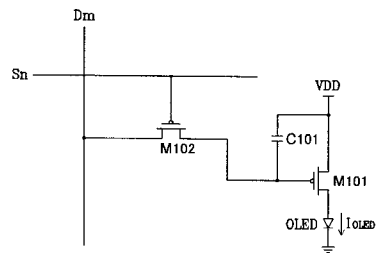
30

40

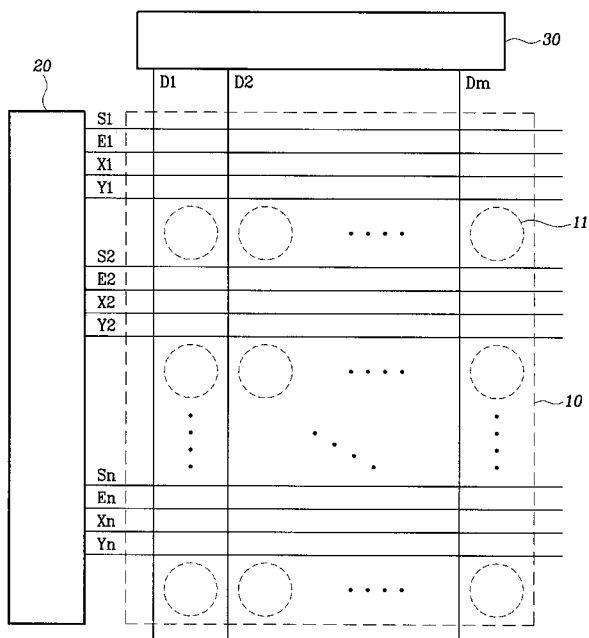
【図 1】



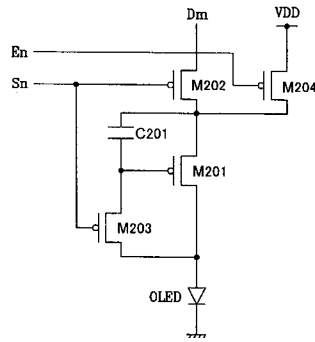
【図 2】



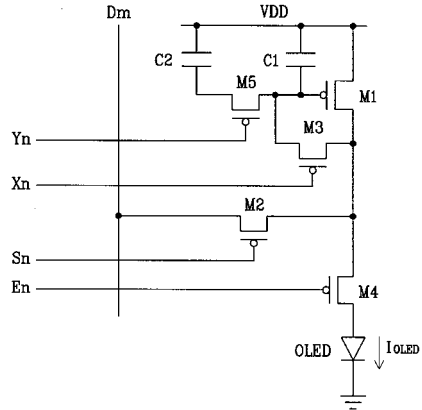
【図 4】



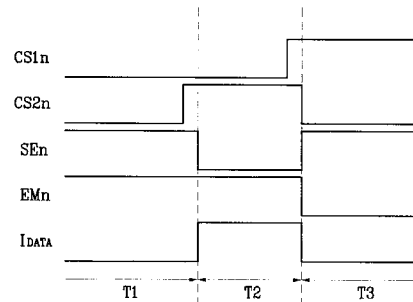
【図 3】



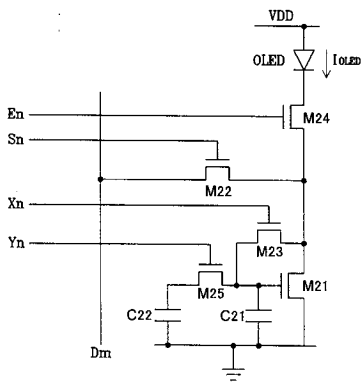
【図 5】



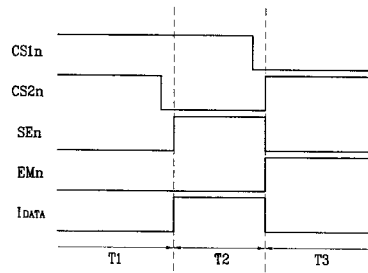
【図 6】



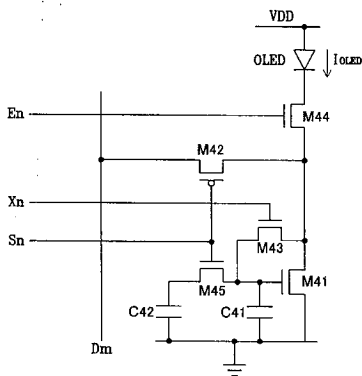
【図 7】



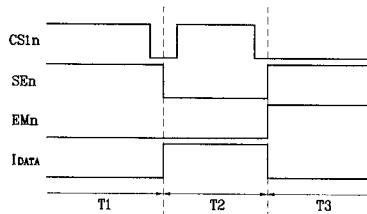
【図 8】



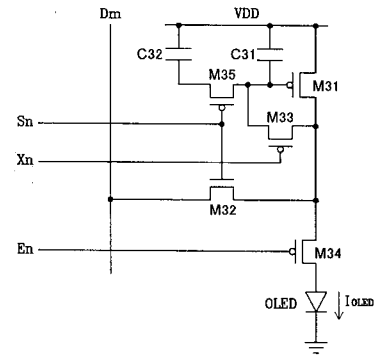
【図 11】



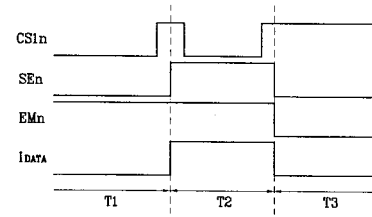
【図 12】



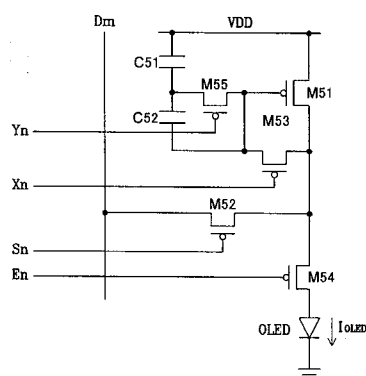
【図 9】



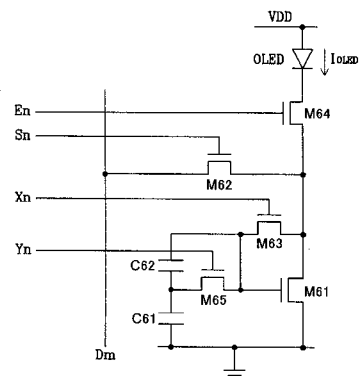
【図 10】



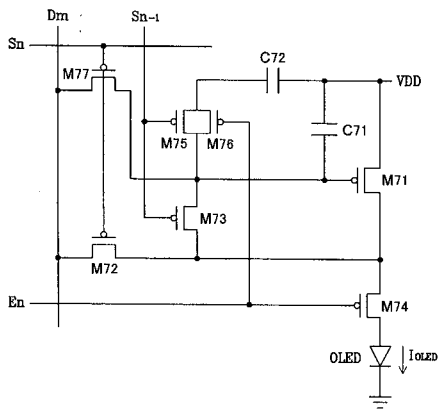
【図 13】



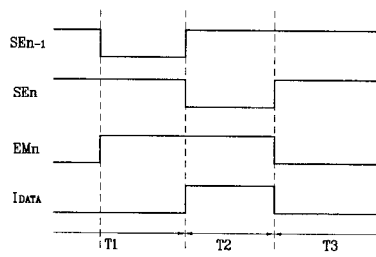
【図 14】



【図 15】



【図 16】



---

フロントページの続き(51) Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

|         |       |         |
|---------|-------|---------|
| G 0 9 G | 3/20  | 6 2 3 Y |
| G 0 9 G | 3/20  | 6 2 4 B |
| G 0 9 G | 3/20  | 6 4 1 D |
| H 0 5 B | 33/14 | A       |

F ターム(参考) 3K007 AB02 AB17 BA06 DB03 GA04

5C080 AA06 BB05 DD05 DD28 EE29 FF11 JJ02 JJ03 JJ04

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 发光显示装置，其驱动方法，显示面板                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| 公开(公告)号        | JP2004310006A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     | 公开(公告)日 | 2004-11-04 |
| 申请号            | JP2003282534                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | 申请日     | 2003-07-30 |
| [标]申请(专利权)人(译) | 三星斯笛爱股份有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 申请(专利权)人(译)    | 三星エスディアイ株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| [标]发明人         | 呂柱天<br>權五敬                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| 发明人            | 呂 柱天<br>權 五敬                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| IPC分类号         | H01L51/50 G09G3/14 G09G3/20 G09G3/30 G09G3/32 G09G3/36 G11C11/00 H05B33/00 H05B33/14                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| FI分类号          | G09G3/30.J G09G3/20.611.H G09G3/20.622.G G09G3/20.622.Q G09G3/20.623.R G09G3/20.623.Y G09G3/20.624.B G09G3/20.641.D H05B33/14.A G09G3/20.621.F G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291 G11C19/28.230                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| F-TERM分类号      | 3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 3K107/AA01 3K107/BB01 3K107/CC11 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/DD08 5C380/AA01 5C380/AB06 5C380/BA13 5C380/BA19 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC13 5C380/CC18 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD025 5C380/CD026 5C380/DA02 5C380/DA06 |         |            |
| 优先权            | 1020030020432 2003-04-01 KR                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 其他公开文献         | JP4153842B2                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |

## 摘要(译)

解决的问题：提供一种能够补偿晶体管的阈值电压和迁移率并且对数据线充分充电的发光显示装置等。在有机发光显示装置的像素电路中，晶体管提供驱动电流以使有机发光装置发光，并且第一开关装置响应于第一控制信号以二极管形式连接晶体管。第一存储元件响应于第二控制信号而存储与晶体管的阈值电压相对应的第一电压，第二开关元件响应于选择信号而传输数据电流，第二存储元件。该设备存储对应于数据电流的第二电压。第三开关元件响应于第三控制信号将驱动电流从晶体管传输到有机电致发光元件。由第一存储元件和第二存储元件的组合确定的第三电压被施加到晶体管，并且驱动电流被提供给有机电致发光器件。

[选择图]图5

