



(12)发明专利

(10)授权公告号 CN 108986747 B

(45)授权公告日 2020.07.28

(21)申请号 201810827829.7

(22)申请日 2018.07.25

(65)同一申请的已公布的文献号

申请公布号 CN 108986747 A

(43)申请公布日 2018.12.11

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 程鸿飞

(74)专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 郭润湘

(51)Int.Cl.

G09G 3/3233(2016.01)

审查员 李佩佩

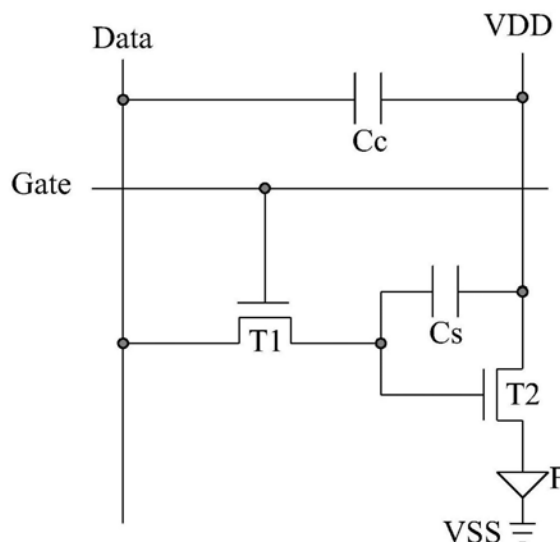
权利要求书1页 说明书6页 附图7页

(54)发明名称

一种阵列基板、有机电致发光显示面板及显示装置

(57)摘要

本发明公开了一种阵列基板、有机电致发光显示面板及显示装置,在数据信号线和电源信号线之间设置耦合电容。当信号线上电压发生变化时,信号线电压变化引起像素电路中各个寄生电容的充电量变化,从而造成串扰时,设置的耦合电容,可以吸收一部分电荷,减小信号线电压的波动对其他信号线的影响,改善显示效果。



1. 一种阵列基板, 其特征在于, 包括: 多个呈阵列排布的像素电路, 分别与所述像素电路连接的数据信号线、栅极信号线、电源信号线和阴极信号线;

所述像素电路包括: 驱动晶体管、开关晶体管、发光器件、存储电容和耦合电容; 其中,

所述开关晶体管的栅极与所述栅极信号线相连, 源极与所述数据信号线相连, 漏极与所述驱动晶体管的栅极相连;

所述驱动晶体管的源极与所述电源信号线相连, 漏极与所述发光器件的阳极相连; 所述发光器件的阴极与所述阴极信号线相连;

所述存储电容连接于所述电源信号线和所述驱动晶体管的栅极之间;

所述耦合电容连接于所述电源信号线和所述数据信号线之间。

2. 如权利要求1所述的阵列基板, 其特征在于, 所述耦合电容包括: 耦合电极;

所述耦合电极与所述数据信号线之间存在第一交叠区域, 所述耦合电极与所述电源信号线之间存在第二交叠区域;

所述耦合电极与所述数据信号线在所述第一交叠区域通过过孔相连;

所述耦合电极与所述电源信号线在所述第二交叠区域构成所述耦合电容。

3. 如权利要求1所述的阵列基板, 其特征在于, 所述耦合电容包括: 耦合电极;

所述耦合电极与所述数据信号线之间存在第一交叠区域, 所述耦合电极与所述电源信号线之间存在第二交叠区域;

所述耦合电极与所述数据信号线在所述第一交叠区域构成所述耦合电容;

所述耦合电极与所述电源信号线在所述第二交叠区域通过过孔相连。

4. 如权利要求1所述的阵列基板, 其特征在于, 所述耦合电容包括: 耦合电极; 所述耦合电容包括串联的第一耦合电容和第二耦合电容;

所述耦合电极与所述数据信号线之间存在第一交叠区域, 所述耦合电极与所述电源信号线之间存在第二交叠区域;

所述耦合电极与所述数据信号线在所述第一交叠区域构成所述第一耦合电容;

所述耦合电极与所述电源信号线在所述第二交叠区域构成所述第二耦合电容。

5. 如权利要求2-4任一项所述的阵列基板, 其特征在于, 所述耦合电极位于所述像素电路中的导电膜层。

6. 如权利要求5所述的阵列基板, 其特征在于, 所述耦合电极位于栅极金属层、有源层、阳极层、或电容电极层; 其中,

当所述耦合电极位于所述有源层时, 所述耦合电极为注入离子的半导体层。

7. 如权利要求5所述的阵列基板, 其特征在于, 所述耦合电极所在膜层为第一导电膜层, 所述数据信号线和所述电源信号线所在膜层为第二导电膜层, 所述第一导电膜层和所述第二导电膜层之间存在绝缘层;

所述绝缘层在所述第一交叠区域和所述第二交叠区域所在位置处具有凹槽。

8. 如权利要求7所述的阵列基板, 其特征在于, 所述第一导电膜层为阳极层, 所述绝缘层为平坦化层。

9. 一种有机电致发光显示面板, 其特征在于, 包括如权利要求1-8任一项所述的阵列基板。

10. 一种显示装置, 其特征在于, 包括如权利要求9所述的有机电致发光显示面板。

一种阵列基板、有机电致发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板、有机电致发光显示面板及显示装置。

背景技术

[0002] 目前,有源矩阵型有机发光二极管(Active Matrix Organic Light Emitting Display, AMOLED)显示器具有广阔的市场应用。OLED面板中的像素是由驱动薄膜晶体管(Driving Thin Film Transistor, DTFT)在饱和状态下所产生的电流进行驱动发光的。在OLED面板中信号线之间会存在寄生电容,信号线上的电压变化会引起像素电路中各寄生电容充电量的变化,从而造成串扰,影响显示效果。

发明内容

[0003] 有鉴于此,本发明实施例提供了一种阵列基板、有机电致发光显示面板及显示装置,用以解决现有的OLED中信号线的电压变化造成的串扰问题。

[0004] 因此,本发明实施例提供了一种阵列基板,包括:多个呈阵列排布的像素电路,分别与所述像素电路连接的数据信号线、栅极信号线和电源信号线;

[0005] 所述像素电路包括:驱动晶体管、开关晶体管、发光器件、存储电容和耦合电容;其中,

[0006] 所述开关晶体管的栅极与所述栅极信号线相连,源极与所述数据信号线相连,漏极与所述驱动晶体管的栅极相连;

[0007] 所述驱动晶体管的源极与所述电源信号线相连,漏极与所述发光器件的阳极相连;所述发光器件的阴极与所述阴极信号线相连;

[0008] 所述存储电容连接于所述电源信号线和所述驱动晶体管的栅极之间;

[0009] 所述耦合电容连接于所述电源信号线和所述数据信号线之间。

[0010] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,所述耦合电容包括:耦合电极;

[0011] 所述耦合电极与所述数据信号线之间存在第一交叠区域,所述耦合电极与所述电源信号线之间存在第二交叠区域;

[0012] 所述耦合电极与所述数据信号线在所述第一交叠区域通过过孔相连;

[0013] 所述耦合电极与所述电源信号线在所述第二交叠区域构成所述耦合电容。

[0014] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,所述耦合电容包括:耦合电极;

[0015] 所述耦合电极与所述数据信号线之间存在第一交叠区域,所述耦合电极与所述电源信号线之间存在第二交叠区域;

[0016] 所述耦合电极与所述数据信号线在所述第一交叠区域构成所述耦合电容;

[0017] 所述耦合电极与所述电源信号线在所述第二交叠区域通过过孔相连。

[0018] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,所述耦合电容包括:耦合电极;所述耦合电容包括串联的第一耦合电容和第二耦合电容;

[0019] 所述耦合电极与所述数据信号线之间存在第一交叠区域,所述耦合电极与所述电源信号线之间存在第二交叠区域;

[0020] 所述耦合电极与所述数据信号线在所述第一交叠区域构成所述第一耦合电容;

[0021] 所述耦合电极与所述电源信号线在所述第二交叠区域构成所述第二耦合电容。

[0022] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,所述耦合电极位于所述像素电路中的导电膜层。

[0023] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,所述耦合电极位于所述栅极金属层、有源层、阳极层、或电容电极层;其中,

[0024] 当所述耦合电极位于所述有源层时,所述耦合电极为注入离子的半导体层。

[0025] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,所述耦合电极所在膜层为第一导电层,所述数据信号线和所述电源信号线所在膜层为第二导电膜层,所述第一导电膜层和所述第二导电膜层之间存在绝缘层;

[0026] 所述绝缘层在所述第一交叠区域和所述第二交叠区域所在位置处具有凹槽。

[0027] 在一种可能的实现方式中,在本发明实施例提供的上述阵列基板中,所述第一导电膜层为阳极层,所述绝缘层为平坦化层。

[0028] 另一方面,本发明实施例还提供了一种有机电致发光显示面板,包括本发明实施例提供的上述阵列基板。

[0029] 另一方面,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述有机电致发光显示面板。

[0030] 本发明实施例的有益效果包括:

[0031] 本发明实施例提供的一种阵列基板、有机电致发光显示面板及显示装置,在数据信号线和电源信号线之间设置耦合电容。当信号线上电压发生变化时,信号线电压变化引起像素电路中各个寄生电容的充电量变化,从而造成串扰时,设置的耦合电容,可以吸收一部分电荷,减小信号线电压的波动对其他信号线的影响,改善显示效果。

附图说明

[0032] 图1为现有技术中的像素电路的电路示意图;

[0033] 图2为本发明实施例提供的阵列基板中像素电路的电路示意图;

[0034] 图3为本发明实施例提供的阵列基板的一种俯视示意图;

[0035] 图4为本发明实施例提供的阵列基板的另一种俯视示意图;

[0036] 图5为本发明实施例提供的阵列基板的另一种俯视示意图;

[0037] 图6为本发明实施例提供的图3中沿AA的一种截面示意图;

[0038] 图7为本发明实施例提供的图4中沿AA的一种截面示意图;

[0039] 图8为本发明实施例提供的图5中沿AA的一种截面示意图;

[0040] 图9为本发明实施例提供的图3中沿AA的另一种截面示意图;

[0041] 图10为本发明实施例提供的图3中沿AA的另一种截面示意图;

[0042] 图11为本发明实施例提供的图3中沿AA的另一种截面示意图;

[0043] 图12为本发明实施例提供的有机电致发光显示面板的结构示意图。

具体实施方式

[0044] 为了使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明作进一步地详细描述,显然,所描述的实施例仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例,都属于本发明保护的范围。

[0045] 附图中各部件的形状和大小不反映真实比例,目的只是示意说明本发明内容。

[0046] OLED发光器件是电流驱动的器件,如图1所示,现有的OLED像素电路具有一个开关晶体管T1,一个驱动晶体管T2,一个存储电容Cs,一个发光器件F。流经发光器件F的电流 $I_d = \frac{k}{2}(V_{gs} - V_{th})^2 = \frac{k}{2}(V_G - V_{dd} - V_{th})^2$ 。驱动晶体管T2的栅极电压V_G的波动会对I_d的大小产生

影响。多种因素都会造成V_G波动,比如栅极信号线Gate与驱动晶体管T2的栅极(或开关晶体管T1的漏极)之间存在寄生电容,栅极信号线Gate上的电压变化会造成驱动晶体管T2的栅极电压的波动。在一些复杂的像素电路中,例如6T1C,7T1C的像素电路中,驱动晶体管T2的栅极与多种信号线之间都存在寄生电容,这些信号线上电压的变化会造成驱动晶体管T2的栅极电压波动。并且多种信号线之间也存在寄生电容,一种信号线上电压的变化会通过寄生电容的充放电影响其他信号线上的电压,从而造成串扰。

[0047] 本发明实施例提供的一种阵列基板,包括:多个呈阵列排布的像素电路,分别与像素电路连接的数据信号线Data、栅极信号线Gate和电源信号线VDD;

[0048] 如图2所示,像素电路包括:驱动晶体管T2、开关晶体管T1、发光器件F、存储电容Cs和耦合电容Cc;其中,

[0049] 开关晶体管T1的栅极与栅极信号线Gate相连,源极与数据信号线Data相连,漏极与驱动晶体管T2的栅极相连;

[0050] 驱动晶体管T2的源极与电源信号线VDD相连,漏极与发光器件F的阳极相连;发光器件F的阴极与阴极信号线VSS相连;

[0051] 存储电容Cs连接于电源信号线VDD和驱动晶体管T2的栅极之间;

[0052] 耦合电容Cc连接于电源信号线VDD和数据信号线Data之间。

[0053] 具体地,在本发明实施例提供的上述阵列基板中,在数据信号线Data和电源信号线VDD之间设置耦合电容Cc。当信号线上电压发生变化时,信号线电压变化引起像素电路中各个寄生电容的充电量变化,从而造成串扰时,设置的耦合电容Cc,可以吸收一部分电荷,减小信号线电压的波动对其他信号线的影响,改善显示效果。

[0054] 具体地,图2中仅示出了一个像素电路与各信号线的连接关系,在阵列基板中存在多个像素电路,一般每列像素电路与同一条数据信号线Data和同一条电源信号线VDD连接,每行像素电路与同一条栅极信号线Gate连接。耦合电容Cc可以连接于与同一列像素电路连接的电源信号线VDD和数据信号线Data之间,也可以连接于相邻列像素电路连接且临近的电源信号线VDD和数据信号线Data之间,在此不做限定。

[0055] 具体地,图2仅是示意出了像素电路包括的最基本部件,在实际应用时,像素电路还可以包含其他晶体管,例如可以包括阈值补偿晶体管等,以起到阈值补偿等作用,在此不

做限定。

[0056] 为了便于图示,下面均是以像素电路仅包括最基本部件,且耦合电容 C_c 连接于相邻列像素电路连接且临近的电源信号线VDD和数据信号线Data之间为例进行说明。

[0057] 可选地,在本发明实施例提供的上述阵列基板中,如图3所示,耦合电容 C_c 包括:耦合电极10;

[0058] 耦合电极10与数据信号线Data之间存在第一交叠区域M,耦合电极10与电源信号线VDD之间存在第二交叠区域N;

[0059] 耦合电极10与数据信号线Data在第一交叠区域M通过过孔P相连;

[0060] 耦合电极10与电源信号线VDD在第二交叠区域N构成耦合电容 C_c 。

[0061] 具体地,在本发明实施例提供的上述阵列基板中,电源信号线VDD在第二交叠区域N的部分作为另一电极与耦合电极10构成耦合电容 C_c ,在电源信号线VDD的电压或栅极信号线Gate的电压发生变化时,耦合电容 C_c 可以吸收一部分电荷,减少对数据信号线Data的影响。

[0062] 可选地,在本发明实施例提供的上述阵列基板中,如图4所示,耦合电容 C_c 包括:耦合电极10;

[0063] 耦合电极10与数据信号线Data之间存在第一交叠区域M,耦合电极10与电源信号线VDD之间存在第二交叠区域N;

[0064] 耦合电极10与数据信号线Data在第一交叠区域M构成耦合电容 C_c ;

[0065] 耦合电极10与电源信号线VDD在第二交叠区域N通过过孔P相连。

[0066] 具体地,在本发明实施例提供的上述阵列基板中,数据信号线Data在第一交叠区域M的部分作为另一电极与耦合电极10构成耦合电容 C_c ,在电源信号线VDD的电压或栅极信号线Gate的电压发生变化时,耦合电容 C_c 可以吸收一部分电荷,减少对数据信号线Data的影响。

[0067] 可选地,在本发明实施例提供的上述阵列基板中,如图5所示,耦合电容 C_c 包括:耦合电极10;耦合电容 C_c 包括串联的第一耦合电容 C_1 和第二耦合电容 C_2 ;

[0068] 耦合电极10与数据信号线Data之间存在第一交叠区域M,耦合电极10与电源信号线VDD之间存在第二交叠区域N;

[0069] 耦合电极10与数据信号线Data在第一交叠区域M构成第一耦合电容 C_1 ;

[0070] 耦合电极10与电源信号线VDD在第二交叠区域N构成第二耦合电容 C_2 。

[0071] 具体地,在本发明实施例提供的上述阵列基板中,数据信号线Data在第一交叠区域M的部分作为另一电极与耦合电极10构成第一耦合电容 C_1 ,并且,电源信号线VDD在第二交叠区域N的部分作为另一电极与耦合电极10构成第二耦合电容 C_2 ,在电源信号线VDD的电压或栅极信号线Gate的电压发生变化时,第一耦合电容 C_1 和第二耦合电容 C_2 可以吸收一部分电荷,减少对数据信号线Data的影响。

[0072] 具体地,上述图3至图5示出了阵列基板中四个像素电路的俯视结构示意图,并且,图6至图11分别示出了图3至图5中沿着AA的截面结构示意图,驱动晶体管T2和开关晶体管T1均是以顶栅型晶体管为例进行说明。其中,在衬底基板001上一般依次层叠设置:驱动晶体管T2的有源层002和开关晶体管的有源层→栅极绝缘层003→驱动晶体管T2的栅极004、开关晶体管的栅极和栅极信号线Gate→层间绝缘层005→驱动晶体管T2的源漏极、开关晶

体管的源漏极、数据信号线Data和电源信号线VDD→钝化层006→平坦化层007→发光器件F的阳极009→像素界定层008。发光器件F的阳极009一般需要通过过孔Q1与驱动晶体管T2的漏极连接。驱动晶体管T2的栅极需要通过过孔Q2与开关晶体管T1的漏极连接。电源信号线VDD延伸出的一部分作为存储电容Cs的第一电极,如图3至图5所示,驱动晶体管T2的栅极延伸出的一部分可以作为存储电容Cs的第二电极,也可以单独设置在另一膜层即电容电极层。

[0073] 具体地,在本发明实施例提供的上述阵列基板中,栅极和源漏极可以采用Cu, Al, Mo, Ti, Cr, W等金属材料制备,也可以采用这些材料的合金制备,具体可以是单层结构,也可以采用多层结构,如Mo\Al\Mo, Ti\Cu\Ti, MoTi\Cu等。栅极绝缘层003可以采用氮化硅或氧化硅制作,栅极绝缘层004可以是单层结构,也可以是多层结构,例如氧化硅\氮化硅等。层间绝缘层005可以采用氮化硅或氧化硅等材料制作,层间绝缘层005可以是单层结构,也可以是多层结构,例如氧化硅\氮化硅等。钝化层006可以采用氮化硅或氧化硅等材料制作,钝化层006可以是单层结构,也可以是多层结构,例如氧化硅\氮化硅等。平坦化层007可以采用树脂材料制备。像素界定层008可以采用树脂材料制备。发光器件F的阳极009可采用ITO, ITO/Ag/ITO等制备,发光器件F的阴极可采用Al, Ag等制备;有源层可以采用多晶硅,氧化物半导体(IGZO)等制备。

[0074] 可选地,在本发明实施例提供的上述阵列基板中,如图6至图11所示,耦合电极10可以位于像素电路中的导电膜层,以便在不增加膜层的情况下,实现耦合电容Cc的构造。或者,耦合电极10也可以设置在单独膜层,在此不做限定。

[0075] 可选地,在本发明实施例提供的上述阵列基板中,如图6至图8所示,耦合电极10可以位于栅极金属层,即耦合电极10与驱动晶体管T2的栅极004同层设置;或者,如图9所示,耦合电极10可以位于有源层,即耦合电极10与驱动晶体管T2的有源层002同层设置;或者,如图10至图11所示,耦合电极10可以位于阳极层,即耦合电极10与发光器件F的阳极009同层设置;或者,耦合电极10可以位于电容电极层;其中,

[0076] 当耦合电极10位于有源层时,耦合电极10为注入离子的半导体层,例如可以是被诸如离子的多晶硅层,以使其具有导体的性质。耦合电极10的离子注入可以与有源层的源极区和漏极区的离子注入同时进行。

[0077] 可选地,在本发明实施例提供的上述阵列基板中,如图11所示,耦合电极10所在膜层为第一导电层,数据信号线Data和电源信号线VDD所在膜层为第二导电膜层,第一导电膜层和第二导电膜层之间需要存在绝缘层;

[0078] 为了增大耦合电容Cc,可以通过减小耦合电极10所在的第一导电层与数据信号线Data和电源信号线VDD所在的第二导电膜层之间的距离,具体可以将绝缘层在第一交叠区域和第二交叠区域所在位置处设置凹槽。

[0079] 可选地,在本发明实施例提供的上述阵列基板中,如图11所示,第一导电膜层可以为阳极层,绝缘层为平坦化层007。这样,在平坦化层007内设置凹槽,以减小第一导电层和第二导电层之间的距离,增大耦合电容Cc。

[0080] 基于同一发明构思,本发明实施例还提供了一种有机电致发光显示面板,如图12所示,包括本发明实施例提供的上述阵列基板1。并且,有机电致发光显示面板,如图12所示,一般还会包括盖板2等其他部件,在此不做赘述。由于该有机电致发光显示面板解决问

题的原理与前述一种阵列基板相似,因此该有机电致发光显示面板的实施可以参见阵列基板的实施,重复之处不再赘述。

[0081] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述有机电致发光显示面板,该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置的实施可以参见上述有机电致发光显示面板的实施,重复之处不再赘述。

[0082] 本发明实施例提供的上述阵列基板、有机电致发光显示面板及显示装置,在数据信号线和电源信号线之间设置耦合电容。当信号线上电压发生变化时,信号线电压变化引起像素电路中各个寄生电容的充电量变化,从而造成串扰时,设置的耦合电容,可以吸收一部分电荷,减小信号线电压的波动对其他信号线的影响,改善显示效果。

[0083] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

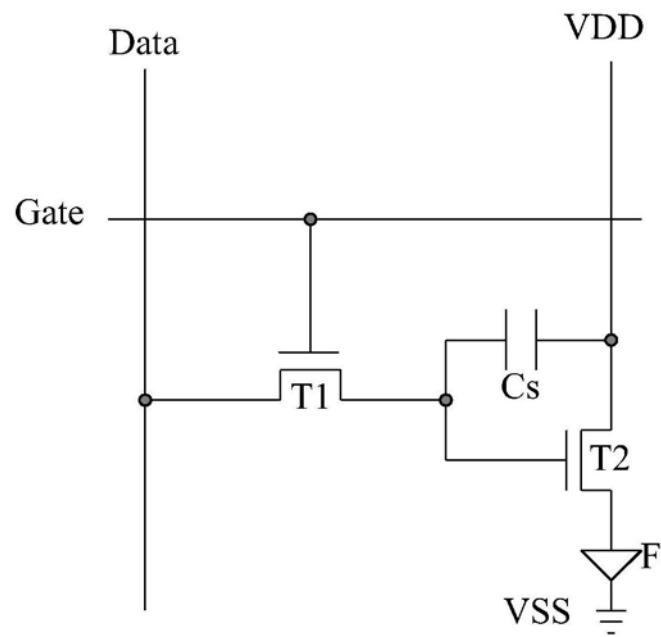


图1

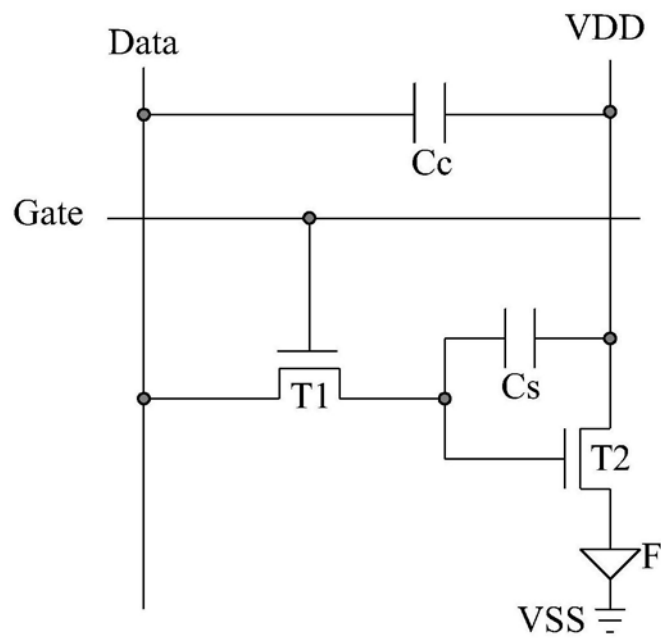


图2

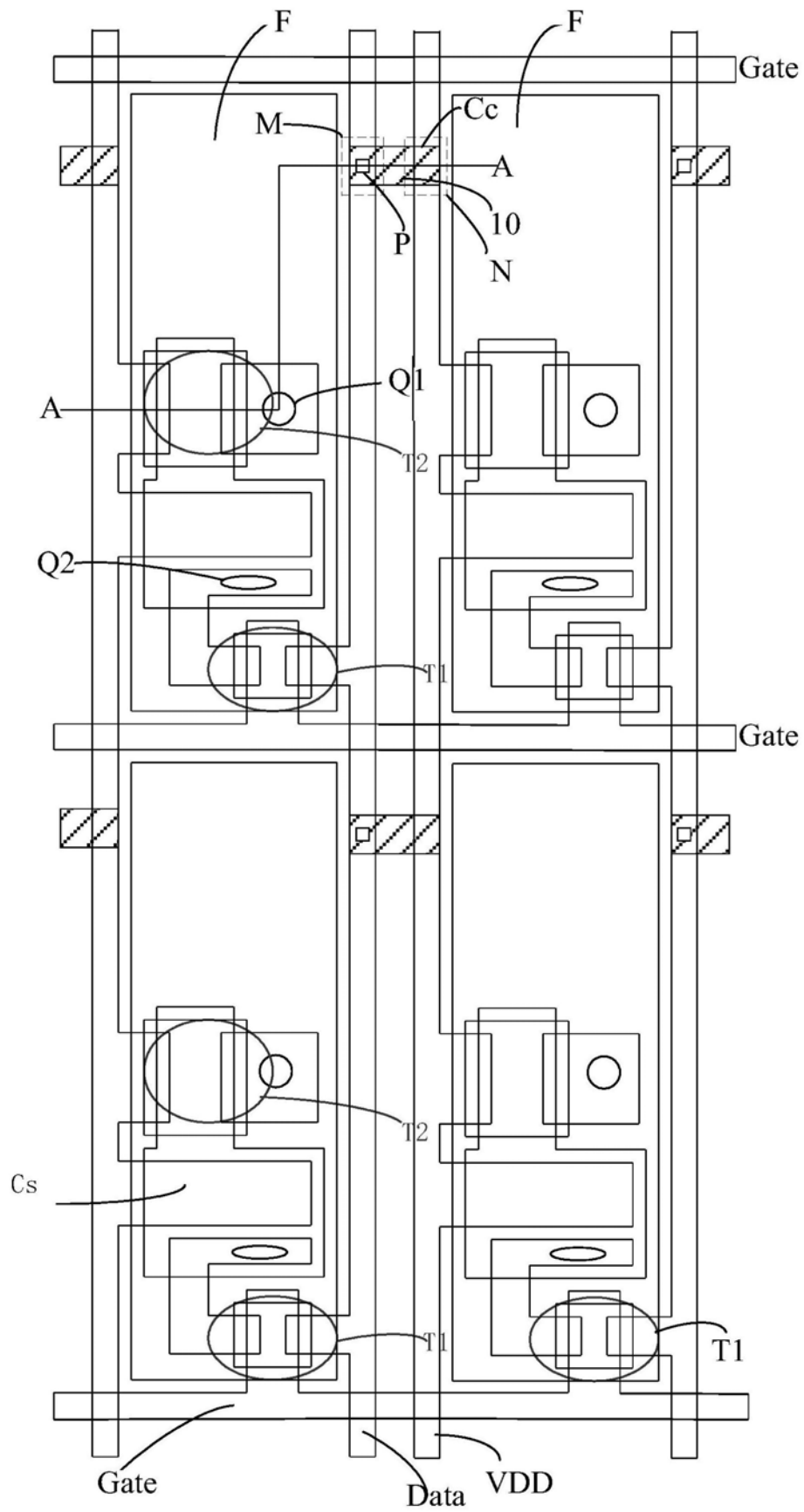


图3

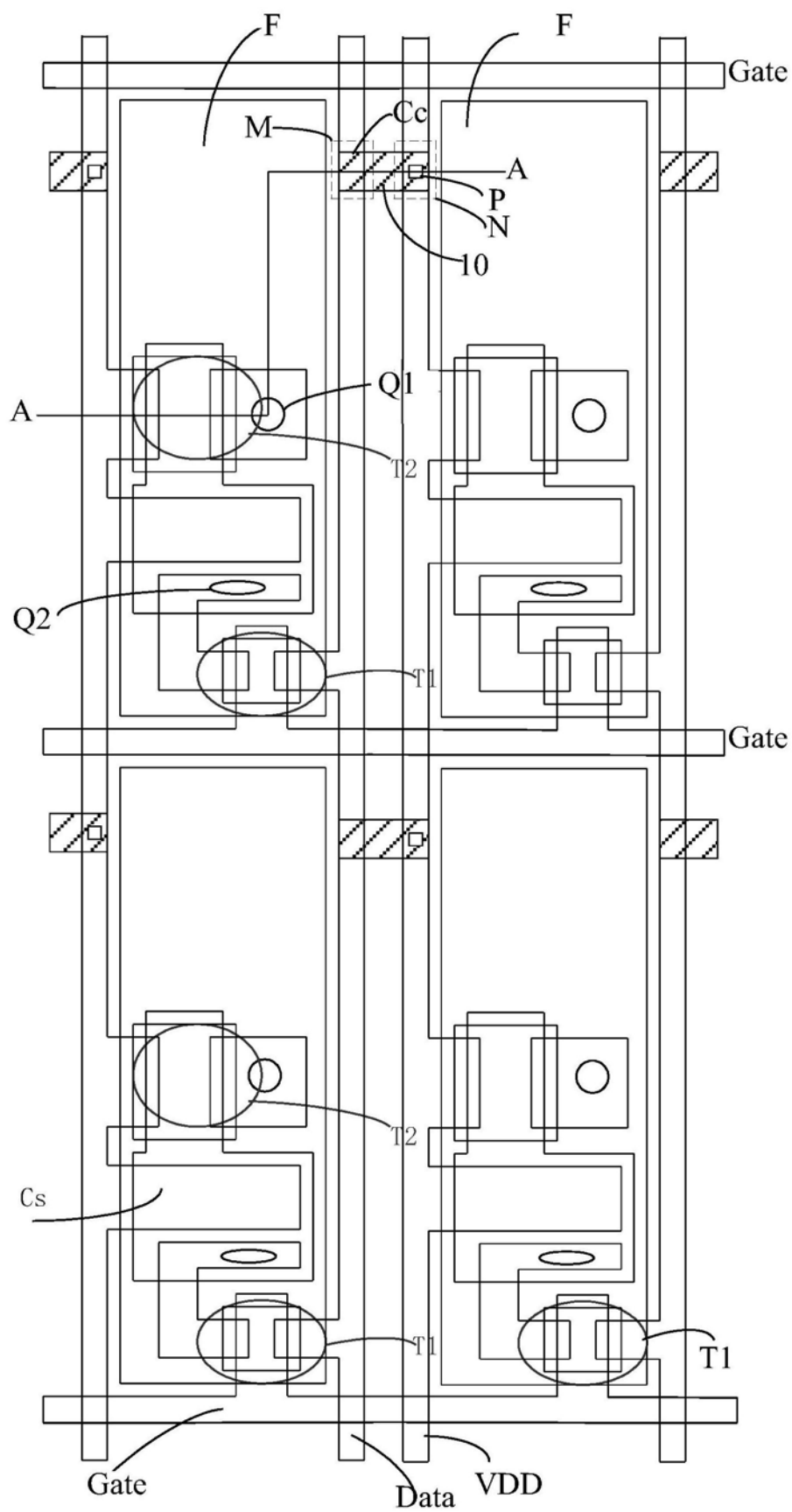


图4

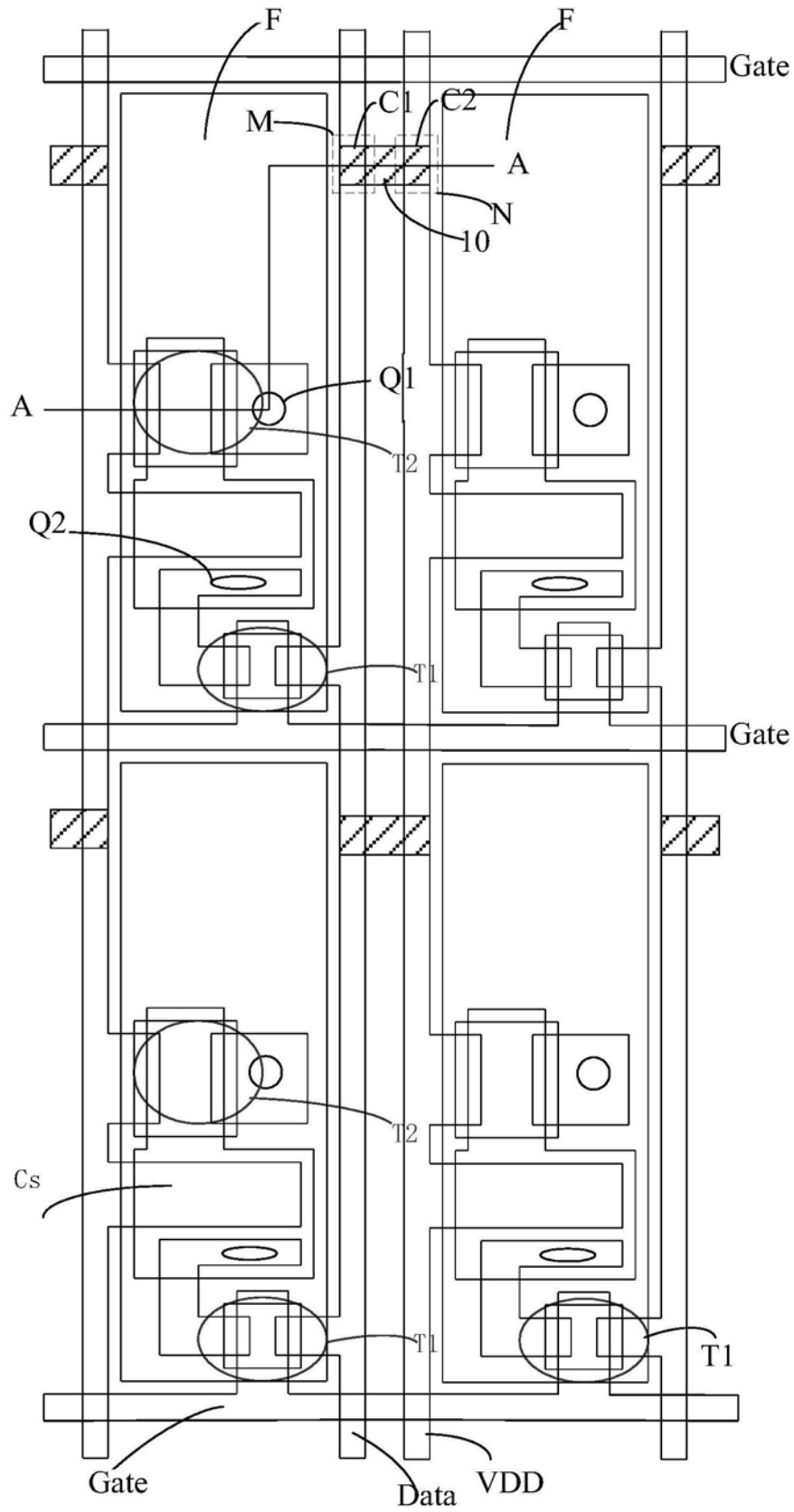


图5

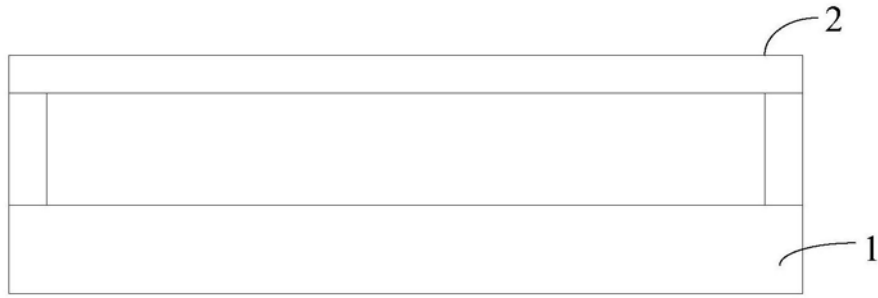


图12

专利名称(译)	一种阵列基板、有机电致发光显示面板及显示装置		
公开(公告)号	CN108986747B	公开(公告)日	2020-07-28
申请号	CN201810827829.7	申请日	2018-07-25
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	程鸿飞		
发明人	程鸿飞		
IPC分类号	G09G3/3233		
审查员(译)	李佩佩		
其他公开文献	CN108986747A		
外部链接	SIPO		

摘要(译)

本发明公开了一种阵列基板、有机电致发光显示面板及显示装置，在数据信号线和电源信号线之间设置耦合电容。当信号线上电压发生变化时，信号线电压变化引起像素电路中各个寄生电容的充电量变化，从而造成串扰时，设置的耦合电容，可以吸收一部分电荷，减小信号线电压的波动对其他信号线的影响，改善显示效果。

