



(12) 发明专利申请

(10) 申请公布号 CN 106328042 A

(43) 申请公布日 2017.01.11

(21) 申请号 201510348937.2

(22) 申请日 2015.06.19

(71) 申请人 上海和辉光电有限公司

地址 201506 上海市金山区金山工业区大道
100 号 1 幢二楼 208 室

(72)发明人 周思思

(74) 专利代理机构 上海申新律师事务所 31272

代理人 吴俊

(51) Int. Cl.

G09G 3/32(2006.01)

G11C 19/28(2006.01)

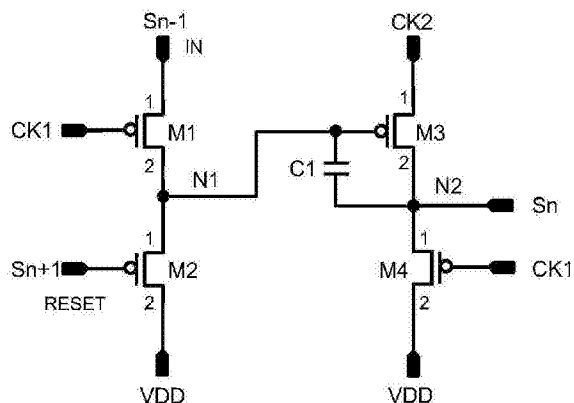
权利要求书2页 说明书8页 附图7页

(54) 发明名称

移位寄存器及 OLED 显示器驱动电路

(57) 摘要

本发明主要是关于显示器领域,更确切地说,是涉及到一种用于阵列基板行驱动电路及相关的显示装置和涉及到由基本的驱动电路构成的多级移位寄存器,通过在多级驱动模块中,将任意一级驱动模块的输出信号同时作为与其相邻的上一级驱动模块的重置信号和作为与其相邻的下一级驱动模块的输入信号,由多级驱动模块对应产生的多个输出信号的集合构成一系列非交叠的时序脉冲信号。



1. 一种移位寄存器,其特征在于,包括多级驱动模块,其中:

本级驱动模块的输出信号同时作为所述本级驱动模块的上一级驱动模块的复位信号和所述本级驱动模块的下一级驱动模块的输入信号;

每个所述驱动模块均具有第一时钟控制端和第二时钟控制端,在前后相邻的驱动模块中,前一级驱动模块的第一时钟控制端由一个第一时钟信号所驱动,且所述前一级驱动模块的第二时钟控制端由与所述第一时钟信号反相的一个第二时钟信号所驱动,后一级驱动模块的第一时钟控制端由所述第二时钟信号所驱动,且所述后一级驱动模块的第二时钟控制端由所述第一时钟信号所驱动。

2. 根据权利要求1所述的移位寄存器,其特征在于,每个所述驱动模块皆包括第一节点、第二节点、第一晶体管、第二晶体管、第三晶体管和第四晶体管,且每个晶体管均具有第一端、第二端和控制端;

其中,所述第一晶体管的第二端和所述第二晶体管的第一端均通过所述第一节点连接到所述第三晶体的控制端,所述第三晶体的第二端和所述第四晶体管的第一端均与所述第二节点连接,且所述第二节点与所述第一节点之间连接有一个自举电容,以在所述第二节点处产生所述驱动模块的输出信号。

3. 根据权利要求2所述的移位寄存器,其特征在于,所述第一晶体管和所述第四晶体管各自的控制端均连接到所述驱动模块的所述第一时钟控制端,所述第三晶体管的第一端连接到所述驱动模块的所述第二时钟控制端。

4. 根据权利要求2所述的移位寄存器,其特征在于,所述本级驱动模块中的第一晶体管的第一端用于接收所述输入信号并连接到所述上一级驱动模块的输出信号端,所述本级驱动模块中的第二晶体的控制端用作接收所述复位信号并连接到所述下一级驱动模块的输出信号端。

5. 根据权利要求2所述的移位寄存器,其特征在于,在所述第二晶体管和所述第四晶体管各自的第二端均与参考电压源连接,以接收一个高电平的参考电压。

6. 权利要求1所述的移位寄存器,其特征在于,在配置成一系列的所述多级驱动模块中,为奇数行的所述驱动模块的第一时钟控制端由所述第一时钟信号所驱动,且所述奇数行的所述驱动模块的第二时钟控制端由所述第二时钟信号所驱动;为偶数行的所述驱动模块的第一时钟控制端由所述第二时钟信号所驱动,且所述偶数行的所述驱动模块的第二时钟控制端由所述第一时钟信号所驱动。

7. 一种驱动电路,其特征在于,包括第一节点、第二节点、第一晶体管、第二晶体管、第三晶体管和第四晶体管,且每个晶体管均具有第一端、第二端和控制端;

其中,所述第一晶体管的第二端和所述第二晶体管的第一端均通过所述第一节点连接到所述第三晶体的控制端,所述第三晶体的第二端和所述第四晶体管的第一端均与所述第二节点连接,且该第二节点与所述第一节点之间连接有一个自举电容,以在所述第二节点处产生所述驱动模块的输出信号。

8. 根据权利要求7所述的驱动电路,其特征在于,还包括:

第一时钟控制端,分别与所述第一晶体的控制端和所述第四晶体的控制端连接;

第二时钟控制端,与所述第三晶体管的第一端连接;

其中,所述第一晶体管的第一端用于接收一个输入信号,所述第二晶体的控制端用

来接收一个复位信号。

9. 根据权利要求 7 所述的驱动电路,其特征在于,在所述第二晶体管和所述第四晶体管各自的第二端均与参考电压源连接,以接收一个高电平水准的参考电压。

10. 根据权利要求 7 所述的驱动电路,其特征在于,所述第一晶体管、所述第二晶体管、所述第三晶体管和所述第四晶体管均为 PMOS 晶体管。

移位寄存器及 OLED 显示器驱动电路

技术领域

[0001] 本发明主要是关于显示器领域,更确切地说,是涉及到一种用于阵列基板行驱动电路及相关的显示装置和涉及到由基本的驱动电路构成的多级移位寄存器。

背景技术

[0002] 在较为传统的现有技术中,随着业界将无源矩阵有机发光二极管 PMOLED 广泛的应用在显示器,如果试图增加显示器的面板尺寸来迎合消费者的需求,则需要使单个像素的驱动时间变得更短,就会相应要求增大瞬态电流,但功耗和 ITO 走线上的压降都变大,降低了显示的工作效率。作为另一些较佳的显示替代方案,业界还设计了有源矩阵有机发光二极管 AMOLED 通过开关管逐行扫描输入 OLED 电流,能够很好的解决该等问题。以及应用的 AMOLED 由于具有高亮度和宽视角、快响应速度等优势,越来越广泛的被高性能显示装置采用。阵列基板行驱动电路 GOA 是将栅极开关电路集成在一个阵列基板上,从而实现驱动电路的高度集成。

[0003] 图 1 是现有技术的典型的 GOA 电路设计方案,整体上主要由 7 个薄膜型的 TFT 晶体管也即由图示的 PMOS 晶体管 M10 ~ M16 构成,并且还包括 2 个电容 C10 ~ C20,主要问题在于该 GOA 电路使用的晶体管数量过多导致其所用的版图空间变大,这显然无法满足显示器的较窄边框设计需求,况且晶体管数量过多也使良率大幅度降低,本发明在后文中将介绍设计总晶体管采用数量更少的驱动电路,来避免这些问题。

发明内容

[0004] 为了解决上述技术问题,本申请提供了一种移位寄存器,包括多级驱动模块,其中:

[0005] 本级驱动模块的输出信号同时作为所述本级驱动模块的上一级驱动模块的复位信号和所述本级驱动模块的下一级驱动模块的输入信号;

[0006] 每个所述驱动模块均具有第一时钟控制端和第二时钟控制端,在前后相邻的驱动模块中,前一级驱动模块的第一时钟控制端由一个第一时钟信号所驱动,且所述前一级驱动模块的第二时钟控制端由与所述第一时钟信号反相的一个第二时钟信号的所驱动,后一级驱动模块的第一时钟控制端由所述第二时钟信号所驱动,且所述后一级驱动模块的第二时钟控制端由所述第一时钟信号所驱动。

[0007] 作为一个优选的实施例,上述的移位寄存器中:

[0008] 每个所述驱动模块皆包括第一节点、第二节点、第一晶体管、第二晶体管、第三晶体管和第四晶体管,且每个晶体管均具有第一端、第二端和控制端;

[0009] 其中,所述第一晶体管的第二端和所述第二晶体管的第一端均通过所述第一节点连接到所述第三晶体的控制端,所述第三晶体的第二端和所述第四晶体管的第一端均与所述第二节点连接,且所述第二节点与所述第一节点之间连接有一个自举电容,以在所述第二节点处产生所述驱动模块的输出信号。

- [0010] 作为一个优选的实施例,上述的移位寄存器中:
- [0011] 所述第一晶体管和所述第四晶体管各自的控制端均连接到所述驱动模块的所述第一时钟控制端,所述第三晶体管的第一端连接到所述驱动模块的第二时钟控制端。
- [0012] 作为一个优选的实施例,上述的移位寄存器中:
- [0013] 所述本级驱动模块中的第一晶体管的第一端用于接收所述输入信号并连接到所述上一级驱动模块的输出信号端,所述本级驱动模块中的第二晶体管的控制端用作接收所述复位信号并连接到所述下一级驱动模块的输出信号端。
- [0014] 作为一个优选的实施例,上述的移位寄存器中:
- [0015] 在所述第二晶体管和所述第四晶体管各自的第二端均与参考电压源连接,以接收一个高电平的参考电压。
- [0016] 作为一个优选的实施例,上述的移位寄存器中:
- [0017] 在配置成一系列的所述多级驱动模块中,为奇数行的所述驱动模块的第一时钟控制端由所述第一时钟信号所驱动,且所述奇数行的所述驱动模块的第二时钟控制端由所述第二时钟信号所驱动;为偶数行的所述驱动模块的第一时钟控制端由所述第二时钟信号所驱动,且所述偶数行的所述驱动模块的第二时钟控制端由所述第一时钟信号所驱动。
- [0018] 本申请还提供了一种驱动电路,包括第一节点、第二节点、第一晶体管、第二晶体管、第三晶体管和第四晶体管,且每个晶体管均具有第一端、第二端和控制端;
- [0019] 其中,所述第一晶体管的第二端和所述第二晶体管的第一端均通过所述第一节点连接到所述第三晶体管的控制端,所述第三晶体管的第二端和所述第四晶体管的第一端均与所述第二节点连接,且该第二节点与所述第一节点之间连接有一个自举电容,以在所述第二节点处产生所述驱动模块的输出信号。
- [0020] 作为一个优选的实施例,上述的驱动电路还包括:
- [0021] 第一时钟控制端,分别与所述第一晶体管的控制端和所述第四晶体管的控制端连接;
- [0022] 第二时钟控制端,分别与所述第三晶体管的第一端;
- [0023] 其中,所述第一晶体管的第一端用于接收一个输入信号,所述第二晶体管的控制端用来接收一个复位信号。
- [0024] 作为一个优选的实施例,上述的驱动电路还包括:
- [0025] 在所述第二晶体管和所述第四晶体管各自的第二端均与参考电压源连接,以接收一个高电平水准的参考电压。
- [0026] 作为一个优选的实施例,上述的驱动电路还包括:
- [0027] 所述第一晶体管、所述第二晶体管、所述第三晶体管和所述第四晶体管均为 PMOS 晶体管。

附图说明

- [0028] 阅读以下详细说明并参照以下附图之后,本发明的特征和优势将显而易见:
- [0029] 图 1 是现有技术中 GOA 电路的基本架构;
- [0030] 图 2 是本发明中驱动模块的电路结构;
- [0031] 图 3 是多级驱动模块互相串联的示意图;

[0032] 图 4 是采用的时序控制程序的示意图；

[0033] 图 5A ~ 5E 是实施时序控制程序阶段驱动模块中各个晶体管的响应示意图。

具体实施方式

[0034] 下面将结合各实施例,对本发明的技术方案进行清楚、完整的阐述,但所描述的实施例仅是本发明的一部分用作说明叙述所用的实施例而非全部的实施例,基于该等实施例,本领域的技术人员在没有做出创造性劳动的前提下所获得的方案都属于本发明的保护范围。在业界,阵列基板行驱动电路 (Gate on Array, 简称 GOA) 主要是将栅极开关电路集成在同一个阵列基板上,从而实现驱动电路的高度集成,无论是节省材料方面还是降低工艺步骤方面都是极佳的选择途径,尤其是 AMOLED 多大是基于低温多晶硅技术,驱动面板的薄膜晶体管 TFT 具有较高的迁移率,可以更利于 GOA 电路的集成。

[0035] 参见图 2,展示了一种 GOA 驱动电路。在一个驱动模块 / 电路中主要包括了第一至第四晶体管 M1 ~ M4,我们可以设置第一晶体管 M1 的第二端和第二晶体管 M2 的第一端互连于一个第一公共节点 N1 处,而第三晶体管 M3 的第二端和第四晶体管 M4 的第一端则互连处于第二公共节点 N2 处。在一些实施例中,这里的第一晶体管 M1 至第四晶体管 M4 都可以选择 P 型的薄膜晶体管 TFT。其中,第一公共节点 N1 连接到第三晶体管 M3 的控制端,而第二公共节点 N2 与第一公共节点 N1 之间还连接有一个自举电容 C1,我们设定驱动模块最终将在第二公共节点 N2 处输出该驱动模块的输出信号 Sn。此外,还先行设定第一晶体管 M1 至第四晶体管 M4 的控制端如为栅极,而该等晶体管各自的第一端如为源极 / 漏极的时候则第二端对应为漏极 / 源极,作为电子开关,晶体管的控制端可以控制它的第一端与第二端之间的接通或关断。

[0036] 具体而言,在驱动模块中,第一晶体管 M1 的控制端和第四晶体管 M4 的控制端相互连接,共同连接到驱动模块的第一时钟控制端 CK1,第三晶体管 M3 的第一端则连接到驱动模块的第二时钟控制端 CK2。当第一时钟信号 CLK 施加于第一时钟控制端 CK1,即施加于第一晶体管 M1、第四晶体管 M4 各自的栅极控制端的时候,还要求第一时钟信号的一个反相信号或说是互补信号也即另一个第二时钟信号 CLKB 也同步施加于第二时钟控制端 CK2,即施加于第三晶体管 M3 的第一端,例如图 3 的驱动模块 101 适用于第一、第二时钟控制端 CK1、CK2 的这种驱动方式。反之亦然,当第二时钟信号 CLKB 施加于第一时钟控制端 CK1 的时候,还要求第一时钟信号 CLK 同步施加于第二时钟控制端 CK2,例如图 3 的驱动模块 102 适用于第一、第二时钟控制端 CK1、CK2 的这种驱动方式。发现前一级驱动模块 101 的第一时钟控制端 CK1 由第一时钟信号 CLK 驱动但第二时钟控制端 CK2 由反相的第二时钟信号 CLKB 驱动,后一级驱动模块 102 的第一时钟控制端 CK1 由第二时钟信号 CLKB 驱动但第二时钟控制端 CK2 由第一时钟信号 CLK 驱动,相邻两级驱动模块的时钟控制端的连接方式相反,对此下文还将继续详细介绍。

[0037] 在图 2 中,第二晶体管 M2、第四晶体管 M4 各自的第二端都输入一个为高电平水准的参考电压 VDD。针对多级驱动模块而言,在一个被选定的本级驱动模块中,第一晶体管 M1 的第一端用于接收一个输入信号 IN,我们定义该本级驱动模块的输入信号 IN 实质上是该本级驱动模块的上一级驱动模块的输出信号 Sn-1,所以该本级驱动模块的第一晶体管 M1 的第一端应当耦合到上一级驱动模块的第二公共节点处,用于接收上一级驱动模块的输出

信号 S_{n-1} 。同样,仍然是在被选定的本级驱动模块中,其第二晶体管 M2 的栅极控制端用作接收一个重置信号或说是复位信号 RESET,定义该本级驱动模块的复位信号 RESET 实质上是该本级驱动模块的下一级驱动模块的输出信号 S_{n+1} ,所以该本级驱动模块的第二晶体管 M2 的控制端理应连接到下一级驱动模块的第二公共节点处,用于接收下一级驱动模块的输出信号 S_{n+1} 。

[0038] 事实上,在一个移位寄存器或在一个完整的阵列基板行驱动电路 GOA 中,应当是包括多级的由图 2 展示的单个驱动模块。现在以图 3 为例进行阐明,以级联方式设置的多级驱动模块串联,多级驱动模块至少是包括了首行的驱动模块 101、第二行的驱动模块 102、第三行的驱动模块 103、第四行的驱动模块 103、……及第 N 行的驱动模块等等,这些多级驱动模块被串联在一起配制成一行。可以轻易发现一些规则,例如一个本级驱动模块 102 的输出信号作为与其相邻的上一级驱动模块 101 的复位信号 RESET 和同时作为与其相邻的下一级驱动模块 103 的输入信号 IN,其他的驱动模块 103、104 等都遵循这样的规律。较为特殊的是,业界实质上一般会将第一个也即首行驱动模块 101 的输入信号 IN 指定施加某一帧开启信号 STP-1,相应地,在多级驱动模块中处于最后末尾位置处的一个末行驱动模块的复位信号 RESET 也可以被指定施加另一个相类似的帧开启信号 STP-2,但在一些不太严格的情况下,末行驱动模块的复位端 RESET 无输入信号也被允许,只不过由于末行驱动模块没有被复位,会导致末行驱动模块的输出端可能一直都处于输出状态也即 Multi-out 状态。

[0039] 为了不至于因为本文的用语或者措辞而引起歧义或者理解偏差,定义出本级驱动模块和上一级、下一级驱动模块的位置关系,以及定义出相邻前一级和后一级驱动模块的位置关系。譬如在图 3 中,除了位置较为特殊的首行和末行驱动模块外,以一个本级驱动模块 N (如 103) 为例,该本级驱动模块 N (如 103) 具有与其相邻的上一级驱动模块 $N-1$ (如 102) 和具有与其相邻的下一级驱动模块 $N+1$ (如 104), N 为大于等于 2 的自然数。但针对前后对相邻的两级驱动模块 N、 $N+1$ (如 103、104) 两者而言,驱动模块 N (如 103) 属于前一级驱动模块而驱动模块 $N+1$ (如 104) 则属于后一级驱动模块。

[0040] 藉此,我们在下文中将以这种示例进行详细的示范性阐述:任意一个本级驱动模块 N 的输出信号 S_n 同时作为与其相邻的上一级驱动模块 $N-1$ 的复位信号 RESET 和作为与其相邻的下一级驱动模块 $N+1$ 的输入信号 IN,我们还限定在前后相邻的两级驱动模块 $N-1$ 、N 中,前一级驱动模块 $N-1$ 的第一时钟控制端 CK1 由第一时钟信号 CLK 驱动且其第二时钟控制端 CK2 由第二时钟信号 CLKB 的驱动,后一级驱动模块 N 的第一时钟控制端 CK1 由第二时钟信号 CLKB 驱动且其第二时钟控制端 CK2 由第一时钟信号 CLK 驱动。在一些可选的实施例中,在配置成一行或多级驱动模块中,属于奇数行的驱动模块 101、103……等的的第一时钟控制端 CK1 由第一时钟信号 CLK 驱动且它们的第二时钟控制端 CK2 由第二时钟信号 CLKB 驱动,与此相对的是,属于偶数行的驱动模块 102、104……等的的第一时钟控制端 CK1 则由第二时钟信号 CLKB 驱动且它们的第二时钟控制端 CK2 则由第一时钟信号 CLK 驱动。

[0041] 参见图 4,以一个预定的周期时段(如一个常规的半帧周期)为例对多级驱动模块的工作机制进行范例说明。在该预设的时段内,第一时钟信号 CLK、第二时钟信号 CLKB 在每个单位时间段都互为反相信号,而且第一时钟信号 CLK 在下一个单位时间段内的逻辑状态与它在相邻的上一个单位时间段的逻辑状态相反,第二时钟信号 CLKB 同样也如此,这是时钟信号的自身特性。现在我们在该预设的时段内,以在第一至第五单位时间段 $T_1 \sim T_5$ 执

行的一个时序控制程序为例,来展示第一时钟信号 CLK、第二时钟信号 CLKB 的周期性变化,第一至第五单位时间段 T1 ~ T5 在时间轴上是连续的。在第一、第三、第五单位时间段 T1、T3、T5 的阶段,第一时钟信号 CLK 是处于逻辑低电平状态而第二时钟信号 CLKB 则是处于逻辑高电平状态,同样在第二、第四单位时间段 T2、T4 的阶段,第一时钟信号 CLK 是处于逻辑高电平状态而第二时钟信号 CLKB 则是处于逻辑低电平状态。在一些可选的实施例中,第一时钟信号 CLK 或第二时钟信号 CLKB 在高电平时可以达到高电平的第一参考电压 VDD 的如 5.5V ~ 7.5V 的水准,而它们在低电平的时候则可降低至低电平的第二参考电压 VEE 的如为负值的 -7V ~ -9V 水准。

[0042] 在图 5A ~ 5E 中,将分别对应于时间段 T1 ~ T5 来展示驱动模块的工作机制。

[0043] 图 5A 的一个本级驱动模块 111 和相邻的下一级驱动模块 112 中各个晶体管的开关响应动作将配合于图 4 中的第一单位时间段 T1。此时设定第一单位时间段 T1 内多级驱动模块中的每一级驱动模块的输出信号 S_1 、…… S_{N-1} 、 S_N 、 S_{N+1} ……都处于初始化的高电平。针对本级驱动模块 111 而言,第一晶体管 M1 的栅极和第四晶体管 M4 的栅极此时都处于第一时钟信号 CLK 的低电位而被钳制在逻辑低电平,则第一晶体管 M1 和第四晶体管 M4 被接通。第二晶体管 M2 的栅极由于是连接到下一级驱动模块 112 的第二公共节点 N'2 处并且因为驱动模块 112 的输出信号 S_{N+1} 为高电平而关断,第三晶体管 M3 因为其栅极连接到导通的第一晶体管 M1 的第一端的一个输入信号 IN(即驱动模块 111 的上一级驱动模块的输出信号 S_{N-1}),而此时输出信号 S_{N-1} 的高电平电位将第三晶体管 M3 关断,同时,驱动模块 111 的相邻上一级驱动模块的输出信号 S_{N-1} 的高电位水准还被自举电容 C1 存储在第一公共节点 N1 处。从而本级驱动模块 111 的输出信号 S_N 为导通的第四晶体管 M4 第二端所输入的高电平参考电压 VDD,自举电容 C1 藉由其电压保持作用 Bootstrapping 也会因为输出信号 S_N 为高电平而同步推高第一公共节点 N1 处的电压水准。

[0044] 在图 5A 中,针对下一级驱动模块 112 而言,其第一晶体管 M'1 的栅极和第四晶体管 M'4 的栅极此时都是处于第二时钟信号 CLKB 高电位而被钳制在逻辑高电平,导致第一晶体管 M'1 和第四晶体管 M'4 关断。其第二晶体管 M'2 因为驱动模块 112 的下一级驱动模块的输出信号 S_{N+2} 为高电平而关断,并且第三晶体管 M'3 因为上一帧动作在第一公共节点 N'1 保留的高电平而被关断,此时驱动模块 112 的输出信号 S_{N+1} 大约接近于初始化的高电平水准如参考电压 VDD。

[0045] 图 5B 是配合于图 4 中的第二单位时间段 T2 引发的各个晶体管的响应,并且第二单位时间段 T2 紧随着第一单位时间段 T1,此阶段每一级驱动模块各自的输出信号 S_1 、…… S_{N-1} 、 S_N 、 S_{N+1} ……仍然都处于初始化的高电平。针对本级驱动模块 111 而言,第一晶体管 M1 的栅极和第四晶体管 M4 的栅极此时都是处于第一时钟信号 CLK 的高电位而被钳制在逻辑高电平,则第一晶体管 M1 和第四晶体管 M4 关断。第二晶体管 M2 因为下一级驱动模块 112 的输出信号 S_{N+1} 为高电平而关断,此时第一公共节点 N1 进入浮置 floating 状态,则第三晶体管 M3 因为栅极电位等于自举电容 C1 存储在第一公共节点 N1 处的高电平也被关断,所以驱动模块 111 在此时的输出信号 S_N 仍然维持在第二公共节点 N2 处的高电平水准如参考电压 VDD。

[0046] 在图 5B 中,针对下一级驱动模块 112 而言,其第一晶体管 M'1 的栅极控制端和第四晶体管 M'4 的栅极此时都是处于第二时钟信号 CLKB 低电位而被钳制在逻辑低电平,导致

第一晶体管 M' 1 和第四晶体管 M' 4 接通。但第二晶体管 M' 2 因为本级的驱动模块 112 的下一级驱动模块的输出信号 S_{N+2} 为高电平而关断, 并且第三晶体管 M' 3 因为其栅极连接到接通的第一晶体管 M' 1 的第一端的输入信号 IN (即驱动模块 111 的输出信号 S_N), 而输出信号 S_N 的高电平电位会将第三晶体管 M' 3 关断。与此同时, 选定的本级驱动模块 111 的输出信号 S_N 的高电位水准还被下一级驱动模块 112 中的自举电容 C' 1 存储在第一公共节点 N' 1 处, 所以此阶段驱动模块 112 的输出信号 S_{N+1} 大约等于导通的第四晶体管 M' 4 的第二端所输入的高电平水准的参考电压 VDD。

[0047] 图 5C 是配合于图 4 中的第三单位时间段 T3 引发的各个晶体管的响应动作, 并且第三单位时间段 T3 紧随着第二单位时间段 T2, 注意本级驱动模块 111 的上一级驱动模块的输出信号 S_{N-1} 此时翻转成低电平, 但驱动模块 111、112 的输出信号 S_N 、 S_{N+1} 仍然都处于初始化的高电平。针对本级驱动模块 111 而言, 第一晶体管 M1 的栅极和第四晶体管 M4 的栅极此时都是处于第一时钟信号 CLK 的低电位而被钳制在逻辑低电平, 则第一晶体管 M1 和第四晶体管 M4 被接通, 第二晶体管 M2 因为下一级驱动模块 112 的输出信号 S_{N+1} 为高电平而关断。第三晶体管 M3 因为其栅极连接到导通状态的第一晶体管 M1 的第一端的输入信号 IN (即驱动模块 111 的上一级驱动模块的输出信号 S_{N-1}), 此时输出信号 S_{N-1} 为低电平电位而接通第三晶体管 M3, 与此同时, 驱动模块 111 的相邻上一级驱动模块的输出信号 S_{N-1} 的低电位水准还被自举电容 C1 存储在第一公共节点 N1 处。此阶段由于第三晶体管 M3 被接通使得本级驱动模块 111 的输出信号 S_N 可以连接到第三晶体管 M3 的第一端所输入的高电位的第二时钟信号 CLK_B, 再者第四晶体管 M4 此时也是导通的, 确保本级驱动模块 111 的输出信号 S_N 的高电平状态的稳定性, 维持在导通的第四晶体管 M4 的第二端所输入的参考电压 VDD 水准。

[0048] 在图 5C 中, 针对下一级驱动模块 112 而言, 其第一晶体管 M' 1 的栅极和第四晶体管 M' 4 的栅极此时都是处于第二时钟信号 CLK_B 高电位而被钳制在逻辑高电平, 导致第一晶体管 M' 1 和第四晶体管 M' 4 被关断。第二晶体管 M' 2 因为驱动模块 112 自身的下一级驱动模块的输出信号 S_{N+2} 为高电平而关断, 此时第一公共节点 N' 1 进入浮置状态, 并且图 5B 中输出信号 S_N 的高电位水准被下一级驱动模块 112 中的自举电容 C' 1 存储在第一公共节点 N' 1 处, 则第三晶体管 M' 3 因为其栅极处于自举电容 C' 1 存储在第一公共节点 N' 1 处的高电位水准而被关闭, 此阶段驱动模块 112 的输出信号 S_{N+1} 维持在第二公共节点 N' 2 处的参考电压 VDD 水准。

[0049] 图 5D 是配合于图 4 中的第四单位时间段 T4 引发的各个晶体管的响应动作, 并且第四单位时间段 T4 紧随着第三单位时间段 T3。注意在上文提及的预定的周期时段内, 该本级驱动模块 111 的上一级驱动模块的输出信号 S_{N-1} 在第三单位时间段 T3 内翻转成低电平, 但是输出信号 S_{N-1} 在第三单位时间段 T3 之前具有高电平逻辑状态并且在第三单位时间段 T3 结束之后仍然返回至高电平逻辑状态。在在时间段 T4 的阶段驱动模块 112 的输出信号 S_{N+1} 以及驱动模块 112 的下级驱动模块的输出信号 S_{N+2} 仍然都处于高电平, 输出信号 S_{N-1} 也处于高电平。针对本级驱动模块 111 而言, 第一晶体管 M1 的栅极和第四晶体管 M4 的栅极此时都是处于第一时钟信号 CLK 的高电位而被钳制在逻辑高电平, 则第一晶体管 M1 和第四晶体管 M4 被关断, 以及第二晶体管 M2 因为下一级驱动模块 112 的输出信号 S_{N+1} 为高电平而关断。此外因为图 5C 中存储在第一公共节点 N1 为低电平, 则在图 5D 中第三晶体管 M3 因为其栅极电位大约等于自举电容 C1 存储在浮置的第一公共节点 N1 处的低电平

而被接通。此阶段选定的本级驱动模块 111 的输出信号 S_N 连接于导通的第三晶体管 M3 的第一端,而第三晶体管 M3 的第一端所输入的第二时钟信号 CLKB 为低电平水准,如参考电压 VEE,所以输出信号 S_N 输入的是低电平。从而在第四单位时间段 T4,实现了将第三单位时间段 T3 提供给驱动模块 111 的一个信号 S_{N-1} 的逻辑低电平在第四单位时间段 T4 移位到驱动模块 111 的输出信号 S_N 。

[0050] 在图 5D 中,针对下一级驱动模块 112 而言,其第一晶体管 M'1 的栅极和第四晶体管 M'4 的栅极此时都是处于第二时钟信号 CLKB 的低电位而被钳制在逻辑低电平,导致第一晶体管 M'1 和第四晶体管 M'4 被接通。第二晶体管 M'2 因为驱动模块 112 自身的下一级驱动模块的输出信号 S_{N+2} 为高电平而关断,并且第三晶体管 M'3 因为其栅极连接于导通的第一晶体管 M'1 的第一端所输入的驱动模块 111 的输出信号 S_N ,但输出信号 S_N 此时是低电平水准从而接通第三晶体管 M'3,同时,此阶段选定的本级驱动模块 111 的输出信号 S_N 的低电平水准还被驱动模块 112 中的自举电容 C'1 存储在第一公共节点 N'1 处。由于第三晶体管 M'3 被接通使得驱动模块 112 的输出信号 S_{N+1} 可以连接到第三晶体管 M'3 的第一端所输入的高电位的第二时钟信号 CLK,再者还因为驱动模块 112 的输出信号 S_{N+1} 连接到导通的第四晶体管 M'4 的第二端所输入的参考电压 VDD,进一步可以确保输出信号 S_{N+1} 处于参考电压 VDD 的高电位水准。

[0051] 图 5E 是配合于图 4 中的第五单位时间段 T5 引发的各个晶体管的响应动作,并且第五单位时间段 T5 紧随着第四单位时间段 T4,注意本级驱动模块 111 的上一级驱动模块的输出信号 S_{N-1} 在此阶段是高电平。针对本级驱动模块 111 而言,第一晶体管 M1 的栅极和第四晶体管 M4 的栅极此时都是处于第一时钟信号 CLK 的低电位而被钳制在逻辑低电平,则第一晶体管 M1 和第四晶体管 M4 接通,自举电容 C1 此前存储在第一公共节点 N1 处低电平由于接通的第一晶体管 M1 的第一端输入的高电平输出信号 S_{N-1} 而蜕变成高电平,使得第三晶体管 M3 关断,本级驱动模块 111 的输出信号 S_N 维持在导通的第四晶体管 M4 的第二端所输入的参考电压 VDD。

[0052] 在图 5E 中,针对下一级驱动模块 112 而言,第一晶体管 M'1 的栅极和第四晶体管 M'4 的栅极此时都是处于第二时钟信号 CLKB 的高电位而被钳制在逻辑高电平,导致第一晶体管 M'1 和第四晶体管 M'4 被关断。第二晶体管 M'2 因为驱动模块 112 自身的下一级驱动模块的输出信号 S_{N+2} 为高电平而关断,并且第三晶体管 M'3 因为其栅极电位等于自举电容 C'1 于图 5D 存储在第一公共节点 N'1 处的低电位水准而被接通,此阶段驱动模块 112 的输出信号 S_{N+1} 连接到导通的第三晶体管 M'3 的第一端所输入的第一时钟信号 CLK,而第一时钟信号 CLK 处于低电平水准,如参考电压 VEE,则第四单位时间段 T4 驱动模块 111 的一个输出信号 S_N 的逻辑低电平在第五单位时间段 T5 移位到驱动模块 112 的输出信号 S_{N+1} 。此时,因为驱动模块 112 的低电平状态的输出信号 S_{N+1} 还被输送到驱动模块 111 中第二晶体管 M2 的栅极,则驱动模块 111 中第二晶体管 M2 会被接通,从而进一步导致驱动模块 111 中的自举电容 C1 连接在第一公共节点 N1 处的一端通过导通的第二晶体管 M2 而耦合到第二晶体管 M2 的第二端,上文已经告知第二晶体管 M2 的第二端输入了高电平的参考电压 VDD,所以第一公共节点 N1 被限定在高电平状态,确保第三晶体管 M3 是关断的。

[0053] 再参见图 4,在第五单位时间段 T5 结束之后紧接着的一个单位时间段内,第一时钟信号 CLK 翻转成高电平而第二时钟信号 CLKB 翻转成低电平,也就说在整个预设时段中执

行完 $T1 \sim T5$ 的时序控制程序后的其他时段内,第一时钟信号 CLK、第二时钟信号 CLKB 重复 $T2$ 、 $T1$ 单位时间段的动作,但本级驱动模块 111 的输出信号 S_N 一直为 VDD 高电平不变。相当于针对任意相邻的两级驱动模块 $N-1$ 、 N 而言,前一级驱动模块 $N-1$ 的输出信号 S_{N-1} 在一个预设单位时间段 $T3$ 之前具有高电平逻辑状态,但在预设单位时间段 $T3$ 内翻转至低电平逻辑状态并在预设单位时间段 $T3$ 结束后返回至高电平逻辑状态,而相邻的后一级驱动模块 N 的输出信号 S_N 在该预设单位时间段 $T3$ 的下一个单位时间段 $T4$ 之前具有高电平逻辑状态,但在该下一个单位时间段 $T4$ 内翻转至低电平逻辑状态并在该下一个单位时间段 $T4$ 结束后返回至高电平逻辑状态。这种规律对于前后相邻的两级驱动模块都适用,因为从本质上来说,实现移位就是本发明多级驱动模块的目标之一。最终我们会发现,多级驱动模块各自的输出信号 S_1 、 $\dots$ 、 S_{N-1} 、 S_N 、 S_{N+1} 、 $\dots$ 的集合构成一系列非交叠的时序脉冲信号,例如任选一个输出信号 S_{N-1} 它在预设的单位时间段 $T3$ 具有低电平状态,相邻的输出信号 S_N 在下一个单位时间段 $T4$ 具有的低电平状态,但输出信号 S_{N-1} 、 S_N 却不会在任何同一个单位时间段上交叠而同步进入低电平。该驱动电路 GOA 产生的一系列非交叠的时序脉冲信号 $[S_1, \dots, S_{N-1}, S_N, S_{N+1}, \dots]$ 典型的用作像素电路阵列的行选通控制信号,例如为 AMOLED 的像素电路提供栅极控制信号。

[0054] 在一些可选的实施例中,驱动模块 101 是一列中的一个首行驱动模块,相当于驱动模块 101 并无相邻的上一级驱动模块,则驱动模块 101 的输入信号 IN 端所耦合的一个输入信号(例如需要提供的输出信号 S_{N-1})并不能从上一级驱动模块获取,但可以采用由某一帧开启信号 STP-1 用作输出信号 S_{N-1} 来提供给驱动模块 101,即利用其他驱动元件传送的帧开启信号 STP-1(输出信号 S_{N-1})用来触发启动图 4 中的首个驱动模块 101,并产生输出信号 S_{N-1} 在后续每个单元时间段的逐步移位效果。

[0055] 以上,通过说明和附图,给出了具体实施方式的特定结构的典型实施例,上述发明提出了现有的较佳实施例,但这些内容并不作为局限。对于本领域的技术人员而言,阅读上述说明后,各种变化和修正无疑将显而易见。因此,所附的权利要求书应看作是涵盖本发明的真实意图和范围的全部变化和修正。在权利要求书范围内任何和所有等价的范围与内容,都应认为仍属本发明的意图和范围内。

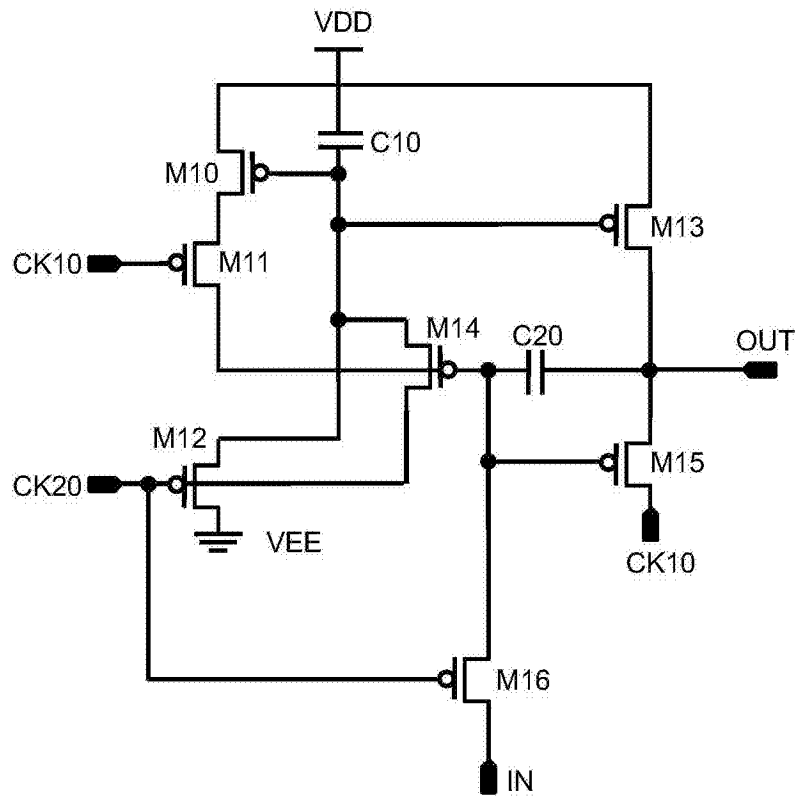


图 1

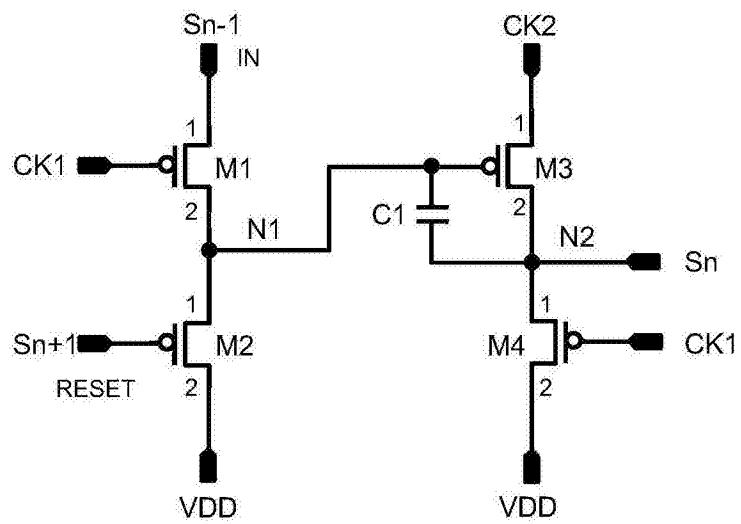


图 2

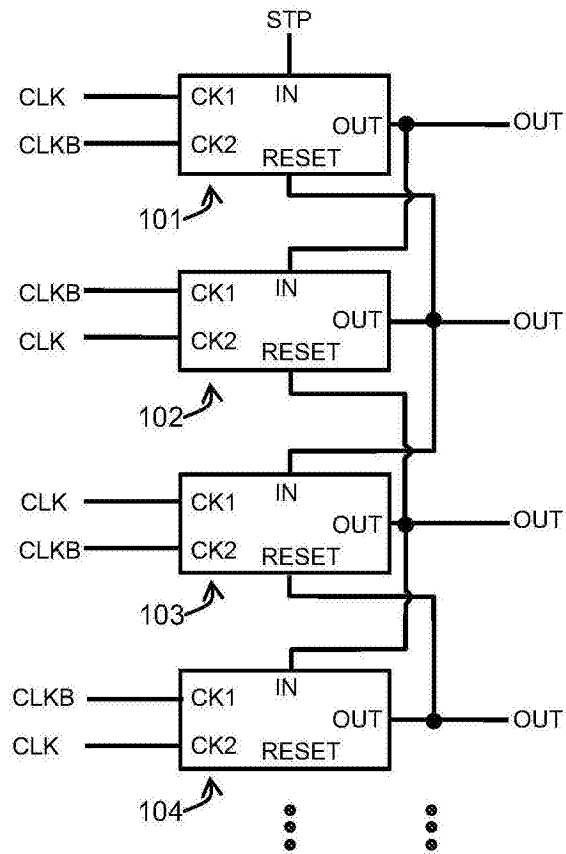


图 3

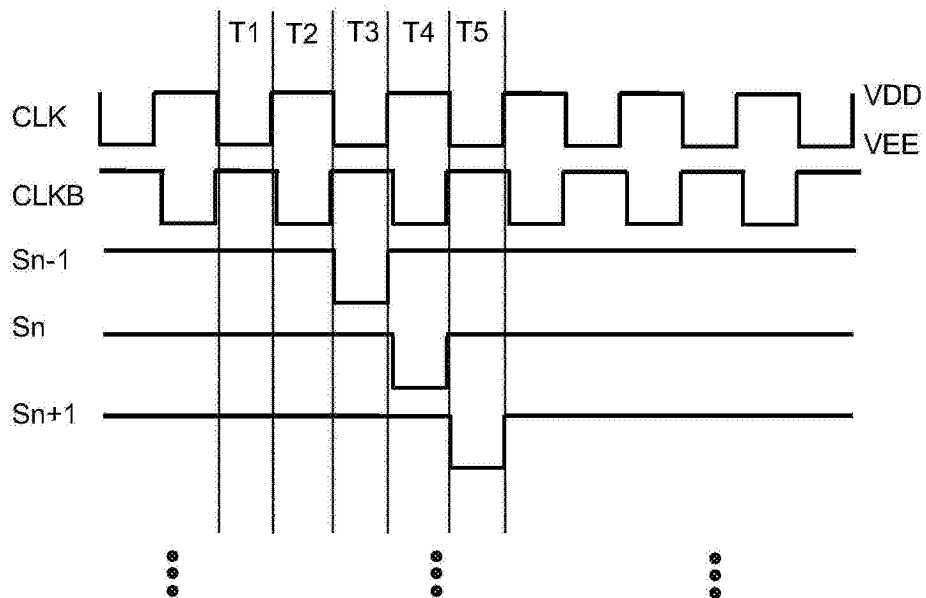


图 4

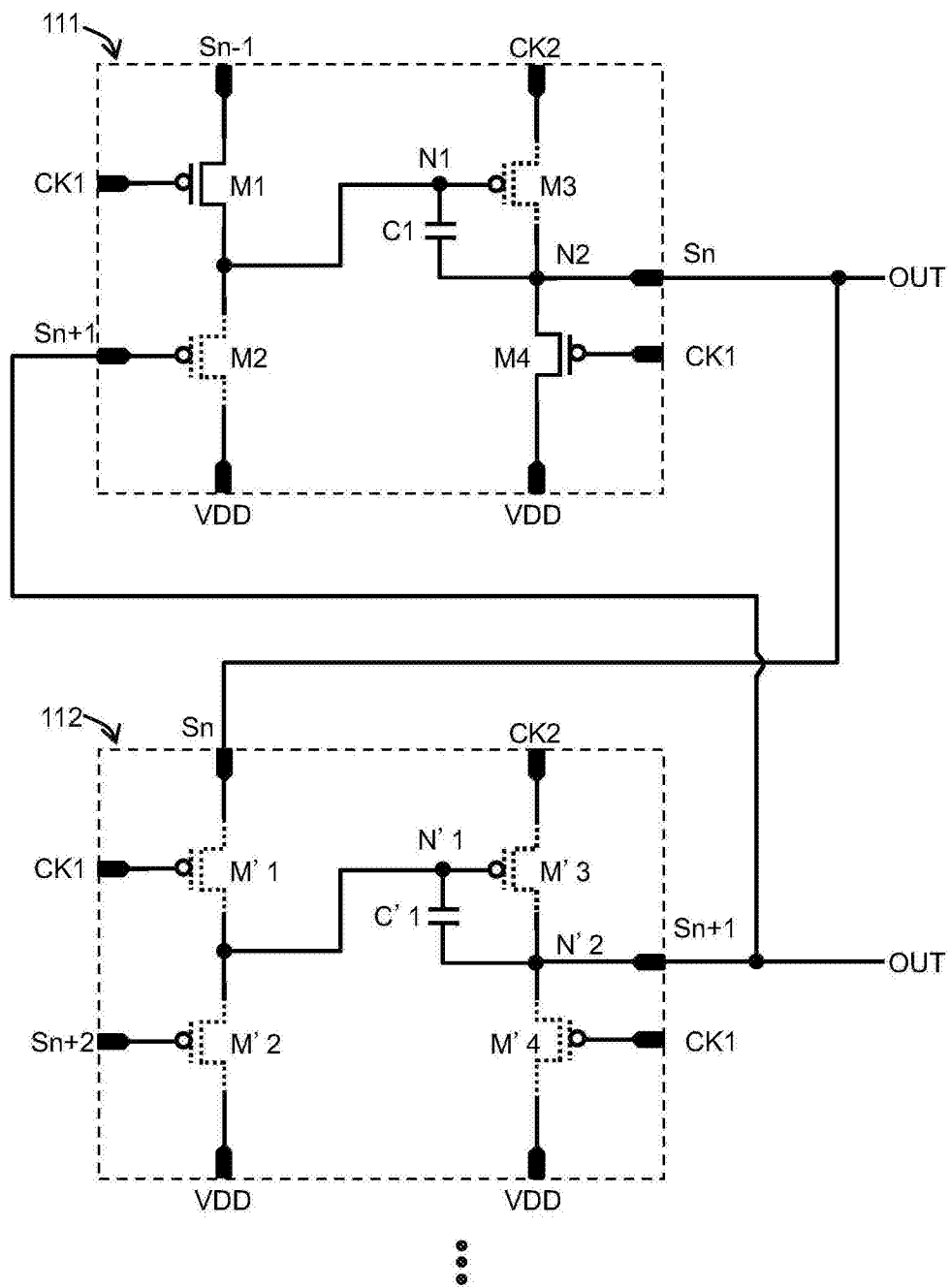


图 5A

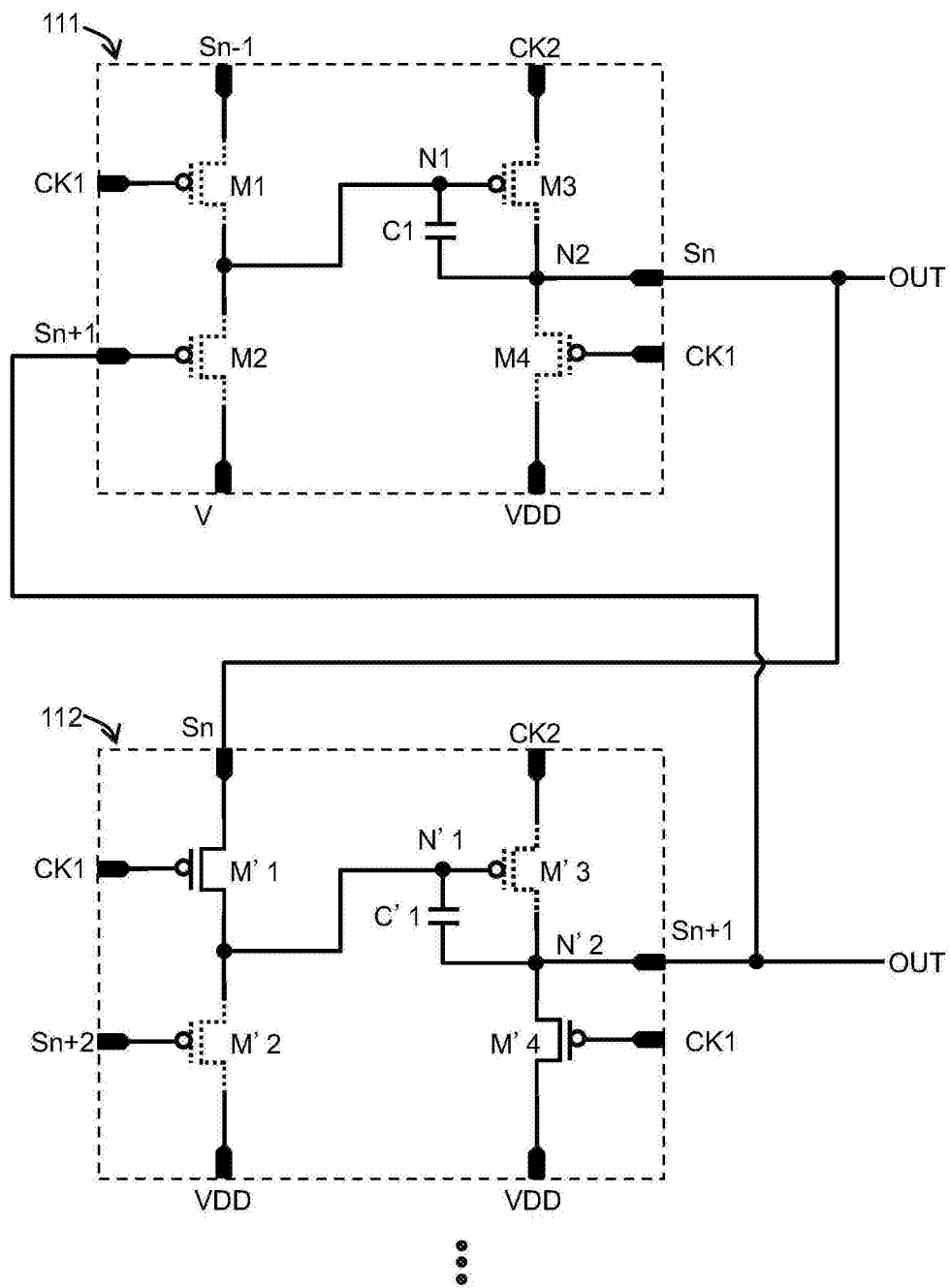


图 5B

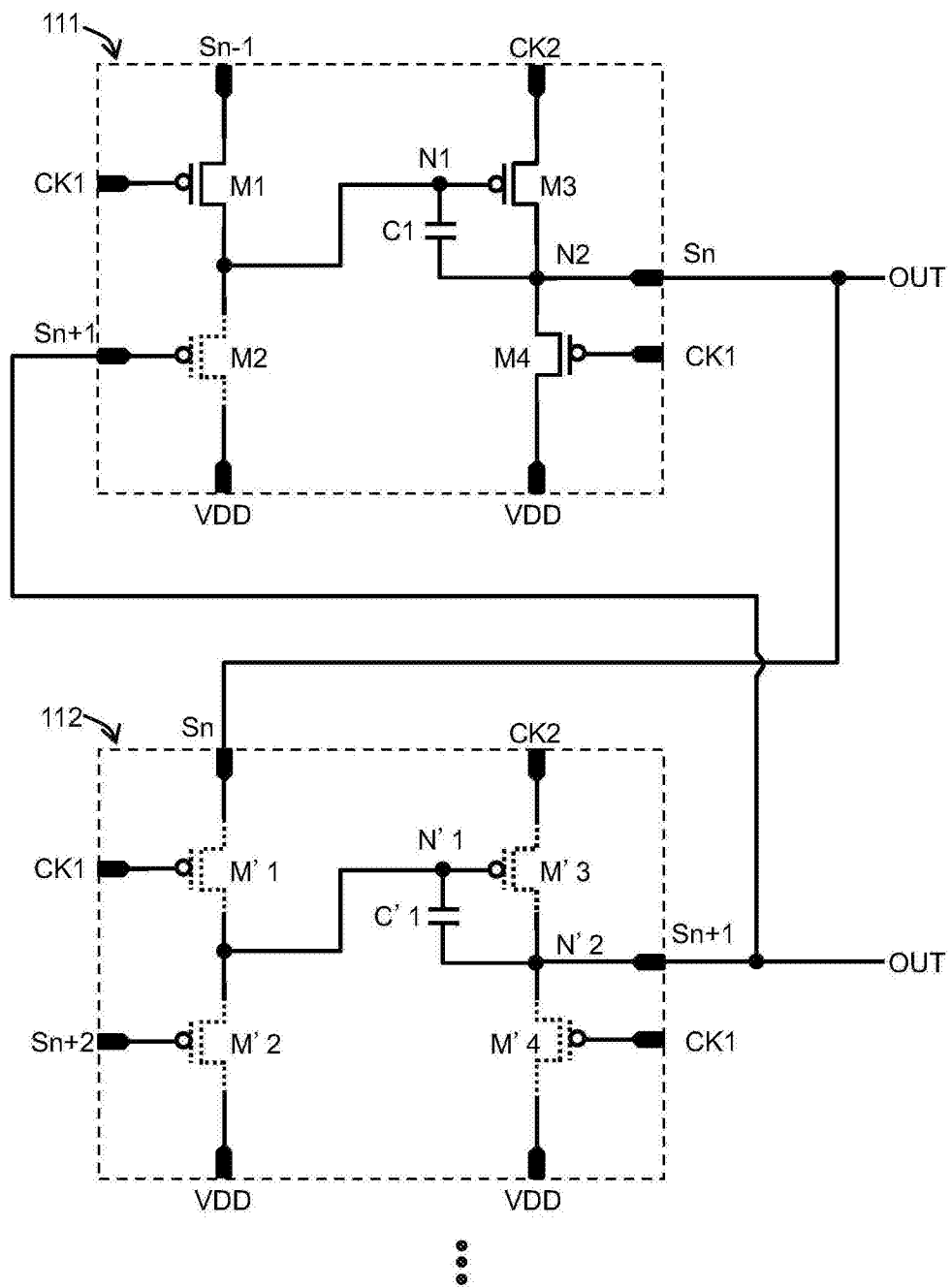


图 5C

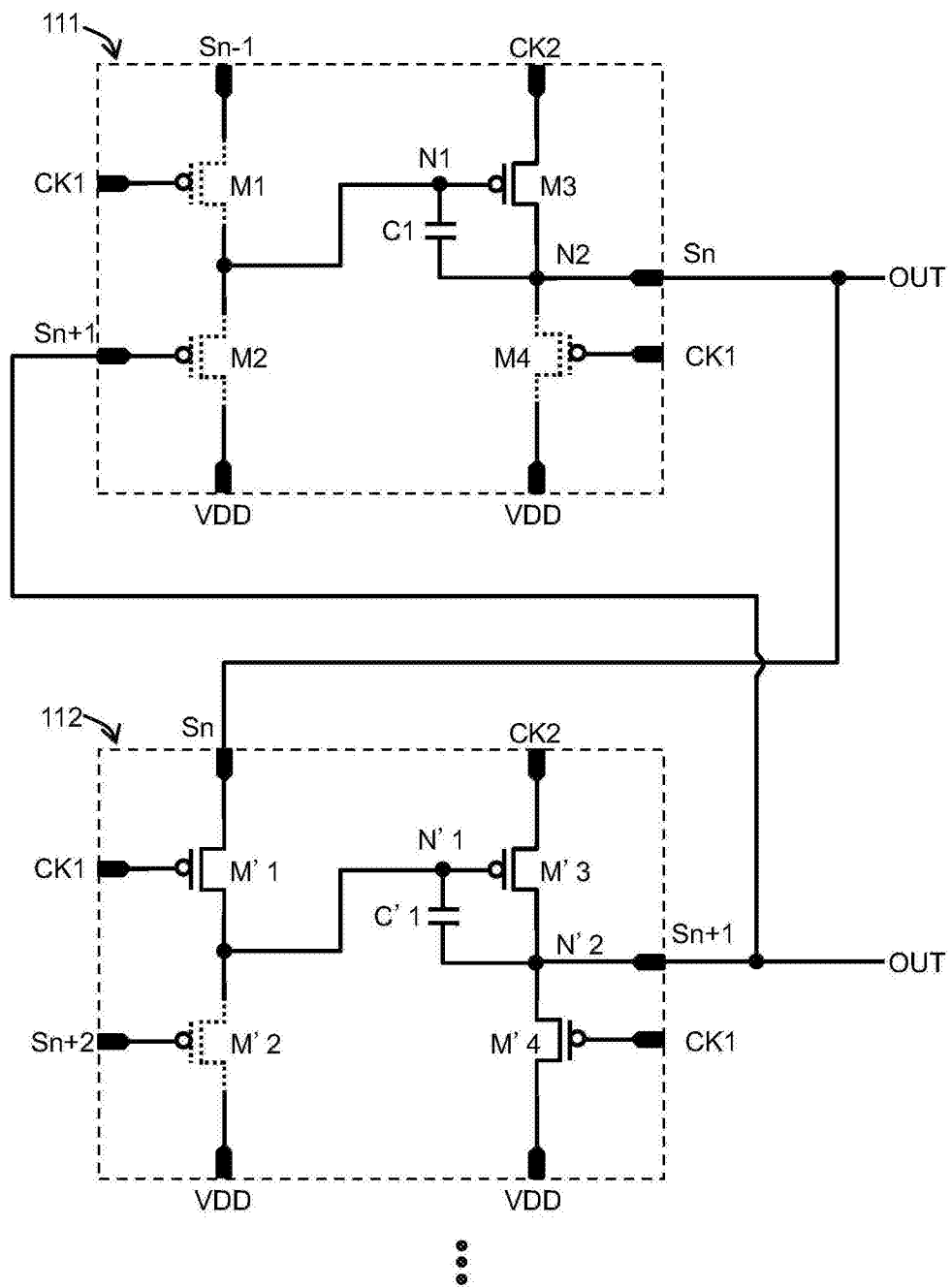


图 5D

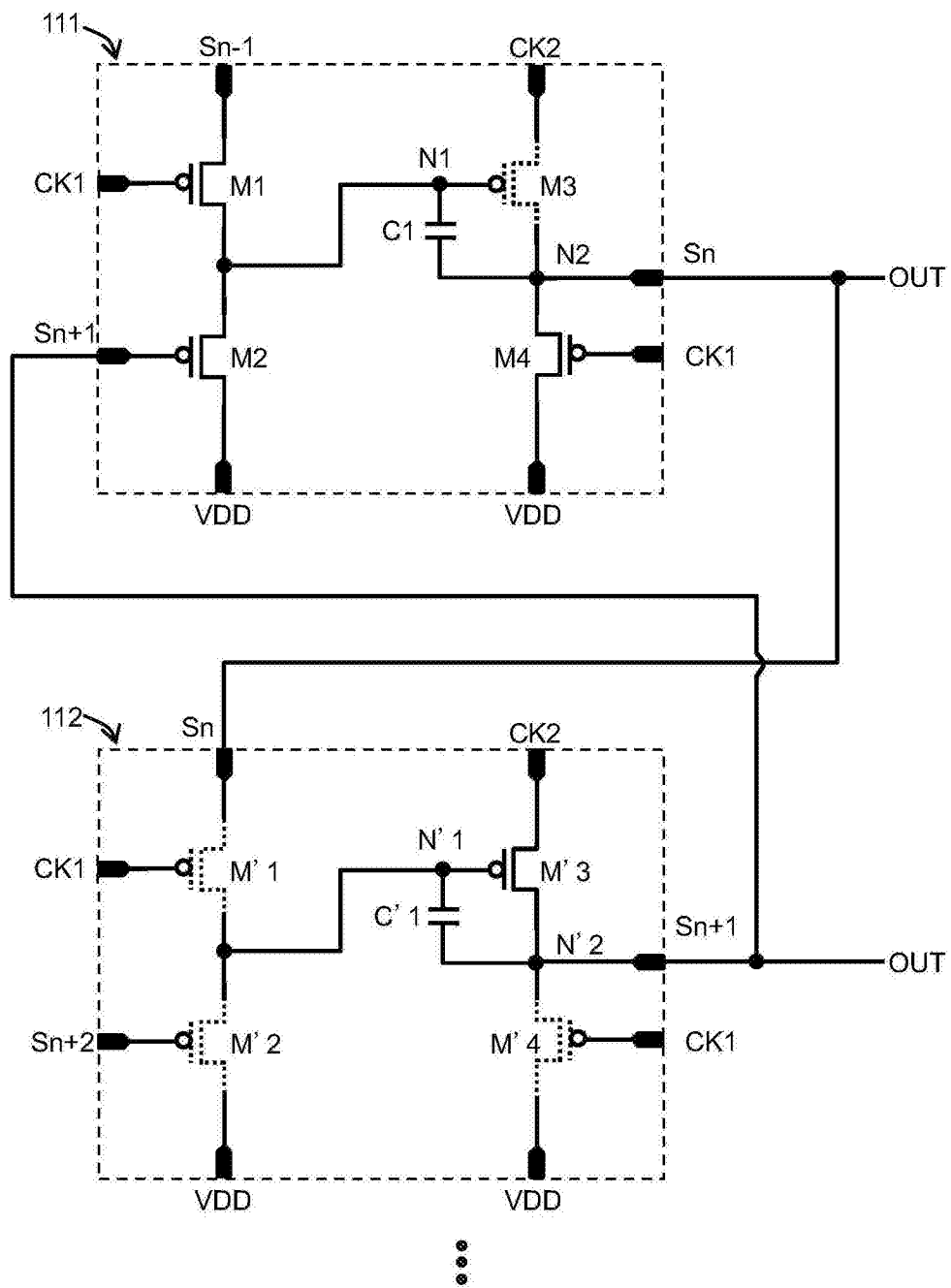


图 5E

专利名称(译)	移位寄存器及OLED显示器驱动电路		
公开(公告)号	CN106328042A	公开(公告)日	2017-01-11
申请号	CN201510348937.2	申请日	2015-06-19
[标]申请(专利权)人(译)	上海和辉光电有限公司		
申请(专利权)人(译)	上海和辉光电有限公司		
当前申请(专利权)人(译)	上海和辉光电有限公司		
[标]发明人	周思思		
发明人	周思思		
IPC分类号	G09G3/32 G11C19/28		
CPC分类号	G11C19/28 G09G3/3266 G09G2300/0408 G09G2310/0286		
代理人(译)	吴俊		
外部链接	Espacenet SIPO		

摘要(译)

本发明主要是关于显示器领域，更确切地说，是涉及到一种用于阵列基板行驱动电路及相关的显示装置和涉及到由基本的驱动电路构成的多级移位寄存器，通过在多级驱动模块中，将任意一级驱动模块的输出信号同时作为与其相邻的上一级驱动模块的重置信号和作为与其相邻的下一级驱动模块的输入信号，由多级驱动模块对应产生的多个输出信号的集合构成一系列非交叠的时序脉冲信号。

