



(12)发明专利申请

(10)申请公布号 CN 111146252 A

(43)申请公布日 2020.05.12

(21)申请号 201911069343.2

(22)申请日 2019.11.05

(30)优先权数据

10-2018-0134613 2018.11.05 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道

(72)发明人 车明根 崔相虔 金相燮 辛知映

李镛守 崔起锡

(74)专利代理机构 北京德琦知识产权代理有限公司

公司 11018

代理人 宋颖娉 康泉

(51)Int.Cl.

H01L 27/32(2006.01)

H01L 27/12(2006.01)

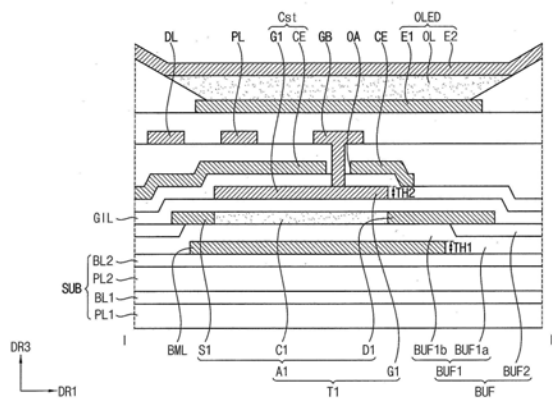
权利要求书1页 说明书15页 附图20页

(54)发明名称

显示设备

(57)摘要

显示设备包括:基板;位于基板上的金属层;位于基板上的覆盖金属层的缓冲层,缓冲层具有平坦化的上表面,并且包括:包括不与金属层的上表面重叠的第一部分和与金属层的上表面重叠的第二部分的第一缓冲层以及位于第一缓冲层的第一部分上的第二缓冲层,第二部分从第一部分向上突出;位于缓冲层的平坦化的上表面上的有源图案,有源图案与金属层重叠;位于有源图案上的栅绝缘层;位于栅绝缘层上的栅电极,栅电极与有源图案重叠;以及位于栅电极上的有机发光二极管。



1. 一种显示设备,包括  
基板;  
位于所述基板上的金属层;  
覆盖所述金属层并位于所述基板上的缓冲层,所述缓冲层具有平坦化的上表面,并且包括:包括不与所述金属层的上表面重叠的第一部分和与所述金属层的所述上表面重叠的第二部分的第一缓冲层,以及位于所述第一缓冲层的所述第一部分上的第二缓冲层,所述第二部分从所述第一部分向上突出;  
位于所述缓冲层的所述平坦化的上表面上的有源图案,所述有源图案与所述金属层重叠;  
位于所述有源图案上的栅绝缘层;  
位于所述栅绝缘层上的栅电极,所述栅电极与所述有源图案重叠;以及  
位于所述栅电极上的有机发光二极管。
2. 根据权利要求1所述的显示设备,其中,所述金属层的厚度大于或等于所述栅电极的厚度。
3. 根据权利要求1所述的显示设备,其中,所述金属层的材料与所述栅电极的材料相同。
4. 根据权利要求1所述的显示设备,其中所述第一缓冲层的所述第二部分的上表面和所述第二缓冲层的上表面处于所述基板上方的同一水平面。
5. 根据权利要求1所述的显示设备,其中所述缓冲层进一步包括位于所述第一缓冲层的所述第一部分和所述第二缓冲层之间并且位于所述第一缓冲层的所述第二部分和所述有源图案之间的蚀刻停止层。
6. 根据权利要求5所述的显示设备,其中所述蚀刻停止层的位于所述第一缓冲层的所述第二部分上的上表面和所述第二缓冲层的上表面处于所述基板上方的同一水平面。
7. 根据权利要求1所述的显示设备,进一步包括位于所述栅电极上的驱动电压线,所述驱动电压线将驱动电压传输至所述有机发光二极管,并且所述金属层连接至所述驱动电压线。
8. 根据权利要求1所述的显示设备,其中:  
所述有源图案包括源电极、漏电极以及位于所述源电极和所述漏电极之间的沟道,并且  
所述金属层连接至所述源电极。
9. 根据权利要求1所述的显示设备,其中所述金属层连接至所述栅电极。
10. 根据权利要求1所述的显示设备,其中所述金属层的厚度大于或等于2500Å。

## 显示设备

### 技术领域

[0001] 实施例涉及一种显示设备。更具体地,实施例涉及包括薄膜晶体管的显示设备和制造该显示设备的方法。

### 背景技术

[0002] 平板显示设备已经广泛用作显示设备。在平板显示设备中,有机发光显示设备由于其例如厚度薄、重量轻、功耗低、响应速度快等优点而备受关注。

[0003] 有机发光显示设备可以包括多个薄膜晶体管和连接至薄膜晶体管的有机发光二极管。有机发光二极管可以发射具有与从薄膜晶体管传输到有机发光二极管的电压相对应的亮度的光。

### 发明内容

[0004] 根据实施例的显示设备可以包括:基板;位于基板上的金属层;覆盖金属层并且位于基板上的缓冲层,缓冲层具有平坦化的上表面;位于缓冲层的平坦化的上表面上的有源图案,有源图案与金属层重叠;位于有源图案上的栅绝缘层;位于栅绝缘层上的栅电极,栅电极与有源图案重叠;以及位于栅电极上的有机发光二极管。缓冲层可以包括:包括不与金属层重叠的第一部分和与金属层重叠的第二部分的第一缓冲层以及位于第一缓冲层的第一部分上的第二缓冲层,第二部分从第一部分朝向有源图案突出。

[0005] 在实施例中,金属层的厚度可以大于或等于栅电极的厚度。

[0006] 在实施例中,金属层的材料可以与栅电极的材料相同。

[0007] 在实施例中,第一缓冲层的第二部分的上表面和第二缓冲层的上表面可以处于基板上方的同一水平面。

[0008] 在实施例中,第二缓冲层可以包括氧化硅。

[0009] 在实施例中,缓冲层可以进一步包括位于第一缓冲层的第一部分和第二缓冲层之间并且位于第一缓冲层的第二部分和有源图案之间的蚀刻停止层。

[0010] 在实施例中,蚀刻停止层可以包括氮化硅。

[0011] 在实施例中,蚀刻停止层的设置在第一缓冲层的第二部分上的上表面和第二缓冲层的上表面可以处于基板上方的同一水平面。

[0012] 在实施例中,显示设备可以进一步包括位于栅电极上的驱动电压线,驱动电压线将驱动电压传输到有机发光二极管。金属层可以连接至驱动电压线。

[0013] 在实施例中,有源图案可以包括源电极、漏电极以及位于源电极和漏电极之间的沟道,并且金属层可以连接至源电极。

[0014] 在实施例中,金属层可以连接至栅电极。

[0015] 在实施例中,金属层的厚度可以大于或等于大约  $2500\text{\AA}$ 。

[0016] 根据实施例的显示设备可以包括:基板;位于基板上的金属层;覆盖金属层并且位于基板上的缓冲层,缓冲层具有平坦化的上表面;位于缓冲层的平坦化的上表面上的有源

图案,有源图案与金属层重叠;位于有源图案上的栅绝缘层;位于栅绝缘层上的栅电极,栅电极与有源图案重叠;以及位于栅电极上的有机发光二极管。缓冲层的设置在金属层上的第一部分的厚度可以小于缓冲层的不与金属层重叠的第二部分的厚度。

[0017] 在实施例中,缓冲层的第一部分的厚度可以小于或等于栅绝缘层的厚度。

[0018] 在实施例中,金属层的厚度可以大于或等于栅电极的厚度。

[0019] 在实施例中,金属层的材料可以与栅电极的材料相同。

[0020] 在实施例中,缓冲层的第一部分的厚度可以小于或等于大约 1300Å。

[0021] 制造根据实施例的显示设备的方法可以包括:在基板上形成金属层;在基板上形成缓冲层,缓冲层覆盖金属层,并且缓冲层的与金属层重叠的部分被突出;对缓冲层的上表面进行平坦化;在平坦化的缓冲层的上表面上形成有源图案,有源图案与金属层重叠;在有源图案上形成栅绝缘层;在栅绝缘层上形成栅电极,栅电极与有源图案重叠;以及在栅电极上形成有机发光二极管。形成缓冲层可以包括:在金属层上形成第一缓冲层,第一缓冲层包括与金属层重叠的第一突出部分;以及在第一缓冲层上形成第二缓冲层,第二缓冲层包括与第一突出部分重叠的第二突出部分。对缓冲层的上表面进行平坦化可以包括蚀刻至少第二突出部分。

[0022] 在实施例中,对缓冲层的上表面进行平坦化可以包括仅蚀刻第二突出部分。

[0023] 在实施例中,对缓冲层的上表面进行平坦化可以包括蚀刻第二缓冲层和第一突出部分。

[0024] 在实施例中,缓冲层的上表面可以通过化学机械抛光来平坦化。

[0025] 在实施例中,形成缓冲层可以进一步包括在形成第一缓冲层之后并且在形成第二缓冲层之前在第一缓冲层上形成蚀刻停止层。

## 附图说明

[0026] 通过结合附图对示例性实施例进行详细描述,特征将对本领域技术人员来说变得明显,附图中:

[0027] 图1示出了根据实施例的显示设备的像素的电路图。

[0028] 图2示出了图1中的像素的布局图。

[0029] 图3示出了根据实施例的显示设备的截面图。

[0030] 图4至图6示出了制造根据实施例的显示设备的方法中的各阶段的截面图。

[0031] 图7示出了根据实施例的显示设备的截面图。

[0032] 图8至图10示出了制造根据实施例的显示设备的方法中的各阶段的截面图。

[0033] 图11示出了根据实施例的显示设备的截面图。

[0034] 图12至图14示出了制造根据实施例的显示设备的方法中的各阶段的截面图。

[0035] 图15示出了根据实施例的显示设备的像素的电路图。

[0036] 图16示出了图15中的像素的布局图。

[0037] 图17示出了根据实施例的显示设备的像素的电路图。

[0038] 图18示出了图17中的像素的布局图。

[0039] 图19示出了根据实施例的显示设备的像素的电路图。

[0040] 图20示出了图19中的像素的布局图。

## 具体实施方式

[0041] 现在将在以下结合附图更充分地描述示例实施例,然而,这些实施例可以不同的形式体现,并且不应当被理解为仅限于本文所记载的实施例。相反,提供这些实施例的目的在于使该公开全面且完整,并且向本领域技术人员充分地传达示例性实施方式。

[0042] 在附图中,层和区域的尺寸可能为了图示的清晰而被放大。还将理解,当提及一层或元件位于另一层或基板“上”时,该层或元件可以直接位于另一层或基板上,或者也可以存在中间层。另外,也将理解,当提及一层位于两层“之间”时,该层可以是这两层之间仅有的层,或者也可以存在一个或多个中间层。相同的附图标记始终指代相同的元件。

[0043] 在下文中,将参考附图详细解释根据实施例的显示设备和制造显示设备的方法。

[0044] 在下文中,将参考图1至图3描述根据实施例的显示设备。

[0045] 图1是示出根据实施例的显示设备的像素的电路图。

[0046] 参考图1,根据实施例的显示设备可包括多个像素PX。每个像素PX可以包括像素电路PC和连接至像素电路PC的有机发光二极管OLED。像素电路PC可以包括多个薄膜晶体管T1、T2、T3、T4、T5、T6和T7以及电容器Cst。薄膜晶体管T1、T2、T3、T4、T5、T6和T7以及电容器Cst可以选择性地连接至第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2、发射控制线EML、初始化电压线Vint、数据线DL和驱动电压线PL。

[0047] 薄膜晶体管T1、T2、T3、T4、T5、T6和T7可以包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6和第七薄膜晶体管T7。

[0048] 第一薄膜晶体管T1可以包括连接至第三薄膜晶体管T3的第三漏电极D3、第四薄膜晶体管T4的第四漏电极D4和电容器Cst的第一电极的第一栅电极G1;连接至第二薄膜晶体管T2的第二漏电极D2和第五薄膜晶体管T5的第五漏电极D5的第一源电极S1;以及连接至第三薄膜晶体管T3的第三源电极S3和第六薄膜晶体管T6的第六源电极S6的第一漏电极D1。第一薄膜晶体管T1可以是用于控制通过有机发光二极管OLED的电流的驱动晶体管。

[0049] 第二薄膜晶体管T2可以包括连接至第一扫描线Sn的第二栅电极G2、连接至数据线DL的第二源电极S2以及连接至第一薄膜晶体管T1的第一源电极S1的第二漏电极D2。第二薄膜晶体管T2可以是用于导通或截止第一薄膜晶体管T1的开关晶体管。

[0050] 第三薄膜晶体管T3可以包括连接至第一扫描线Sn的第三栅电极G3、连接至第一薄膜晶体管T1的第一漏电极D1的第三源电极S3以及连接至第一薄膜晶体管T1的第一栅电极G1的第三漏电极D3。第三薄膜晶体管T3可以是用于在作为驱动晶体管的第一薄膜晶体管T1的第一漏电极D1和第一栅电极G1之间进行连接的补偿晶体管。

[0051] 第四薄膜晶体管T4可以包括连接至第二扫描线Sn-1的第四栅电极G4、连接至初始化电压线Vint的第四源电极S4以及连接至第一薄膜晶体管T1的第一栅电极G1的第四漏电极D4。第四薄膜晶体管T4可以是用于初始化作为驱动晶体管的第一薄膜晶体管T1的第一栅电极G1的初始化晶体管。

[0052] 第五薄膜晶体管T5可以包括连接至发射控制线EML的第五栅电极G5、连接至驱动电压线PL的第五源电极S5以及连接至第一薄膜晶体管T1的第一源电极S1的第五漏电极D5。

[0053] 第六薄膜晶体管T6可以包括连接至发射控制线EML的第六栅电极G6、连接至第一薄膜晶体管T1的第一漏电极D1的第六源电极S6以及连接至有机发光二极管OLED的第六漏

电极D6。第一薄膜晶体管T1可以通过第六薄膜晶体管T6连接至有机发光二极管OLED。第五薄膜晶体管T5和第六薄膜晶体管T6可以是用于将作为驱动晶体管的第一薄膜晶体管T1连接至驱动电压线PL和有机发光二极管OLED的发射控制晶体管。

[0054] 第七薄膜晶体管T7可以包括连接至第三扫描线Sn-2的第七栅电极G7、连接至有机发光二极管OLED的第七源电极S7以及连接至第四薄膜晶体管T4的第四源电极S4的第七漏电极D7。

[0055] 金属层BML可以穿过薄膜晶体管T1、T2、T3、T4、T5、T6和T7中的至少一个薄膜晶体管。具体地，金属层BML可以与至少一个薄膜晶体管的有源图案重叠。在实施例中，金属层BML可以穿过第一薄膜晶体管T1。具体地，金属层BML可以穿越像素电路PC，并且可以与第一薄膜晶体管T1的有源图案重叠。

[0056] 在实施例中，金属层BML可以连接至位于像素PX外部的电源。可以从电源向金属层BML提供电压。

[0057] 电容器Cst可以包括连接至第一薄膜晶体管T1的第一栅电极G1和第三薄膜晶体管T3的第三漏电极D3的第一电极以及连接至驱动电压线PL的第二电极。

[0058] 有机发光二极管OLED可以包括第一电极、位于第一电极上的第二电极以及位于第一电极和第二电极之间的有机发射层。有机发光二极管OLED的第一电极可以连接至第七薄膜晶体管T7的第七源电极S7和第六薄膜晶体管T6的第六漏电极D6，并且有机发光二极管OLED的第二电极可以电连接至供应公共电压ELVSS的电源。

[0059] 图2是示出了图1中的像素PX的布局图。图3是示出了根据实施例的显示设备的截面图。例如图3可以示出沿图2中的线I-I'截取的显示设备的示例。

[0060] 绝缘层可以位于安置在不同层上的构成元件之间，并且绝缘层可以是例如氮化硅或氧化硅的无机绝缘层，或有机绝缘层。绝缘层可以被提供为单层或多层。

[0061] 参考图2和图3，根据实施例的显示设备可以包括像素电路PC(图1)和连接至像素电路PC的有机发光二极管OLED，像素电路PC包括第一薄膜晶体管T1、第二薄膜晶体管T2、第三薄膜晶体管T3、第四薄膜晶体管T4、第五薄膜晶体管T5、第六薄膜晶体管T6、第七薄膜晶体管T7、电容器Cst以及选择性地连接至第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2、发射控制线EML、数据线DL、驱动电压线PL和初始化电压线Vint的栅桥GB。

[0062] 基板SUB可以是绝缘基板，包括例如玻璃、聚合物或不锈钢。在实施例中，基板SUB可以包括依次堆叠的第一塑料层PL1、第一阻挡层BL1、第二塑料层PL2和第二阻挡层BL2。例如，第一塑料层PL1和第二塑料层PL2可以包括塑料，例如聚酰亚胺(PI)、聚萘二甲酸乙二醇酯(PEN)、聚对苯二甲酸乙二醇酯(PET)、聚芳酯(PAR)、聚碳酸酯(PC)、聚醚酰亚胺(PEI)或聚醚砜(PS)等。第一阻挡层BL1和第二阻挡层BL2可以包括硅化合物，例如非晶硅(a-Si)、氧化硅(SiO<sub>x</sub>)或氮化硅(SiN<sub>x</sub>)等。

[0063] 金属层BML(例如，金属线)可以被设置在基板SUB上。金属层BML可以穿越像素电路PC，并且可以沿第一方向DR1延伸。例如，如图2中所示，金属层BML可以沿第一方向DR1延伸并且在第二方向DR2上具有预定宽度(例如，两条粗实线之间)以与第一薄膜晶体管T1的第一栅电极G1重叠。如图3中所示，金属层BML可以与第一薄膜晶体管T1重叠，并且可以位于基板SUB和第一薄膜晶体管T1之间。在实施例中，金属层BML可以包括金属，例如钼(Mo)等。金属层BML可以通过位于像素PX外部的连接线连接至位于像素PX外部的电源。

[0064] 如图3中进一步所示,覆盖金属层BML的缓冲层BUF可以被设置在基板SUB上。缓冲层BUF可以防止杂质(例如,氧气、湿气等)透过基板SUB。缓冲层BUF可以具有平坦化的上表面。因此,缓冲层BUF可以在基板SUB上提供平坦化表面。缓冲层BUF可以包括第一缓冲层BUF1和第二缓冲层BUF2。

[0065] 覆盖金属层BML的第一缓冲层BUF1可以被设置在基板SUB上。第一缓冲层BUF1可以沿着基板SUB和金属层BML的轮廓而形成在基板SUB上。第一缓冲层BUF1可以包括不与金属层BML的上表面重叠的第一部分BUF1a和从第一部分BUF1a沿着金属层BML的轮廓(例如,沿着金属层BML的侧面和上表面)向上突出的第二部分BUF1b,例如,第一部分BUF1a和第二部分BUF1b可以彼此连续以限定单层。第一缓冲层BUF1的第一部分BUF1a可以例如直接设置在基板SUB的上表面上,并且第一缓冲层BUF1的第二部分BUF1b可以例如直接设置在金属层BML的上表面上。因此,可以在第一缓冲层BUF1的第一部分BUF1a和第二部分BUF1b之间形成台阶部分。

[0066] 第一缓冲层BUF1可以包括无机绝缘材料,例如氮化硅( $\text{SiN}_x$ )或氧化硅( $\text{SiO}_x$ )等。在实施例中,第一缓冲层BUF1可以具有包括氮化硅层和设置在氮化硅层上的氧化硅层的多层结构。在实施例中,第一缓冲层BUF1的厚度可以为大约  $3500\text{\AA}$ 。

[0067] 第二缓冲层BUF2可以被设置在第一缓冲层BUF1的第一部分BUF1a上。例如,如图3中所示,第二缓冲层BUF2可以填充第一缓冲层BUF1的第一部分BUF1a和第二部分BUF1b之间的台阶部分。第二缓冲层BUF2可以不位于例如第一缓冲层BUF1的第二部分BUF1b的上表面上。因此,第二缓冲层BUF2可以不与金属层BML重叠。

[0068] 第一缓冲层BUF1的第二部分BUF1b的上表面和第二缓冲层BUF2的上表面可以位于基板SUB上方的同一水平面上,例如,第一缓冲层BUF1的第二部分BUF1b的上表面和第二缓冲层BUF2的上表面可以共面。第一缓冲层BUF1的第二部分BUF1b的上表面和第二缓冲层BUF2的上表面可以一致,以例如形成缓冲层BUF的上表面。因此,缓冲层BUF可以具有平坦化的上表面。

[0069] 在实施例中,第二缓冲层BUF2可以包括例如氧化硅( $\text{SiO}_x$ )。包括氧化硅的第二缓冲层BUF2可以在第一缓冲层BUF1和第二缓冲层BUF2之间的界面处与第一缓冲层BUF1的氧化硅层相接触。

[0070] 缓冲层BUF的与金属层BML重叠的一部分可以具有包括第一缓冲层BUF1的单层结构,并且缓冲层BUF的不与金属层BML重叠的一部分可以具有包括第一缓冲层BUF1和第二缓冲层BUF2的多层结构。虽然第一缓冲层BUF1的第二部分BUF1b可以根据金属层BML的轮廓从第一缓冲层BUF1的第一部分BUF1a向上方突出,但是第二缓冲层BUF2可以被设置在第一缓冲层BUF1的第一部分BUF1a上,从而平坦化缓冲层BUF的上表面。

[0071] 第一薄膜晶体管T1可以例如直接位于缓冲层BUF上,并且可以包括第一有源图案A1和第一栅电极G1。第一有源图案A1可以包括第一源电极S1、第一沟道C1和第一漏电极D1。第一源电极S1可以连接至第二薄膜晶体管T2的第二漏电极D2和第五薄膜晶体管T5的第五漏电极D5。第一漏电极D1可以连接至第三薄膜晶体管T3的第三源电极S3和第六薄膜晶体管T6的第六源电极S6。

[0072] 第一有源图案A1可以被设置在具有平坦化的上表面的缓冲层BUF上,并且可以与金属层BML重叠。例如,第一有源图案A1的下表面可以与第一缓冲层BUF1的第二部分BUF1b

的上表面和第二缓冲层BUF2的上表面相接触。

[0073] 第一有源图案A1可以由例如多晶硅或氧化物半导体形成。第一有源图案A1的第一沟道C1可以是掺杂有N型杂质或P型杂质的沟道。第一源电极S1和第一漏电极D1可以由于介于其间的第二沟道C2而彼此间隔开,并且可以掺杂有与第二沟道C2所掺杂的杂质相反类型的杂质。

[0074] 第一有源图案A1的第一沟道C1可以与金属层BML重叠。由于电压被供应至金属层BML,使得电荷(例如,电子或空穴)可以根据供应至金属层BML的电压的极性而存储在第二有源图案A2的第一沟道C1中,所以第二薄膜晶体管T2的阈值电压可以被控制。换句话说,第二薄膜晶体管T2的阈值电压可以使用金属层BML来减小或增大,并且第二薄膜晶体管T2的驱动范围可以通过控制第二薄膜晶体管T2的阈值电压来改变。

[0075] 第一栅电极G1可以与第二有源图案A2重叠,可以位于第二有源图案A2上,并且可以具有岛状。具体地,第一栅电极G1可以与第二有源图案A2的第一沟道C1重叠。第一栅电极G1可以通过穿过接触孔的栅桥GB连接至第四薄膜晶体管T4的第四漏电极D4和第三薄膜晶体管T3的第三漏电极D3。第一栅电极G1可以与电容器电极CE重叠。第一栅电极G1可以用作第二薄膜晶体管T2的栅电极,并且还可以用作电容器Cst的电极。换句话说,第一栅电极G1可以与电容器电极CE一起构成电容器Cst。

[0076] 金属层BML可以与第一栅电极G1一起用作第一薄膜晶体管T1的栅电极。第一薄膜晶体管T1可以是具有金属层BML作为下栅电极和第一栅电极G1作为上栅电极的双栅型薄膜晶体管。

[0077] 在实施例中,例如沿着第三方向DR3,金属层BML的厚度TH1可以大于或等于第一栅电极G1的厚度TH2。例如,第一栅电极G1的厚度TH2可以是大约2500Å,并且金属层BML的厚度TH1可以大于或等于大约2500Å。由于金属层BML的厚度TH1大于或等于第一栅电极G1的厚度TH2,因此金属层BML可以具有相对厚的厚度。所以,金属层BML的电阻可能不会很大,并且可以防止通过金属层BML传输的信号的延迟。

[0078] 在实施例中,金属层BML的材料可以与第一栅电极G1的材料相同。例如,第一栅电极G1和金属层BML可以包括钼(Mo)。

[0079] 栅绝缘层GIL可以被设置在第二有源图案A2和第一栅电极G1之间。覆盖第二有源图案A2的栅绝缘层GIL可以被设置在缓冲层BUF上。栅绝缘层GIL可以使第一栅电极G1与第二有源图案A2绝缘。栅绝缘层GIL可以包括无机绝缘材料,例如氮化硅(SiN<sub>x</sub>)或氧化硅(SiO<sub>x</sub>)等。在实施例中,栅绝缘层GIL的例如沿着第三方向DR3的厚度可以在从大约1200Å到大约1300Å的范围内。

[0080] 第二薄膜晶体管T2可以位于缓冲层BUF上,并且可以包括第二有源图案A2和第二栅电极G2。第二有源图案A2可以包括第二源电极S2、第二沟道C2和第二漏电极D2。第二源电极S2可以通过接触孔连接至数据线DL,并且第二漏电极D2可以连接至第一薄膜晶体管T1的第一源电极S1。作为第二有源图案A2的与第二栅电极G2重叠的沟道区的第二沟道C2可以位于第二源电极S2和第二漏电极D2之间。第二有源图案A2可以连接至第二有源图案A1。

[0081] 第二有源图案A2的第二沟道C2可以是掺杂有N型杂质或P型杂质的沟道。第二源电极S2和第二漏电极D2可以由于其间的第二沟道C2而彼此间隔开,并且可以掺杂有与第二沟

道C2所掺杂的杂质相反类型的杂质。第二有源图案A2可以与第一有源图案A1位于同一层上,可以由与第一有源图案A1相同的材料形成,并且可以与第一有源图案A1一体地形成。第二栅电极G2可以位于栅绝缘层GIL上,可以与第二有源图案A2的第二沟道C2重叠,并且可以与第一扫描线Sn一体地形成。

[0082] 第三薄膜晶体管T3可以位于缓冲层BUF上,并且可以包括第三有源图案A3和第三栅电极G3。第三有源图案A3可以包括第三源电极S3、第三沟道C3和第三漏电极D3。第三源电极S3可以连接至第一漏电极D1,并且第三漏电极D3可以通过穿过接触孔的栅桥GB连接至第一薄膜晶体管T1的第一栅电极G1。作为第三有源图案A3的与第三栅电极G3重叠的沟道区的第三沟道C3可以位于第三源电极S3和第三漏电极D3之间。第三有源图案A3可以连接在第一有源图案A1和第一栅电极G1之间。

[0083] 第三有源图案A3的第三沟道C3可以是掺杂有N型杂质或P型杂质的沟道。第三源电极S3和第三漏电极D3可以由于其间的第三沟道C3而彼此间隔开,并且可以被掺杂有与第三沟道C3所掺杂的杂质相反类型的杂质。第三有源图案A3可以与第一有源图案A1和第二有源图案A2位于同一层上,由与第一有源图案A1和第二有源图案A2相同的材料形成,并且与第一有源图案A1和第二有源图案A2一体地形成。第三栅电极G3可以位于栅绝缘层GIL上,可以与第三有源图案A3的第三沟道C3重叠,并且可以与第一扫描线Sn一体地形成。第三栅电极G3可以被形成为双栅电极。

[0084] 第四薄膜晶体管T4可以位于缓冲层BUF上,并且可以包括第四有源图案A4和第四栅电极G4。第四有源图案A4可以包括第四源电极S4、第四沟道C4和第四漏电极D4。第四源电极S4可以通过接触孔连接至初始化电压线Vint,并且第四漏电极D4可以通过穿过接触孔的栅桥GB连接至第一薄膜晶体管T1的第一栅电极G1。作为第四有源图案A4的与第四栅电极G4重叠的沟道区的第四沟道C4可以位于第四源电极S4和第四漏电极D4之间。第四有源图案A4可以连接在初始化电压线Vint和第一栅电极G1之间,并且可以连接至第三有源图案A3和第一栅电极G1。

[0085] 第四有源图案A4的第四沟道C4可以是掺杂有N型杂质或P型杂质的沟道。第四源电极S4和第四漏电极D4可以由于其间的第四沟道C4而彼此间隔开,并且可以掺杂有与第四沟道C4所掺杂的杂质相反类型的杂质。第四有源图案A4可以与第一有源图案A1、第二有源图案A2和第三有源图案A3位于同一层上,由与第一有源图案A1、第二有源图案A2和第三有源图案A3相同的材料形成,并且与第一有源图案A1、第二有源图案A2和第三有源图案A3一体地形成。第四栅电极G4可以位于栅绝缘层GIL上,可以与第四有源图案A4的第四沟道C4重叠,并且可以与第二扫描线Sn-1一体地形成。第四栅电极G4可以被形成为双栅电极。

[0086] 第五薄膜晶体管T5可以位于缓冲层BUF上,并且可以包括第五有源图案A4和第五栅电极G4。第五有源图案A5可以包括第五源电极S5、第五沟道C5和第五漏电极D5。第五源电极S5可以通过接触孔连接至驱动电压线PL,并且第五漏电极D5可以连接至第一薄膜晶体管T1的第一源电极S1。作为第五有源图案A5的与第五栅电极G4重叠的沟道区的第五沟道C5可以位于第五源电极S5和第五漏电极D5之间。第五有源图案A5可以连接在驱动电压线PL和第一有源图案A1之间。

[0087] 第五有源图案A5的第五沟道C5可以是掺杂有N型杂质或P型杂质的沟道。第五源电极S5和第五漏电极D5可以由于其间的第五沟道C5而彼此间隔开,并且可以掺杂有与第五沟

道C5所掺杂的杂质相反类型的杂质。第五有源图案A5可以与第一至第四有源图案A1、A2、A3和A4位于同一层上,由与第一至第四有源图案A1、A2、A3和A4相同的材料形成,并且与第一至第四有源图案A1、A2、A3和A4一体地形成。第五栅电极G5可以位于栅绝缘层GIL上,可以与第五有源图案A5的第五沟道C5重叠,并且可以与发射控制线EML一体地形成。

[0088] 第六薄膜晶体管T6可以位于缓冲层BUF上,并且可以包括第六有源图案A6和第六栅电极G6。第六有源图案A6可以包括第六源电极S6、第六沟道C6和第六漏电极D6。第六源电极S6可以连接至第一薄膜晶体管T1的第一漏电极D1,并且第六漏电极D6可以通过接触孔连接至有机发光二极管OLED的第一电极E1。作为第六有源图案A6的与第六栅电极G6重叠的沟道区的第六沟道C6可以位于第六源电极S6和第六漏电极D6之间。第六有源图案A6可以连接在第一有源图案A1和有机发光二极管OLED的第一电极E1之间。

[0089] 第六有源图案A6的第六沟道C6可以是掺杂有N型杂质或P型杂质的沟道。第六源电极S6和第六漏电极D6可以由于其间的第六沟道C6而彼此间隔开,并且可以掺杂有与第六沟道C6所掺杂的杂质相反类型的杂质。第六有源图案A6可以与第一至第五有源图案A1、A2、A3、A4和A5位于同一层上,由与第一至第五有源图案A1、A2、A3、A4和A5相同的材料形成,并且与第一至第五有源图案A1、A2、A3、A4和A5一体地形成。第六栅电极G6可以位于栅绝缘层GIL上,可以与第六有源图案A6的第六沟道C6重叠,并且可以与发射控制线EML一体地形成。

[0090] 第七薄膜晶体管T7可以位于缓冲层BUF上,并且可以包括第七有源图案A7和第七栅电极G7。第七有源图案A7可以包括第七源电极S7、第七沟道C7和第七漏电极D7。第七源电极S7可以连接至图3中未示出的另一个像素(可以是位于图2中所示的像素的底部的另一个像素)的有机发光二极管OLED的第一电极,并且第七漏极D7可以连接至第四薄膜晶体管T4的第四源电极S4。作为第七有源图案A7的与第七栅电极G7重叠的沟道区的第七沟道C7可以位于第七源电极S7和第七漏电极D7之间。第七有源图案A7可以连接在有机发光二极管OLED的第一电极E1和第四有源图案A4之间。

[0091] 第七有源图案A7的第七沟道C7可以是掺杂有N型杂质或P型杂质的沟道。第七源电极S7和第七漏电极D7可以由于其间的第七沟道C7而彼此间隔开,并且可以掺杂有与第七沟道C7所掺杂的杂质相反类型的杂质。第七有源图案A7可以与第一至第六有源图案A1、A2、A3、A4、A5和A6位于同一层上,由与第一至第六有源图案A1、A2、A3、A4、A5和A6相同的材料形成,并且与第一至第六有源图案A1、A2、A3、A4、A5和A6一体地形成。第七栅电极G7可以位于栅绝缘层GIL上,可以与第七有源图案A7的第七沟道C7重叠,并且可以与第三扫描线Sn-2一体地形成。

[0092] 第一扫描线Sn可以位于第二有源图案A2和第三有源图案A3上,以在穿越第二有源图案A2和第三有源图案A3的方向(例如,第一方向DR1)上延伸。第一扫描线Sn可以与第二栅电极G2和第三栅电极G3一体地形成,以连接至第二栅电极G2和第三栅电极G3。

[0093] 第二扫描线Sn-1可以与第一扫描线Sn隔开以位于第四有源图案A4上,并且可以在穿越第四有源图案A4的方向(例如,第一方向DR1)上延伸。第二扫描线Sn-1可以与第四栅电极G4一体地形成以连接至第四栅电极G4。

[0094] 第三扫描线Sn-2可以与第二扫描线Sn-1隔开以位于第七有源图案A7上,并且可以在穿越第七有源图案A7的方向(例如,第一方向DR1)上延伸。第三扫描线Sn-2可以与第七栅电极G7一体地形成以连接至第七栅电极G7。

[0095] 发射控制线EML可以与第一扫描线Sn隔开以位于第五有源图案A5和第六有源图案A6上,并且可以在穿越第五有源图案A5和第六有源图案A6的方向(例如,第一方向DR1)上延伸。发射控制线EML可以与第五栅电极G5和第六栅电极G6一体地形成,以连接至第五栅电极G5和第六栅电极G6。

[0096] 上述发射控制线EML、第三扫描线Sn-2、第二扫描线Sn-1、第一扫描线Sn、第一栅电极G1、第二栅电极G2、第三栅电极G3、第四栅电极G4、第五栅电极G5、第六栅电极G6和第七栅电极G7可以位于同一层上,并且可以由相同的材料形成。例如,发射控制线EML、第三扫描线Sn-2、第二扫描线Sn-1、第一扫描线Sn、第一栅电极G1、第二栅电极G2、第三栅电极G3、第四栅电极G4、第五栅电极G5、第六栅电极G6和第七栅电极G7可以位于栅绝缘层GIL上,并且可以由钼(Mo)形成。

[0097] 电容器Cst可以包括彼此面对的第一电极和第二电极,在第一电极和第二电极之间具有绝缘层。第一电极可以是第一栅电极G1,并且第二电极可以是电容器电极CE。电容器电极CE可以位于第一栅电极G1上,并且可以通过接触孔连接至驱动电压线PL。电容器电极CE可以与第一栅电极G1一起构成电容器Cst,并且第一栅电极G1和电容器电极CE可以由不同的金属或相同的金属形成在不同的层处。

[0098] 电容器电极CE可以包括与第一栅电极G1的一部分重叠的开口OA,并且栅桥GB可以通过开口OA连接至第一栅电极G1。电容器电极CE可以与金属层BML重叠。

[0099] 数据线DL可以位于第一扫描线Sn上以在穿越第一扫描线Sn的方向(例如,第二方向DR2)上延伸,并且可以通过接触孔连接至第二有源图案A2的第二源电极S2。数据线DL可以延伸以穿越第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2和发射控制线EML。

[0100] 驱动电压线PL可以与数据线DL隔开以被提供在第一扫描线Sn上,并且可以在穿越第一扫描线Sn的方向(例如,第二方向DR2)上延伸。驱动电压线PL可以通过接触孔连接至电容器电极CE和第五有源图案A5的与第一有源图案A1连接的第五源电极S5。驱动电压线PL可以延伸以穿越第一扫描线Sn、第二扫描线Sn-1、第三扫描线Sn-2和发射控制线EML。

[0101] 栅桥GB可以位于第一扫描线Sn上以与驱动电压线PL间隔开。栅桥GB可以通过接触孔连接至第三有源图案A3的第三漏电极D3和第四有源图案A4的第四漏电极D4,并且可以通过另一个接触孔连接至通过电容器电极CE的开口OA暴露的第一栅电极G1。

[0102] 上述数据线DL、驱动电压线PL和栅桥GB可以位于同一层上,并且可以由相同的材料形成。在另一个实施例中,数据线DL、驱动电压线PL和栅桥GB可以选择性地地位于不同的层上,并且可以由不同的材料形成。

[0103] 初始化电压线Vint可以位于第二扫描线Sn-1上,并且可以通过接触孔连接至第四有源图案A4的第四源电极S4。初始化电压线Vint可以与有机发光二极管OLED的第一电极E1位于同一层上,并且可以由与有机发光二极管OLED的第一电极E1相同的材料形成。在另一个实施例中,初始化电压线Vint可以与第一电极E1位于不同的层上并且由与第一电极E1不同的材料形成。

[0104] 有机发光二极管OLED可以包括第一电极E1、有机发射层OL和第二电极E2。第一电极E1可以通过接触孔连接至第六薄膜晶体管T6的第六漏电极D6。有机发射层OL可以位于第一电极E1和第二电极E2之间。第二电极E2可以位于有机发射层OL上。第一电极E1和第二电极E2中的至少一个可以是光透射电极、光反射电极和光半透射电极中的任何一个,并且从

有机发射层OL发射的光可以在第一电极E1和第二电极E2中的至少一个电极方向上输出。

[0105] 在下文中,将参考图3至图6描述制造根据实施例的显示设备的方法。图4至图6是示出制造图3的显示设备的方法中的各阶段的截面图。

[0106] 参考图4,金属层BML和缓冲层BUF可以被形成在基板SUB上。例如,包括金属(例如,钼(Mo))的层可以通过化学气相沉积(CVD)、溅射等沉积在基板SUB上,并且包括金属的层可以被图案化以形成金属层BML。

[0107] 然后,覆盖金属层BML的缓冲层BUF可以被形成在基板SUB上。第一缓冲层BUF1可以被沉积在金属层BML上。第一缓冲层BUF1可以被沉积在基板SUB上并且沿着基板SUB和金属层BML的轮廓沉积,例如,第一缓冲层BUF1可以覆盖基板SUB的暴露的上表面以及金属层BML的暴露的侧面和上表面。因此,第一缓冲层BUF1可以包括沿着金属层BML的轮廓,例如相对于第一缓冲层BUF1的直接位于基板SUB上的一部分向上突出的第一突出部分PP1。第一突出部分PP1可以与金属层BML重叠。例如,氮化硅层和氧化硅层可以通过化学气相沉积(CVD)、溅射等依次沉积在其上形成有金属层BML的基板SUB上以形成第一缓冲层BUF1。

[0108] 然后,第二缓冲层BUF2可以被沉积在第一缓冲层BUF1上。第二缓冲层BUF2可以沿着第一缓冲层BUF1的轮廓而被沉积在第一缓冲层BUF1上。因此,第二缓冲层BUF2可以包括沿着第一突出部分PP1的轮廓向上突出的第二突出部分PP2。第二突出部分PP2可以与第一突出部分PP1重叠。例如,氧化硅层可以通过化学气相沉积(CVD)、溅射等而沉积在第一缓冲层BUF1上以形成第二缓冲层BUF2。因此,可以形成其中与金属层BML重叠的部分突出的缓冲层BUF。

[0109] 参考图5,缓冲层BUF的上表面可以被平坦化。第二缓冲层BUF2的至少第二突出部分PP2可以被蚀刻(例如去除),以平坦化缓冲层BUF的上表面,例如因此保留在基板SUB上的第一缓冲层BUF1和第二缓冲层BUF2的上表面可以彼此等高以限定单个平坦表面。

[0110] 在实施例中,可以仅蚀刻第二突出部分PP2以平坦化缓冲层BUF的上表面。在缓冲层BUF中,可以仅向上突出的第二突出部分PP2被蚀刻,而缓冲层BUF的其余部分可以不被蚀刻。换句话说,在第二缓冲层BUF2中,可以仅第二突出部分PP2被蚀刻,而第二缓冲层BUF2的其余部分和第一缓冲层BUF1的全部可以不被蚀刻。缓冲层BUF可以从第二突出部分PP2的上表面向下蚀刻第二缓冲层BUF2的厚度,而第一缓冲层BUF1的第一突出部分PP1可以不被蚀刻。

[0111] 在实施例中,第二突出部分PP2的全部和第一突出部分PP1的一部分可以被蚀刻,以平坦化缓冲层BUF的上表面。在第二缓冲层BUF2中,向上突出的第二突出部分PP2以及第二缓冲层BUF2的其余部分的上部可以被蚀刻,并且在第一缓冲层BUF1中,第一突出部分PP1的上部可以被蚀刻。缓冲层BUF可以从第二突出部分PP2的上表面向下蚀刻大于第二缓冲层BUF2的厚度且小于第一缓冲层BUF1的厚度与第二缓冲层BUF2的厚度之和的厚度。

[0112] 在实施例中,缓冲层BUF的上表面可以通过化学机械抛光而平坦化。

[0113] 参考图6,有源图案A1、A2、A3、A4、A5、A6和A7、栅绝缘层GIL以及栅电极G1、G2、G3、G4、G5、G6和G7可以被形成在具有平坦化的上表面的缓冲层BUF上。

[0114] 有源图案A1、A2、A3、A4、A5、A6和A7可以被形成在平坦化的缓冲层BUF上。例如,可以通过化学气相沉积(CVD)、溅射等将非晶硅层沉积在缓冲层BUF上,并且可以通过准分子激光等使非晶硅层结晶以形成多晶硅层。多晶硅层可以被图案化以形成有源图案A1、A2、

A3、A4、A5、A6和A7。

[0115] 有源图案A1、A2、A3、A4、A5、A6和A7中的第一有源图案A1可以被形成在缓冲层BUF的平坦化的上表面上, 以与金属层BML重叠。例如, 第一有源图案A1的下表面可以与第一缓冲层BUF1的第一突出部分PP1的上表面和第二缓冲层BUF2的上表面相接触。第一有源图案A1可以被形成在缓冲层BUF的平坦化的上表面上, 使得第一有源图案A1可以不具有台阶部分。

[0116] 在比较例中, 当缓冲层具有台阶部分时, 形成在缓冲层上的非晶硅层可能会在使用激光的结晶工艺中被不均匀地结晶。因此, 这种具有不均匀结晶的有源图案的特性可能劣化。然而, 在本实施例中, 具有台阶部分的缓冲层BUF的上表面可以被平坦化, 使得非晶硅层可以被沉积在平坦化的缓冲层BUF上, 从而有利于非晶硅层的均匀结晶以及随后具有改善的性质的第一有源图案A1的形成。

[0117] 然后, 栅绝缘层GIL可以被形成在有源图案A1、A2、A3、A4、A5、A6和A7上。例如, 氮化硅层和/或氧化硅层可以通过化学气相沉积(CVD)、溅射等被沉积在其上形成有源图案A1、A2、A3、A4、A5、A6和A7的缓冲层BUF上, 以形成栅绝缘层GIL。

[0118] 然后, 分别与有源图案A1、A2、A3、A4、A5、A6和A7重叠的栅电极G1、G2、G3、G4、G5、G6和G7可以被形成在栅绝缘层GIL上。例如, 包括金属(例如, 钼(Mo))等的层可以通过化学气相沉积(CVD)、溅射等沉积在基板SUB上, 并且包括金属的层可以被图案化以形成栅电极G1、G2、G3、G4、G5、G6和G7。使用栅电极G1、G2、G3、G4、G5、G6和G7作为掩模, 杂质可以被掺杂在有源图案A1、A2、A3、A4、A5、A6和A7中每一个的相对端, 以形成源电极S1、S2、S3、S4、S5、S6和S7以及漏电极D1、D2、D3、D4、D5、D6和D7。因此, 分别包括有源图案A1、A2、A3、A4、A5、A6和A7以及栅电极G1、G2、G3、G4、G5、G6和G7的薄膜晶体管T1、T2、T3、T4、T5、T6和T7可以被形成在缓冲层BUF上。

[0119] 参考图3, 有机发光二极管OLED可以被形成在其上形成有薄膜晶体管T1、T2、T3、T4、T5、T6和T7的基板SUB上。电容器电极CE、数据线DL、驱动电压线PL、栅桥GB等以及介于它们之间的绝缘层可以被形成在薄膜晶体管T1、T2、T3、T4、T5、T6和T7上, 并且第一电极E1、有机发射层OL和第二电极E2可以被依次沉积以形成有机发光二极管OLED。

[0120] 在下文中, 将参考图7描述根据实施例的显示设备。

[0121] 图7是示出根据实施例的显示设备的截面图。例如, 图7可以示出沿着图2中的线I-I' 截取的显示设备的另一个示例。除了增加了蚀刻停止层ES之外, 参考图7描述的显示设备可以与参考图3描述的显示设备基本相同或一样。因此, 将不重复关于与图3中的元件基本相同或相似的元件的描述。

[0122] 参考图7, 根据实施例的显示设备的缓冲层BUF' 可以进一步包括蚀刻停止层ES。蚀刻停止层ES可以被设置在第一缓冲层BUF1的第一部分BUF1a和第二缓冲层BUF2之间以及第一缓冲层BUF1的第二部分BUF1b和第一有源图案A1之间。

[0123] 位于第一缓冲层BUF1的第二部分BUF1b上的蚀刻停止层ES的上表面和第二缓冲层BUF2的上表面可以位于基本相同的水平面上。蚀刻停止层ES的位于第一缓冲层BUF1的第二部分BUF1b上的上表面和第二缓冲层BUF2的上表面可以对应于缓冲层BUF' 的上表面。因此, 缓冲层BUF' 可以具有平坦化的上表面。

[0124] 在实施例中, 蚀刻停止层ES可以包括氮化硅(SiN<sub>x</sub>)。形成在第一缓冲层BUF1和第

二缓冲层BUF2之间的蚀刻停止层ES可以包括与形成在包括氧化硅的第一缓冲层BUF1的上部和第二缓冲层BUF2中的氧化硅层的材料不同的材料。换句话说,蚀刻停止层ES的材料可以不同于与蚀刻停止层ES相接触的第一缓冲层BUF1和第二缓冲层BUF2的材料。

[0125] 在实施例中,蚀刻停止层ES的厚度可以小于第一缓冲层BUF1的厚度和第二缓冲层BUF2的厚度。因为蚀刻停止层ES的厚度可以相对薄,所以包括与第一缓冲层BUF1和第二缓冲层BUF2的氧化硅层的材料不同材料的蚀刻停止层ES对缓冲层BUF'的影响可以被最小化。

[0126] 在下文中,将参考图8至图10描述制造根据实施例的显示设备的方法。图8至图10是示出制造图7的显示设备的方法中的各阶段的截面图。除了另外形成蚀刻停止层ES之外,参考图8至图10描述的制造显示设备的方法可以与参考图3至图6描述的制造显示设备的方法相同或类似。因此,将不重复相同或相似元件的描述。

[0127] 参考图8,缓冲层BUF'可以被形成在其上形成有金属层BML的基板SUB上。缓冲层BUF'可以包括第一缓冲层BUF1、蚀刻停止层ES和第二缓冲层BUF2。

[0128] 第一缓冲层BUF1可以被沉积在金属层BML上,并且蚀刻停止层ES可以被沉积在第一缓冲层BUF1上。蚀刻停止层ES可以沿着第一缓冲层BUF1的轮廓而沉积在第一缓冲层BUF1上。因此,蚀刻停止层ES可以包括沿着第一突出部分PP1的轮廓向上突出的第三突出部分PP3。第三突出部分PP3可以与第一突出部分PP1重叠。例如,氮化硅层可以通过化学气相沉积(CVD)、溅射等沉积在第一缓冲层BUF1上,以形成蚀刻停止层ES。蚀刻停止层ES可以被形成为具有比第一缓冲层BUF1的厚度小的厚度。

[0129] 然后,第二缓冲层BUF2可以被沉积在蚀刻停止层ES上。第二缓冲层BUF2可以沿着蚀刻停止层ES的轮廓而沉积在蚀刻停止层ES上。因此,第二缓冲层BUF2可以包括沿着第三突出部分PP3的轮廓向上突出的第二突出部分PP2。第二突出部分PP2可以与第三突出部分PP3重叠。

[0130] 参考图9,缓冲层BUF'的上表面可以被平坦化。第二缓冲层BUF2的第二突出部分PP2可以被蚀刻以平坦化缓冲层BUF'的上表面。

[0131] 在缓冲层BUF'中,可以仅向上突出的第二突出部分PP2被蚀刻,而缓冲层BUF'的其余部分可以不被蚀刻。换句话说,在第二缓冲层BUF2中,可以仅第二突出部分PP2被蚀刻,而第二缓冲层BUF2的其余部分、蚀刻停止层ES的全部和第一缓冲层BUF1的全部可以不被蚀刻。在实施例中,向上突出的第二突出部分PP2以及蚀刻停止层ES的第三突出部分PP3的上部和第二缓冲层BUF2的其余部分的上部可以被部分蚀刻。

[0132] 因为包括与包括氧化硅的第一缓冲层BUF1和第二缓冲层BUF2的氧化硅层不同材料的氮化硅的蚀刻停止层ES可以被形成在第一缓冲层BUF1和第二缓冲层BUF2的氧化硅层之间,所以蚀刻停止层ES可以在对缓冲层BUF'的上表面进行平坦化的工艺中为蚀刻缓冲层BUF'提供参考。可以仅蚀刻第二缓冲层BUF2的第二突出部分PP2,并且可以不蚀刻第一缓冲层BUF1。因此,在对缓冲层BUF'进行平坦化的工艺中,可以防止对第一缓冲层BUF1的蚀刻,并且可以最小化对第一缓冲层BUF1的影响。

[0133] 在实施例中,蚀刻停止层ES的厚度可以小于第一缓冲层BUF1的厚度和第二缓冲层BUF2的厚度。因为蚀刻停止层ES的厚度可以相对薄,所以包括与第一缓冲层BUF1和第二缓冲层BUF2的氧化硅层不同的材料的蚀刻停止层ES对缓冲层BUF'的影响可以被最小化。

[0134] 参考图10,有源图案A1、A2、A3、A4、A5、A6和A7、栅绝缘层GIL以及栅电极G1、G2、G3、

G4、G5、G6和G7可以被形成在具有平坦化的上表面的缓冲层BUF' 上。

[0135] 有源图案A1、A2、A3、A4、A5、A6和A7中的第一有源图案A1可以被形成在缓冲层BUF' 的平坦化的上表面上,与金属层BML重叠。例如,第一有源图案A1的下表面可以与蚀刻停止层ES的第三突出部分PP3的上表面和第二缓冲层BUF2的上表面相接触。

[0136] 在下文中,将参考图11描述根据实施例的显示设备。

[0137] 图11是示出根据实施例的显示设备的截面图。例如,图11可以示出沿着图2中的线I-I' 截取的显示设备的另一个示例。除了缓冲层BUF' 的元件之外,参考图11描述的显示设备可以与参考图3描述的显示设备基本相同或相似。因此,将不重复相同或相似元件的描述。

[0138] 参考图11,覆盖金属层BML的缓冲层BUF'' 可以被设置在基板SUB上。缓冲层BUF'' 可以具有平坦化的上表面。缓冲层BUF'' 可以包括与金属层BML重叠的第一部分BUFa和与金属层BML重叠的第二部分BUFb。缓冲层BUF'' 的第一部分BUFa可以被设置在金属层BML的上表面上,并且缓冲层BUF'' 的第二部分BUFb可以被设置在基板SUB的上表面上。

[0139] 缓冲层BUF'' 的第一部分BUFa的厚度TH3可以小于缓冲层BUF'' 的第二部分BUFb的厚度TH4。因为形成在具有平坦化的上表面的基板SUB上的缓冲层BUF'' 的上表面被平坦化,所以设置在金属层BML的上表面上的缓冲层BUF'' 的第一部分BUFa的厚度TH3可以小于设置在基板SUB的上表面上的缓冲层BUF'' 的第二部分BUFb的厚度TH4。

[0140] 在实施例中,缓冲层BUF'' 的第一部分BUFa的厚度TH3可以小于或等于栅绝缘层GIL的厚度TH5。例如,栅绝缘层GIL的厚度TH5可以在从大约 1200Å 至大约 1300Å 的范围内,并且缓冲层BUF'' 的第一部分BUFa的厚度TH3可以小于或等于栅绝缘层GIL的厚度TH5。缓冲层BUF'' 的第一部分BUFa可以用作充当下栅电极的金属层BML和第一有源图案A1之间的下栅绝缘层。栅绝缘层GIL可以用作充当上栅电极的第一栅电极G1和第一有源图案A1之间的上栅绝缘层。由于缓冲层BUF'' 的第一部分BUFa的厚度TH3小于或等于栅绝缘层GIL的厚度TH5,所以根据通过金属层BML传输的电压控制第一有源图案A1的第一沟道C1的电子或空穴的移动路径可以更加容易。

[0141] 缓冲层BUF'' 可以防止杂质透过基板SUB,因此,缓冲层BUF'' 可以具有大于预定大小的厚度。在本实施例中,金属层BML可以被形成在第一有源图案A1之下,并且金属层BML可以用于防止杂质渗透到第一有源图案A1中。因此,虽然缓冲层BUF'' 的第一部分BUFa具有相对薄的厚度,但是缓冲层BUF'' 也可以防止杂质渗透到第一有源图案A1中。

[0142] 在下文中,将参考图12至图14描述制造根据实施例的显示设备的方法。

[0143] 图12至图14是示出制造图11的显示设备的方法中的各阶段的截面图。除了对缓冲层BUF'' 的平坦化之外,参考图12至图14描述的制造显示设备的方法可以与参考图3至图6描述的制造显示设备的方法基本相同或相似。因此,相同或相似元件的描述将不重复。

[0144] 参考图12,覆盖金属层BML的缓冲层BUF'' 可以被形成在基板SUB上。缓冲层BUF'' 可以包括:包括与金属层BML重叠的第一突出部分PP1的第一缓冲层BUF1以及包括与第一突出部分PP1重叠的第二突出部分PP2的第二缓冲层BUF2。

[0145] 参考图13,缓冲层BUF'' 的上表面可以被平坦化。第二缓冲层BUF2和第一缓冲层BUF1的第一突出部分PP1可以被蚀刻以平坦化缓冲层BUF'' 的上表面。

[0146] 第二缓冲层BUF2的全部和第一缓冲层BUF1的第一突出部分PP1可以被蚀刻,并且

第一缓冲层BUF1的其余部分可以不被蚀刻,而是可以保留。缓冲层BUF”可以从第二突出部分PP2的上表面向下蚀刻第二缓冲层BUF2的厚度和第一突出部分PP1的厚度之和。

[0147] 参考图14,有源图案A1、A2、A3、A4、A5、A6和A7、栅绝缘层GIL以及栅电极G1、G2、G3、G4、G5、G6和G7可以被形成在具有平坦化的上表面的缓冲层BUF”上。有源图案A1、A2、A3、A4、A5、A6和A7中的第一有源图案A1可以与金属层BML重叠地形成在缓冲层BUF”的平坦化的上表面上。

[0148] 在下文中,将参考图15至图20描述根据实施例的显示设备。

[0149] 图15是示出根据实施例的显示设备的像素的电路图。图16是示出图15中的像素的布局图。除了金属层BML的连接之外,参考图15和图16描述的显示设备可以与参考图1和图2描述的显示设备基本相同或相似。因此,将不重复相同或相似元件的描述。

[0150] 参考图15和图16,金属层BML可以连接至驱动电压线PL。驱动电压可以从驱动电压线PL供应至金属层BML。

[0151] 在实施例中,金属层BML可以连接至像素PX内部的驱动电压线PL。例如,电容器电极CE可以包括与金属层BML和驱动电压线PL之间的交叉部分重叠的开口OA2。接触孔CH可以被形成在金属层BML和驱动电压线PL之间的交叉部分处、位于金属层BML和驱动电压线PL之间的绝缘层中,并且金属层BML可以通过接触孔CH与驱动电压线PL相接触。在另一个实施例中,金属层BML可以连接至像素PX外部的驱动电压线PL。

[0152] 图17是示出根据实施例的显示设备的像素的电路图。图18是示出图17中的像素的布局图。

[0153] 除了金属层BML的连接之外,参考图17和图18描述的显示设备可以与参考图1和图2描述的显示设备基本相同或相似。因此,将不重复相同或相似元件的描述。

[0154] 参考图17和图18,金属层BML可以连接至第一薄膜晶体管T1的第一源电极S1。第一源电极S1的电压可以被供应至金属层BML。

[0155] 金属层BML可以连接至像素PX内部的第一源电极S1。例如,接触孔CH可以被形成在金属层BML和第一源电极S1之间的交叉部分处、位于金属层BML和第一源电极S1之间的缓冲层BUF中,并且金属层BML可以通过接触孔CH与第一源电极S1相接触。

[0156] 图19是示出根据实施例的显示设备的像素的电路图。图20是示出图19中的像素的布局图。

[0157] 除了金属层BML的连接之外,参考图19和图20描述的显示设备可以与参考图1和图2描述的显示设备基本相同或相似。因此,将不重复相同或相似元件的描述。

[0158] 参考图19和图20,金属层BML可以连接至第一薄膜晶体管T1的第一栅电极G1。第一栅电极G1的电压可以被供应至金属层BML。

[0159] 金属层BML可以连接至像素PX内部的第一栅电极G1。例如,接触孔CH可以被形成在金属层BML和第一栅电极G1之间的交叉部分处、位于金属层BML和第一栅电极G1之间的栅绝缘层GIL和缓冲层BUF中,并且金属层BML可以通过接触孔CH与第一栅电极G1相接触。

[0160] 根据实施例的显示设备可以被应用于包括在计算机、笔记本电脑、移动电话、智能电话、智能平板、PMP、PDA或MP3播放器等中的显示设备。

[0161] 通过总结和回顾,实施例提供了一种其中改善了薄膜晶体管的特性的显示设备。实施例还提供一种制造具有改善的薄膜晶体管特性的显示设备的方法。

[0162] 也就是说,在根据实施例的显示设备中,形成在金属层上的缓冲层的上表面可以被平坦化。因此,设置在缓冲层上的有源图案可以被平坦化而没有台阶部分,并且包括该有源图案的薄膜晶体管的特性可以被改善。

[0163] 在制造根据实施例的显示设备的方法中,在依次沉积第一缓冲层和第二缓冲层之后,至少第二缓冲层的突出部分可以被蚀刻以平坦化缓冲层的上表面。因此,设置在缓冲层上的有源图案可以平整地形成而没有台阶部分,并且包括该有源图案的薄膜晶体管的特性可以被改善。

[0164] 本文中已经公开了示例实施例,并且虽然采用了特定术语,但是仅在一般性和描述性意义上使用和解释它们,而不是出于限制的目的。在某些情况下,对于本申请递交时的本领域普通技术人员来说显而易见的是,结合具体实施例描述的特征、特性和/或元件可以单独使用或与结合其他实施例描述的特征、特性和/或元件结合使用,除非另外特别指出。因此,本领域技术人员将理解,在不偏离所附权利要求中记载的本发明的精神和范围的情况下,可以在形式和细节上进行各种改变。

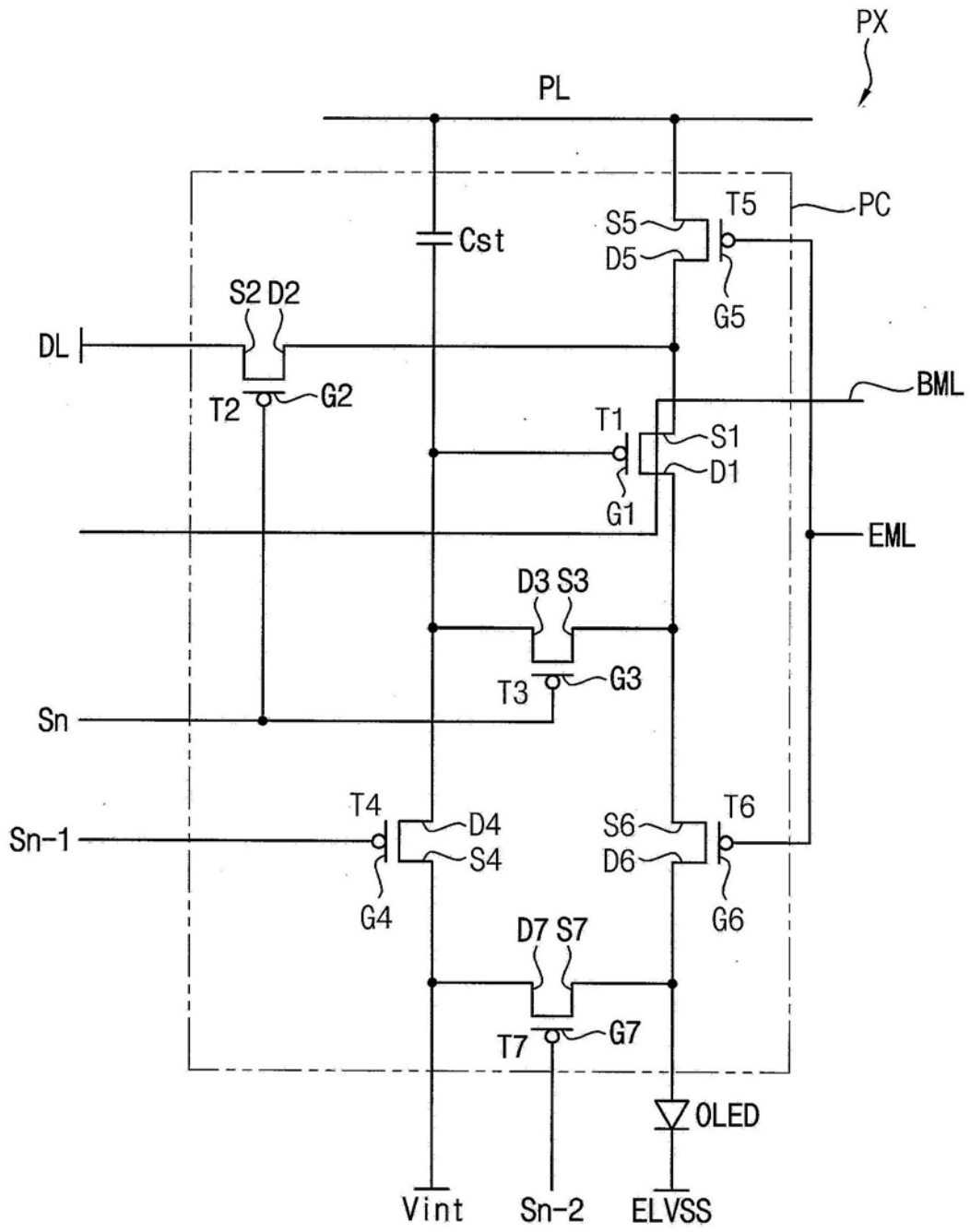


图1

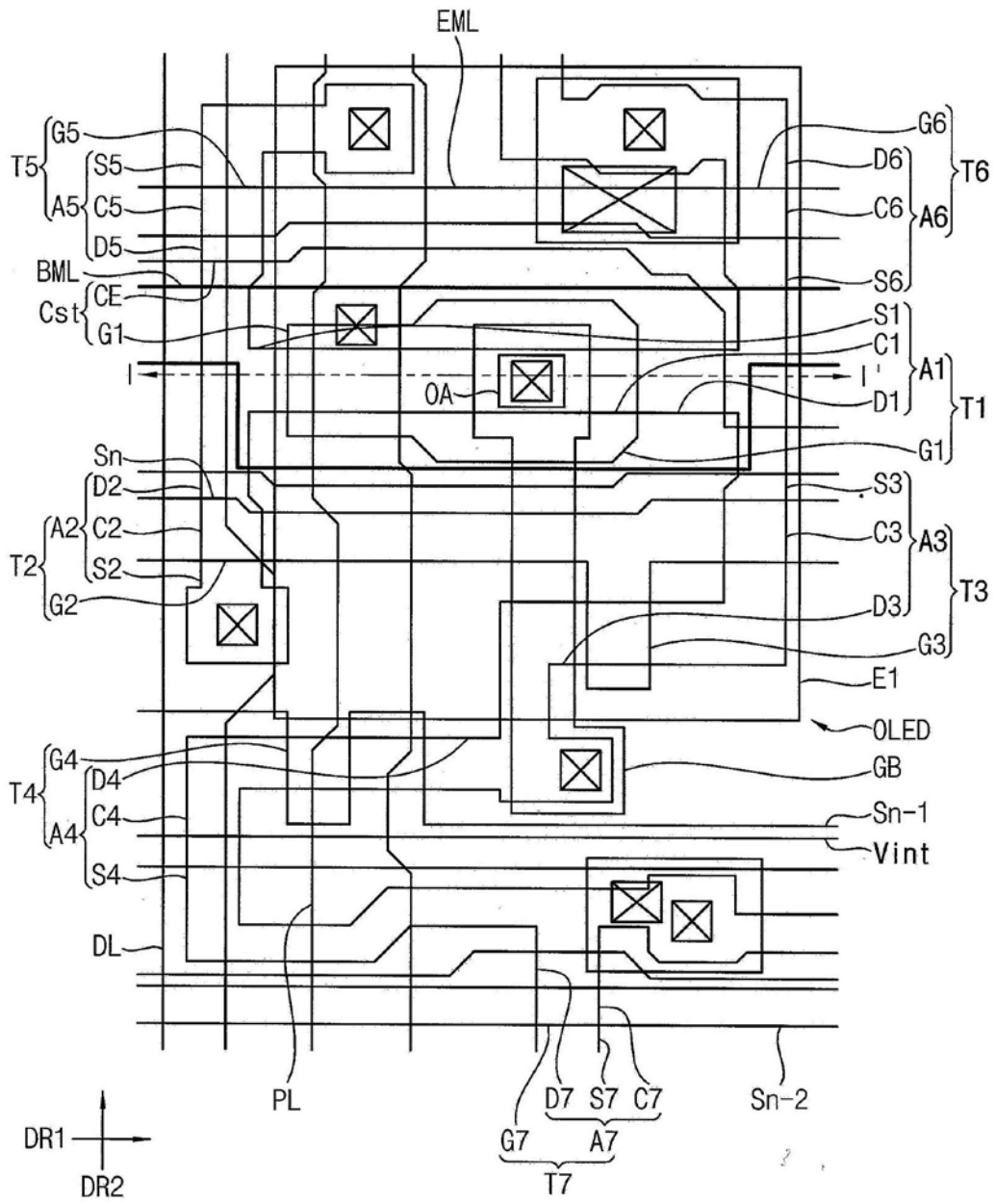


图2



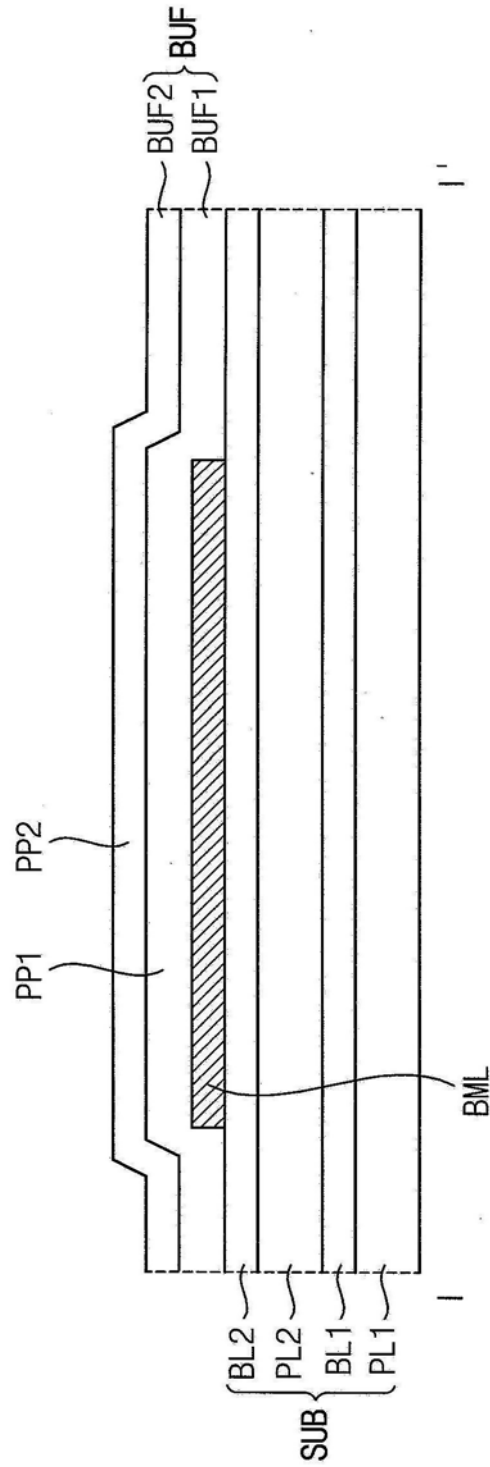


图4

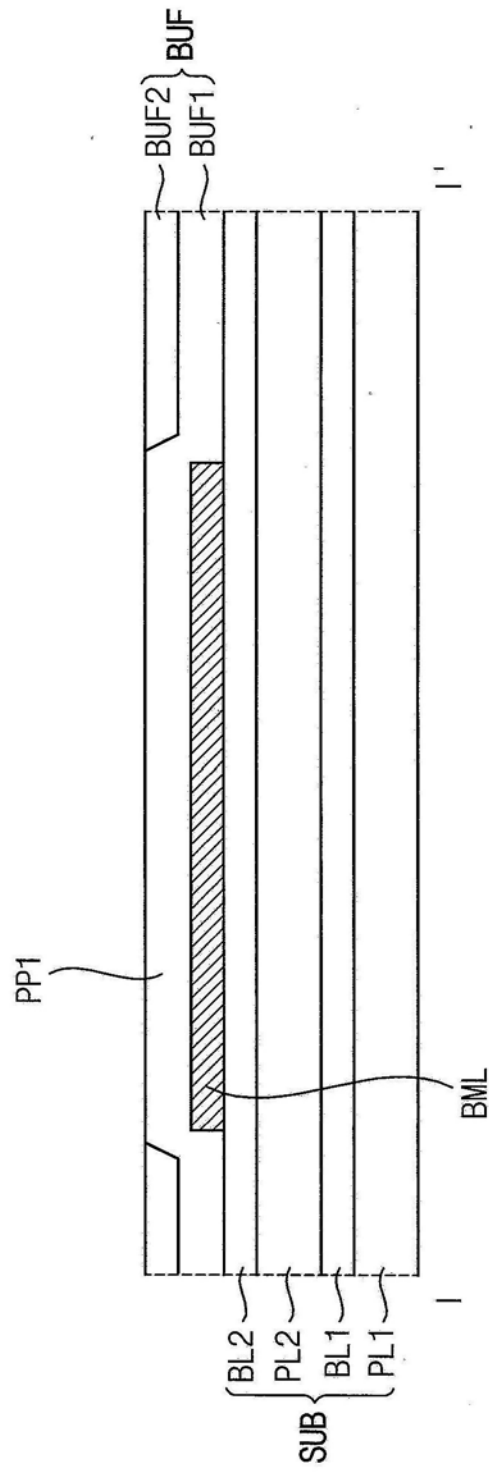


图5

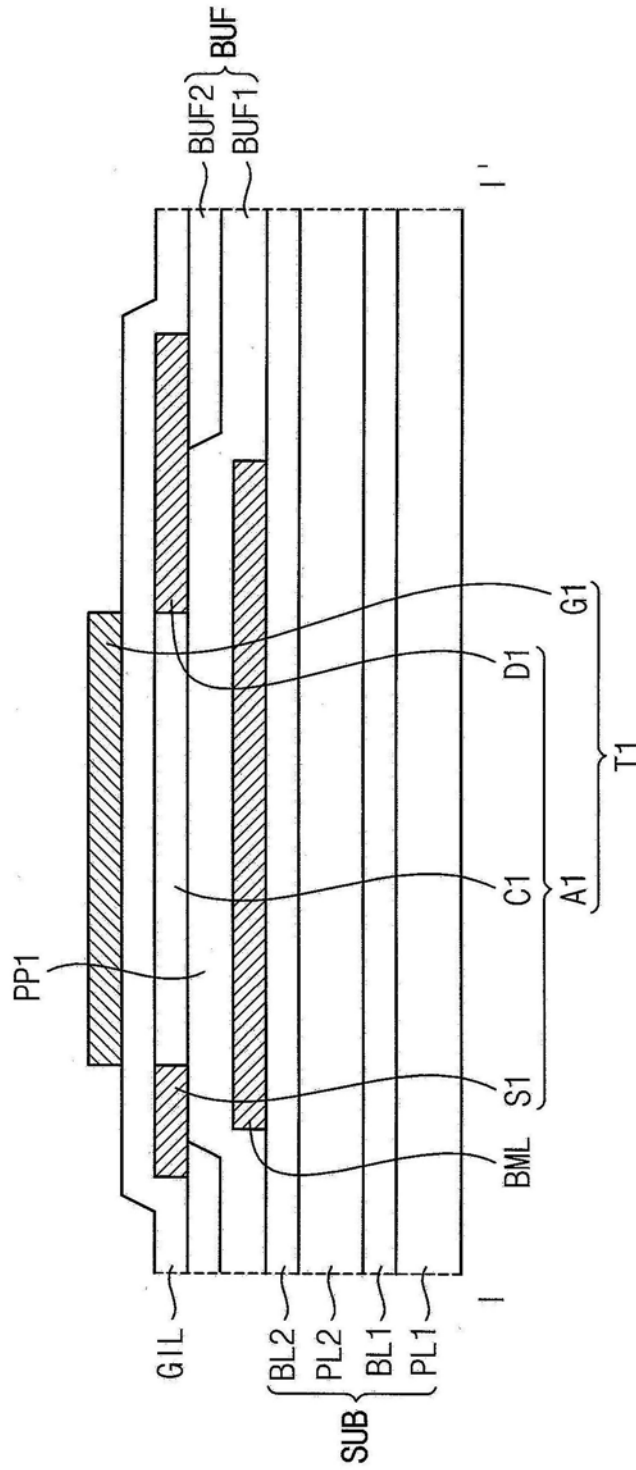


图6



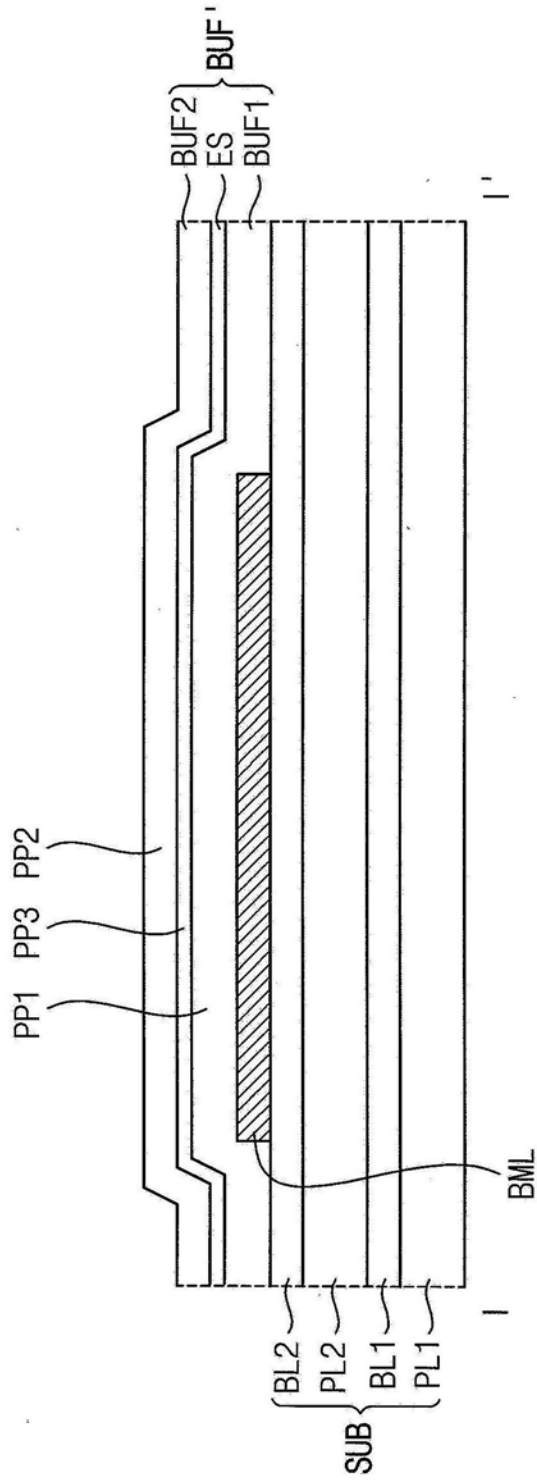


图8

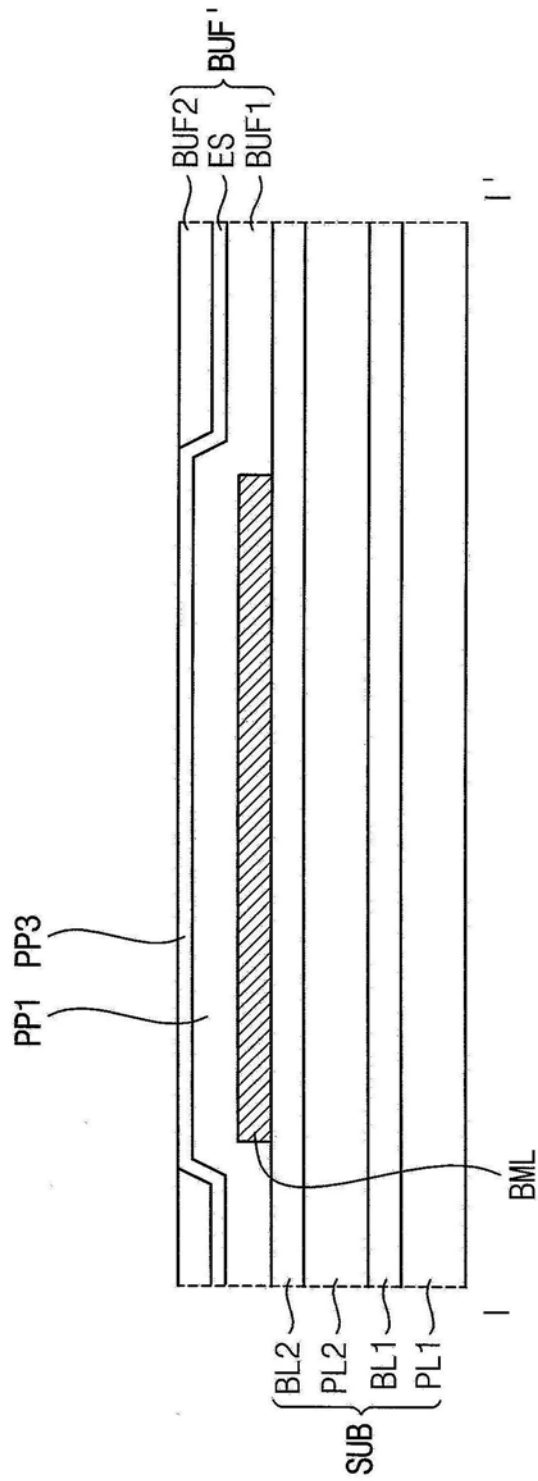


图9



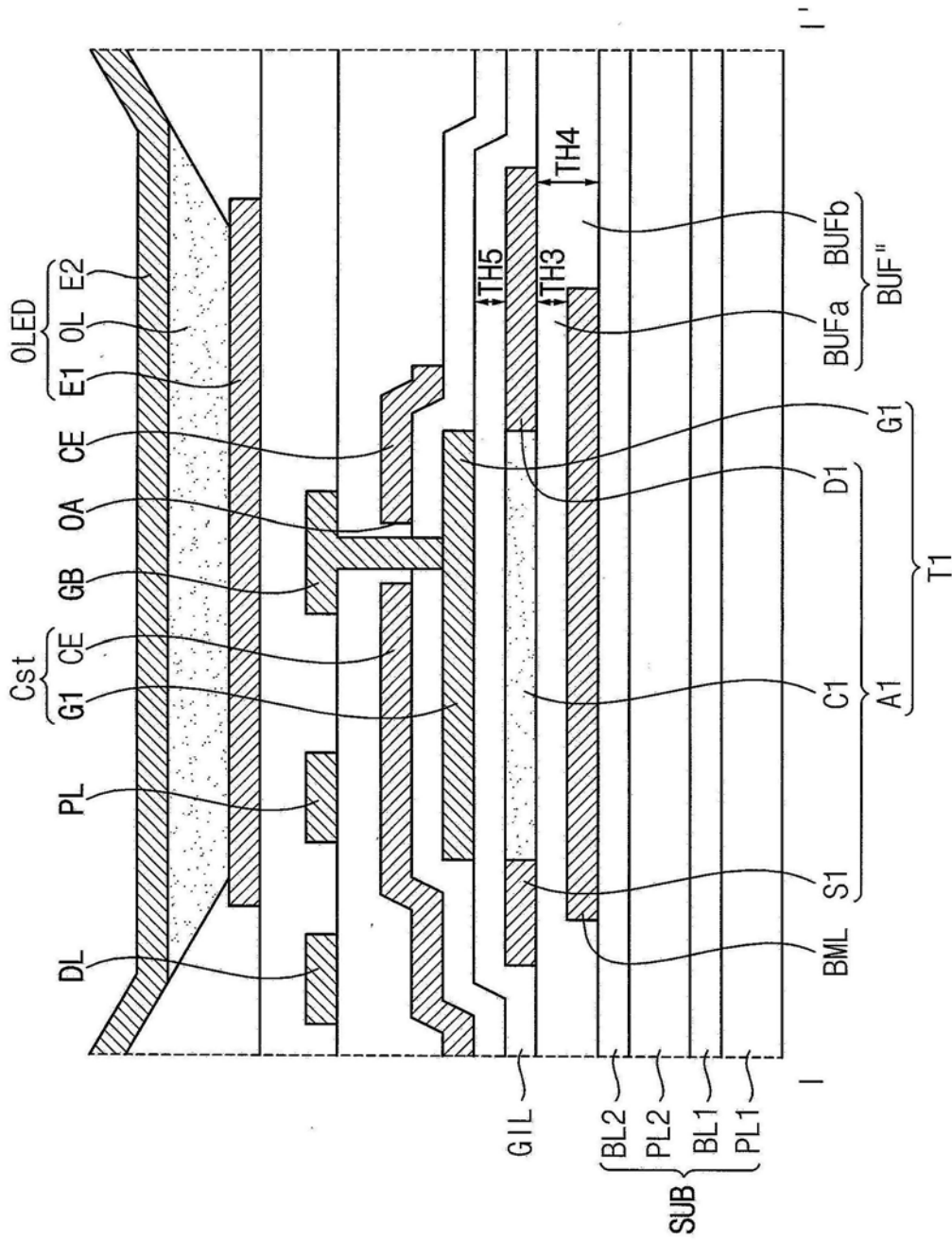


图11

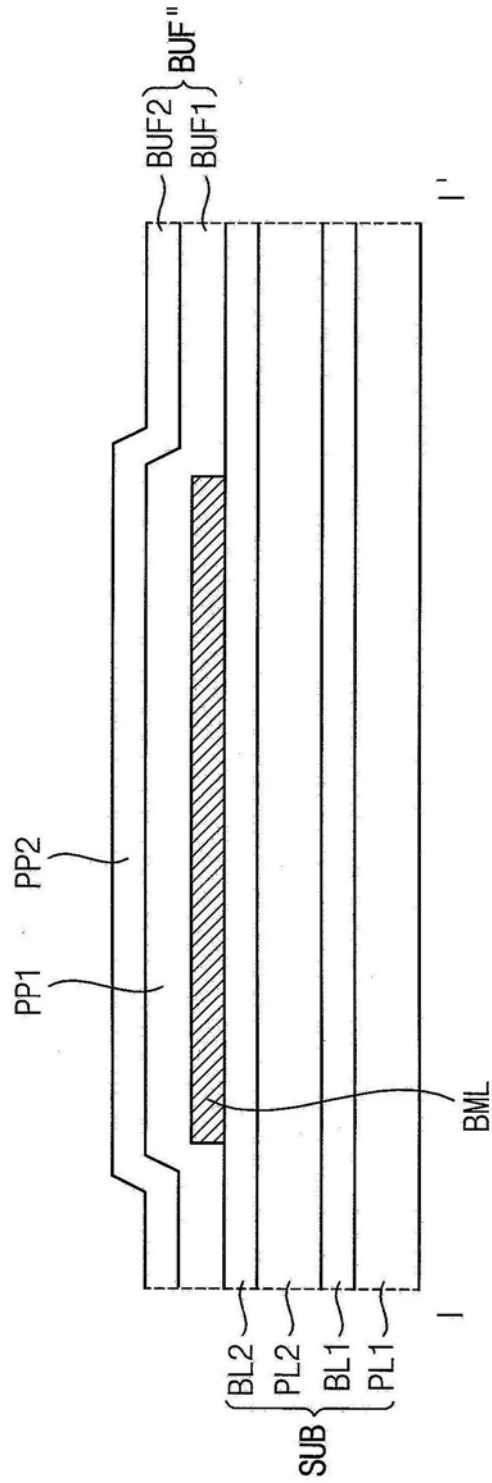


图12

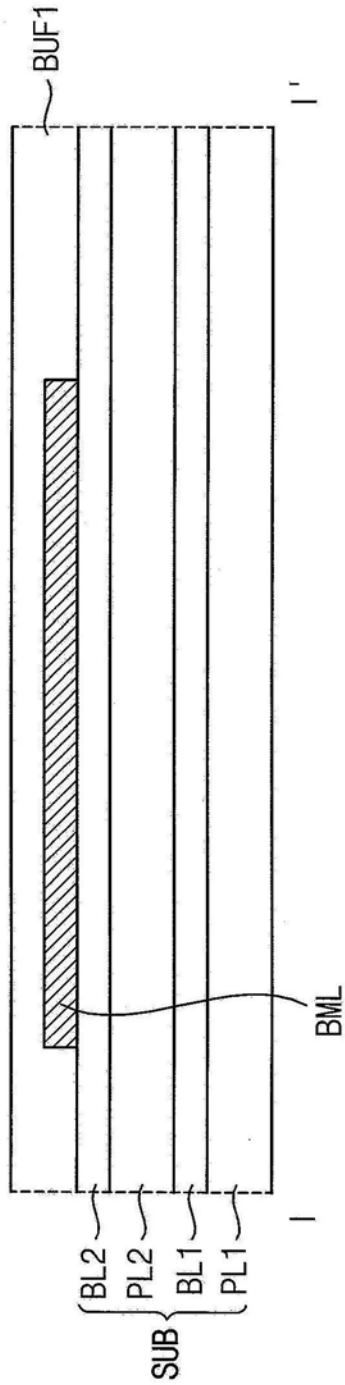


图13

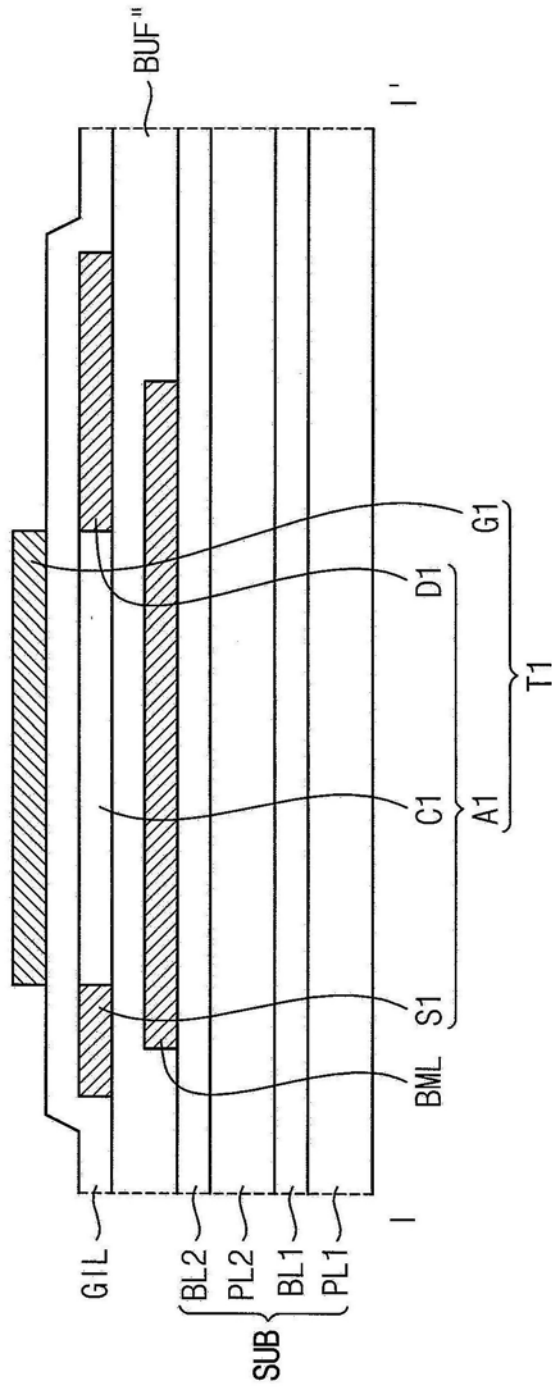


图14

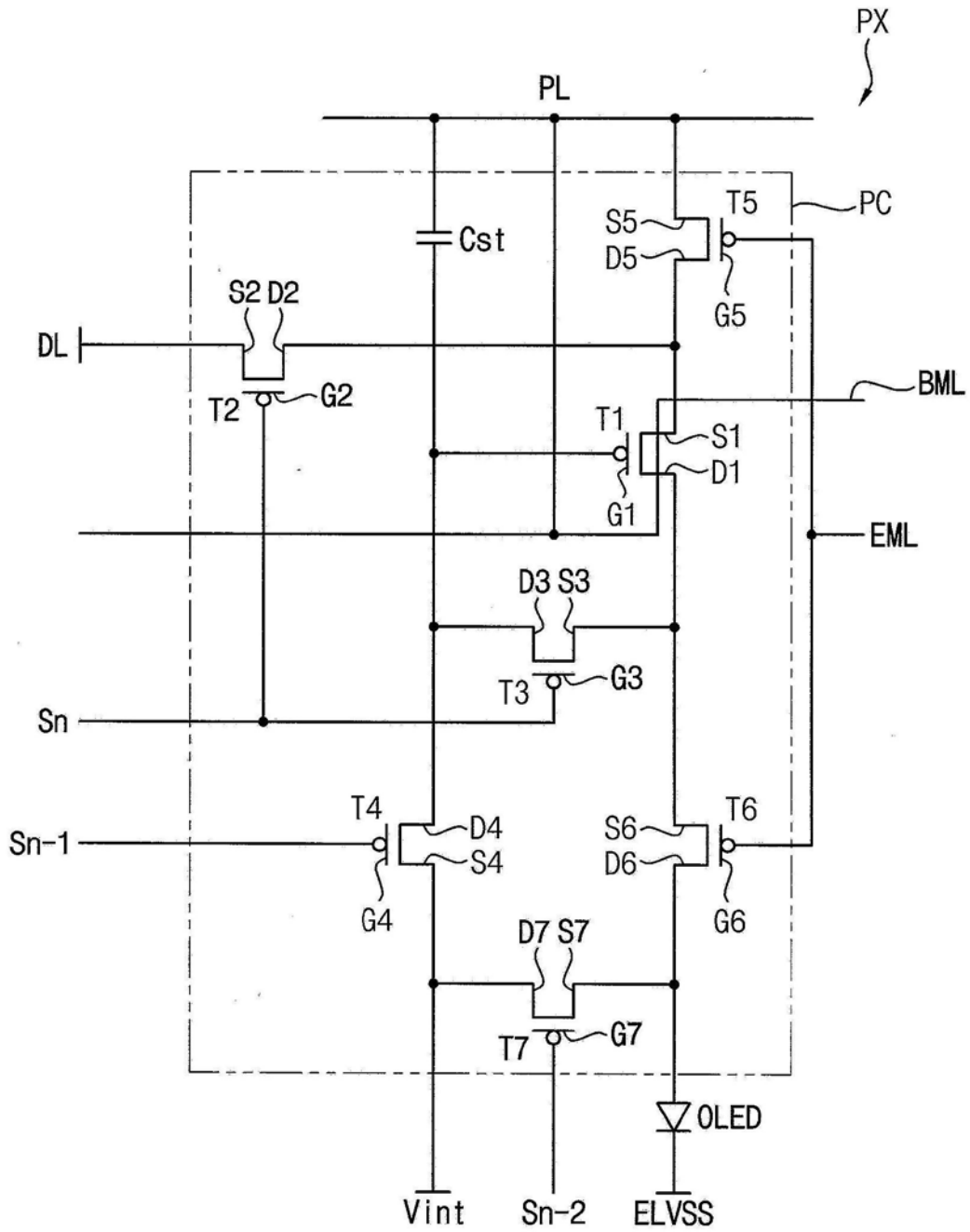


图15

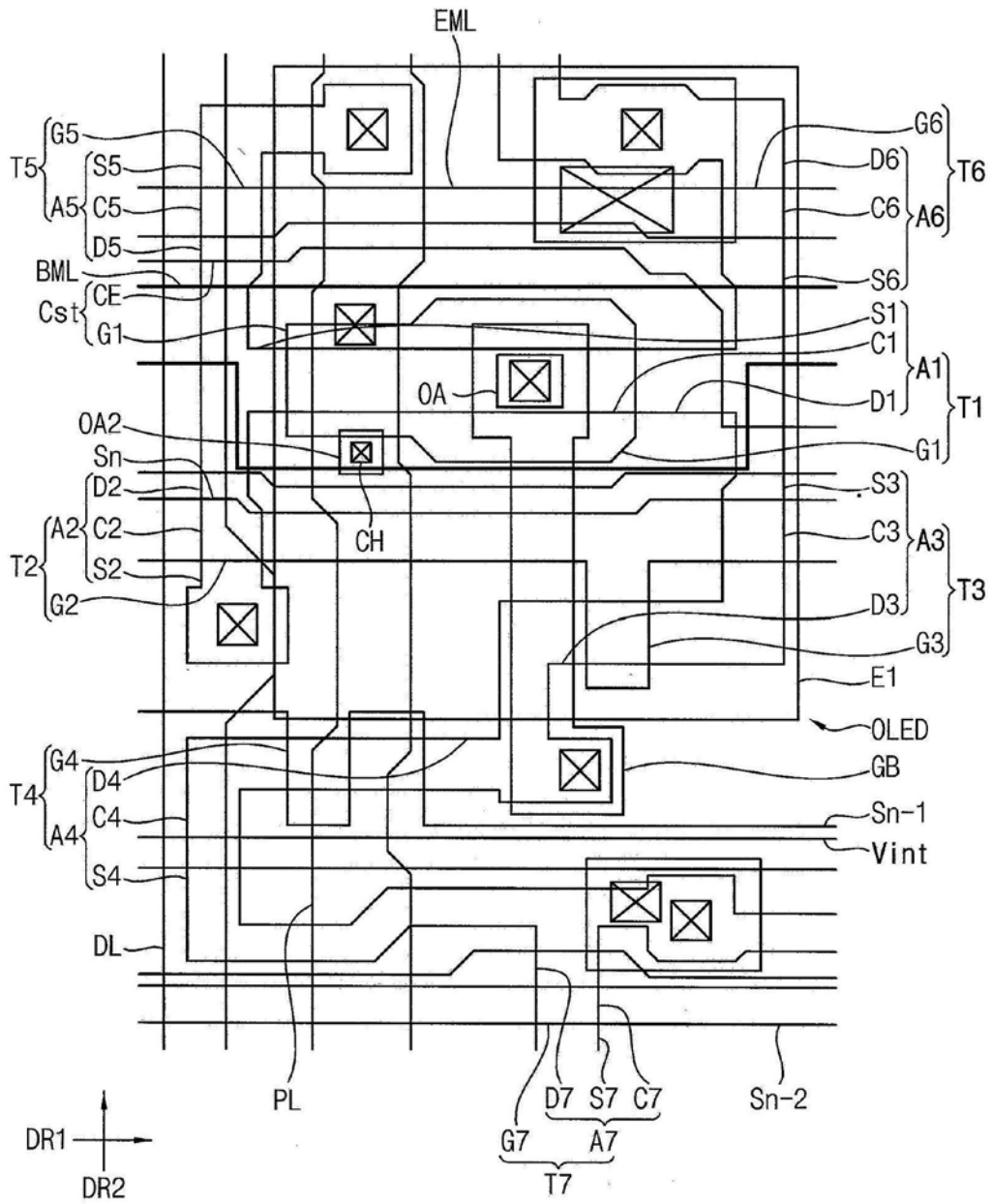


图16

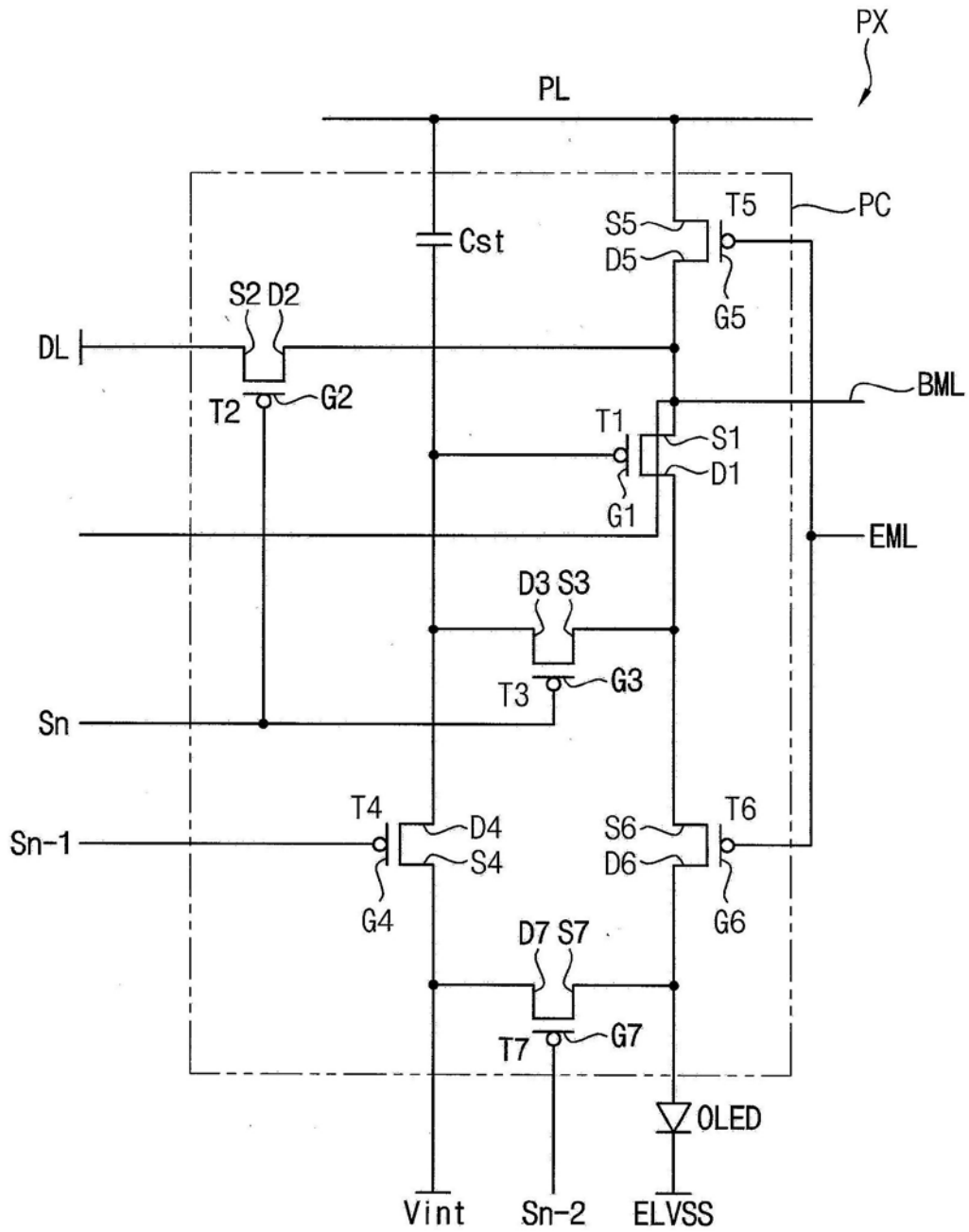


图17

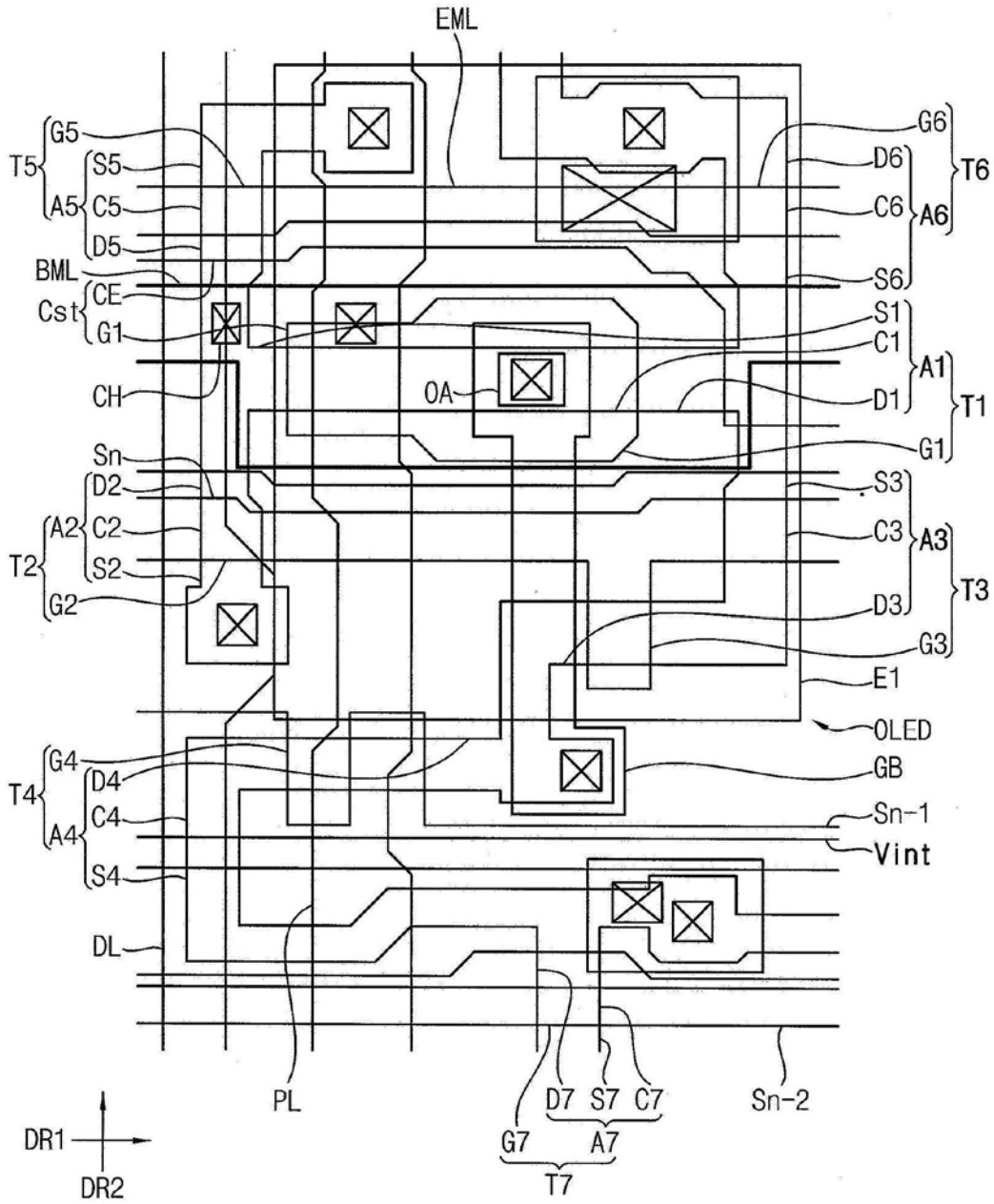


图18



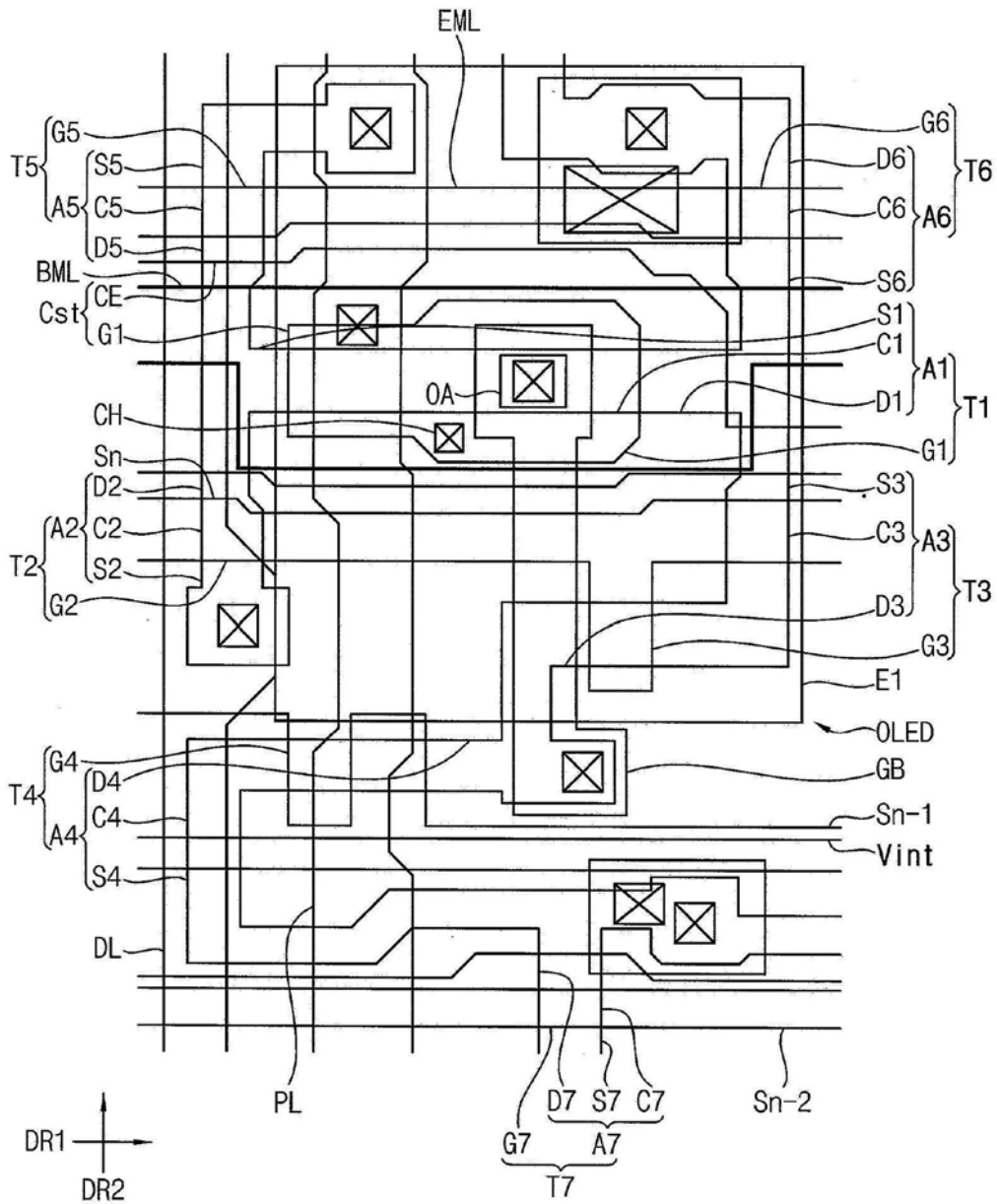


图20

