



(12) 发明专利

(10) 授权公告号 CN 104766587 B

(45) 授权公告日 2016. 03. 02

(21) 申请号 201510217777. 8

JP 2009098429 A, 2009. 05. 07,

(22) 申请日 2015. 04. 30

审查员 张景美

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 王俪蓉 段立业

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 李相雨

(51) Int. Cl.

G09G 3/36(2006. 01)

(56) 对比文件

CN 103985362 A, 2014. 08. 13,

CN 1677575 A, 2005. 10. 05,

CN 104269134 A, 2015. 01. 07,

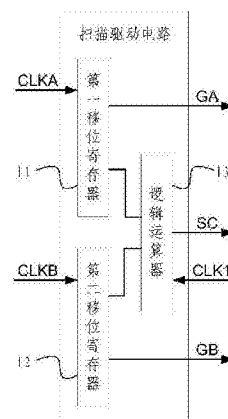
权利要求书2页 说明书8页 附图4页

(54) 发明名称

扫描驱动电路及其驱动方法、阵列基板、显示装置

(57) 摘要

本发明提供了一种扫描驱动电路及其驱动方法、阵列基板、显示装置, 其中的扫描驱动电路包括: 连接具有第一时钟周期的一组时钟信号的第一移位寄存器, 用于逐行地输出第一扫描信号; 连接具有第二时钟周期的另一组时钟信号的第二移位寄存器, 用于逐行地输出第二扫描信号; 连接具有第三时钟周期的第一时钟信号的逻辑运算器, 并与第一移位寄存器及第二移位寄存器相连, 用于输出多行的补偿信号; 任一行的补偿信号在本行的第二扫描信号为第一电平时与第一时钟信号具有同样的波形, 在本行的第二扫描信号为第二电平时与本行的第一扫描信号具有同样的波形; 第三时钟周期小于第二时钟周期。本发明可以解决传统 GOA 电路无法提供补偿信号的问题。



1. 一种扫描驱动电路,其特征在于,包括:

第一移位寄存器,所述第一移位寄存器连接具有第一时钟周期的一组时钟信号,用于在该组时钟信号的驱动下逐行地输出多行的第一扫描信号;

第二移位寄存器,所述第二移位寄存器连接具有第二时钟周期的另一组时钟信号,用于在该组时钟信号的驱动下逐行地输出多行的第二扫描信号;

逻辑运算器,所述逻辑运算器连接具有第三时钟周期的第一时钟信号,并与所述第一移位寄存器及所述第二移位寄存器相连,用于输出多行的补偿信号;任一行的补偿信号在本行的第二扫描信号为第一电平时与所述第一时钟信号具有同样的波形,在本行的第二扫描信号为第二电平时与本行的第一扫描信号具有同样的波形;所述第三时钟周期小于所述第二时钟周期。

2. 根据权利要求1所述的扫描驱动电路,其特征在于,对应于任一行的补偿信号,所述逻辑运算器包括第一与运算单元、第二与运算单元、非运算单元以及或运算单元,

所述第一与运算单元连接所述第一时钟信号以及所述第二移位寄存器,用于对所述第一时钟信号和本行的第二扫描信号进行逻辑与运算,得到第一运算信号;

所述非运算单元连接所述第二移位寄存器,用于对本行的第二扫描信号进行逻辑非运算,得到第二运算信号;

所述第二与运算单元连接所述非运算单元以及所述第一移位寄存器,用于对本行的第一扫描信号和来自所述非运算单元的第二运算信号进行逻辑与运算,得到第三运算信号;

所述或运算单元连接所述第一与运算单元和第二与运算单元,用于对来自所述第一与运算单元的第一运算信号和来自所述第二与运算单元的第三运算信号进行逻辑或运算,得到本行的补偿信号。

3. 根据权利要求1所述的扫描驱动电路,其特征在于,所述第一移位寄存器包括依次相连的多级第一移位寄存器单元,除第一级之外的任一级所述第一移位寄存器单元用于在所述具有第一时钟周期的一组时钟信号的驱动下将来自上一级移位寄存器单元的上一行的第一扫描信号延迟输出为本行的第一扫描信号;

所述第二移位寄存器包括依次相连的多级第二移位寄存器单元,除第一级之外的任一级所述第二移位寄存器单元用于在所述具有第二时钟周期的另一组时钟信号的驱动下将来自上一级移位寄存器单元的上一行的第二扫描信号延迟输出为本行的第二扫描信号。

4. 根据权利要求3所述的扫描驱动电路,其特征在于,所述逻辑运算器包括多个子逻辑运算器,任一所述子逻辑运算器分别对应于一级所述第一移位寄存器单元和一级所述第二移位寄存器单元;所述子逻辑运算器包括第一晶体管、第二晶体管、反相器和输出端子,

所述第一晶体管的栅极连接所述第二移位寄存器单元所输出的第二扫描信号,源极和漏极中的一个连接所述具有第三时钟周期的第一时钟信号,另一个连接所述输出端子;

所述反相器的输入端连接所述第二移位寄存器单元所输出的第二扫描信号,输出端连接所述第二晶体管的栅极;

所述第二晶体管的源极和漏极中的一个连接所述第一移位寄存器单元所输出的第一扫描信号,另一个连接所述输出端子。

5. 根据权利要求3所述的扫描驱动电路,其特征在于,所述第一移位寄存器单元与所述第二移位寄存器单元具有相同的电路结构。

6. 根据权利要求 1 至 5 中任意一项所述的扫描驱动电路,其特征在于,所述具有第一时钟周期的一组时钟信号包括相位依次相差 $1/m$ 个第一时钟周期的 m 个时钟信号;

所述具有第二时钟周期的另一组时钟信号包括相位依次相差 $1/n$ 个第二时钟周期的 n 个时钟信号;

所述 m 和所述 n 均为大于等于 2 的整数。

7. 根据权利要求 6 所述的扫描驱动电路,其特征在于,所述第三时钟周期、所述 m 和所述 n 根据所述补偿信号的波形进行设定。

8. 一种如权利要求 1 至 7 中任意一项所述的扫描驱动电路的驱动方法,其特征在于,包括:

在第二时钟信号的一个上升沿之前向所述第二移位寄存器输入第一起始信号,以使所述第二移位寄存器开始逐行地输出第二扫描信号;所述第二时钟信号是所述第二移位寄存器所连接的一组时钟信号中的一个时钟信号;

在所述第二时钟信号的所述上升沿之后向所述第一移位寄存器输入第二起始信号,以使所述第一移位寄存器开始逐行地输出第一扫描信号;任一行的所述第二扫描信号由第一电平转为第二电平的时刻不晚于该行的第一扫描信号开始输出的时刻。

9. 一种阵列基板,其特征在于,包括如权利要求 1 至 7 中任意一项所述的扫描驱动电路。

10. 一种显示装置,其特征在于,包括如权利要求 9 所述的阵列基板或者如权利要求 1 至 7 中任意一项所述的扫描驱动电路。

扫描驱动电路及其驱动方法、阵列基板、显示装置

技术领域

[0001] 本发明涉及显示技术领域,具体涉及一种扫描驱动电路及其驱动方法、阵列基板、显示装置。

背景技术

[0002] 随着薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, TFT-LCD) 的迅速发展,各生产厂家争相采用新技术提高产品的市场竞争力以及降低产品成本。其中,GOA (Gate Driver On Array,阵列基板行驱动) 技术作为新技术的代表,将行方向上的扫描驱动电路集成在阵列基板上,避免了在外接电路板上制作驱动芯片,从而减少生产工艺程序,降低产品工艺成本,提高 TFT-LCD 面板的集成度。

[0003] 但是,在将 GOA 技术应用至 OLED (Organic Light-Emitting Display,有机电激光显示) 类型的显示装置中时,GOA 电路可能会出于结构和功能方面的限制而不能提供显示驱动所需的全部信号。具体来说,对于一些具有阈值电压补偿功能的 OLED 像素电路,需要使用沿行方向上逐行输出的补偿信号 (通常由按照时间先后顺序的若干个第一类脉冲和一个第二类脉冲组成),而这样的补偿信号是传统的 GOA 电路无法提供的。基于这一问题,现有技术通常还需要在外接电路板上制作用于生成该补偿信号的芯片,使得生产工艺复杂、产品成本增加。

发明内容

[0004] 针对现有技术中的缺陷,本发明提供一种扫描驱动电路及其驱动方法、阵列基板、显示装置,可以解决传统 GOA 电路无法提供补偿信号的问题。

[0005] 第一方面,本发明提供了一种扫描驱动电路,包括:

[0006] 第一移位寄存器,所述第一移位寄存器连接具有第一时钟周期的一组时钟信号,用于在该组时钟信号的驱动下逐行地输出第一扫描信号;

[0007] 第二移位寄存器,所述第二移位寄存器连接具有第二时钟周期的另一组时钟信号,用于在该组时钟信号的驱动下逐行地输出第二扫描信号;

[0008] 逻辑运算器,所述逻辑运算器连接具有第三时钟周期的第一时钟信号,并与所述第一移位寄存器及所述第二移位寄存器相连,用于输出多行的补偿信号;任一行的补偿信号在本行的第二扫描信号为第一电平时与所述第一时钟信号具有同样的波形,在本行的第二扫描信号为第二电平时与本行的第一扫描信号具有同样的波形;所述第三时钟周期小于所述第二时钟周期。

[0009] 可选地,对应于任一行的补偿信号,所述逻辑运算器包括第一与运算单元、第二与运算单元、非运算单元以及或运算单元,

[0010] 所述第一与运算单元连接所述第一时钟信号以及所述第二移位寄存器,用于对所述第一时钟信号和本行的第二扫描信号进行逻辑与运算,得到第一运算信号;

[0011] 所述非运算单元连接所述第二移位寄存器,用于对本行的第二扫描信号进行逻辑

非运算,得到第二运算信号;

[0012] 所述第二与运算单元连接所述非运算单元以及所述第一移位寄存器,用于对本行的第一扫描信号和来自所述非运算单元的第二运算信号进行逻辑与运算,得到第三运算信号;

[0013] 所述或运算单元连接所述第一与运算单元和第二与运算单元,用于对来自所述第一与运算单元的第一运算信号和来自所述第二与运算单元的第三运算信号进行逻辑或运算,得到本行的补偿信号。

[0014] 可选地,所述第一移位寄存器包括依次相连的多级第一移位寄存器单元,除第一级之外的任一级所述第一移位寄存器单元用于在所述具有第一时钟周期的一组时钟信号的驱动下将来自上一级移位寄存器单元的上一行的第一扫描信号延迟输出为本行的第一扫描信号;

[0015] 所述第二移位寄存器包括依次相连的多级第二移位寄存器单元,除第一级之外的任一级所述第二移位寄存器单元用于在所述具有第二时钟周期的一组时钟信号的驱动下将来自上一级移位寄存器单元的上一行的第二扫描信号延迟输出为本行的第二扫描信号。

[0016] 可选地,所述逻辑运算器包括多个子逻辑运算器,任一所述子逻辑运算器对应于一级所述第一移位寄存器单元和一级所述第二移位寄存器单元;所述子逻辑运算器包括第一晶体管、第二晶体管、反相器和输出端子,

[0017] 所述第一晶体管的栅极连接所述第二移位寄存器单元所输出的第二扫描信号,源极和漏极中的一个连接所述具有第三时钟周期的第一时钟信号,另一个连接所述输出端子;

[0018] 所述反相器的输入端连接所述第二移位寄存器单元所输出的第二扫描信号,输出端连接所述第二晶体管的栅极;

[0019] 所述第二晶体管的源极和漏极中的一个连接所述第一移位寄存器单元所输出的第一扫描信号,另一个连接所述输出端子。

[0020] 可选地,所述第一移位寄存器单元与所述第二移位寄存器单元具有相同的电路结构。

[0021] 可选地,所述具有第一时钟周期的一组时钟信号包括相位依次相差 $1/m$ 个第一时钟周期的 m 个时钟信号;

[0022] 所述具有第二时钟周期的一组时钟信号包括相位依次相差 $1/n$ 个第二时钟周期的 n 个时钟信号;

[0023] 所述 m 和所述 n 均为大于等于 2 的整数。

[0024] 可选地,所述第三时钟周期、所述 m 和所述 n 根据所述补偿信号的波形进行设定。

[0025] 第二方面,本发明还提供了一种上述任意一种的扫描驱动电路的驱动方法,包括:

[0026] 在第二时钟信号的一个上升沿之前向所述第二移位寄存器输入第一起始信号,以使所述第二移位寄存器开始逐行地输出第二扫描信号;所述第二时钟信号是所述第二移位寄存器所连接的一组时钟信号中的一个时钟信号;

[0027] 在所述第二时钟信号的所述上升沿之后向所述第一移位寄存器输入第二起始信号,以使所述第一移位寄存器开始逐行地输出第一扫描信号;任一行的所述第二扫描信号

由第一电平转为第二电平的时刻不晚于该行的第一扫描信号开始输出的时刻。

[0028] 第三方面,本发明还提供了一种阵列基板,包括上述任意一种的扫描驱动电路。

[0029] 第四方面,本发明还提供了一种显示装置,包括上述任意一种的阵列基板或者上述任意一种的扫描驱动电路。

[0030] 由上述技术方案可知,本发明所提供的扫描驱动电路可以在合适的信号时序设置下生成具有特定波形的补偿信号。具体来说,补偿信号在部分时间内的波形与时钟信号的波形重合,在其他时间内的波形与扫描信号的波形重合,因而可以包括若干个第一类脉冲(来自时钟信号)和一个第二类脉冲(来自扫描信号),为多种 OLED 像素电路提供所需的补偿信号。

[0031] 与现有技术相比,本发明可以在传统 GOA 电路的基础上添加适当的电路结构来实现,不需要在外接电路板上制作驱动芯片,从而可以减少生产工艺程序、降低产品工艺成本,提高 OLED 面板的集成度。

附图说明

[0032] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单的介绍,显而易见地,下面描述中的附图是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0033] 图 1 是本发明一个实施例中一种扫描驱动电路的结构框图;

[0034] 图 2 是本发明一个实施例中一种扫描驱动电路中的逻辑运算器的结构示意图;

[0035] 图 3 是本发明一个实施例中一种扫描驱动电路的电路结构图;

[0036] 图 4 是图 3 所述的扫描驱动电路中子逻辑运算器的电路结构图;

[0037] 图 5 是本发明一个实施例中一种扫描驱动电路的电路时序图;

[0038] 图 6 是本发明一个实施例中一种第一移位寄存器单元的电路结构图;

[0039] 图 7 是本发明一个实施例中一种扫描驱动电路的驱动方法的步骤流程图。

具体实施方式

[0040] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0041] 图 1 是本发明一个实施例中一种扫描驱动电路的结构框图。参见图 1,该电路包括第一移位寄存器 11、第二移位寄存器 12 和逻辑运算器 13。其中:

[0042] 第一移位寄存器 11 连接具有第一时钟周期 T1 的一组时钟信号 CLKA,用于在该组时钟信号 CLKA 的驱动下逐行地输出第一扫描信号 GA。第二移位寄存器 12 连接具有第二时钟周期 T2 的另一组时钟信号 CLKB,用于在该组时钟信号 CLKB 的驱动下逐行地输出第二扫描信号 GB。

[0043] 逻辑运算器 13 连接具有第三时钟周期 T3 的第一时钟信号 CLK1(第三时钟周期 T3 小于上述第二时钟周期 T2,也就是说 CLK1 所具有的频率大于 CLKB 中所有时钟信号所具有

的频率),并与上述第一移位寄存器 11 及上述第二移位寄存器 12 相连,用于输出多行的补偿信号 SC。未在图 1 中示出的是,第 N 行(N 为任意的不小于 1 的整数)的补偿信号 SC_N 在本行的第二扫描信号 GB_N 为第一电平 VH 时与上述第一时钟信号 CLK1 具有同样的波形,在本行的第二扫描信号 GB_N 为第二电平 VL 时与本行的第一扫描信号 GA_N 具有同样的波形。应理解的是,具有上述特点的补偿信号 SC 可以通过对第一扫描信号 GA、第二扫描信号 GB 以及第一时钟信号 CLK1 的逻辑运算得到,因而上述逻辑运算器 13 可以通过任何具有相应逻辑运算功能的电路结构来实现,本发明对此不做限制。

[0044] 可以理解的是,扫描驱动电路需要分别向多行像素提供相应的输出信号,因此“行”实际上是对扫描驱动电路的输出信号的单元划分。假设扫描驱动电路对应于 Ln 行的像素,那么上述“多行的第一扫描信号”、“多行的第二扫描信号”以及“多行的补偿信号”所具有的行数可以分别是 La (La ≤ Ln)、Lb (Lb ≤ Ln) 和 Lc (Lc ≤ min(La, Lb)),其中 min(a, b) 代表 a 和 b 中的较小值。当然,La、Lb、Lc 可以是上述范围内的任意正整数,并可以同时等于 Ln。本领域技术人员可以根据实际需要选取 La、Lb、Lc 的具体数值,并可以适应性设置上述第一移位寄存器 11、第二移位寄存器 12 和逻辑运算器 13 的具体结构,本发明对此不做限制。

[0045] 还需要说明的是,对于上述第一扫描信号 GA 与第二扫描信号 GB,扫描驱动电路可以仅供逻辑运算器 13 使用而不进行输出,也可以如图 1 所示的那样与补偿信号 SC 一并进行输出,本发明对此不做限制。

[0046] 可以看出,本发明实施例所提供的扫描驱动电路可以在合适的信号时序设置下生成具有特定波形的补偿信号。具体来说,补偿信号在部分时间内的波形与时钟信号的波形重合,在其他时间内的波形与扫描信号的波形重合,因而可以包括若干个第一类脉冲(来自时钟信号)和一个第二类脉冲(来自扫描信号),为多种 OLED 像素电路提供所需的补偿信号。

[0047] 与现有技术相比,本发明可以在传统 GOA 电路的基础上添加适当的电路结构来实现,不需要在外接电路板上制作驱动芯片,从而可以减少生产工艺程序、降低产品工艺成本,提高 OLED 面板的集成度。

[0048] 作为一种示例,图 2 是本发明一个实施例中一种扫描驱动电路中的逻辑运算器的结构示意图。参见图 2,对应于任一行的补偿信号 SC_N,本发明实施例中的逻辑运算器 13 包括第一与运算单元 13a、第二与运算单元 13b、非运算单元 13c 以及或运算单元 13d,其中:

[0049] 第一与运算单元 13a 连接上述第一时钟信号 CLK1 以及上述第二移位寄存器 12,用于对上述第一时钟信号 CLK1 和本行的第二扫描信号 GB_N 进行逻辑与运算,得到第一运算信号 S1。可以看出,在逻辑运算关系上,有 $S1 = CLK1 \cdot GB_N$ 。

[0050] 非运算单元 13c 连接上述第二移位寄存器 12,用于对本行的第二扫描信号 GB_N 进行逻辑非运算,得到第二运算信号 S2。可以看出,在逻辑运算关系上,有 $S2 = \overline{GB_N}$ 。

[0051] 第二与运算单元 13b 连接上述非运算单元 13c 以及上述第一移位寄存器 13a,用于对本行的第一扫描信号 GA_N 和来自上述非运算单元 13c 的第二运算信号 S2 进行逻辑与运算,得到第三运算信号 S3。可以看出,在逻辑运算关系上,有 $S3 = S2 \cdot GA_N = \overline{GB_N} \cdot GA_N$ 。

[0052] 或运算单元 13d 连接上述第一与运算单元 13a 和第二与运算单元 13b, 用于对来自上述第一与运算单元 13a 的第一运算信号 S1 和来自上述第二与运算单元 13b 的第三运算信号 S3 进行逻辑或运算, 得到本行的补偿信号 SC_N。可以看出, 在逻辑运算关系上, 有:

$$[0053] \quad SC_N = S1 + S3 = GB_N \cdot CLK1 + \overline{GB_N} \cdot GA_N。$$

[0054] 可以看出, 上述逻辑运算关系与上文的描述“第 N 行 (N 为任意的不小于 1 的整数) 的补偿信号 SC_N 在本行的第二扫描信号 GB_N 为第一电平 VH 时与上述第一时钟信号 CLK1 具有同样的波形, 在本行的第二扫描信号 GB_N 为第二电平 VL 时与本行的第一扫描信号 GA_N 具有同样的波形”是一致的。其中, 本发明实施例中将上述第一电平 VH 设为高电平的“1”、第二电平 VL 设为低电平的“0”。然而应当理解的是, 上述第一电平 VH 与第二电平 VL 可以根据实际需要进行设置, 而不仅限于本发明实施例所示出的情形。由此可见, 上述逻辑运算器 13 的功能可以由包括若干个逻辑运算单元的电路实现。

[0055] 作为一更具体的示例, 图 3 是本发明一个实施例中一种扫描驱动电路的电路结构图。参见图 3, 本发明实施例中的第一移位寄存器 11 包括依次相连的多级第一移位寄存器单元 (如图 3 中的 U1₁、U1₂、…、U1_{N-1}、U1_N、…、U1_{Lc}), 除第一级之外的任一级上述第一移位寄存器单元 U1_N 用于在上述具有第一时钟周期 T1 的一组时钟信号 CLKA 的驱动下将来自上一级移位寄存器单元 U1_{N-1} 的上一行的第一扫描信号 GA_{N-1} 延迟输出为本行的第一扫描信号 GA_N。

[0056] 类似地, 本发明实施例中的第二移位寄存器 12 包括依次相连的多级第二移位寄存器单元 (如图 3 中的 U2₁、U2₂、…、U2_{N-1}、U2_N、…、U2_{Lc}), 除第一级之外的任一级上述第二移位寄存器单元 U2_N 用于在上述具有第二时钟周期 T2 的一组时钟信号 CLKB 的驱动下将来自上一级移位寄存器单元 U2_{N-1} 的上一行的第二扫描信号 GB_{N-1} 延迟输出为本行的第二扫描信号 GB_N。

[0057] 基于上述设置, 可以通过第一移位寄存器单元的级联实现上述第一移位寄存器的功能, 并通过第二移位寄存器单元的级联实现上述第二移位寄存器的功能。

[0058] 另外, 本发明实施例中的逻辑运算器 13 包括多个子逻辑运算器 (如图 3 中的 U3₁、U3₂、…、U3_{N-1}、U3_N、…、U2_{Lc}), 对于任意的 N 不小于 2, 子逻辑运算器 U3_N 与上述第一时钟信号 CLK1 相连, 并与第一移位寄存器单元 U1_N 及第二移位寄存器单元 U2_N 相连, 用于输出第 N 行的补偿信号 SC_N。也就是说, 任一子逻辑运算器都分别对应于一级上述第一移位寄存器单元和一级上述第二移位寄存器单元。

[0059] 更具体地, 图 4 是图 3 所述的扫描驱动电路中子逻辑运算器的电路结构图。参见图 4, 子逻辑运算器 U3_N (N 为不小于 2 的任意正整数) 包括第一晶体管 T1、第二晶体管 T2、反相器 13b 和输出端子 So, 其中:

[0060] 第一晶体管 T1 的栅极连接上述第二移位寄存器单元 U2_N 所输出的第二扫描信号 GB_N, 源极和漏极中的一个连接上述具有第三时钟周期 T3 的第一时钟信号 CLK1, 另一个连接上述输出端子 So。

[0061] 反相器 13b 的输入端连接上述第二移位寄存器单元 U2_N 所输出的第二扫描信号 GB_N, 输出端连接上述第二晶体管 T2 的栅极。

[0062] 第二晶体管 T2 的源极和漏极中的一个连接上述第一移位寄存器单元 U1_N 所输出的第一扫描信号 GA_N, 另一个连接上述输出端子 So。

[0063] 在上述子逻辑运算器 U3_N 中,通过两个晶体管 T1 和 T2 实现了上述两个逻辑与运算,并通过输出端子 So 的连接关系实现了上述逻辑或运算,最终可以通过简单的电路结构实现上述逻辑运算器的功能。该电路中的每一器件均可以集成在阵列基板上,可以在制作流程中避免外接电路板上制作驱动芯片的工艺。

[0064] 可以理解的是,图 2 中所示的电路结构同样可以用于构成一个子逻辑运算器,且图 4 所示出的电路结构可以视作图 2 所示出的逻辑门电路的一种具体实现方式。当然,基于图 2 所示出的结构,本领域技术人员还可以通过选择每一单元的具体电路结构得到其他形式下的子逻辑运算器,本发明对此不做限制。

[0065] 在上述任意一种扫描驱动电路结构的基础上,上述具有第一时钟周期 T1 的一组时钟信号 CLKA 可以包括相位依次相差 $1/m$ 个第一时钟周期的 m 个时钟信号 CLKA_1、CLKA_2、……、CLKA_m;上述具有第二时钟周期 T2 的一组时钟信号 CLKB 包括相位依次相差 $1/n$ 个第二时钟周期的 n 个时钟信号 CLKB_1、CLKB_2、……、CLKB_n。其中, m 和 n 均为大于等于 2 的整数。基于此,第一移位寄存器 11 与第二移位寄存器 12 均可以工作在多相时钟信号下,较单相时钟信号而言具有更高的可靠性。当然,上述具有第一时钟周期 T1 的一组时钟信号 CLKA 也可以仅包括一个时钟信号,上述具有第二时钟周期 T2 的一组时钟信号 CLKB 仅包括一个时钟信号,其并不影响本发明技术方案的实施。

[0066] 具体地,上述第三时钟周期 T3、上述 m 和上述 n 根据上述补偿信号的波形来进行设定。以 $m = 2, n = 8$ 的情况为例,图 5 是本发明一个实施例中一种扫描驱动电路的电路时序图,参见图 5:

[0067] 上述第三时钟周期 T3 是上述第一时钟周期 T1 的一半,而第一时钟周期 T1 是上述第二时钟周期 T2 的四分之一。从而,在 GB_1 为高电平的期间,第一时钟信号 CLK1 会输出八个脉冲(因为第三时钟周期 T3 是第二时钟周期 T2 的八分之一),而 SC_1 在此期间就会与第一时钟信号 CLK1 具有相同的波形(也就是八个上述“第一类脉冲”)。而在适当的设置下,GB_1 的下降沿可以与 GA_1 的上升沿对齐,从而使得 SC_1 包括与 GA_1 相应的一个脉冲(也就是一个上述“第二类脉冲”),从而形成如图 5 中 SC_1 所示的补偿信号波形。以上述过程为例,其他补偿信号的生成均是通过类似地过程来形成的。由此可见,第三时钟周期 T3 与第二时钟周期 T2 之间的比值决定了补偿信号中会具有多少个第一类脉冲(由第一时钟信号 CLK1 提供);CLKA 中所有的时钟信号则会通过对第一移位寄存器 11 的驱动来决定补偿信号中会具有什么样的第二类脉冲。因此,本领域技术人员可以依次对上述扫描驱动电路中的各项参量进行调整以获得所需要的补偿信号。

[0068] 需要说明的是,上述第三时钟周期 T3 需要小于第二时钟周期 T2 才能使补偿信号具有至少一个第一类脉冲,而满足这一条件的前提下第一时钟周期 T1、第二时钟周期 T2 和第三时钟周期 T3 则可以根据需要任意设置。

[0069] 另一方面,上述第一移位寄存器单元与上述第二移位寄存器单元可以具有相同的电路结构。举例来说,图 6 是本发明一个实施例中一种第一移位寄存器单元的电路结构图。参见图 6,该第一移位寄存器单元 U1_N 包括第一薄膜晶体管 M1、第二薄膜晶体管 M2、第三薄膜晶体管 M3、第四薄膜晶体管 M4、第一电容 Ca、第二电容 Cb 以及电阻 R1。其中,M1 可以在 GA_N-1 的高电平到来时开启,并上拉 M3 栅极处的电位;接下来 M1、M2、M4 均关闭而 CLKA_1 转为高电平时,第一电容 Ca 的电压保持作用下 M3 栅极处的电位被进一步上拉,同时可以使

GA_N 也转为高电平。而当 GA_{N+1} 转为高电平时, M2 和 M4 就会处于开启状态下拉 M3 栅极处的电位以及 GA_N 处的电位, 从而使得 GA_N 恢复为低电平。同时, 第二电容 Cb 和电阻 R1 可以对输出信号进行滤波, 实现 GA_N 处信号的稳定。由此, 该第一移位寄存器单元 U1_N 可以完成一次“低电平-高电平-低电平”的输出, 也就是“在上述具有第一时钟周期 T1 的一组时钟信号 CLKA 的驱动下将来自上一级移位寄存器单元 U1_{N-1} 的上一行的第一扫描信号 GA_{N-1} 延迟输出为本行的第一扫描信号 GA_N”, 其他移位寄存器单元同理。

[0070] 而对应于图 5 中的电路时序, 具有如 6 所示的电路结构的第一移位寄存器单元 U1₁、U1₂、…、U1_{N-1}、U1_N、…、U1_{Lc} 会依次连接 CLKA₁、CLKA₂、CLKA₁、CLKA₂、……。而具有如 6 所示的电路结构的第二移位寄存器单元 U2₁、U2₂、…、U2_{N-1}、U2_N、…、U2_{Lc} 则会依次连接 CLKB₁、CLKB₂、CLKB₃、…、CLKB₇、CLKB₈、CLKB₁、CLKB₂、CLKB₃、……。基于此, 如图 5 所示的第一起始信号 STV_A 输入到 U1₁ 的 M1 栅极上时, 第一移位寄存器 11 就会如图 5 中 GA₁、GA₂、GA₃ 所示的那样在 CLKA₁ 和 CLKA₂ 的驱动下逐行地输出第一扫描信号 GA。而在如图 5 所示的第二起始信号 STV_B 输入到 U2₁ 的 M1 栅极上时, 第二移位寄存器 12 就会如图 5 中 GB₁、GB₂、GB₃ 所示的那样在 CLKB₁ 至 CLKA₈ 的驱动下逐行地输出第二扫描信号 GB。

[0071] 基于同样的发明构思, 图 7 是本发明一个实施例中一种扫描驱动电路的驱动方法的步骤流程图, 该扫描驱动电路可以是上述任意一种的扫描驱动电路。参见图 7, 该方法包括:

[0072] 步骤 701: 在第二时钟信号的一个上升沿之前向所述第二移位寄存器输入第一起始信号, 以使所述第二移位寄存器开始逐行地输出第二扫描信号; 所述第二时钟信号是所述第二移位寄存器所连接的一组时钟信号中的一个时钟信号;

[0073] 步骤 702: 在所述第二时钟信号的所述上升沿之后向所述第一移位寄存器输入第二起始信号, 以使所述第一移位寄存器开始逐行地输出第一扫描信号; 任一行的所述第二扫描信号由第一电平转为第二电平的时刻不晚于该行的第一扫描信号开始输出的时刻。

[0074] 可以看出, 上述图 5 以及相关的记载可以视为本发明实施例的一种具体示例, 在此不再赘述。

[0075] 基于同样的发明构思, 本发明实施例提供一种阵列基板, 包括上述任意一种的扫描驱动电路。举例来说, 该阵列基板可以是 GOA (Gate Driver On Array, 阵列基板行驱动) 类型的阵列基板, 从而包括如图 4 所示的或非门电路的扫描驱动电路可以形成在该阵列基板上。由于该阵列基板包括上述任意一种的扫描驱动电路, 因而可以解决同样的技术问题, 达到类似的技术效果。

[0076] 基于同样的发明构思, 本发明实施例提供一种显示装置, 包括上述任意一种的阵列基板 (比如 GOA 类型的阵列基板), 或者上述任意一种的扫描驱动电路 (比如设置在阵列基板周边的电路板上)。需要说明的是, 本实施例中的显示装置可以为: 显示面板、手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。由于该显示装置均包括上述任意一种的扫描驱动电路或上述任意一种的阵列基板, 因而可以解决同样的技术问题, 达到类似的技术效果。

[0077] 由上述技术方案可知, 本发明所提供的扫描驱动电路可以在合适的信号时序设置下生成具有特定波形的补偿信号。具体来说, 补偿信号在部分时间内的波形与时钟信号的

波形重合,在其他时间内的波形与扫描信号的波形重合,因而可以包括若干个第一类脉冲(来自时钟信号)和一个第二类脉冲(来自扫描信号),为多种 OLED 像素电路提供所需的补偿信号。

[0078] 在本发明的描述中需要说明的是,术语“上”、“下”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0079] 本发明的说明书中,说明了大量具体细节。然而,能够理解,本发明的实施例可以在没有这些具体细节的情况下实践。在一些实例中,并未详细示出公知的方法、结构和技术,以便不模糊对本说明书的理解。

[0080] 类似地,应当理解,为了精简本发明公开并帮助理解各个发明方面中的一个或多个,在上面对本发明的示例性实施例的描述中,本发明的各个特征有时被一起分组到单个实施例、图、或者对其的描述中。然而,并不应将该公开的方法解释呈反映如下意图:即所要求保护的本发明要求比在每个权利要求中所明确记载的特征更多的特征。更确切地说,如下面的权利要求书所反映的那样,发明方面在于少于前面公开的单个实施例的所有特征。因此,遵循具体实施方式的权利要求书由此明确地并入该具体实施方式,其中每个权利要求本身都作为本发明的单独实施例。

[0081] 应该注意的是上述实施例对本发明进行说明而不是对本发明进行限制,并且本领域技术人员在不脱离所附权利要求的范围的情况下可设计出替换实施例。在权利要求中,不应将位于括号之间的任何参考符号构造成对权利要求的限制。单词“包含”不排除存在未列在权利要求中的元件或步骤。位于元件之前的单词“一”或“一个”不排除存在多个这样的元件。本发明可以借助于包括有若干不同元件的硬件以及借助于适当编程的计算机来实现。在列举了若干装置的单元权利要求中,这些装置中的若干个可以通过同一个硬件项来具体体现。单词第一、第二、以及第三等的使用不表示任何顺序。可将这些单词解释为名称。

[0082] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围,其均应涵盖在本发明的权利要求和说明书的范围当中。

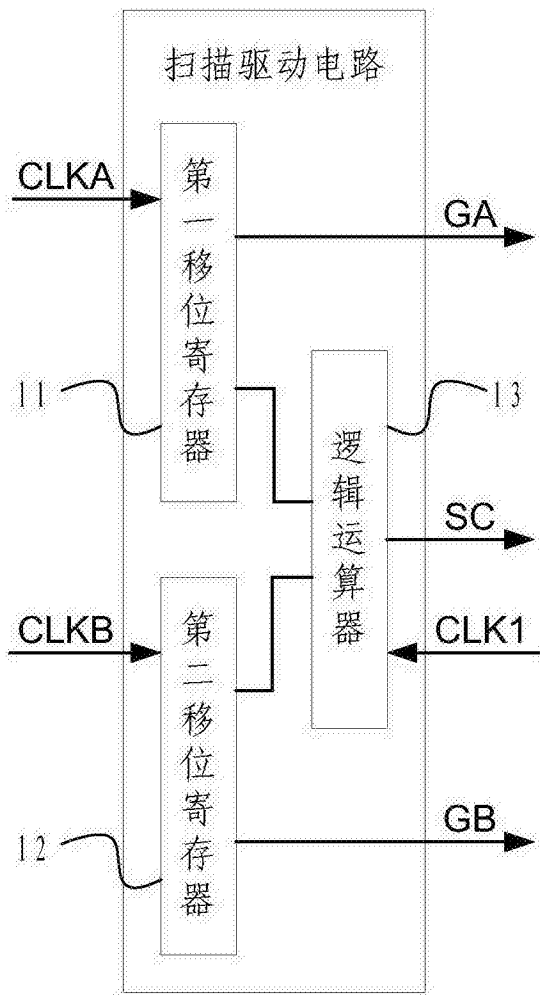


图 1

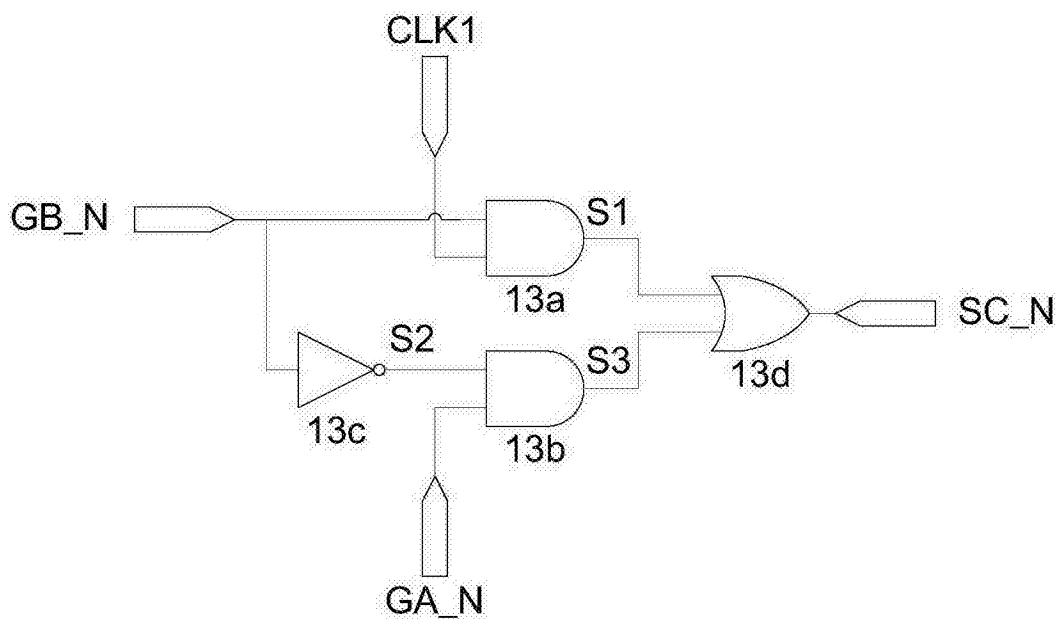


图 2

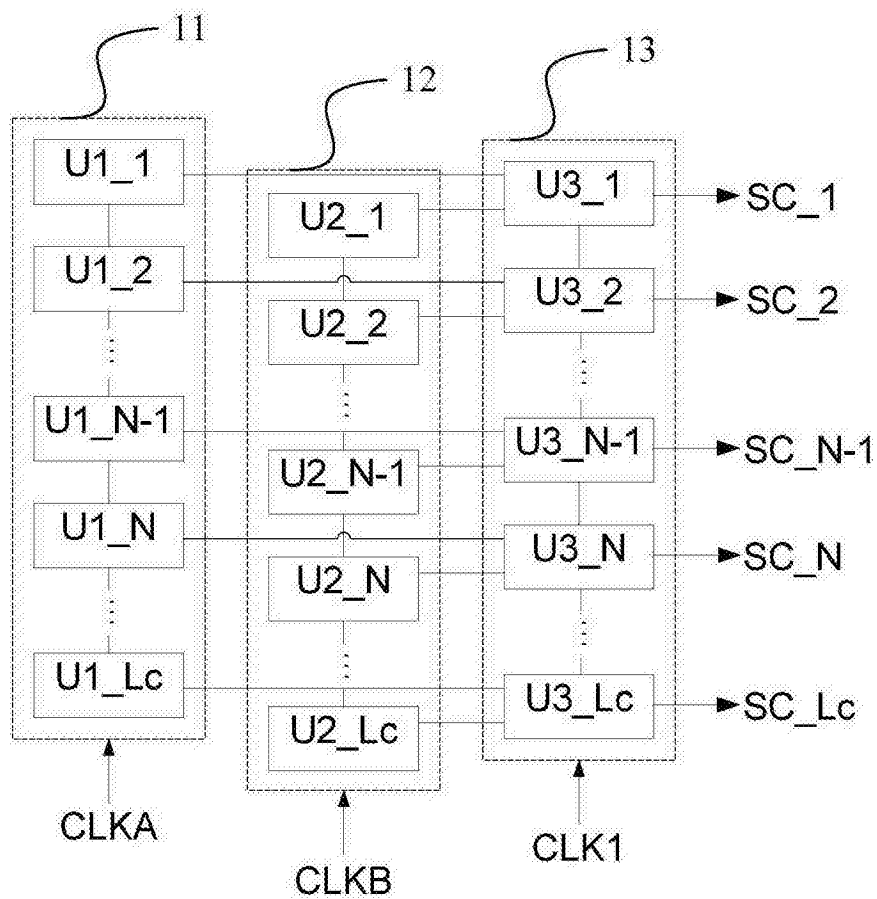


图 3

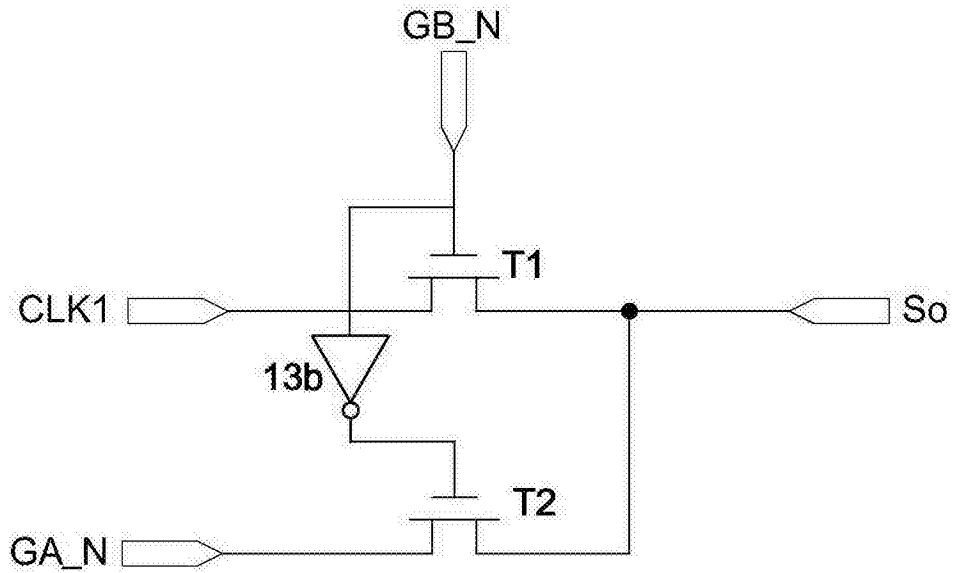


图 4

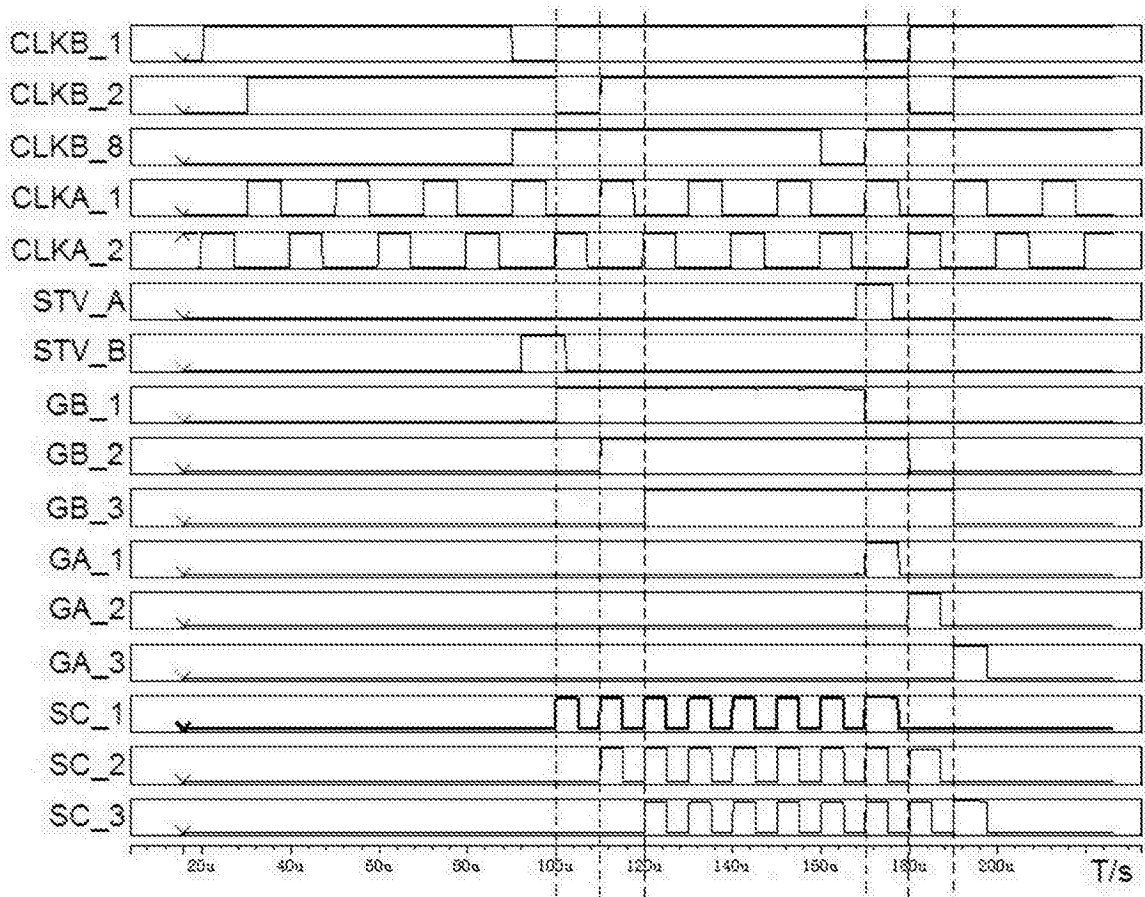


图 5

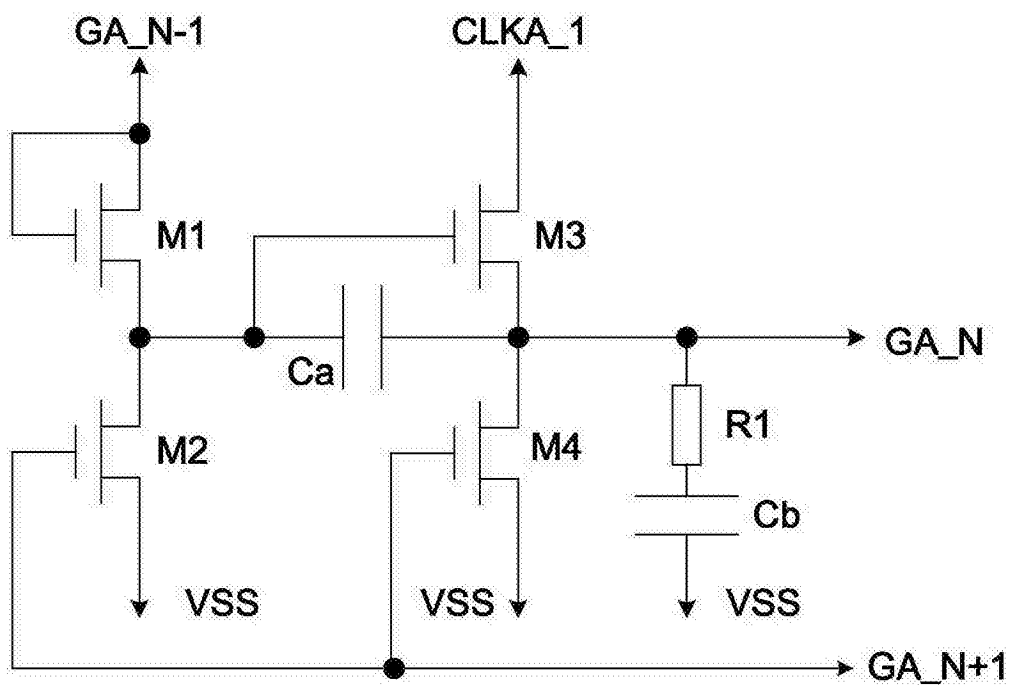


图 6

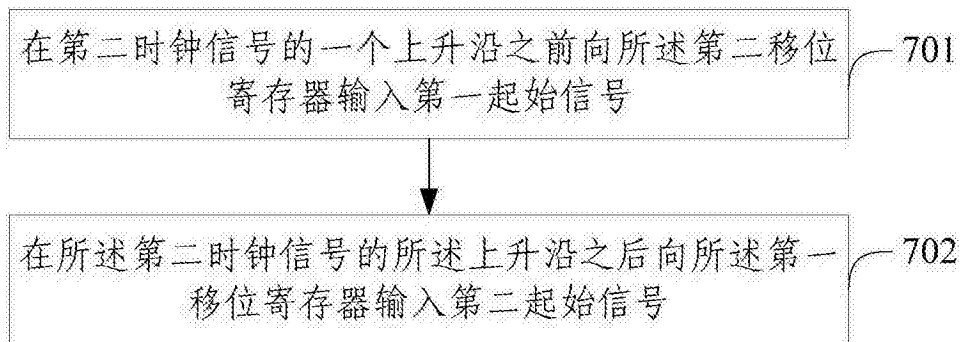


图 7

专利名称(译)	扫描驱动电路及其驱动方法、阵列基板、显示装置		
公开(公告)号	CN104766587B	公开(公告)日	2016-03-02
申请号	CN201510217777.8	申请日	2015-04-30
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	王俪蓉 段立业		
发明人	王俪蓉 段立业		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3266 G09G2300/0408 G09G2300/0819 G09G2310/0286 G09G3/3225 G09G2310/0267 G09G2310/0283 G09G2310/08		
代理人(译)	李相雨		
其他公开文献	CN104766587A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种扫描驱动电路及其驱动方法、阵列基板、显示装置，其中的扫描驱动电路包括：连接具有第一时钟周期的一组时钟信号的第一移位寄存器，用于逐行地输出第一扫描信号；连接具有第二时钟周期的另一组时钟信号的第二移位寄存器，用于逐行地输出第二扫描信号；连接具有第三时钟周期的第一时钟信号的逻辑运算器，并与第一移位寄存器及第二移位寄存器相连，用于输出多行的补偿信号；任一行的补偿信号在本行的第二扫描信号为第一电平时与第一时钟信号具有同样的波形，在本行的第二扫描信号为第二电平时与本行的第一扫描信号具有同样的波形；第三时钟周期小于第二时钟周期。本发明可以解决传统GOA电路无法提供补偿信号的问题。

