



(12) 发明专利申请

(10) 申请公布号 CN 102708799 A

(43) 申请公布日 2012. 10. 03

(21) 申请号 201210177631. 1

(22) 申请日 2012. 05. 31

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 金泰逵 王颖 金秘爽

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/32(2006. 01)

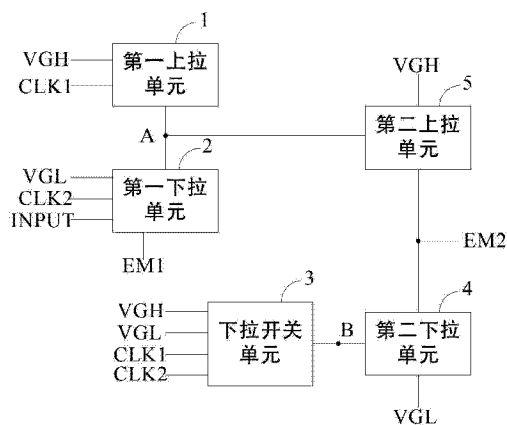
权利要求书 3 页 说明书 8 页 附图 7 页

(54) 发明名称

移位寄存器单元、移位寄存器电路、阵列基板及显示器件

(57) 摘要

本发明实施例提供一种移位寄存器单元、移位寄存器电路、阵列基板及显示器件,涉及显示装置制造领域,可以避免在写入显示数据的同时,OLED 显示器件发生闪烁。一种移位寄存器包括:一第一上拉单元、一第一下拉单元、一下拉开关单元、一第二下拉单元和一第二上拉单元。本发明实施例用于显示装置的制造。



1. 一种移位寄存器单元,其特征在于,包括:

一第一上拉单元,所述第一上拉单元与高电平端、第一时钟信号端和控制节点 A 相连;

一第一下拉单元,所述第一下拉单元与低电平端、第二时钟信号端、输入信号端、所述上拉单元、第一输出端和所述控制节点 A 相连;

一下拉开关单元,所述下拉开关单元与所述高电平端、所述低电平端、所述第一时钟信号端、所述第二时钟信号端和控制节点 B 相连;

一第二下拉单元,所述第二下拉单元与所述低电平端、所述控制节点 B 和所述第二输出端相连;

一第二上拉单元,所述第二上拉单元与所述高电平端、所述控制节点 A 和所述第二输出端相连;

其中,所述第一上拉单元用于在所述第一时钟信号端输入低电平时拉高所述控制节点 A 的电平;所述第一下拉单元用于在所述第二时钟信号端和所述输入信号端均输入低电平时拉低所述控制节点 A 的电平;所述下拉开关单元用于在所述第一时钟信号端输入低电平时拉低所述控制节点 B 的电平,在所述第二时钟信号端输入低电平时拉高所述控制节点 B 的电平;所述第二上拉单元用于在所述控制节点 A 为低电平时拉高所述第二输出端输出的电平,输出驱动信号;所述第二下拉单元用于在所述控制节点 B 为低电平时拉低所述第二输出端输出的电平,复位驱动信号。

2. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述第一上拉单元包括:

一第一上拉模块,所述第一上拉模块与所述高电平端、所述第一时钟信号端和控制节点 C 相连;

一第二上拉模块,所述第二上拉模块与所述高电平端、所述第一时钟信号端和控制节点 D 相连;

一第三上拉模块,所述第三上拉模块与所述高电平端、所述第一时钟信号端和控制节点 A 相连;

相应的,所述第一下拉单元包括:

一第一下拉模块,所述第一下拉模块与所述输入信号端和所述控制节点 C 相连;

一第二下拉模块,所述第二下拉模块与所述第二时钟信号、所述控制节点 C 和所述控制节点 D 相连;

一第三下拉模块,所述第三下拉模块与所述低电平端、所述控制节点 D 和所述控制节点 A 相连;

其中,所述第一输出端与所述控制节点 D 相连。

3. 根据权利要求 2 所述的移位寄存器单元,其特征在于,

所述第一上拉模块包括:一第一晶体管,所述第一晶体管的栅极连接所述第一时钟信号端,所述第一晶体管的源极连接所述高电平端,所述第一晶体管的漏极连接所述控制节点 C;

所述第二上拉模块包括:一第二晶体管,所述第二晶体管的栅极连接所述第一时钟信号端,所述第二晶体管的源极连接所述高电平端,所述第二晶体管的漏极连接所述控制节点 D;

所述第三上拉模块包括:一第三晶体管,所述第三晶体管的栅极连接所述第一时钟信

号端,所述第三晶体管的源极连接所述高电平端,所述第三晶体管的漏极连接所述控制节点 A;

所述第一下拉模块包括:一第四晶体管,所述第四晶体管的栅极和源极连接所述输入信号端,所述第四晶体管的漏极连接所述控制节点 C;

所述第二下拉模块包括:一第五晶体管和一第一电容,所述第五晶体管的栅极连接所述控制节点 C,所述第五晶体管的源极连接所述第二时钟信号端,所述第五晶体管的漏极连接所述控制节点 D;所述第一电容的两极分别连接所述第五晶体管的栅极和漏极;

所述第三下拉模块包括:一第六晶体管和一第二电容,所述第六晶体管的栅极连接所述控制节点 D,所述第六晶体管的源极连接所述低电平端,所述第六晶体管的漏极连接所述控制节点 A;所述第二电容的两极分别连接所述第六晶体管的源极和漏极;

所述下拉开关单元包括:一第七晶体管和一第八晶体管,所述第七晶体管的栅极连接所述第一时钟信号端,所述第七晶体管的源极连接所述低电平端,所述第七晶体管的漏极连接所述控制节点 B;所述第八晶体管的栅极连接所述第二时钟信号端,所述第八晶体管的源极连接所述高电平端,所述第八晶体管的漏极连接所述控制节点 B;

所述第二下拉单元包括:一第九晶体管和一第三电容,所述第九晶体管的栅极连接所述控制节点 B,所述第九晶体管的源极连接所述低电平端,所述第九晶体管的漏极连接所述第二输出端;所述第三电容的两极分别连接所述第九晶体管的源极和漏极;

所述第二上拉单元包括:一第十晶体管和一第四电容,所述第十晶体管的栅极连接所述控制节点 A,所述第十晶体管的源极连接所述高电平端,所述第十晶体管的漏极连接所述第二输出端;所述第四电容的两极分别连接所述第十晶体管的漏极和所述第八晶体管的漏极。

4. 一种移位寄存器电路,其特征在于,包括串联的多个如权利要求 1 至 3 中任一项所述的移位寄存器单元,

除第一个移位寄存器单元之外,其余每个移位寄存器单元的输入信号均来自该移位寄存器单元之前的一个相邻移位寄存器单元第一输出端输出的信号。

5. 根据权利要求 4 所述的移位寄存器电路,其特征在于,所述移位寄存器电路包括第一移位寄存器单元组和第二移位寄存器单元组,每组所述移位寄存器单元组包括串联的多个所述移位寄存器单元,

每组移位寄存器单元组中,除第一个移位寄存器单元之外,其余每个移位寄存器单元的输入信号均来自该移位寄存器单元之前的一个相邻移位寄存器单元第一输出端输出的信号;

输入所述第一移位寄存器单元组的时钟信号包括第一时钟信号和第二时钟信号;

输入所述第二移位寄存器单元组的时钟信号包括第三时钟信号和第四时钟信号。

6. 根据权利要求 5 所述的移位寄存器电路,其特征在于,

所述第一时钟信号和所述第三时钟信号相差半个时钟周期;

所述第二时钟信号和所述第四时钟信号相差半个时钟周期。

7. 一种阵列基板,其特征在于,在所述阵列基板上形成有如权利要求 4 至 6 任一所述的移位寄存器电路。

8. 一种显示器件,包括:

有机发光二极管 OLED 显示装置,用于显示图像 ;
移位寄存器电路,用于驱动所述 OLED 显示装置 ;
其特征在于,所述移位寄存器电路为权利要求 4 至 6 任一所述的移位寄存器电路。

移位寄存器单元、移位寄存器电路、阵列基板及显示器件

技术领域

[0001] 本发明涉及显示装置制造领域,尤其涉及移位寄存器单元、移位寄存器电路、阵列基板及显示器件。

背景技术

[0002] 随着显示技术的不断发展,近些年的显示器发展逐渐呈现出了高集成度,低成本的发展趋势。其中一项非常重要的技术就是GOA(Gate Driver on Array,阵列基板行驱动)技术的量产化的实现。利用GOA技术将TFT(Thin Film Transistor,薄膜场效应晶体管)栅极开关电路集成在显示面板的阵列基板上以形成对显示面板的扫描驱动,从而可以省掉栅极驱动集成电路部分,其不仅可以从材料成本和制作工艺两方面降低产品成本,而且显示面板可以做到两边对称和窄边框的美观设计。同时由于可以省去Gate方向邦定Bonding的工艺,对产能和良率提升也较有利。这种利用GOA技术集成在阵列基板上的栅极开关电路也称为GOA电路或移位寄存器电路。

[0003] 由于GOA电路具有上述的优点,目前的有机发光二极管OLED显示器已越来越多地利用GOA电路作为像素电路阵列TFT的栅极的行选通控制信号。对于OLED显示器而言,由于OLED为电流驱动器件,通过控制流入OLED器件的电流通路即可以控制OLED器件的发光。为了对OLED的驱动电流进行精确的控制,通常会在像素电路的基础上增加一个驱动TFT,用于对OLED器件的电流进行精确控制。

[0004] 这样一种电路的不足之处在于,当GOA电路驱动像素电路的瞬间还会向OLED器件输入驱动电流,这将导致在写入显示数据的同时,OLED显示器件发生闪烁,从而影响产品的质量。

发明内容

[0005] 本发明的实施例提供一种移位寄存器单元、移位寄存器电路、阵列基板及显示器件,可以避免在写入显示数据的同时,OLED显示器件发生闪烁。

[0006] 为达到上述目的,本发明的实施例采用如下技术方案:

[0007] 本发明实施例的一方面,提供一种移位寄存器单元,包括:

[0008] 一第一上拉单元,所述第一上拉单元与高电平端、第一时钟信号端和控制节点A相连。

[0009] 一第一下拉单元,所述第一下拉单元与低电平端、第二时钟信号端、输入信号端、所述上拉单元、第一输出端和所述控制节点A相连。

[0010] 一下拉开关单元,所述下拉开关单元与所述高电平端、所述低电平端、所述第一时钟信号端、所述第二时钟信号端和控制节点B相连。

[0011] 一第二下拉单元,所述第二下拉单元与所述低电平端、所述控制节点B和所述第二输出端相连。

[0012] 一第二上拉单元,所述第二上拉单元与所述高电平端、所述控制节点A和所述第

二输出端相连。

[0013] 其中,所述第一上拉单元用于在所述第一时钟信号端输入低电平时拉高所述控制节点 A 的电平;所述第一下拉单元用于在所述第二时钟信号端和所述输入信号端均输入低电平时拉低所述控制节点 A 的电平;所述下拉开关单元用于在所述第一时钟信号端输入低电平时拉低所述控制节点 B 的电平,在所述第二时钟信号端输入低电平时拉高所述控制节点 B 的电平;所述第二上拉单元用于在所述控制节点 A 为低电平时拉高所述第二输出端输出的电平,输出驱动信号;所述第二下拉单元用于在所述控制节点 B 为低电平时拉低所述第二输出端输出的电平,复位驱动信号。

[0014] 所述第一上拉单元包括:

[0015] 一第一上拉模块,所述第一上拉模块与所述高电平端、所述第一时钟信号端和控制节点 C 相连。

[0016] 一第二上拉模块,所述第二上拉模块与所述高电平端、所述第一时钟信号端和控制节点 D 相连。

[0017] 一第三上拉模块,所述第三上拉模块与所述高电平端、所述第一时钟信号端和控制节点 A 相连。

[0018] 相应的,所述第一下拉单元包括:

[0019] 一第一下拉模块,所述第一下拉模块与所述输入信号端和所述控制节点 C 相连。

[0020] 一第二下拉模块,所述第二下拉模块与所述第二时钟信号、所述控制节点 C 和所述控制节点 D 相连。

[0021] 一第三下拉模块,所述第三下拉模块与所述低电平端、所述控制节点 D 和所述控制节点 A 相连。

[0022] 其中,所述第一输出端与所述控制节点 D 相连。

[0023] 所述第一上拉模块包括:一第一晶体管,所述第一晶体管的栅极连接所述第一时钟信号端,所述第一晶体管的源极连接所述高电平端,所述第一晶体管的漏极连接所述控制节点 C。

[0024] 所述第二上拉模块包括:一第二晶体管,所述第二晶体管的栅极连接所述第一时钟信号端,所述第二晶体管的源极连接所述高电平端,所述第二晶体管的漏极连接所述控制节点 D。

[0025] 所述第三上拉模块包括:一第三晶体管,所述第三晶体管的栅极连接所述第一时钟信号端,所述第三晶体管的源极连接所述高电平端,所述第三晶体管的漏极连接所述控制节点 A。

[0026] 所述第一下拉模块包括:一第四晶体管,所述第四晶体管的栅极和源极连接所述输入信号端,所述第四晶体管的漏极连接所述控制节点 C。

[0027] 所述第二下拉模块包括:一第五晶体管和一第一电容,所述第五晶体管的栅极连接所述控制节点 C,所述第五晶体管的源极连接所述第二时钟信号端,所述第五晶体管的漏极连接所述控制节点 D;所述第一电容的两极分别连接所述第五晶体管的栅极和漏极。

[0028] 所述第三下拉模块包括:一第六晶体管和一第二电容,所述第六晶体管的栅极连接所述控制节点 D,所述第六晶体管的源极连接所述低电平端,所述第六晶体管的漏极连接所述控制节点 A;所述第二电容的两极分别连接所述第六晶体管的源极和漏极。

[0029] 所述下拉开关单元包括：一第七晶体管和一第八晶体管，所述第七晶体管的栅极连接所述第一时钟信号端，所述第七晶体管的源极连接所述低电平端，所述第七晶体管的漏极连接所述控制节点 B；所述第八晶体管的栅极连接所述第二时钟信号端，所述第八晶体管的源极连接所述高电平端，所述第八晶体管的漏极连接所述控制节点 B。

[0030] 所述第二下拉单元包括：一第九晶体管和一第三电容，所述第九晶体管的栅极连接所述控制节点 B，所述第九晶体管的源极连接所述低电平端，所述第九晶体管的漏极连接所述第二输出端；所述第三电容的两极分别连接所述第九晶体管的源极和漏极。

[0031] 所述第二上拉单元包括：一第十晶体管和一第四电容，所述第十晶体管的栅极连接所述控制节点 A，所述第十晶体管的源极连接所述高电平端，所述第十晶体管的漏极连接所述第二输出端；所述第四电容的两极分别连接所述第十晶体管的漏极和所述第八晶体管的漏极。

[0032] 本发明实施的另一方面，提供一种移位寄存器电路，包括串联的多个如上所述的移位寄存器单元。

[0033] 除第一个移位寄存器单元之外，其余每个移位寄存器单元的输入信号均来自该移位寄存器单元之前的一个相邻移位寄存器单元第一输出端输出的信号。

[0034] 所述移位寄存器电路包括第一移位寄存器单元组和第二移位寄存器单元组，每组所述移位寄存器单元组包括串联的多个所述的移位寄存器单元。

[0035] 每组移位寄存器单元组中，除第一个移位寄存器单元之外，其余每个移位寄存器单元的输入信号均来自该移位寄存器单元之前的一个相邻移位寄存器单元第一输出端输出的信号。

[0036] 输入所述第一移位寄存器单元组的时钟信号包括第一时钟信号和第二时钟信号。

[0037] 输入所述第二移位寄存器单元组的时钟信号包括第三时钟信号和第四时钟信号。

[0038] 所述第一时钟信号和所述第三时钟信号相差半个时钟周期。

[0039] 所述第二时钟信号和所述第四时钟信号相差半个时钟周期。

[0040] 本发明实施例的另一方面，提供一种阵列基板，在所述阵列基板上形成有如上所述的移位寄存器电路。

[0041] 本发明实施例的又一方面，提供一种显示器件，包括：

[0042] 有机发光二极管 OLED 显示装置，用于显示图像。

[0043] 移位寄存器电路，用于驱动所述 OLED 显示装置。

[0044] 所述移位寄存器电路为如上所述的移位寄存器电路。

[0045] 本发明的实施例提供一种移位寄存器单元、移位寄存器电路、阵列基板及显示器件，其中，移位寄存器单元用于控制驱动 OLED 器件的驱动 TFT，与现有的用于控制像素电路的移位寄存器单元配合工作，当用于控制像素电路的移位寄存器单元向像素电路写入数据时，控制驱动 TFT 以关闭 OLED 器件的驱动电流，当写入数据完成时再控制驱动 TFT 以打开 OLED 器件。这样一来，可以有效避免在写入显示数据的同时，OLED 显示器件发生闪烁的问题，提高 OLED 显示器件的产品质量。

附图说明

[0046] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现

有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

- [0047] 图 1 为本发明实施例提供的一种移位寄存器单元的结构示意图;
- [0048] 图 2 为本发明实施例提供的另一移位寄存器单元的结构示意图;
- [0049] 图 3 为本发明实施例提供的一种移位寄存器单元的电路连接结构示意图;
- [0050] 图 4 为本发明实施例提供的一种移位寄存器单元的时钟信号时序状态示意图;
- [0051] 图 5 为本发明实施例提供的一种移位寄存器电路的结构示意图;
- [0052] 图 6 为本发明实施例提供的另一移位寄存器电路的结构示意图;
- [0053] 图 7 为本发明实施例提供的另一移位寄存器单元的时钟信号时序状态示意图。

具体实施方式

[0054] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0055] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件,由于这里采用的晶体管的源极、漏极是对称的,所以其源极、漏极是没有区别的。在本发明实施例中,为区分晶体管除栅极之外的两极,将其中一极称为源极,另一极称为漏极。按附图中的形态规定晶体管的中间端为栅极、信号输入端为源极、信号输出端为漏极。此外本发明实施例所采用的晶体管均为 P 型晶体管,即在栅极为低电平时导通。

[0056] 本发明实施例提供的移位寄存器的结构如图 1 所示,包括:

[0057] 一第一上拉单元 1,第一上拉单元 1 与高电平端 VGH、第一时钟信号端 CLK1 和控制节点 A 相连。

[0058] 一第一下拉单元 2,第一下拉单元 2 与低电平端 VGL、第二时钟信号端 CLK2、输入信号端 INPUT、上拉单元 1、第一输出端 EM1 和控制节点 A 相连。

[0059] 一下拉开关单元 3,下拉开关单元 3 与高电平端 VGH、低电平端 VGL、第一时钟信号端 CLK1、第二时钟信号端 CLK2 和控制节点 B 相连。

[0060] 一第二下拉单元 4,第二下拉单元 4 与低电平端 VGL、控制节点 B 和第二输出端 EM2 相连。

[0061] 一第二上拉单元 5,第二上拉单元 5 与高电平端 VGH、控制节点 A 和第二输出端 EM2 相连。

[0062] 其中,第一上拉单元 1 用于在第一时钟信号端 CLK1 输入低电平时拉高控制节点 A 的电平;第一下拉单元 2 用于在第二时钟信号端 CLK2 和输入信号端 INPUT 均输入低电平时拉低控制节点 A 的电平;下拉开关单元 3 用于在第一时钟信号端 CLK1 输入低电平时拉低控制节点 B 的电平,在第二时钟信号端 CLK2 输入低电平时拉高控制节点 B 的电平;第二上拉单元 5 用于在控制节点 A 为低电平时拉高第二输出端 EM2 输出的电平,输出驱动信号;第二下拉单元 4 用于在控制节点 B 为低电平时拉低第二输出端 EM2 输出的电平,复位驱动信号。

[0063] 本发明实施例所提供的移位寄存器单元用于控制驱动 OLED 器件的驱动 TFT,与现

有的用于控制像素电路的移位寄存器单元配合工作,当用于控制像素电路的移位寄存器单元向像素电路写入数据时,控制驱动 TFT 以关闭 OLED 器件的驱动电流,当写入数据完成时再控制驱动 TFT 以打开 OLED 器件。这样一来,可以有效避免在写入显示数据的同时, OLED 显示器件发生闪烁的问题,提高 OLED 显示器件的产品质量。

[0064] 进一步的,如图 2 所示,在本发明实施例提供的移位寄存器中,第一上拉单元 1 还可以包括:

[0065] 一第一上拉模块 11,第一上拉模块 11 与高电平端 VGH、第一时钟信号端 CLK1 和控制节点 C 相连。

[0066] 一第二上拉模块 12,第二上拉模块 12 与高电平端 VGH、第一时钟信号端 CLK1 和控制节点 D 相连。

[0067] 一第三上拉模块 13,第三上拉模块 13 与高电平端 VGH、第一时钟信号端 CLK1 和控制节点 A 相连。

[0068] 相应的,第一下拉单元 2 包括:

[0069] 一第一下拉模块 21,第一下拉模块 21 与输入信号端 INPUT 和控制节点 C 相连。

[0070] 一第二下拉模块 22,第二下拉模块 22 与第二时钟信号 CLK2、控制节点 C 和控制节点 D 相连。

[0071] 一第三下拉模块 23,第三下拉模块 23 与低电平端 VGL、控制节点 D 和控制节点 A 相连。

[0072] 其中,第一输出端 EM1 与控制节点 D 相连。

[0073] 第一上拉模块 11 和第一下拉模块 21 决定了控制节点 C 的电平高低,进而可以控制第二下拉模块 22 的开关状态;该第二下拉模块 22 又与第二上拉模块 12 共同决定了控制节点 D 的电平,从而控制第三下拉模块 23 的开关状态;第三下拉模块 23 与第三上拉模块 13 决定控制节点 A 的电平。第一输出端 EM1 用于向下一级移位寄存器提供 INPUT 输入信号。

[0074] 更进一步的,如图 3 所示,第一上拉模块 11 可以包括:一第一晶体管 T1,第一晶体管 T1 的栅极连接第一时钟信号端 CLK1,第一晶体管 T1 的源极连接高电平端 VGH,第一晶体管 T1 的漏极连接控制节点 C。

[0075] 第二上拉模块 12 可以包括:一第二晶体管 T2,第二晶体管 T2 的栅极连接第一时钟信号端 CLK1,第二晶体管 T2 的源极连接高电平端 VGH,第二晶体管 T2 的漏极连接控制节点 D。

[0076] 第三上拉模块 13 可以包括:一第三晶体管 T3,第三晶体管 T3 的栅极连接第一时钟信号端 CLK1,第三晶体管 T3 的源极连接高电平端 VGH,第三晶体管 T3 的漏极连接控制节点 A。

[0077] 第一下拉模块 21 可以包括:一第四晶体管 T4,第四晶体管 T4 的栅极和源极连接输入信号端 INPUT,第四晶体管 T4 的漏极连接控制节点 C。

[0078] 第二下拉模块 22 可以包括:一第五晶体管 T5 和一第一电容 C1,第五晶体管 T5 的栅极连接控制节点 C,第五晶体管 T5 的源极连接第二时钟信号端 CLK2,第五晶体管 T5 的漏极连接控制节点 D;第一电容 C1 的两极分别连接第五晶体管 T5 的栅极和漏极。

[0079] 第三下拉模块 23 可以包括:一第六晶体管 T6 和一第二电容 C2,第六晶体管 T6 的栅极连接控制节点 D,第六晶体管 T6 的源极连接低电平端 VGL,第六晶体管 T6 的漏极连接

控制节点 A ;第二电容 C2 的两极分别连接第六晶体管 T6 的源极和漏极。(C2 的一端和 T6 的源极均连接于低电平端。)

[0080] 下拉开关单元 3 可以包括 :一第七晶体管 T7 和一第八晶体管 T8,第七晶体管 T7 的栅极连接第一时钟信号端 CLK1,第七晶体管 T7 的源极连接低电平端 VGL,第七晶体管 T7 的漏极连接控制节点 B ;第八晶体管 T8 的栅极连接第二时钟信号端 CLK2,第八晶体管 T8 的源极连接高电平端 VGH,第八晶体管 T8 的漏极连接控制节点 B。

[0081] 第二下拉单元 4 可以包括 :一第九晶体管 T9 和一第三电容 C3,第九晶体管 T9 的栅极连接控制节点 B,第九晶体管 T9 的源极连接低电平端 VGL,第九晶体管 T9 的漏极连接第二输出端 EM2 ;第三电容 C3 的两极分别连接第九晶体管 T9 的源极和漏极。

[0082] 第二上拉单元 5 可以包括 :一第十晶体管 T10 和一第四电容 C4,第十晶体管 T10 的栅极连接控制节点 A,第十晶体管 T10 的源极连接高电平端 VGH,第十晶体管 T10 的漏极连接第二输出端 EM2 ;第四电容 C4 的两极分别连接第十晶体管 T10 的漏极和第八晶体管 T8 的漏极。

[0083] 本发明实施例所提供的移位寄存器单元用于控制驱动 OLED 器件的驱动 TFT,与现有的用于控制像素电路的移位寄存器单元配合工作,当用于控制像素电路的移位寄存器单元向像素电路写入数据时,控制驱动 TFT 以关闭 OLED 器件的驱动电流,当写入数据完成时再控制驱动 TFT 以打开 OLED 器件。这样一来,可以有效避免在写入显示数据的同时, OLED 显示器件发生闪烁的问题,提高 OLED 显示器件的产品质量。

[0084] 以下结合图 4 所示的时序状态图,对本发明实施例图 3 所示的移位寄存器单元的工作状态进行详细描述。

[0085] t1 阶段 :第一时钟信号 CLK1 为高电平, INPUT 信号 (这里输入信号以帧起始信号 STV 为例) 和第二时钟信号 CLK2 均为低电平。此时,晶体管 T4 导通,控制节点 C 被拉低,晶体管 T5 导通。与此同时,由于第一时钟信号 CLK1 为高电平,晶体管 T1、T2、T3 均关闭。因此,由于晶体管 T6 导通,第二时钟信号 CLK2 为低电平,此时控制节点 D 的电位为低电平,第一输出端 EM 1 为低电平。同时由于晶体管 T6 导通,控制节点 A 的电平为低电平 VGL,则晶体管 T10 导通,第二输出端 EM2 相应为高电平 VGH。同时由于第一时钟信号 CLK1 为高电平,晶体管 T7、T9 关闭,从而确保了第二输出端 EM2 的输入不受晶体管 T7、T9 的影响。此时第二输出端 EM2 为高电平,完成 OLED 器件驱动电流的输入。

[0086] t2 阶段 :INPUT 信号和第二时钟信号 CLK2 均为高电平,第一时钟信号 CLK1 为低电平。此时,晶体管 T4 关闭,同时由于第一时钟信号 CLK1 为低电平,晶体管 T1、T2、T3 均导通,则控制节点 D 的电平被拉高为高电平,从而使得晶体管 T6 关闭,第一输出端 EM1 为高电平。由于晶体管 T3 导通,则控制节点 A 的电平为高电平,晶体管 T10 关闭。同时由于此时第一时钟信号 CLK1 为低电平,第二时钟信号 CLK2 为高电平,则晶体管 T7 导通,T8 关闭,控制节点 B 的电平为低电平,则晶体管 T9 导通,此时第二输出端 EM2 输出为低电平,完成输入的复位。

[0087] 本发明实施例也可以所采用 N 型晶体管实现,通过调整输入的信号时序即可。

[0088] 本发明实施例提供的移位寄存器电路,如图 5 所示,包括串联的多个移位寄存器单元。

[0089] 除第一个移位寄存器单元之外,其余每个移位寄存器单元的输入信号均来自该移

位寄存器单元之前的一个相邻移位寄存器单元第一输出端输出的信号。

[0090] 具体的,如图 5 所示移位寄存器电路,包括若干个串联的移位寄存器单元,其中移位寄存器单元 S1 的第一输出端 EM1_1 连接移位寄存器单元 S2 的输入端 INPUT2,第二输出端 EM2_1 连接一个驱动 TFT 的栅极,该驱动 TFT 用于精确控制一行 OLED 器件的驱动电流;移位寄存器单元 S2 的输出端第一输出端 EM1_2 连接移位寄存器单元 S3 的输入端 INPUT3,第二输出端 EM2_2 连接另一个驱动 TFT 的栅极,该驱动 TFT 用于精确控制另一行 OLED 器件的驱动电流;其他的移位寄存器单元依照此方法链接,每个移位寄存器单元都有一个第一时钟信号端 CLK1 和一个第二时钟信号端 CLK2,其中第一时钟信号 CLK1 连接系统时钟信号 CLOCLK1、第二时钟信号 CLK2 连接系统时钟信号 CLOCLK2。其中,系统时钟信号 CLOCLK1、CLOCLK2 和 CLOCLK3 的低电平占空比均为 1 : 2,且 CLOCLK1 的低电平信号结束后 CLOCLK2 的低电平信号开始,CLOCLK2 的低电平信号结束后 CLOCLK1 的下一个低电平时钟信号开始,以后如此循环。在本实施例中,第一个移位寄存器单元为移位寄存器单元 S1,则移位寄存器单元 S1 的输入信号 INPUT1 为一个激活脉冲信号,可选的如帧起始信号 STV,此时 STV 的低电平信号与系统时钟信号 CLOCLK1 同时开始且同时结束。

[0091] 其中,本发明实施例所提供的移位寄存器单元用于控制驱动 OLED 器件的驱动 TFT,与现有的用于控制像素电路的移位寄存器单元配合工作,当用于控制像素电路的移位寄存器单元向像素电路写入数据时,控制驱动 TFT 以关闭 OLED 器件的驱动电流,当写入数据完成时再控制驱动 TFT 以打开 OLED 器件。这样一来,可以有效避免在写入显示数据的同时,OLED 显示器件发生闪烁的问题,提高 OLED 显示器件的产品质量。

[0092] 进一步的,如图 6 所示,移位寄存器电路包括第一移位寄存器单元组和第二移位寄存器单元组,每组移位寄存器单元组包括串联的多个移位寄存器单元。

[0093] 每组移位寄存器单元组中,除第一个移位寄存器单元之外,其余每个移位寄存器单元的输入信号均来自该移位寄存器单元之前的一个相邻移位寄存器单元第一输出端输出的信号。

[0094] 具体的,在如图 6 所示的移位寄存器电路中,移位寄存器单元 S1、S3、S5...为第一移位寄存器单元组,移位寄存器单元 S2、S4、S6...为第二移位寄存器单元组。每组移位寄存器单元组的连接方式可以参照图 5 所示。

[0095] 其中,输入第一移位寄存器单元组的时钟信号可以包括第一时钟信号和第二时钟信号。

[0096] 输入第二移位寄存器单元组的时钟信号可以包括第三时钟信号和第四时钟信号。

[0097] 具体的,本发明实施例提供的移位寄存器电路的时序状态可以如图 7 所示。其中,第一时钟信号 CLK1 和第三时钟信号 CLK3 相差半个时钟周期,第二时钟信号 CLK2 和第四时钟信号 CLK4 相差半个时钟周期。采用这样一种时序的控制信号可以有效地将每一级移位寄存器电路分隔出时隙,从而避免了移位寄存器电路之间电流的干扰。

[0098] 此外,本发明实施例提供了一种阵列基板,在该阵列基板上形成有移位寄存器电路;且移位寄存器电路为上述的移位寄存器电路。

[0099] 采用这样一种阵列基板,其中,移位寄存器单元用于控制驱动 OLED 器件的驱动 TFT,与现有的用于控制像素电路的移位寄存器单元配合工作,当用于控制像素电路的移位寄存器单元向像素电路写入数据时,控制驱动 TFT 以关闭 OLED 器件的驱动电流,当写入数

据完成时再控制驱动 TFT 以打开 OLED 器件。这样一来,可以有效避免在写入显示数据的同时, OLED 显示器件发生闪烁的问题,提高 OLED 显示器件的产品质量。

[0100] 本发明实施例还提供了一种显示器件,比如可以为显示面板,包括:

[0101] 有机发光二极管 OLED 显示装置,用于显示图像。

[0102] 移位寄存器电路,用于驱动该 OLED 显示装置。

[0103] 该移位寄存器电路可以为如上所述的移位寄存器电路。

[0104] 本发明的实施例提供的显示器件包括移位寄存器电路,其中,移位寄存器单元用于控制驱动 OLED 器件的驱动 TFT,与现有的用于控制像素电路的移位寄存器单元配合工作,当用于控制像素电路的移位寄存器单元向像素电路写入数据时,控制驱动 TFT 以关闭 OLED 器件的驱动电流,当写入数据完成时再控制驱动 TFT 以打开 OLED 器件。这样一来,可以有效避免在写入显示数据的同时, OLED 显示器件发生闪烁的问题,提高 OLED 显示器件的产品质量。

[0105] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

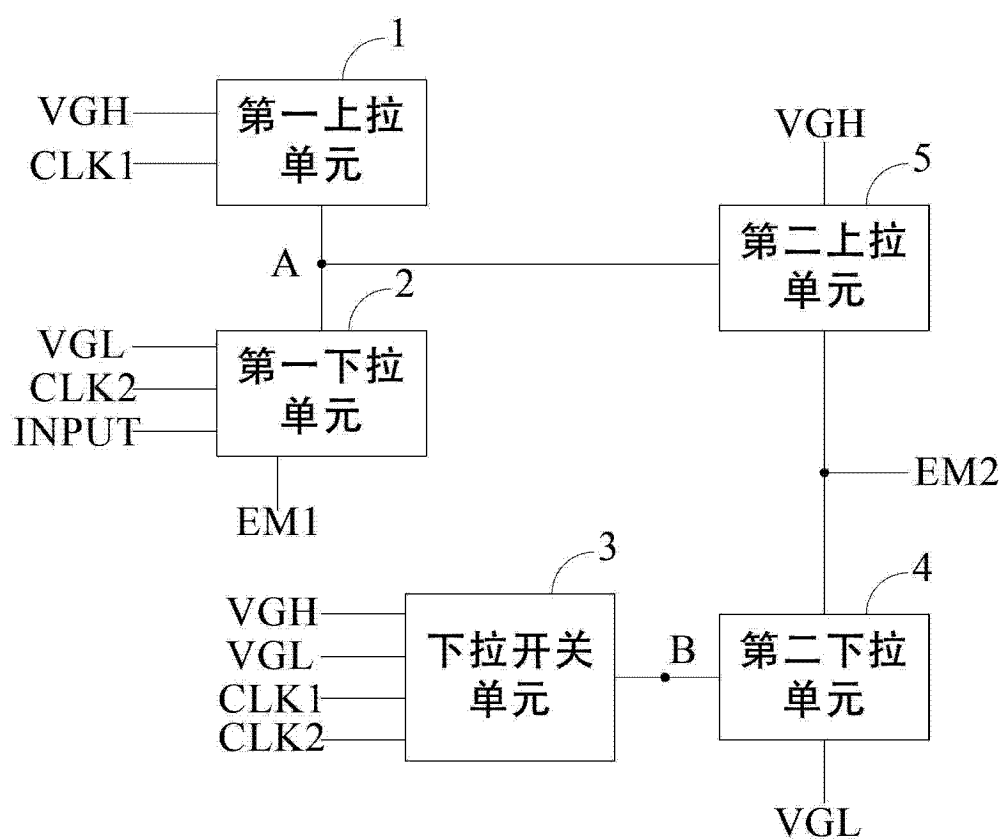


图 1

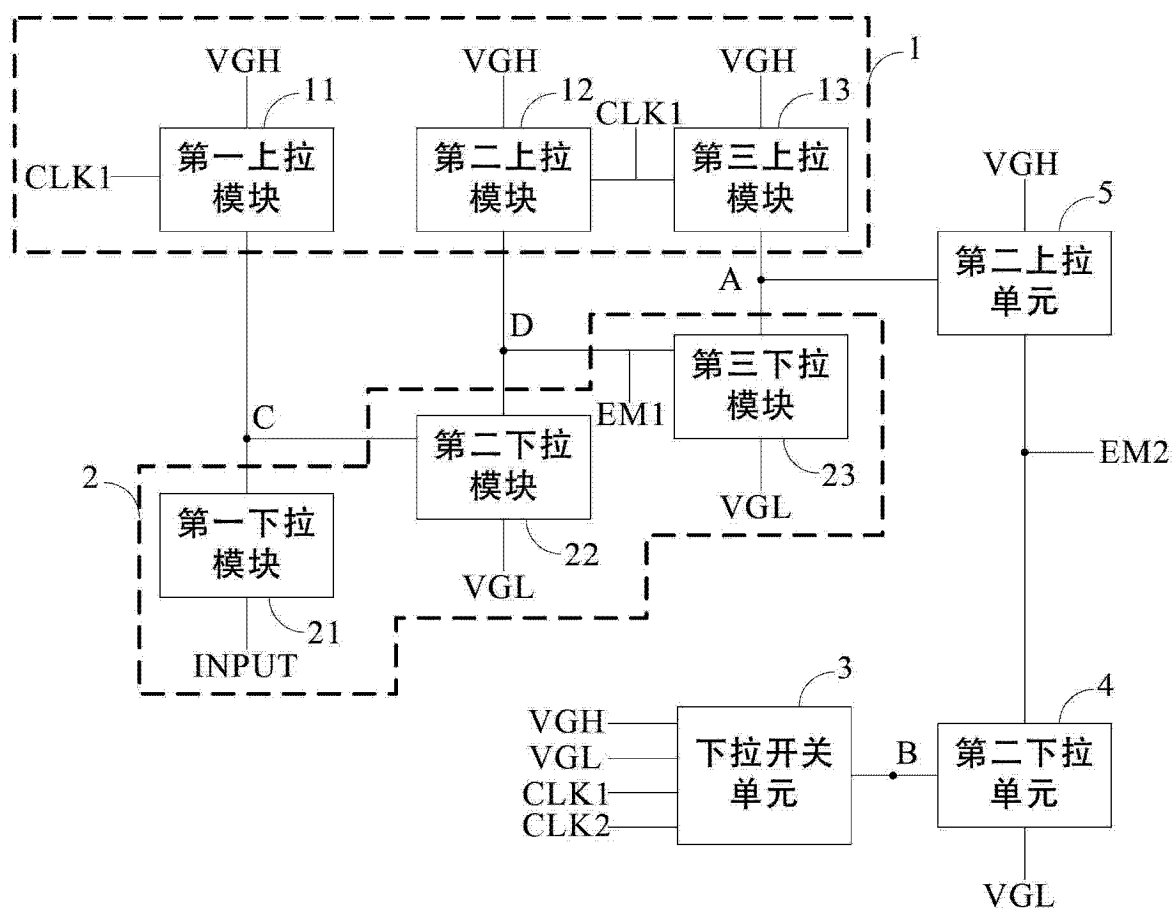


图 2

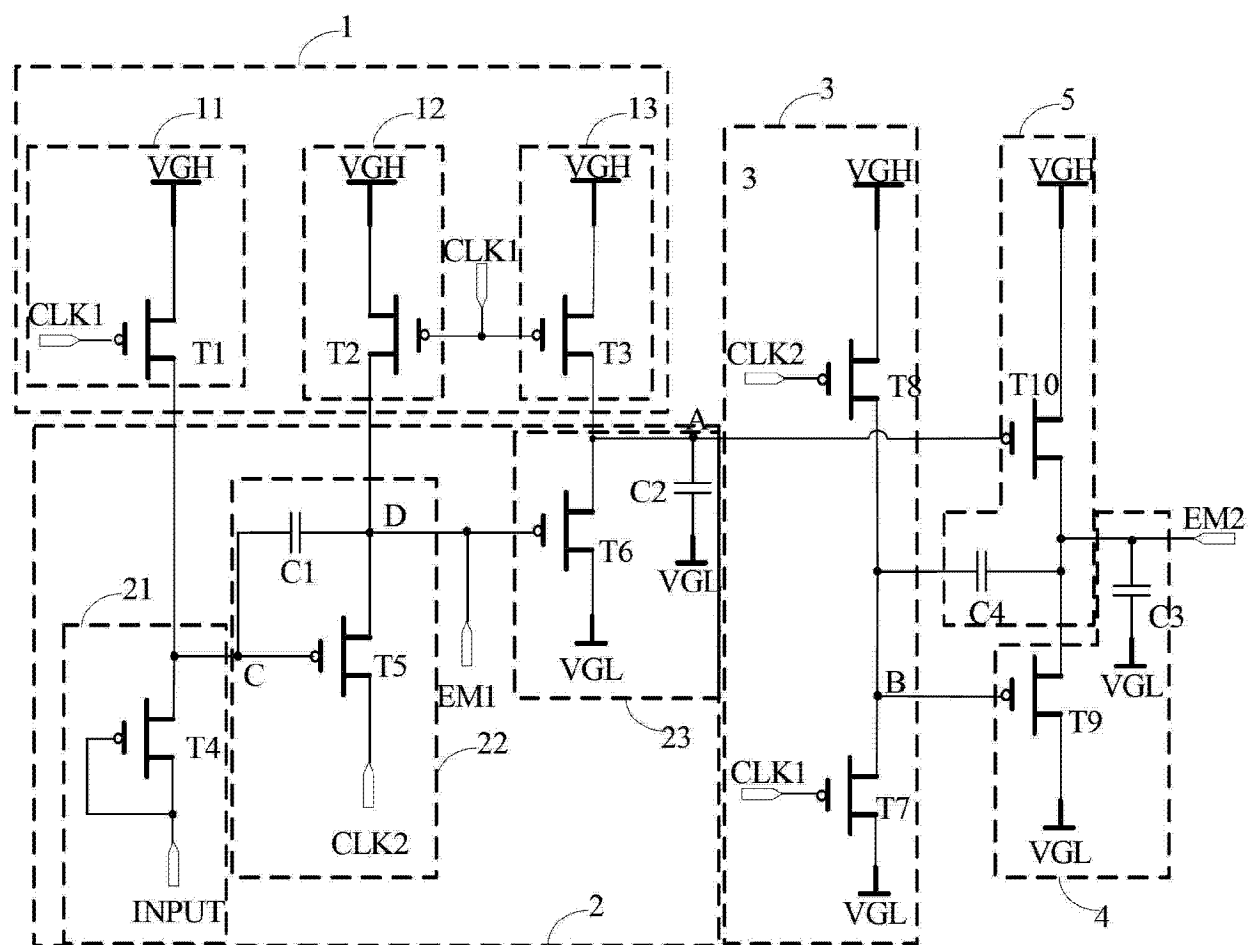


图 3

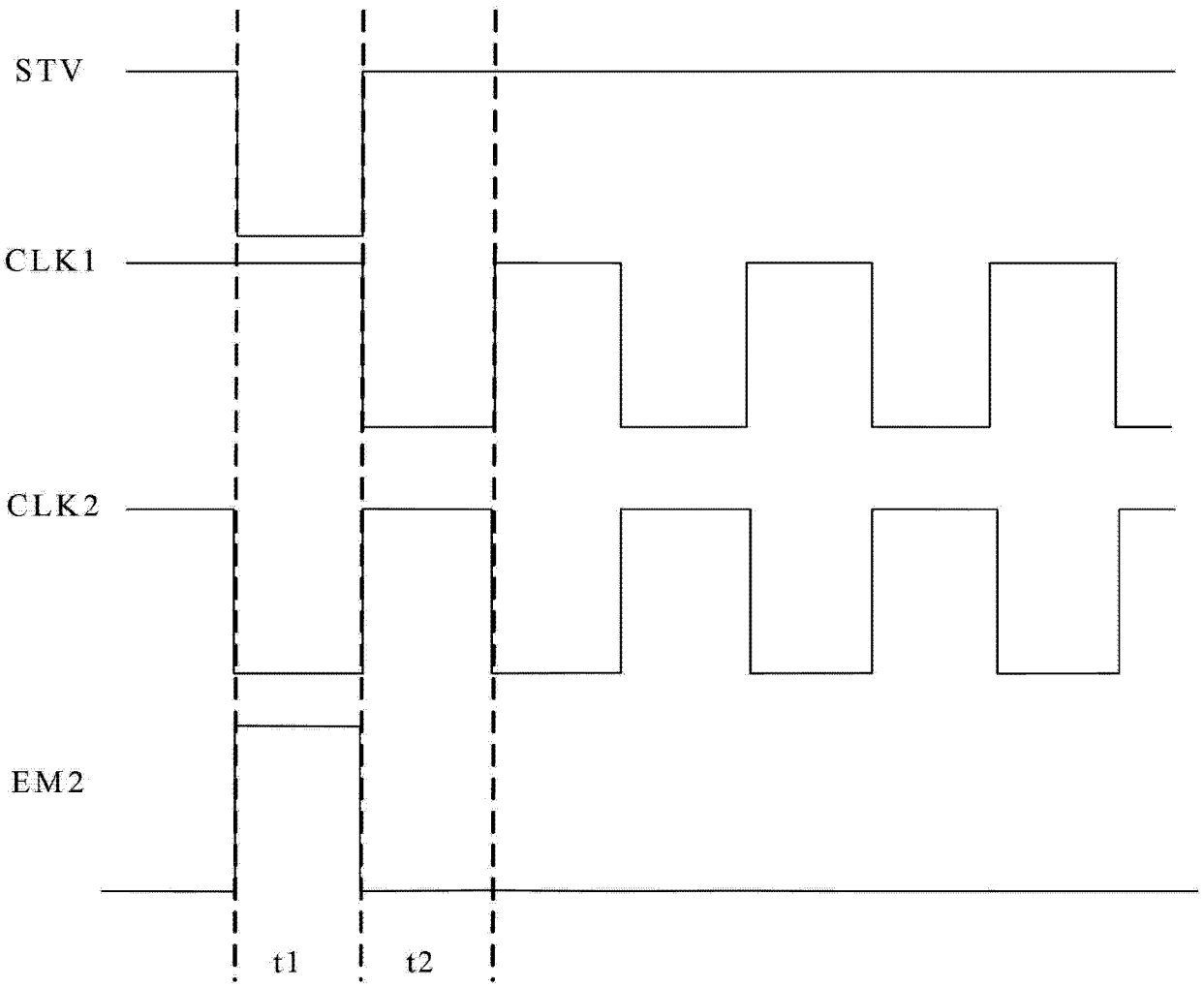


图 4

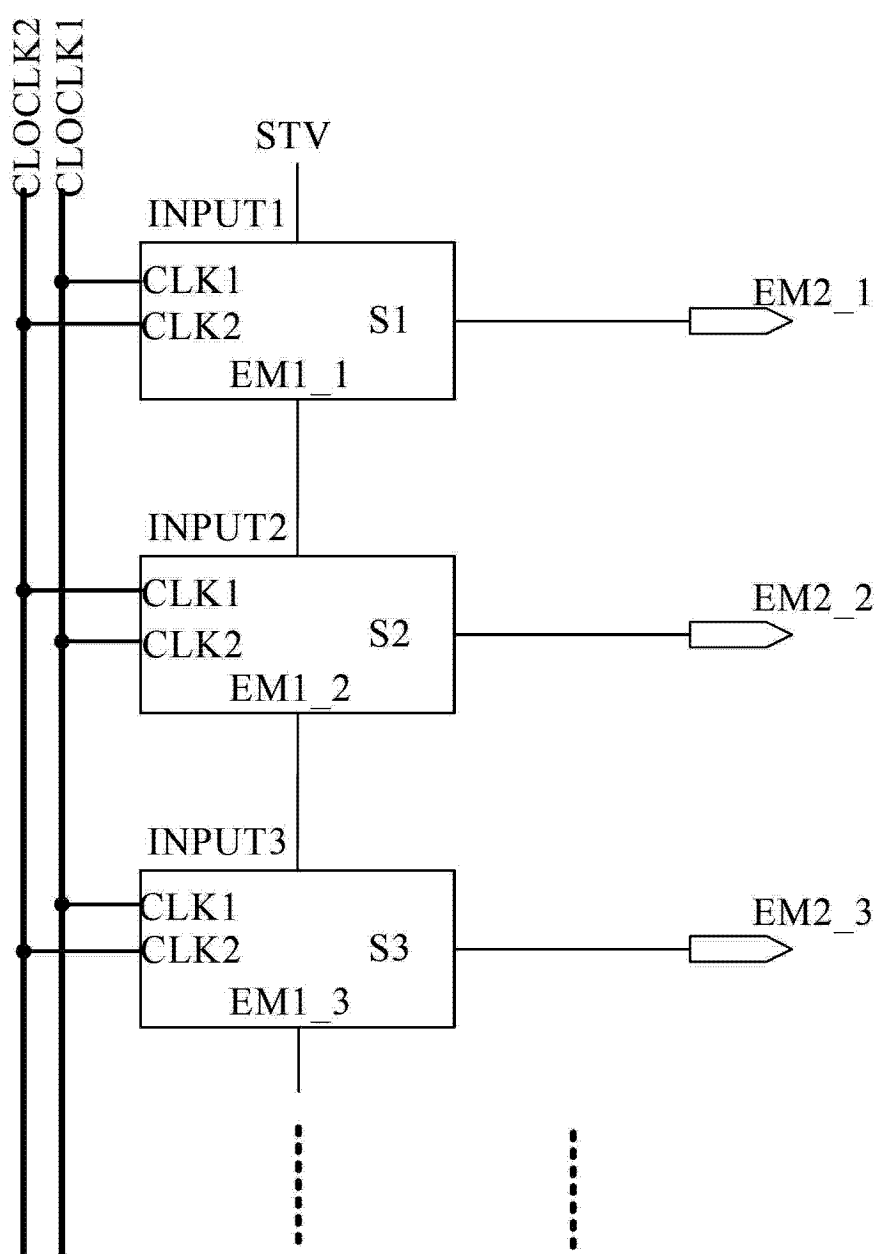


图 5

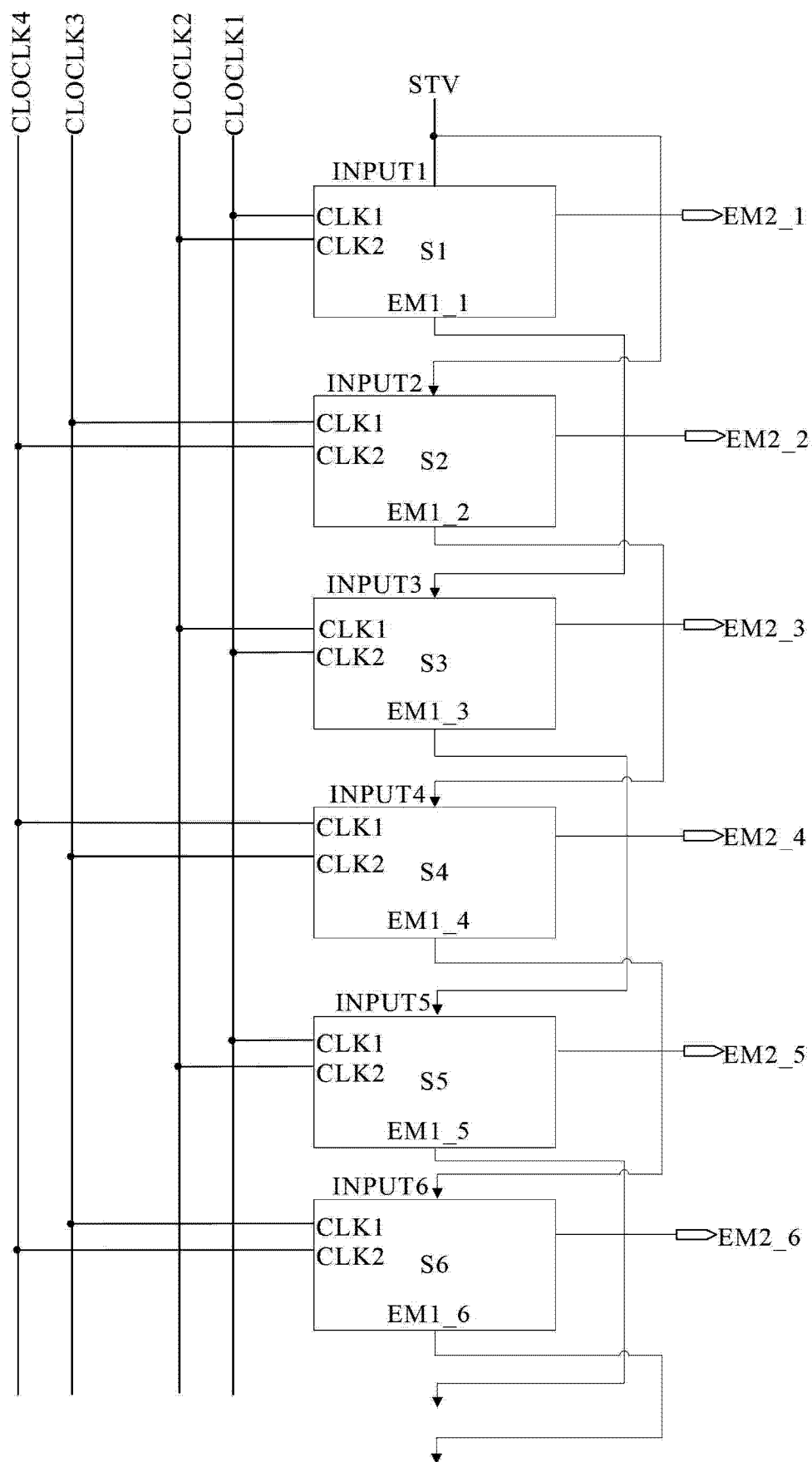


图 6

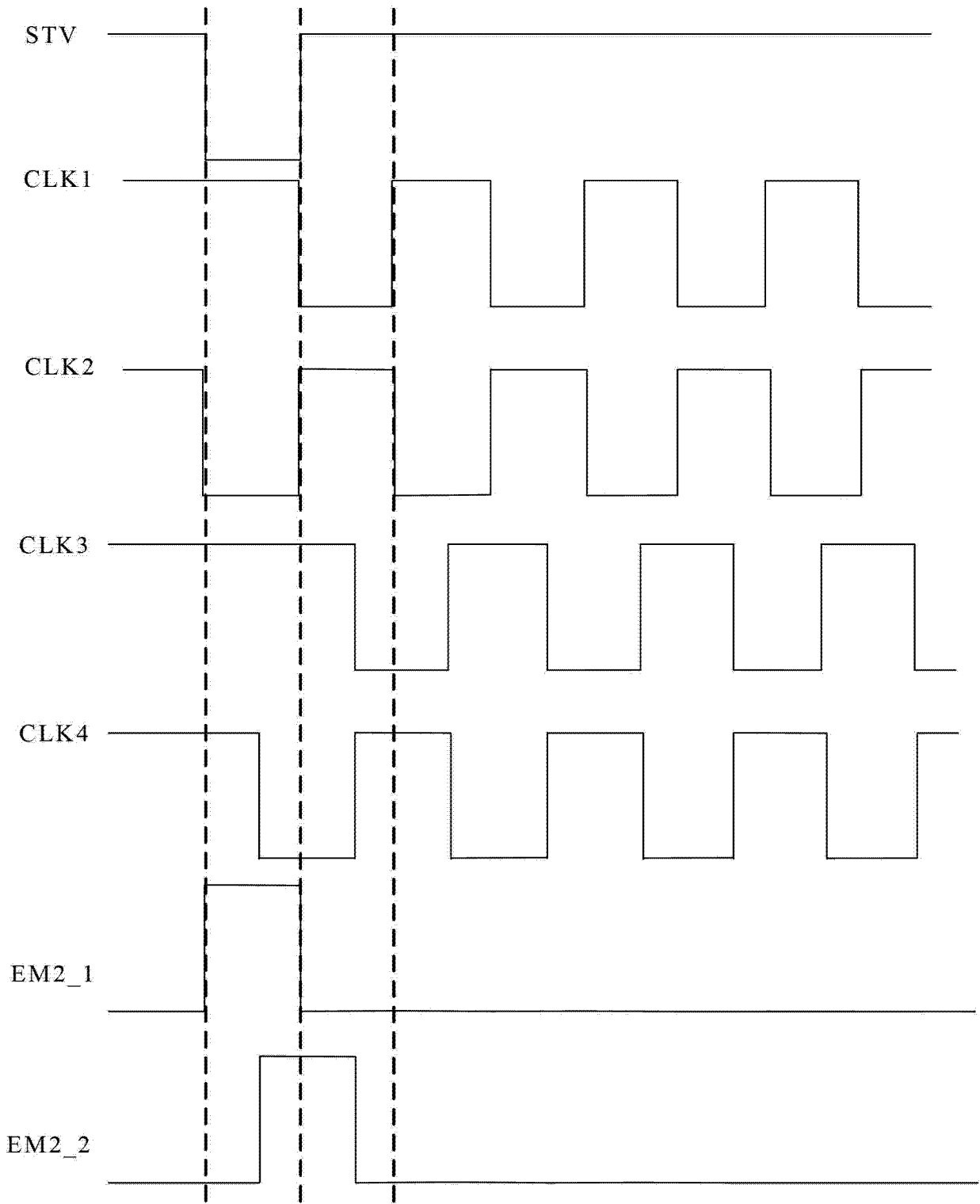


图 7

专利名称(译)	移位寄存器单元、移位寄存器电路、阵列基板及显示器件		
公开(公告)号	CN102708799A	公开(公告)日	2012-10-03
申请号	CN201210177631.1	申请日	2012-05-31
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	金泰遼 王颖 金秘爽		
发明人	金泰遼 王颖 金秘爽		
IPC分类号	G09G3/32		
CPC分类号	G11C19/28 G09G3/20 G09G3/32 G09G3/3208 G09G3/3266 G09G2310/0286 G09G2320/0247 G11C19/184		
代理人(译)	申健		
其他公开文献	CN102708799B		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例提供一种移位寄存器单元、移位寄存器电路、阵列基板及显示器件，涉及显示装置制造领域，可以避免在写入显示数据的同时，OLED显示器件发生闪烁。一种移位寄存器包括：一第一上拉单元、一第一下拉单元、一下拉开关单元、一第二下拉单元和一第二上拉单元。本发明实施例用于显示装置的制造。

