



(12)实用新型专利

(10)授权公告号 CN 207489447 U

(45)授权公告日 2018.06.12

(21)申请号 201721715303.7

(22)申请日 2017.12.11

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 袁丽君 韩明夫 韩承佑 姚星

王志冲 商广良 郑皓亮

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 贾莹

(51)Int.Cl.

G09G 3/3266(2016.01)

G11C 19/28(2006.01)

(ESM)同样的发明创造已同日申请发明专利

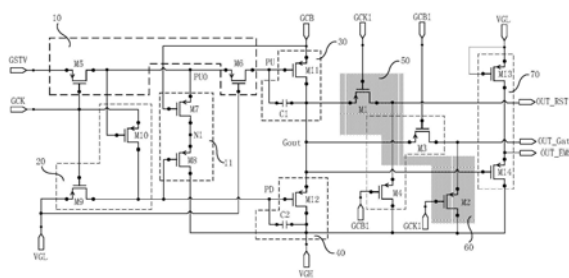
权利要求书3页 说明书12页 附图9页

(54)实用新型名称

一种移位寄存器单元、栅极驱动电路、显示装置

(57)摘要

本申请实施例提供一种移位寄存器单元、栅极驱动电路、显示装置,涉及显示技术领域,解决了OLED像素电路的多个不同的信号端分别对应一个栅极驱动电路,导致非显示区域布线空间较小的问题。该移位寄存器单元包括第一输出子电路、第二输出子电路以及第三输出子电路中的至少两个子电路。第一输出子电路用于在将信号输出端的电压输出至复位信号输出端;第二输出子电路用于将信号输出端的电压输出至选通信号输出端;第三输出子电路用于将第二电压端的电压输出至发光控制信号输出端;或者,用于将第一电压端的电压输出至发光控制信号输出端。该移位寄存器单元用于向OLED像素电路提供复位信号、选通信号以及发光控制信号中的任意两种信号。



1. 一种移位寄存器单元,其特征在于,包括:第一输出子电路、第二输出子电路以及第三输出子电路中的至少两个子电路;所述移位寄存器单元还包括前端电路;

所述前端电路与信号输入端、第一时钟信号端、第二时钟信号端、第一电压端、第二电压端以及信号输出端连接,所述前端电路用于接收所述信号输入端的电压,并在所述第一时钟信号端、所述第二时钟信号端的控制下,将所述第二时钟信号端的电压或所述第二电压端的电压输出至所述信号输出端;

所述第一输出子电路与第三时钟信号端、所述第二电压端、所述信号输出端、复位信号输出端以及选通信号输出端连接;所述第一输出子电路用于在所述第三时钟信号端的控制下,将所述信号输出端的电压输出至所述复位信号输出端,并将所述第二电压端的电压输出至所述选通信号输出端;

所述第二输出子电路与第四时钟信号端、所述第二电压端、所述信号输出端、所述复位信号输出端以及所述选通信号输出端连接;所述第二输出子电路用于在所述第四时钟信号端的控制下,将所述信号输出端的电压输出至所述选通信号输出端,并将所述第二电压端的电压输出至所述复位信号输出端;

所述第三输出子电路与所述第一电压端、所述信号输出端、所述第二电压端以及发光控制信号输出端连接;该第三输出子电路用于在所述信号输出端的控制下,将所述第二电压端的电压输出至所述发光控制信号输出端;或者,所述第三输出子电路用于在所述第一电压端的控制下,将所述第一电压端的电压输出至所述发光控制信号输出端。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一输出子电路包括第一晶体管和第二晶体管;

所述第一晶体管的栅极连接所述第三时钟信号端,第一极连接所述信号输出端,第二极与所述复位信号输出端相连接;

所述第二晶体管的栅极连接所述第三时钟信号端,第一极与所述选通信号输出端相连接,第二极与所述第二电压端相连接。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第二输出子电路包括第三晶体管 and 第四晶体管;

所述第三晶体管的栅极连接所述第四时钟信号端,第一极连接所述信号输出端,第二极与所述选通信号输出端相连接;

所述第四晶体管的栅极连接所述第四时钟信号端,第一极连接所述复位信号输出端,第二极与所述第二电压端相连接。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第三输出子电路包括第十三晶体管和第十四晶体管;

所述第十三晶体管的栅极和第一极连接所述第一电压端,第二极与所述发光控制信号输出端相连接;

所述第十四晶体管的栅极连接所述信号输出端,第一极连接所述发光控制信号输出端,第二极与所述第二电压端相连接;

其中,所述第十四晶体管的宽长比大于所述第十三晶体管的宽长比。

5. 根据权利要求1-4任一项所述的移位寄存器单元,其特征在于,所述前端电路包括上拉控制子电路、下拉控制子电路、上拉子电路、下拉子电路;

所述上拉控制子电路与信号输入端、第一时钟信号端、上拉节点连接；所述上拉控制子电路用于在所述第一时钟信号端的控制下，将所述信号输入端的电压输出至所述上拉节点；

所述上拉子电路与第二时钟信号端、所述上拉节点以及信号输出端连接；所述上拉子电路用于在所述上拉节点的控制下，将所述第二时钟信号端的电压输出至所述信号输出端；

所述下拉控制子电路与所述第一时钟信号端、第一电压端、所述上拉节点以及下拉节点连接；所述下拉控制子电路用于在所述第一时钟信号端和所述上拉节点的控制下，将所述第一电压端和所述第一时钟信号端的电压传输至所述下拉节点；

所述下拉子电路与所述下拉节点、第二电压端以及所述信号输出端连接；所述下拉子电路用于在所述下拉节点的控制下，将所述第二电压端的电压传输至所述信号输出端。

6. 根据权利要求5所述的移位寄存器单元，其特征在于，所述上拉控制子电路包括第五晶体管；所述第五晶体管的栅极连接所述第一时钟信号端，第一极连接所述信号输入端，第二极与所述上拉节点相连接。

7. 根据权利要求6所述的移位寄存器单元，其特征在于，所述上拉控制子电路还连接第一电压端；所述上拉控制子电路还包括第六晶体管；

所述第六晶体管的栅极连接所述第一电压端，第一极连接所述第五晶体管的第二极，第二极与所述上拉节点相连接。

8. 根据权利要求6所述的移位寄存器单元，其特征在于，所述移位寄存器单元还包括电压保持子电路；

所述电压保持子电路与所述下拉节点、所述第五晶体管的第二极、所述第二时钟信号端以及所述第二电压端连接；所述电压保持子电路用于在所述第二时钟信号端以及所述下拉节点的控制下，将所述第二电压端输出的电压进行存储，并将存储的电压输出至所述第五晶体管的第二极。

9. 根据权利要求8所述的移位寄存器单元，其特征在于，所述电压保持子电路包括第七晶体管和第八晶体管；

所述第七晶体管的栅极连接所述第二时钟信号端，第一极连接所述第五晶体管的第二极，第二极与所述第八晶体管的第一极相连接；

所述第八晶体管的栅极连接所述下拉节点，第二极与所述第二电压端相连接。

10. 根据权利要求5所述的移位寄存器单元，其特征在于，所述下拉控制子电路包括第九晶体管和第十晶体管；

所述第九晶体管的栅极连接所述第一时钟信号端，第一极连接所述第一电压端，第二极与所述下拉节点相连接；

所述第十晶体管的栅极连接所述上拉节点，第一极连接所述第一时钟信号端，第二极与所述下拉节点相连接。

11. 根据权利要求5所述的移位寄存器单元，其特征在于，所述上拉子电路包括第十一晶体管和第一电容；

所述第十一晶体管的栅极连接所述上拉节点，第一极连接所述第二时钟信号端，第一极与所述信号输出端相连接；

所述第一电容的一端连接所述第十一晶体管的栅极,另一端与所述第十一晶体管的第二极相连接。

12.根据权利要求5所述的移位寄存器单元,其特征在于,所述下拉子电路包括第十二晶体管和第二电容;

所述第十二晶体管的栅极连接所述下拉节点,第一极连接所述信号输出端,第二极与所述第二电压端相连接;

所述第二电容的一端连接所述第十二晶体管的栅极,另一端与所述第十二晶体管的第一极相连接。

13.一种栅极驱动电路,其特征在于,包括多个级联的如权利要求1-12任一项所述的移位寄存器单元;

第一级移位寄存器单元的信号输入端连接起始信号端;

除了所述第一级移位寄存器单元以外,上一级移位寄存器单元的信号输出端连接下一级移位寄存器单元的信号输入端。

14.一种显示装置,其特征在于,包括如权利要求13所述的栅极驱动电路。

一种移位寄存器单元、栅极驱动电路、显示装置

技术领域

[0001] 本实用新型涉及显示技术领域,尤其涉及一种移位寄存器单元、栅极驱动电路、显示装置。

背景技术

[0002] 随着显示技术的急速进步,作为显示装置核心的半导体元件技术也随之得到了飞跃性的进步。对于现有的显示装置而言,有机发光二极管(Organic Light Emitting Diode,OLED)作为一种电流型发光器件,因其所具有的自发光、快速响应、宽视角和可制作在柔性衬底上等特点而越来越多地被应用于高性能显示领域当中。

[0003] OLED显示装置的亚像素中设置有像素电路,该像素电路具有多个不同的信号端。现有技术中,针对该像素电路的每一个信号端,需要在非显示区域设置一个与该信号端相连接的驱动电路,该驱动电路用于向与其相连接的信号端提供相应的电压。然而,这样一来,多个不同的驱动电路占用的布线空间较大,不利于窄边框设计。

实用新型内容

[0004] 本实用新型的实施例提供一种移位寄存器单元、栅极驱动电路、显示装置,解决了OLED像素电路的多个不同的信号端分别对应一个驱动电路,导致非显示区域布线空间较小的问题。

[0005] 为达到在一些实施例中,目的,本实用新型的实施例采用如下技术方案:

[0006] 本申请实施例的一方面,提供一种移位寄存器单元,包括:第一输出子电路、第二输出子电路以及第三输出子电路中的至少两个子电路;所述移位寄存器单元还包括前端电路;所述前端电路与信号输入端、第一时钟信号端、第二时钟信号端、第一电压端、第二电压端以及所述信号输出端连接,所述前端电路用于接收所述信号输入端的电压,并在所述第一时钟信号端、所述第二时钟信号端的控制下,将所述第二时钟信号端的电压或所述第二电压端的电压输出至所述信号输出端;所述第一输出子电路用于在所述第三时钟信号端的控制下,将所述信号输出端的电压输出至所述复位信号输出端,并将所述第二电压端的电压输出至所述选通信号输出端;所述第二输出子电路连接第四时钟信号端、所述第二电压端、所述信号输出端、所述复位信号输出端以及所述选通信号输出端;所述第二输出子电路用于在所述第四时钟信号端的控制下,将所述信号输出端的电压输出至所述选通信号输出端,并将所述第二电压端的电压输出至所述复位信号输出端;所述第三输出子电路连接所述第一电压端、所述信号输出端、所述第二电压端以及发光控制信号输出端;所述第三输出子电路用于在所述信号输出端的控制下,将所述第二电压端的电压输出至所述发光控制信号输出端;或者,所述第三输出子电路用于在所述第一电压端的控制下,将所述第一电压端的电压输出至所述发光控制信号输出端。

[0007] 可选的,所述第一输出子电路包括第一晶体管和第二晶体管;所述第一晶体管的栅极连接所述第三时钟信号端,第一极连接所述信号输出端,第二极与所述复位信号输出

端相连接;所述第二晶体管的栅极连接所述第三时钟信号端,第一极所述选通信号输出端连接,第二极与所述第二电压端相连接。

[0008] 可选的,所述第二输出子电路包括第三晶体管和第四晶体管;所述第三晶体管的栅极连接所述第四时钟信号端,第一极连接所述信号输出端,第二极与所述选通信号输出端相连接;所述第四晶体管的栅极连接所述第四时钟信号端,第一极连接所述复位信号输出端,第二极与所述第二电压端相连接。

[0009] 可选的,所述第三输出子电路包括第十三晶体管和第十四晶体管;所述第十三晶体管的栅极和第一极连接所述第一电压端,第二极与所述发光控制信号输出端相连接;所述第十四晶体管的栅极连接所述信号输出端,第一极连接所述发光控制信号输出端,第二极与所述第二电压端相连接;其中,所述第十四晶体管的宽长比大于所述第十三晶体管的宽长比。

[0010] 可选的,所述前端电路包括上拉控制子电路、下拉控制子电路、上拉子电路、下拉子电路;所述上拉控制子电路与信号输入端、第一时钟信号端、上拉节点连接;所述上拉控制子电路用于在所述第一时钟信号端的控制下,将所述信号输入端的电压输出至所述上拉节点;所述上拉子电路与第二时钟信号端、所述上拉节点以及信号输出端连接;所述上拉子电路用于在所述上拉节点的控制下,将所述第二时钟信号端的电压输出至所述信号输出端;所述下拉控制子电路与所述第一时钟信号端、第一电压端、所述上拉节点以及下拉节点连接;所述下拉控制子电路用于在所述第一时钟信号端和所述上拉节点的控制下,将所述第一电压端和所述第一时钟信号端的电压传输至所述下拉节点;所述下拉子电路与所述下拉节点、第二电压端以及所述信号输出端连接;所述下拉子电路用于在所述下拉节点的控制下,将所述第二电压端的电压传输至所述信号输出端。可选的,所述上拉控制子电路包括第五晶体管;所述第五晶体管的栅极连接所述第一时钟信号端,第一极连接所述信号输入端,第二极与所述上拉节点相连接。

[0011] 可选的,所述上拉控制子电路还连接第一电压端;所述上拉控制子电路还包括第六晶体管;所述第六晶体管的栅极连接所述第一电压端,第一极连接所述第五晶体管的第二极,第二极与所述上拉节点相连接。

[0012] 可选的,所述移位寄存器单元还包括电压保持子电路;所述电压保持子电路连接所述下拉节点、所述第五晶体管的第二极、所述第二时钟信号端以及所述第二电压端;所述电压保持子电路用于在所述第二时钟信号端以及所述下拉节点的控制下,将所述第二电压端输出的电压进行存储,并将存储的电压输出至所述第五晶体管的第二极。

[0013] 可选的,所述电压保持子电路包括第七晶体管和第八晶体管;所述第七晶体管的栅极连接所述第二时钟信号端,第一极连接所述第五晶体管的第二极,第二极与所述第八晶体管的第一极相连接;所述第八晶体管的栅极连接所述下拉节点,第二极与所述第二电压端相连接。

[0014] 可选的,所述下拉控制子电路包括第九晶体管和第十晶体管;所述第九晶体管的栅极连接所述第一时钟信号端,第一极连接所述第一电压端,第二极与所述下拉节点相连接;所述第十晶体管的栅极连接所述上拉节点,第一极连接所述第一时钟信号端,第二极与所述下拉节点相连接。

[0015] 可选的,所述上拉子电路包括第十一晶体管和第一电容;所述第十一晶体管的栅

极连接所述上拉节点,第一极连接所述第二时钟信号端,第一极与所述信号输出端相连接;所述第一电容的一端连接所述第十一晶体管的栅极,另一端与所述第十一晶体管的第二极相连接。

[0016] 可选的,所述下拉子电路包括第十二晶体管和第二电容;所述第十二晶体管的栅极连接所述下拉节点,第一极连接所述信号输出端,第二极与所述第二电压端相连接;所述第二电容的一端连接所述第十二晶体管的栅极,另一端与所述第十二晶体管的第一极相连接。

[0017] 本申请实施例的另一方面,提供一种栅极驱动电路,包括多个级联的如上所述的任意一种移位寄存器单元;第一级移位寄存器单元的信号输入端连接起始信号端;除了所述第一级移位寄存器单元以外,上一级移位寄存器单元的信号输出端连接下一级移位寄存器单元的信号输入端。

[0018] 本申请实施例的又一方面,提供一种显示装置,包括如上所述的栅极驱动电路。

[0019] 本申请实施例提供一种移位寄存器单元、栅极驱动电路、显示装置。本申请提供的移位寄存器单元包括第一输出子电路、第二输出子电路以及第三输出子电路中的至少两个子电路,其中,第一输出子电路连接的复位信号输出端可以与OLED像素电路中的复位信号端相连接,以向该复位信号端提供信号;第二输出子电路连接的通信号输出端可以与OLED像素电路中的选通信号端相连接,以向该选通信号端提供信号;第三输出子电路连接的发光控制信号输出端可以与OLED像素电路中的发光控制信号端相连接,以向该发光控制信号端提供信号。这样一来,采用在一些实施例中,移位寄存器单元构成的栅极驱动电路可以至少向一像素电路的至少两个信号端(复位信号端、选通信号端以及发光控制信号端中的至少两个)提供信号,从而可以减少非显示区域设置栅极驱动电路的数量,进而达到提高布线空间以及实现窄边框的目的。

附图说明

[0020] 为了更清楚地说明本实用新型实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0021] 图1为本申请实施例提供的一种移位寄存器单元的结构示意图;

[0022] 图2为本申请实施例提供的另一种移位寄存器单元的结构示意图;

[0023] 图3a为本申请实施例提供的与图1或图2所示的移位寄存器单元相连接的OLED像素电路的结构示意图;

[0024] 图3b为图3a中部分信号端的时序图;

[0025] 图4为图1中各个子电路的具体结构示意图;

[0026] 图5为图2中各个子电路的具体结构示意图;

[0027] 图6为用于控制图5所示的移位寄存器单元的各个信号的时序图;

[0028] 图7、图8、图9、图10、图11、图12为图5所示的移位寄存器单元分别在图6所示的第一阶段T1、第二阶段T2、第三阶段T3、第四阶段T4、第五阶段P5、第六阶段P6的工作示意图;

[0029] 图13为本申请提供的一种栅极驱动电路的结构示意图。

[0030] 附图标记:

[0031] 01-前端电路;10-上拉控制子电路;11-电压保持子电路;20-下拉控制子电路;30-上拉子电路;40-下拉子电路;50-第一输出子电路;60-第二输出子电路;70-第三输出子电路。

具体实施方式

[0032] 下面将结合本实用新型实施例中的附图,对本实用新型实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本实用新型一部分实施例,而不是全部的实施例。基于本实用新型中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本实用新型保护的范围。

[0033] 以下,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请实施例的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0034] 本申请实施例提供一种移位寄存器单元,如图1所示,包括:第一输出子电路50、第二输出子电路60以及第三输出子电路70中的至少两个子电路。

[0035] 具体的,例如如图1所示,在一些实施例中,该移位寄存器单元包括第一输出子电路50和第二输出子电路60;又例如,如图2所示该移位寄存器单元包括第一输出子电路50、第二输出子电路60以及第三输出子电路70。再或者,该移位寄存器单元包括第一输出子电路50、第三输出子电路70;又或者,该移位寄存器单元包括第二输出子电路60、第三输出子电路70。

[0036] 此外,该移位寄存器单元还包括前端电路01,该前端电路01与信号输入端GSTV、第一时钟信号端GCK、第二时钟信号端GCB、第一电压端VGL、第二电压端VGH以及信号输出端Gout连接。上述前端电路用于接收信号输入端GSTV的电压,并在第一时钟信号端GCK、第二时钟信号端GCB的控制下,将第二时钟信号端GCB的电压或第二电压端VGH的电压输出至信号输出端Gout。

[0037] 其中,该前端电路01如图1所示包括上拉控制子电路10、下拉控制子电路20、上拉子电路30、下拉子电路40。

[0038] 基于此,该上拉控制子电路10连接信号输入端GSTV、第一时钟信号端GCK、上拉节点PU。该上拉控制子电路10用于在第一时钟信号端GCK的控制下,将信号输入端GSTV的电压输出至上拉节点PU。

[0039] 上拉子电路30连接第二时钟信号端GCB、上拉节点PU以及信号输出端Gout。该上拉子电路30用于在上拉节点PU的控制下,将第二时钟信号端GCB的电压输出至信号输出端Gout。

[0040] 下拉控制子电路20连接第一时钟信号端GCK、第一电压端VGL、上拉节点PU以及下拉节点PD。该下拉控制子电路20用于在第一时钟信号端GCK和上拉节点PU的控制下,将第一电压端VGL和第一时钟信号端GCK的电压传输至下拉节点PD。

[0041] 下拉子电路40连接下拉节点PD、第二电压端VGH以及信号输出端Gout。该下拉子电路40用于在下拉节点PD的控制下,将第二电压端VGH的电压传输至信号输出端Gout。

[0042] 第一输出子电路50连接第三时钟信号端GCK1、第二电压端VGH、信号输出端Gout、复位信号输出端OUT_RST。该第一输出子电路50用于在第三时钟信号端GCK1的控制下,将信号输出端Gout的电压输出至复位信号输出端OUT_RST。在一些实施例中,移位寄存器单元包括第二输出子电路60的情况下,该第一输出子电路50还连接选通信号输出端OUT_Gate,该第一输出子电路50还用于将第二电压端VGH的电压输出至选通信号输出端OUT_Gate。

[0043] 第二输出子电路60连接第四时钟信号端GCB1、第二电压端VGH、信号输出端Gout以及选通信号输出端OUT_Gate。该第二输出子电路60用于在第四时钟信号端GCB1的控制下,将信号输出端Gout的电压输出至选通信号输出端OUT_Gate。在一些实施例中,移位寄存器单元包括第一输出子电路50的情况下,该第二输出子电路60还连接复位信号输出端OUT_RST,该第二输出子电路60还用于将第二电压端VGH的电压输出至复位信号输出端OUT_RST。

[0044] 在一些实施例中,在该移位寄存器单元包括第三输出模70的情况下,该第三输出子电路70连接第一电压端VGL、信号输出端Gout、第二电压端VGH以及发光控制信号输出端OUT_EMS。该第三输出子电路70用于在信号输出端Gout的控制下,将第二电压端VGH的电压输出至发光控制信号输出端OUT_EMS;或者,该第三输出子电路70用于在第一电压端VGL的控制下,将该第一电压端VGL的电压输出至发光控制信号输出端OUT_EMS。

[0045] 图3a示意出了一种驱动OLED发光的像素驱动电路,该像素电路具有7T1C架构,包括复位信号端RST、选通信号端Gate以及发光控制信号端EMS。

[0046] 在现有技术中,对于包括在一些实施例中,像素驱动电路的显示面板而言,非显示区域需要设置三种不同的驱动电路以分别向在一些实施例中,三个信号端提供信号。本实施例中,像素电路的晶体管均以P型管为例进行说明,其中,复位信号端RST、选通信号端Gate以及发光控制信号端EMS的时序图如图3b所示。具体的,在复位阶段,复位信号端RST提供低电平,以对驱动晶体管Md的栅极g和OLED的阳极进行复位;在数据写入阶段,选通信号端Gate提供低电平,以将数据电压Vdata通过驱动晶体管Md的源极s写入驱动晶体管Md的漏极d;在发光阶段,发光控制信号端EMS提供低电平,以控制OLED发光。

[0047] 在一些实施例中,本申请提供的移位寄存器单元包括第一输出子电路50、第二输出子电路60以及第三输出子电路70中的至少两个子电路,其中,第一输出子电路50连接的复位信号输出端OUT_RST可以与在一些实施例中,复位信号端RST相连接,以向该复位信号端RST提供信号;第二输出子电路60连接的选通信号输出端OUT_Gate可以与在一些实施例中,选通信号端Gate相连接,以向该选通信号端Gate提供信号;第三输出子电路70连接的发光控制信号输出端OUT_EMS可以与在一些实施例中,发光控制信号端EMS相连接,以向该发光控制信号端EMS提供信号。

[0048] 在一些实施例中,第一输出子电路50、第二输出子电路60以及第三输出子电路70均与信号输出端Gout相连接,在一些实施例中,第一输出子电路50可以选取信号输出端Gout输出信号的一部分作为复位信号,并由复位信号输出端OUT_RST输出至OLED像素电路的复位信号端RST;第二输出子电路60可以选取信号输出端Gout输出信号的另一部分作为选通信号,并由选通信号输出端OUT_Gate输出至OLED像素电路的选通信号端Gate;第三输出子电路70可以在信号输出端Gout输出信号的控制下决定发光控制信号的时序,并由发光控制信号输出端OUT_EMS输出至OLED像素电路的发光控制信号端EMS。这样一来,采用在一些实施例中,移位寄存器单元构成的栅极驱动电路可以至少向一像素电路的至少两个信号

端(复位信号端RST、选通信号端Gate以及发光控制信号端EMS中的至少两个)提供信号,从而可以减少非显示区域设置栅极驱动电路的数量,进而达到提高布线空间以及实现窄边框的目的。

[0049] 具体的,如图4所示,在一些实施例中,第一输出子电路50包括第一晶体管M1和第二晶体管M2。

[0050] 其中,第一晶体管M1的栅极连接第三时钟信号端GCK1,第一极连接信号输出端Gout,第二极与复位信号输出端OUT_RST相连接。

[0051] 第二晶体管M2的栅极连接第三时钟信号端GCK1,第一极选通信号输出端OUT_Gate连接,第二极与第二电压端VGH相连接。

[0052] 在一些实施例中,第二输出子电路60包括第三晶体管M3和第四晶体管M4。

[0053] 其中,第三晶体管M3的栅极连接第四时钟信号端GCB1,第一极连接信号输出端Gout,第二极与选通信号输出端OUT_Gate相连接。

[0054] 第四晶体管M4的栅极连接第四时钟信号端GCB1,第一极连接复位信号输出端OUT_RST,第二极与第二电压端VGH相连接。

[0055] 在在在一些实施例中,移位寄存器单元包括第三输出子电路70的情况下,该第三输出子电路70如图5所示,包括第十三晶体管M13和第十四晶体管M14。

[0056] 其中,第十三晶体管M13的栅极和第一极连接第一电压端VGL,第二极与发光控制信号输出端OUT_EMS相连接。

[0057] 第十四晶体管M14的栅极连接信号输出端Gout,第一极连接发光控制信号输出端OUT_EMS,第二极与第二电压端VGH相连接。

[0058] 其中,第十四晶体管M14的宽长比大于第十三晶体管M13的宽长比。在此情况下,第十四晶体管M14的驱动能力大于第十三晶体管M13的驱动能力。在此情况下,当第十三晶体管M13和第十四晶体管M14均导通时,发光控制信号输出端OUT_EMS的电位取决于通过第十四晶体管M14传输来的第二电压端VGH的电压电位。

[0059] 在此基础上,上拉控制子电路10包括第五晶体管M5。其中,该第五晶体管M5的栅极连接第一时钟信号端GCK,第一极连接信号输入端GSTV,第二极与上拉节点PU相连接。

[0060] 基于此,在一些实施例中,移位寄存器单元如图5所示,还可以包括电压保持子电路11。该电压保持子电路11连接下拉节点PD、第五晶体管M5的第二极、第二时钟信号端GCB以及第二电压端VGH。其中,该电压保持子电路11用于在第二时钟信号端GCB以及下拉节点PD的控制下,将第二电压端VGH输出的电压进行存储,并将存储的电压输出至第五晶体管M5的第二极。从而在在在一些实施例中,第五晶体管M5与在在在一些实施例中,上拉节点PU相连接的情况下,可以通过该电压保持子电路11将第二电压端VGH的电压输出至上拉节点PU,以稳定的上拉节点PU的电位。

[0061] 具体的,在一些实施例中,电压保持子电路11包括第七晶体管M7和第八晶体管M8。

[0062] 其中,第七晶体管M7的栅极连接第二时钟信号端GCB,第一极连接第五晶体管M5的第二极,第二极与第八晶体管M8的第一极相连接。

[0063] 第八晶体管M8的栅极连接下拉节点PD,第二极与第二电压端VGH相连接。

[0064] 在一些实施例中,上拉控制子电路10还连接第一电压端VGL,此时,上拉控制子电路10还包括第六晶体管M6。

[0065] 其中,第六晶体管M6的栅极连接第一电压端VGL,第一极连接第五晶体管M5的第二极,第二级与上拉节点PU相连接。在此情况下,当第六晶体管M6导通时,该第五晶体管M5的第二极可以通过第六晶体管M6与在一些实施例中,上拉节点PU相连接。这样一来,在一些实施例中,第六晶体管M6为P型晶体管的情况下,当第六晶体管M6第二极的电压大于栅极电压时,该第六晶体管M6可以处于截止状态,从而能够防止上拉节点PU漏电。

[0066] 在一些实施例中,下拉控制子电路20包括第九晶体管M9和第十晶体管M10。

[0067] 其中,第九晶体管M9的栅极连接第一时钟信号端GCK,第一极连接第一电压端VGL,第二极与下拉节点PD相连接。

[0068] 第十晶体管M10的栅极连接上拉节点PU,第一极连接第一时钟信号端GCK,第二极与下拉节点PD相连接。

[0069] 在一些实施例中,上拉子电路30包括第十一晶体管M11和第一电容C1。

[0070] 其中,第十一晶体管M11的栅极连接上拉节点PU,第一极连接第二时钟信号端GCB,第一极与信号输出端Gout相连接。

[0071] 第一电容C1的一端连接第十一晶体管M11的栅极,另一端与第十一晶体管M11的第二极相连接。

[0072] 下拉子电路40包括第十二晶体管M12和第二电容C2。

[0073] 其中,第十二晶体管M12的栅极连接下拉节点PD,第一极连接信号输出端Gout,第二极与第二电压端VGH相连接。

[0074] 第二电容C2的一端连接第十二晶体管M12的栅极,另一端与第十二晶体管M12的第一极相连接。

[0075] 需要说明的是,在一些实施例中,晶体管可以为N型晶体管或者P型晶体管。其中,晶体管的第一极可以为源极,第二极为漏极,或者第一极为漏极,第二极为源极,本申请对此不做限定。

[0076] 本申请是以第一电压端VGL输出恒定的低电平,第二电压端VGH输出恒定的高电平为例进行的说明。

[0077] 以下,以该移位寄存器单元中的上述晶体管以及OLED像素电路中与复位信号端RST、选通信号端Gate以及发光控制信号端EMS相连接的晶体管均为P型晶体管为例,结合图6所示的信号时序图,对图5所示的移位寄存器单元在一图像帧内的各个阶段的工作情况下进行详细的说明。

[0078] 其中,如图6所示,第一时钟信号端GCK与第二时钟信号端GCB输出信号的频率相同,相位相反;第三时钟信号端GCK1与第四时钟信号端GCB1输出信号的频率相同,相位相反;第一时钟信号端GCK输出信号的频率为第三时钟信号端GCK1输出信号的频率的1/2。

[0079] 在一些实施例中,一图像帧内,第一阶段T1、第二阶段T2、第三阶段T3以及第四阶段T4的时长相同。第五阶段P5和第六阶段P6的时长为第四阶段T4时长的一倍。

[0080] 具体的,在第一阶段T1, $GSTV=0$; $GCK=0$; $GCB=1$; $GCK1=0$; $GCB1=1$ 。其中“0”表示高电平,“1”表示低电平。

[0081] 在此情况下,如图7所示,第一时钟信号端GCK输出低电平,第五晶体管M5和第九晶体管M9导通。信号输入端GSTV输出的低电平通过第五晶体管M5传输至节点PU0,再通过导通的第六晶体管M6传输至上拉节点PU。在节点PU0的控制下,第十晶体管M10导通。第一电压端

VGL输出的低电平通过第九晶体管M9传输至下拉节点PD,第一时钟信号端GCK输出的低电平通过第十晶体管M10传输至下拉节点PD。

[0082] 在一些实施例中,第八晶体管M8导通,第七晶体管M7截止,第二电压端VGH输出的高电平通过第八晶体管M8后,可以存储至由第七晶体管M7的栅极和源极(或漏极)构成的寄生电容GS,以及由第八晶体管M8的栅极和漏极(或源极)构成的寄生电容GD,即高电平存储于节点N1处。

[0083] 在上拉节点PU的控制下,第十一晶体管M11导通,将第二时钟信号端GCB输出的高电平传输至信号输出端Gout。在下拉节点PD的控制下,第十二晶体管M12导通,将第二电压端VGH输出的高电平传输至信号输出端Gout。

[0084] 在第三时钟信号端GCK1的控制下,第一晶体管M1和第二晶体管M2导通。信号输出端Gout的高电平通过第一晶体管M1传输至复位信号输出端OUT_RST。第二电压端VGH的高电平通过第二晶体管M2传输至选通信号输出端OUT_Gate。

[0085] 第三晶体管M3、第四晶体管M4以及第十四晶体管M14处于截止状态。第十三晶体管M13导通,将第一电压端VGL的低电平通过第十三晶体管M13传输至发光控制信号输出端OUT_EMS。

[0086] 在此阶段,复位信号输出端OUT_RST输出高电平,因此与该移位寄存器单元相连接的OLED像素电路的复位信号端RST接收到在一些实施例中,高电平,所以该OLED像素电路中与该复位信号端RST相连接的晶体管截止,所以该OLED像素电路未进入复位阶段。

[0087] 在第二阶段T2,GSTV=0;GCK=0;GCB=1;GCK1=1;GCB1=0。

[0088] 在此情况下,如图8所示,由于信号输入端GSTV、第一时钟信号端GCK以及第二时钟信号端GCB输出的信号与第一阶段T1相同。不同之处在于第三时钟信号端GCK1输出高电平,第四时钟信号端GCB1输出低电平,因此该阶段,第一晶体管M1和第二晶体管M2截止。第三晶体管M3和第四晶体管M4导通。其余晶体管的导通和截止状态与第一阶段T1相同。

[0089] 基于此,通过在一些实施例中,第三晶体管M3,信号输出端Gout的高电平可以传输至选通信号输出端OUT_Gate;通过在一些实施例中,第四晶体管M4,第二电压端VGH的高电平可以传输至复位信号输出端OUT_RST;而发光控制信号输出端OUT_EMS保持低电平输出。

[0090] 同上所述,在该阶段与该移位寄存器单元相连接的OLED像素电路仍然未进入复位阶段。

[0091] 在第三阶段T3,GSTV=1;GCK=1;GCB=0;GCK1=0;GCB1=1。

[0092] 在此情况下,如图9所示,第一时钟信号端GCK输出高电平,第五晶体管M5和第九晶体管M9截止。在第一电容C1的自举作用下,上拉节点PU的电平进一步降低。此时,第十一晶体管M11保持导通状态,并将第二时钟信号端GCB的低电平输出至信号输出端Gout。

[0093] 在上拉节点PU的控制下,第十晶体管M10导通,将第一时钟信号端GCK输出的高电平传输至下拉节点PD。此时,第八晶体管M8和第十二晶体管M12截止。

[0094] 在一些实施例中,由于第六晶体管M6为P型晶体管,在该阶段第六晶体管M6的第一极(即与上拉节点PU)相连接的一端的电平进一步降低,因此该第六晶体管M6的源极(或漏极)的电压大于栅极电压,该第六晶体管M6处于截止状态。

[0095] 需要说明的是,在该阶段,节点PU0为低电平。这是因为,在第二阶段T2,信号输入端GSTV输出的低电平会存储于由第十晶体管M10栅极和有源层构成的寄生电容中。该第十

晶体管M10的寄生电容相对于节点N1处的第七晶体管M7的寄生电容GS和第八晶体管M8寄生电容GD较大,所以在第二阶段,第十晶体管M10的寄生电容保持节点PU0处于低电平的能力,要大于节点N1处的寄生电容向节点PU0写入高电平的能力。

[0096] 在此基础上,第三时钟信号端GCK1输出低电平,第一晶体管M1和第二晶体管M2导通。第四时钟信号端GCB1输出高电平,第三晶体管M3和第四晶体管M4截止。信号输出端Gout的电平可以通过第一晶体管M1传输至复位信号输出端OUT_RST,而通过第二晶体管M2,可以将第二电压端VGH的高电平传输至选通信号输出端OUT_Gate。

[0097] 在一些实施例中,第十四晶体管M14导通,由于第十四晶体管M14的驱动能力大于第十三晶体管M13,因此通过第十四晶体管M14可以将第二电压端VGH的高电平传输至发光控制信号输出端OUT_EMS。

[0098] 由此可知,复位信号输出端OUT_RST输出低电平,选通信号输出端OUT_Gate和发光控制信号输出端OUT_EMS输出高电平。在此情况下,与该移位寄存器单元相连接OLED像素电路的复位信号端RST接收到低电平,从而对该OLED像素电路中的相应位置(例如,驱动晶体管的栅极、OLED的阳极等位置)的电压进行复位,该OLED像素电路处于复位阶段。

[0099] 在第四阶段T4,GSTV=1;GCK=1;GCB=0;GCK1=1;GCB=0。

[0100] 在此情况下,如图10所示,由于信号输入端GSTV、第一时钟信号端GCK以及第二时钟信号端GCB输出的信号与第三阶段T3相同。不同之处在于第三时钟信号端GCK1输出高电平,第四时钟信号端GCB1输出低电平,因此该阶段,第一晶体管M1和第二晶体管M2截止。第三晶体管M3和第四晶体管M4导通。其余晶体管的导通和截止状态与第三阶段T3相同。

[0101] 基于此,在一些实施例中,第三晶体管M3,信号输出端Gout的低电平可以传输至选通信号输出端OUT_Gate;通过在一些实施例中,第四晶体管M4,第二电压端VGH的高电平可以传输至复位信号输出端OUT_RST;而发光控制信号输出端OUT_EMS保持高电平输出。

[0102] 在一些实施例中,选通信号输出端OUT_Gate输出低电平,复位信号输出端OUT_RST和发光控制信号输出端OUT_EMS输出高电平。在此情况下,与该移位寄存器单元相连接OLED像素电路的选通信号端Gate接收到在一些实施例中,低电平,从而将数据电压Data写入至驱动晶体管,该OLED像素电路处于数据写入阶段。

[0103] 在第五阶段P5,GSTV=1;GCK=0;GCB=1;GCK1=0、1;GCB1=1、0。

[0104] 在此情况下,如图11所示,在第一时钟信号端GCK输出的低电平的控制下,第五晶体管M5和第九晶体管M9导通,信号输入端GSTV输出的高电平传输至上拉节点PU,第十一晶体管M11和第十晶体管M10截止。

[0105] 第一电压端VGL的低电平通过第九晶体管M9传输至下拉节点PD,第十二晶体管M12导通,第八晶体管M8导通。第二电压端VGH通过第十二晶体管M12传输至信号输出端Gout,并通过第八晶体管M8存储至第一节点N1。在第二时钟信号端GCB的控制下,第七晶体管M7截止。

[0106] 在该第五阶段P5,第三时钟信号端GCK1先后输出低电平和高电平;第四时钟信号端GCB2先后输出高电平和低电平。基于此,当第三时钟信号端GCK1输出低电平,第四时钟信号端GCB1输出高电平时,如图11所示,第一晶体管M1和第二晶体管M2导通,第三晶体管M3和第四晶体管M4截止。当第三时钟信号端GCK1输出高电平,第四时钟信号端GCB1输出低电平时,第一晶体管M1和第二晶体管M2截止,第三晶体管M3和第四晶体管M4导通。无论第三时钟

信号端GCK1或第四时钟信号端GCB1输出的信号如何,由于信号输出端Gout为高电平,因此选通信号输出端OUT_Gate和复位信号输出端OUT_RST输出高电平。

[0107] 在一些实施例中,在信号输出端Gout的控制下,第十四晶体管M14截止,因此第十三晶体管M13将第一电压端VGL的低电平传输至发光控制信号输出端OUT_EMS。在此情况下,与该移位寄存器单元相连接OLED像素电路的发光控制信号端EMS接收到低电平,从而旷职OLED发光,该OLED像素电路处于发光阶段。

[0108] 在第六阶段P6,GSTV=1;GCK=1;GCB=0;GCK1=0、1;GCB1=1、0。

[0109] 在此情况下,如图12所示,在第一时钟信号端GCK输出的高电平的控制下,第五晶体管M5和第九晶体管M9截止。下拉控制节点PD在第二电容C2的放电作用下,保持上一阶段的低电平。此时,第十二晶体管M12和第八晶体管M8导通。在第二时钟信号端GCB的低电平控制下,第七晶体管M7导通,节点N1处的高电平传输至节点PU0和上拉节点PU,第十一晶体管M11和第十晶体管M10截止。

[0110] 在一些实施例中,第二电压端VGH的高电平通过第十二晶体管M12传输至信号输出端Gout,该信号输出端Gout保持高电平输出。在此情况下,发光控制信号输出端OUT_EMS输出低电平。

[0111] 基于此,第三时钟信号端GCK1和第四时钟信号端GCB2输出的信号与第五阶段相同,因此选通信号输出端OUT_Gate和复位信号输出端OUT_RST保持输出高电平。

[0112] 需要说明的是,在第六阶段T2之后至下一图像帧开始之前,该移位寄存器单元重复第五阶段和第六阶段。

[0113] 以上是以移位寄存器单元中的所有晶体管以及OLED像素电路中与复位信号端RST、选通信号端Gate以及发光控制信号端EMS相连接的晶体管均为P型晶体管为例进行的说明,当移位寄存器单元中的晶体管以及OLED像素电路中与复位信号端RST、选通信号端Gate以及发光控制信号端EMS相连接的晶体管均为N型晶体管时,需要将图6中的部分控制信号进行翻转,且将第一电压端VGL和第二电压端VGH的位置进行交换,且该移位寄存器单元的工作过程同理可得,此处不再赘述。

[0114] 本申请实施例提供一种栅极驱动电路,如图13所示,该栅极驱动电路包括多个级联的如上所述的任意一种移位寄存器单元。

[0115] 其中,第一级移位寄存器单元RS1的信号输入端GSTV连接起始信号端STV。当起始信号端STV输入起始信号后,该移位寄存器单元开始工作。

[0116] 除了第一级移位寄存器单元RS1以外,上一级移位寄存器单元的信号输出端Gout连接下一级移位寄存器单元的信号输入端GSTV。

[0117] 需要说明的是,相邻的两个移位寄存器单元的第一时钟信号端GCK、第二时钟信号端GCB分别与系统时钟信号端CK1、CK2交替连接。例如第一级移位寄存器单元RS1的第一时钟信号端GCK连接系统时钟信号端CK1,第二时钟信号端GCB连接系统时钟信号端CK2;第二级移位寄存器单元RS2的第一时钟信号端GCK连接系统时钟信号端CK2,第二时钟信号端GCB连接系统时钟信号端CK1。

[0118] 在一些实施例中,相邻的两个移位寄存器单元的第三时钟信号端GCK1、第四时钟信号端GCB1分别与系统时钟信号端CK3、以及CK4交替连接。例如第一级移位寄存器单元RS1的第三时钟信号端GCK1连接系统时钟信号端CK3,第四时钟信号端GCB1连接系统时钟信号

端CK4;第二级移位寄存器单元RS2的第三时钟信号端GCK1连接系统时钟信号端CK4,第四时钟信号端GCB1连接系统时钟信号端CK3。其余移位寄存器单元时钟信号端的连接方式以此类推。

[0119] 在一些实施例中,栅极驱动电路具有与前述实施例提供的移位寄存器单元相同的技术效果,此处不再赘述。

[0120] 本申请实施例提供一种显示装置,包括如上所述的任意一种栅极驱动电路。该显示装置中的栅极驱动电路具有与前述实施例提供的栅极驱动电路相同的结构和有益效果。由于前述实施例已经对栅极驱动电路的结构和有益效果进行了详细的描述,此处不再赘述。

[0121] 需要说明的是,在本实用新型实施例中,显示装置具体至少可以为有机发光二极管显示装置,例如该显示装置可以为显示器、电视、数码相框、手机、车载显示屏或平板电脑等任何具有显示功能的产品或者部件。

[0122] 本申请实施例提供一种用于驱动如上所述的任意一种移位寄存器单元的方法,在一图像帧内,在上述移位寄存器单元的前端电路01包括上拉控制子电路10、下拉控制子电路20、上拉子电路30、下拉子电路40的情况下,该方法包括:

[0123] 在如图6所示的第一阶段T1、第二阶段T2,图2中的上拉控制子电路10在第一时钟信号端GCK的控制下,将信号输入端GSTV的电压输出至上拉节点PU。

[0124] 上拉子电路30在上拉节点PU的控制下,将第二时钟信号端GCB的电压输出至信号输出端Gout。

[0125] 下拉控制子电路20在第一时钟信号端GCK和上拉节点PU的控制下,将第一电压端VGL和第一时钟信号端GCK的电压传输至下拉节点PD。

[0126] 下拉子电路40在下拉节点PU的控制下,将第二电压端VGH的电压传输至信号输出端Gout。

[0127] 在该移位寄存器单元包括第三输出子电路70的情况下,该第三输出子电路70在第一电压端VGL的控制下,将第一电压端VGL的电压输出至发光控制信号输出端OUT_EMS。

[0128] 在一些实施例中,在第三阶段T3、第四阶段T4,在一些实施例中,方法包括:

[0129] 上拉子电路30在上拉节点PU的控制下,将第二时钟信号端GCB的电压输出至信号输出端Gout。

[0130] 下拉控制子电路20在上拉节点PU的控制下,将第一时钟信号端GCK的电压传输至下拉节点PD。

[0131] 下拉子电路40在下拉节点PD的控制下,处于关闭状态。

[0132] 在该移位寄存器单元包括第三输出子电路70的情况下,该第三输出子电路70在信号输出端Gout的控制下,将第二电压端VGH的电压输出至发光控制信号输出端OUT_EMS。

[0133] 在一些实施例中,在该移位寄存器单元包括第一输出子电路50和第二输出子电路60的情况下,在第一阶段T1、第三阶段T3,第一输出子电路50在第三时钟信号端GCK1的控制下,将信号输出端Gout的电压输出至复位信号输出端OUT_RST,并将第二电压端VGH的电压输出至选通信号输出端OUT_Gate。

[0134] 在第二阶段T2、第四阶段T4,第二输出子电路20在第四时钟信号端GCB1的控制下,将信号输出端Gout的电压输出至选通信号输出端OUT_Gate,并将第二电压端VGH的电压输

出至复位信号输出端OUT_Gate。

[0135] 在第五阶段P5,下拉控制子电路20在第一时钟信号端GCK的控制下,将第一电压端VGL的电压传输至下拉节点PD。

[0136] 下拉子电路40在下拉节点PD的控制下,将第二电压端VGH的电压传输至信号输出端Gout。

[0137] 在上拉控制子电路10包括电压保持子电路11的情况下,在该第五阶段P5,电压保持子电路11在第二时钟信号端CGB以及下拉节点PD的控制下,将第二电压端VGH输出的电压进行存储。

[0138] 在第六阶段P6,下拉子电路40持续将第二电压端VGH的电压传输至信号输出端Gout。

[0139] 在上拉控制子电路10包括电压保持子电路11的情况下,在该第六阶段P6,电压保持子电路11在第二时钟信号端CGB以及下拉节点PD的控制下,将存储电压输出至上拉节点PU。

[0140] 在一些实施例中,在第五阶段P5、第六阶段P6,在一些实施例中,第一输出子电路50、第二输出子电路60交替将信号输出端Gout的电压分别输出至复位信号输出端OUT_RST和选通信号输出端OUT_Gate。

[0141] 在该移位寄存器单元包括第三输出子电路70的情况下,该第三输出子电路70在第一电压端VGL的控制下,将第一电压端VGL的电压输出至发光控制信号输出端OUT_EMS。

[0142] 在此基础上,在第六阶段P6之后至下一图像帧开始之前,重复在一些实施例中,第五阶段P5和第六阶段P6。

[0143] 当采用如图5所示的各个子电路时,在一图像帧的各个阶段,该移位寄存器单元中各个晶体管的通断状态如上所述,此处不再赘述。在一些实施例中,驱动方法具有与前述实施例提供的移位寄存器单元具有相同的技术效果,此处不再赘述。

[0144] 本领域普通技术人员可以理解:实现本说明书中方法实施例的全部或部分步骤可以通过程序指令相关的硬件来完成,前述的程序可以存储于一计算机可读取存储介质中,该程序在执行时,执行包括在一些实施例中,方法实施例的步骤;而前述的存储介质包括:ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

[0145] 以上所述,仅为本实用新型的具体实施方式,但本实用新型的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本实用新型的保护范围之内。因此,本实用新型的保护范围应以所述权利要求要求的保护范围为准。

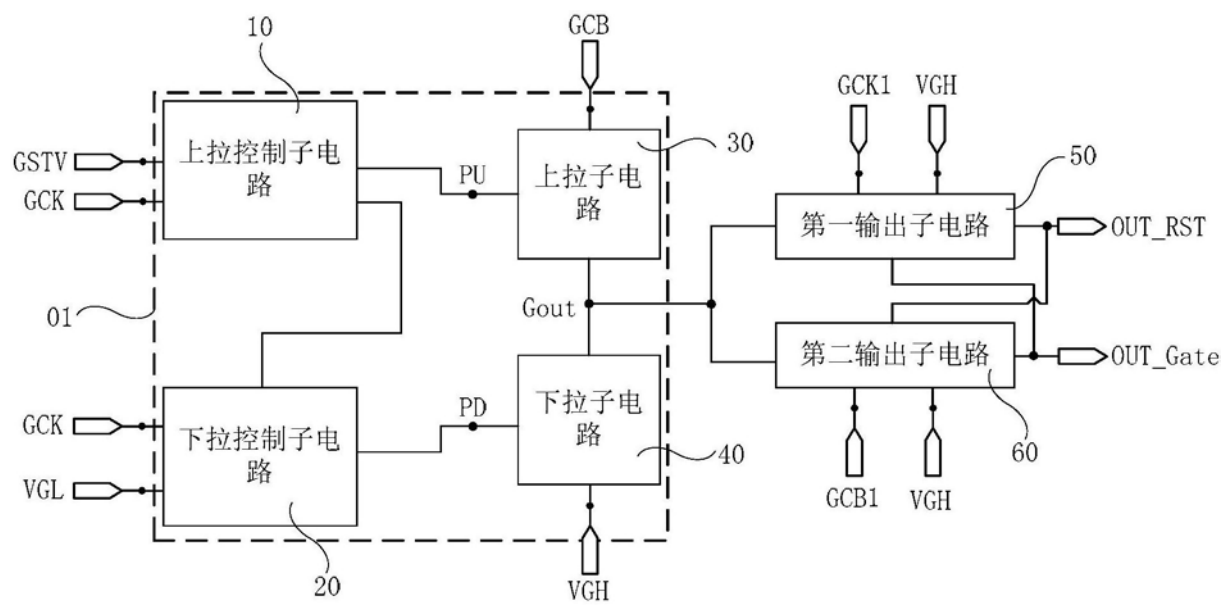


图1

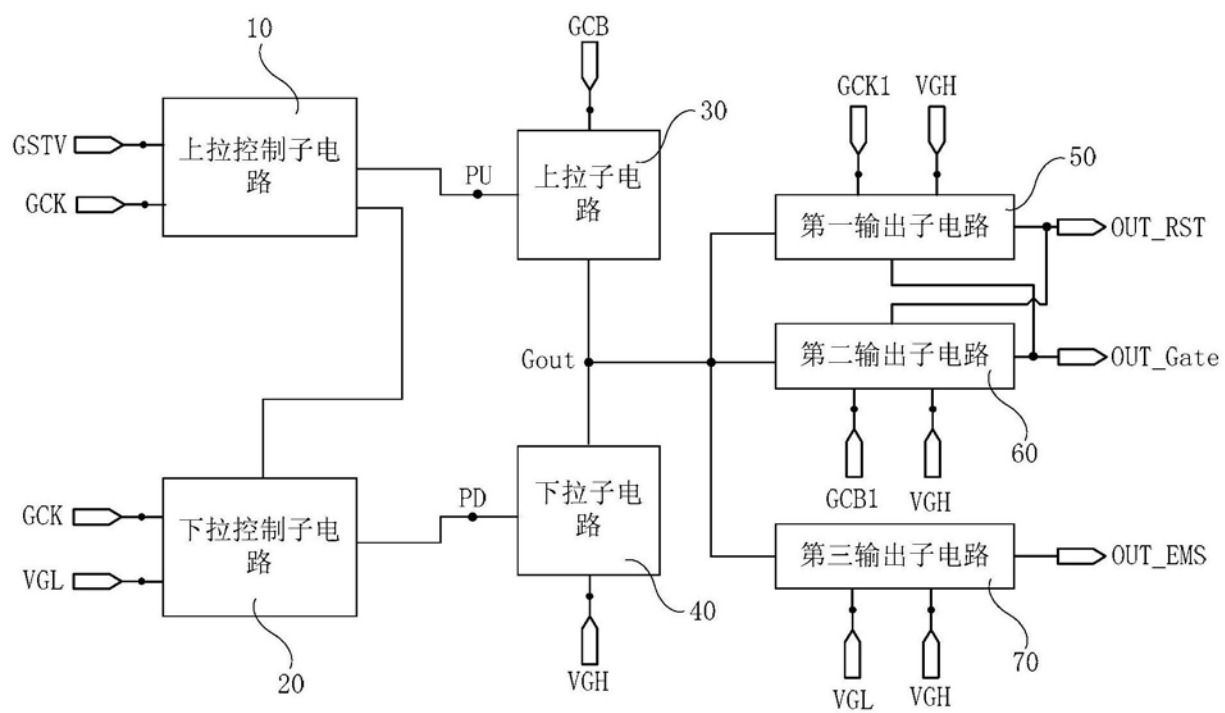


图2

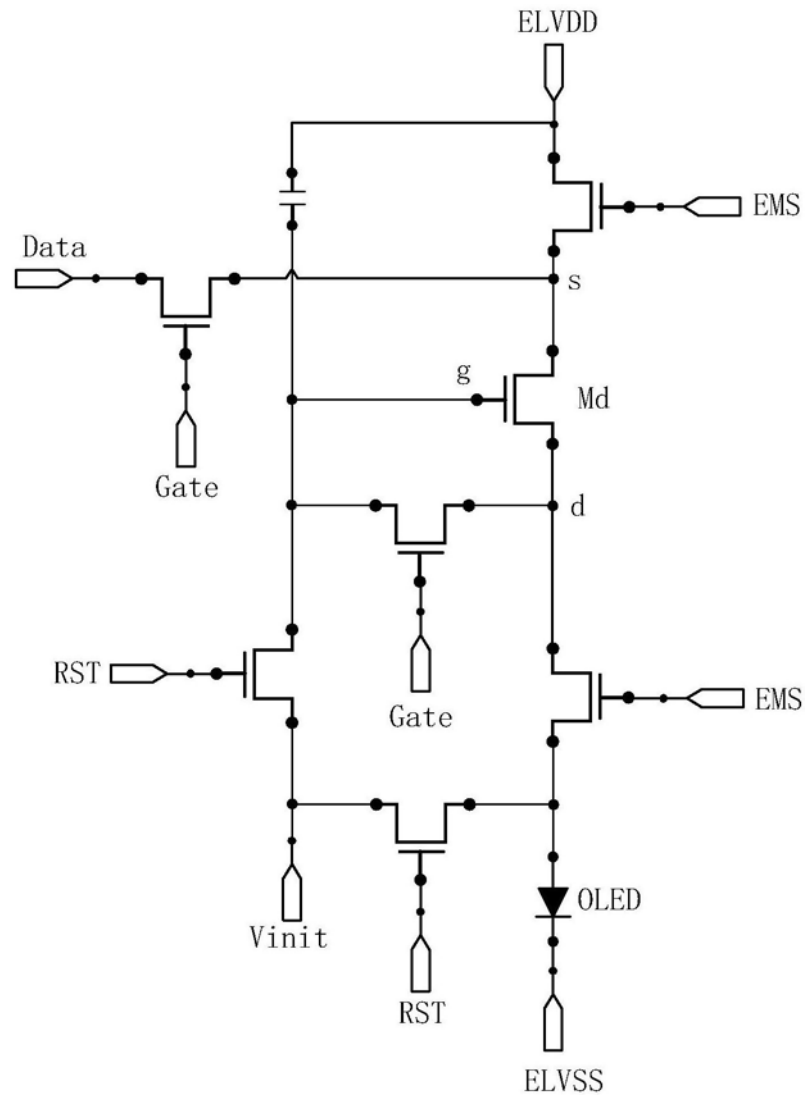


图3a

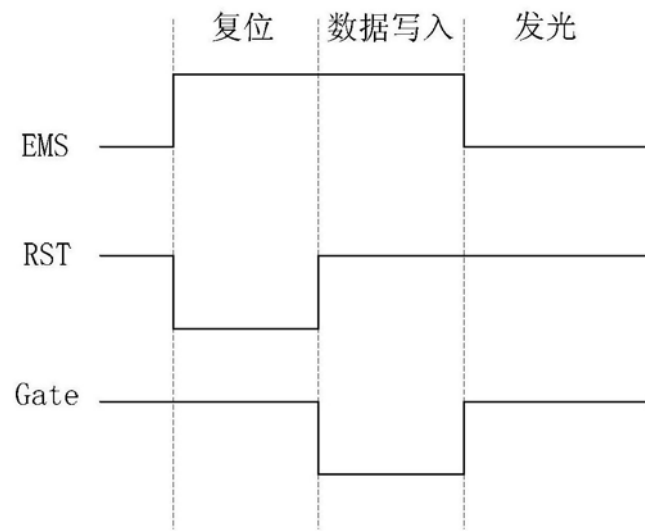


图3b

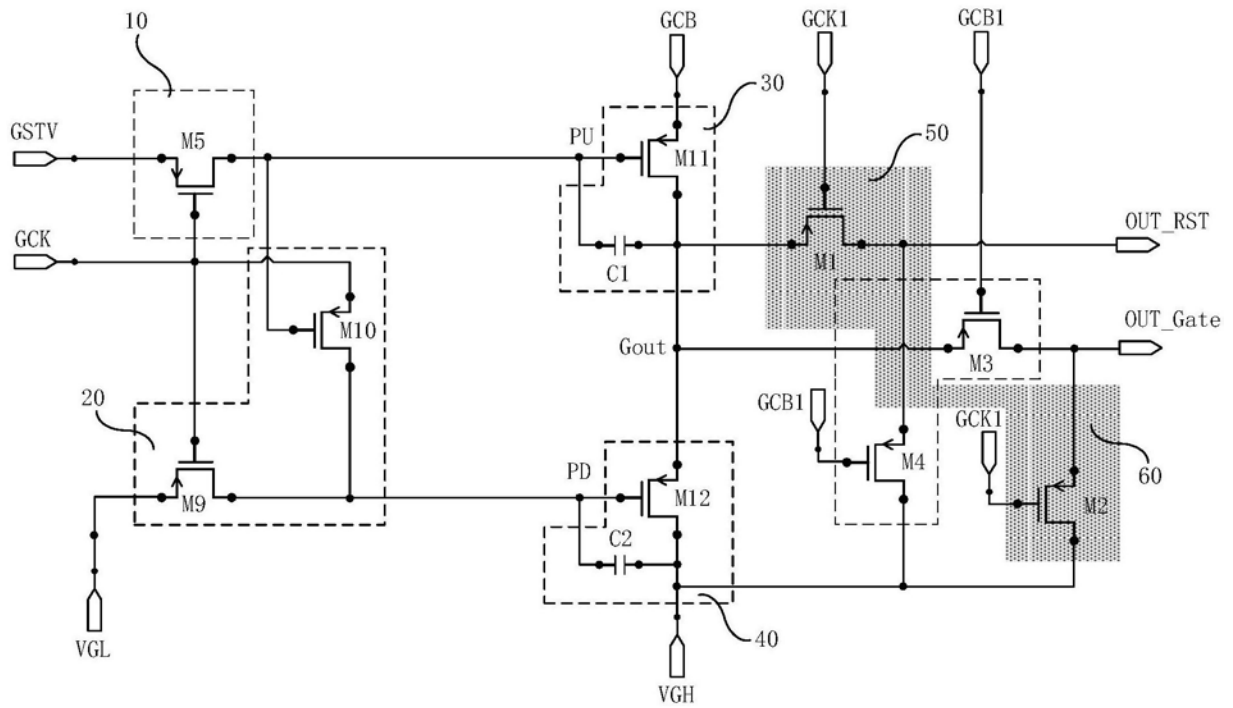


图4

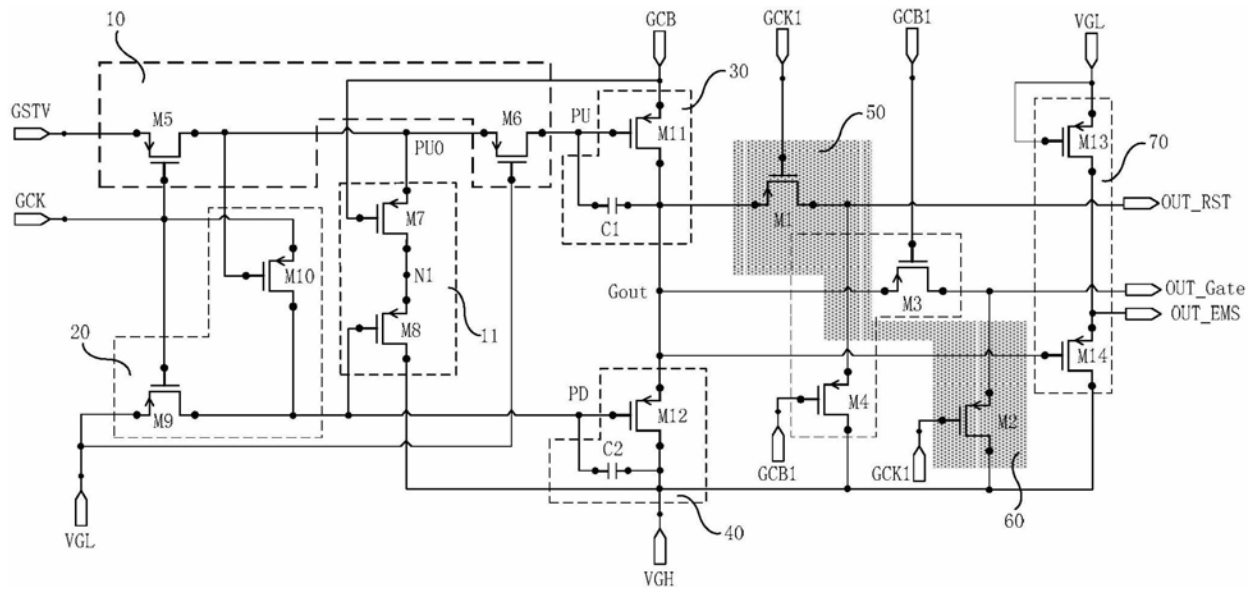


图5

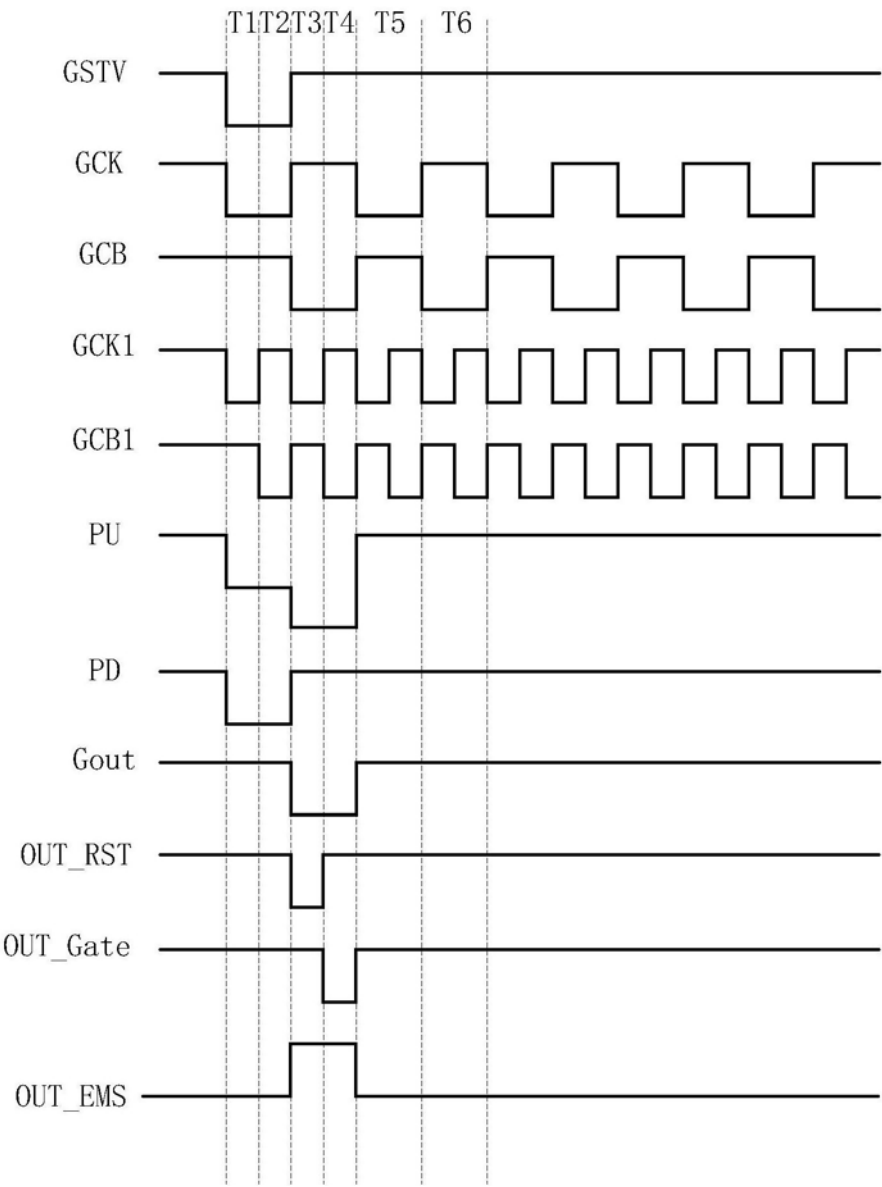


图6

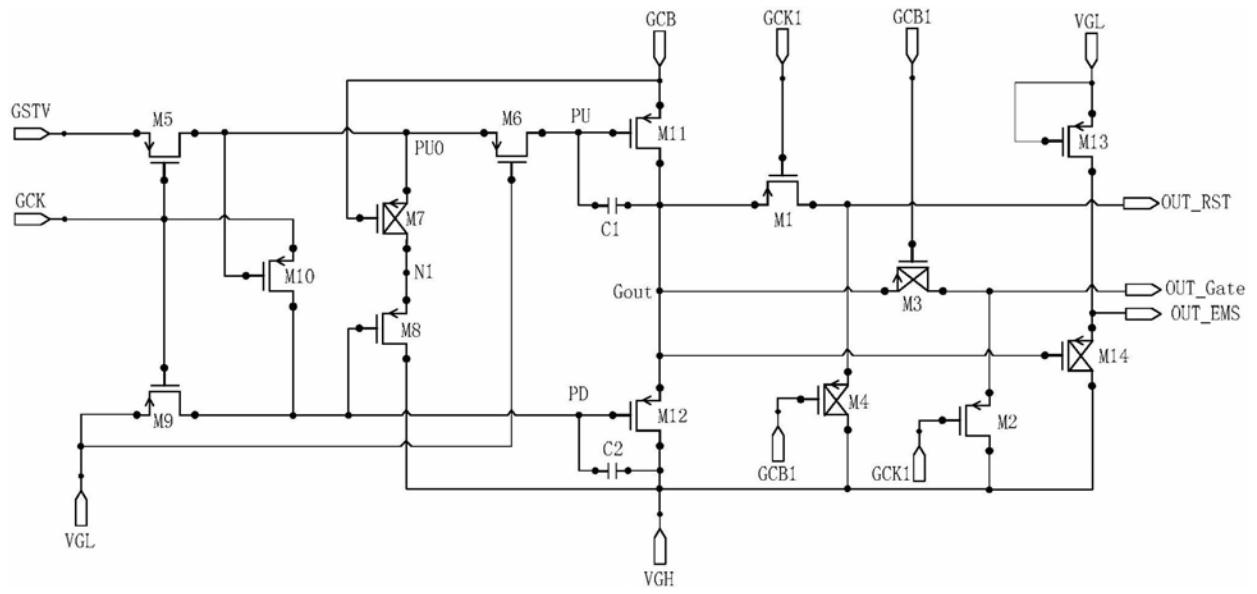


图7

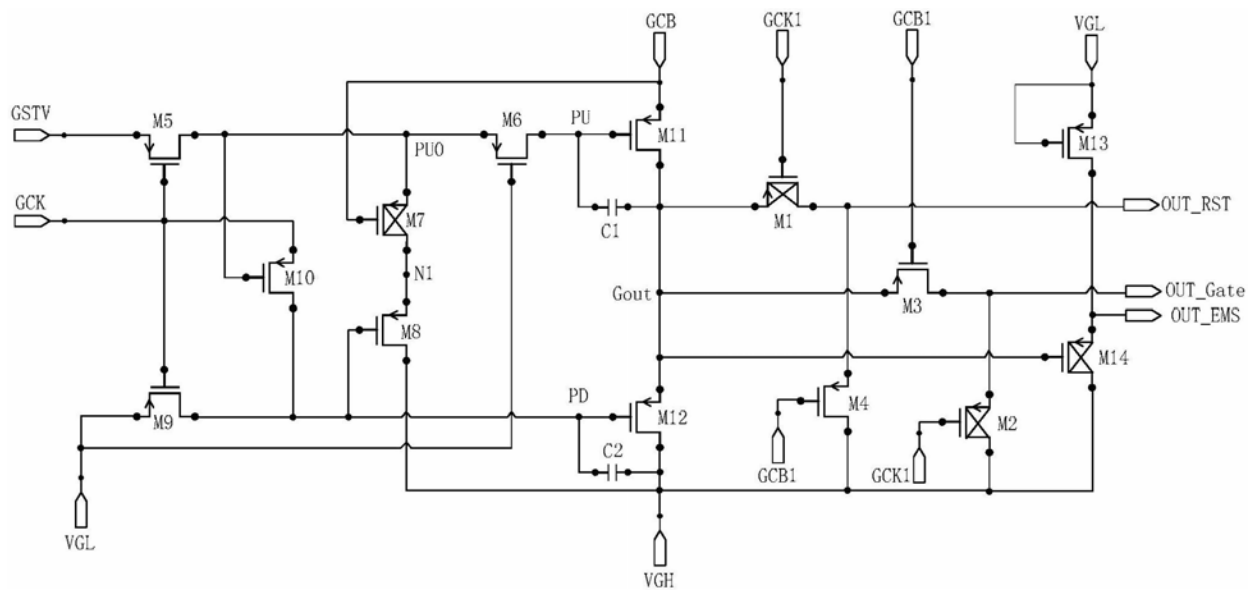


图8

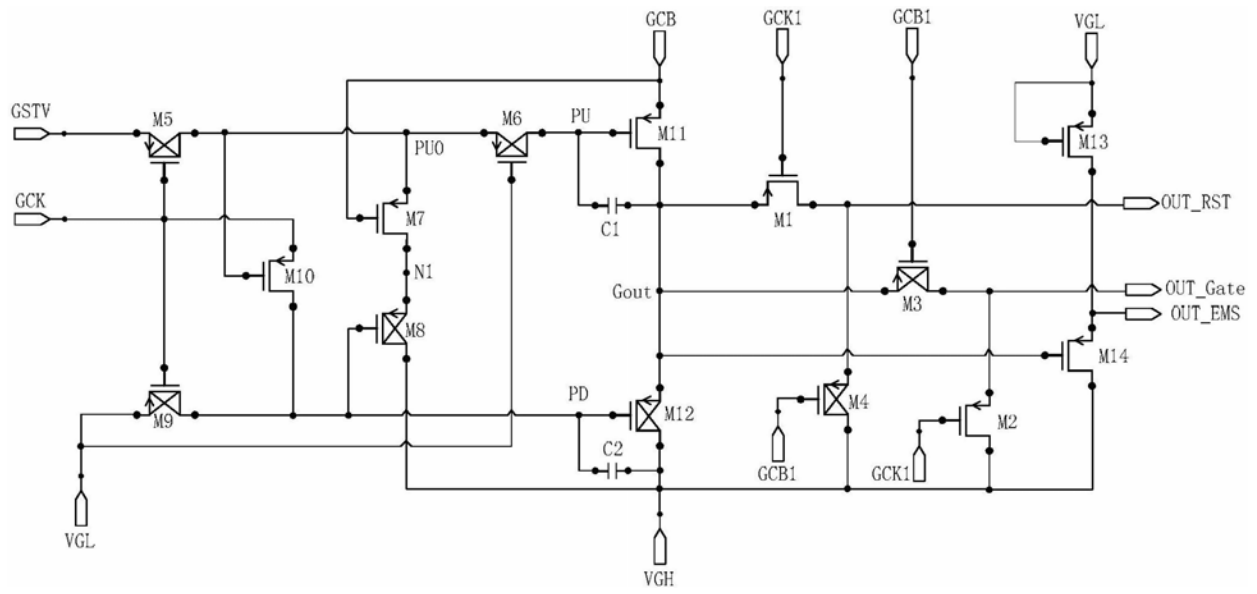


图9

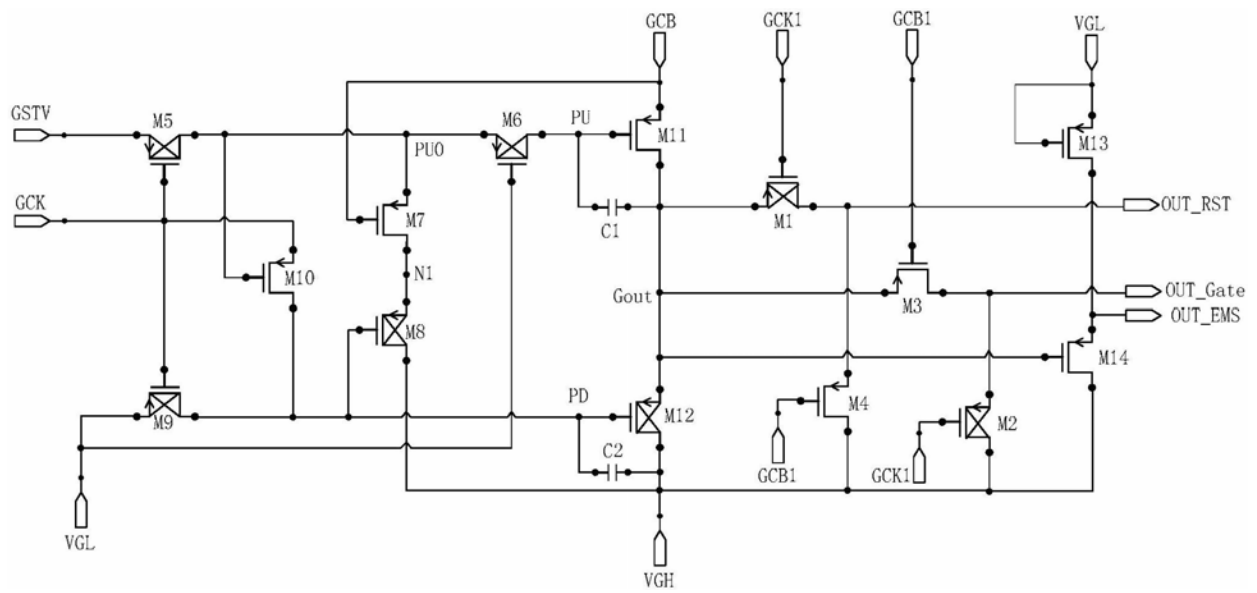


图10

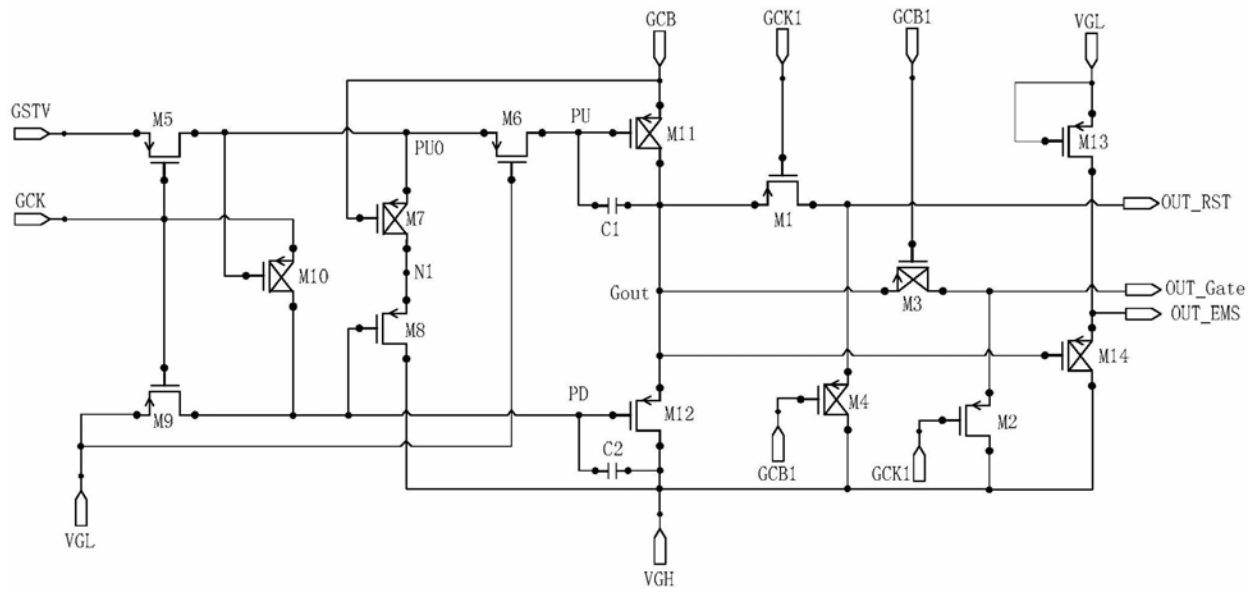


图11

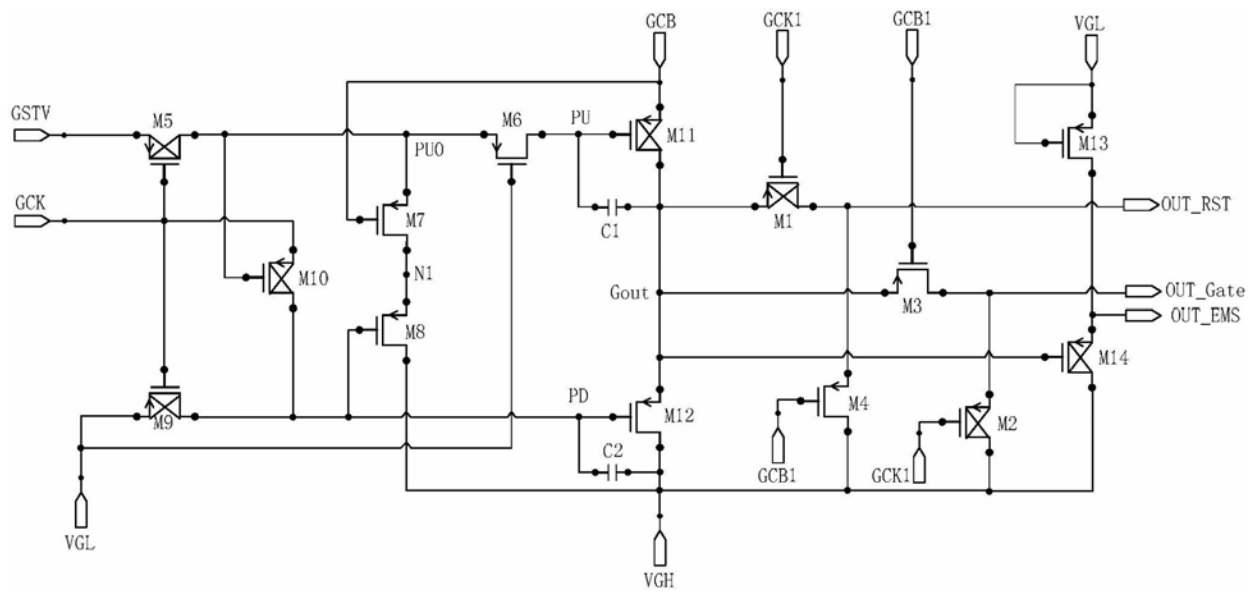


图12

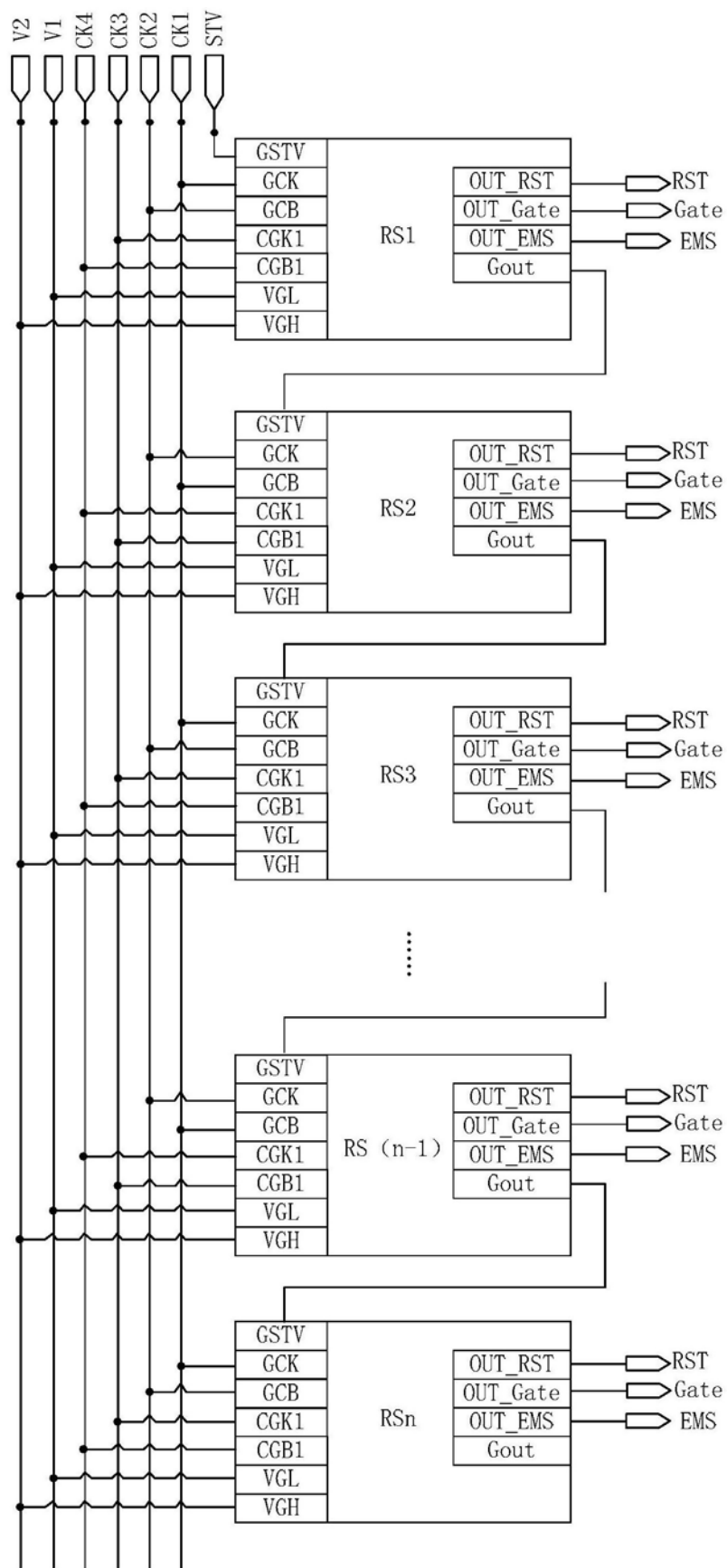


图13

专利名称(译)	一种移位寄存器单元、栅极驱动电路、显示装置		
公开(公告)号	CN207489447U	公开(公告)日	2018-06-12
申请号	CN201721715303.7	申请日	2017-12-11
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	袁丽君 韩明夫 韩承佑 姚星 王志冲 商广良 郑皓亮		
发明人	袁丽君 韩明夫 韩承佑 姚星 王志冲 商广良 郑皓亮		
IPC分类号	G09G3/3266 G11C19/28		
代理人(译)	贾莹		
外部链接	Espacenet SIPO		

摘要(译)

本申请实施例提供一种移位寄存器单元、栅极驱动电路、显示装置，涉及显示技术领域，解决了OLED像素电路的多个不同的信号端分别对应一个栅极驱动电路，导致非显示区域布线空间较小的问题。该移位寄存器单元包括第一输出子电路、第二输出子电路以及第三输出子电路中的至少两个子电路。第一输出子电路用于在将信号输出端的电压输出至复位信号输出端；第二输出子电路用于将信号输出端的电压输出至选通信号输出端；第三输出子电路用于将第二电压端的电压输出至发光控制信号输出端；或者，用于将第一电压端的电压输出至发光控制信号输出端。该移位寄存器单元用于向OLED像素电路提供复位信号、选通信号以及发光控制信号中的任意两种信号。

