



(12) 发明专利申请

(10) 申请公布号 CN 105679248 A

(43) 申请公布日 2016. 06. 15

(21) 申请号 201610006590. 8

(22) 申请日 2016. 01. 04

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 孙拓

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

G09G 3/3258(2016. 01)

G11C 19/28(2006. 01)

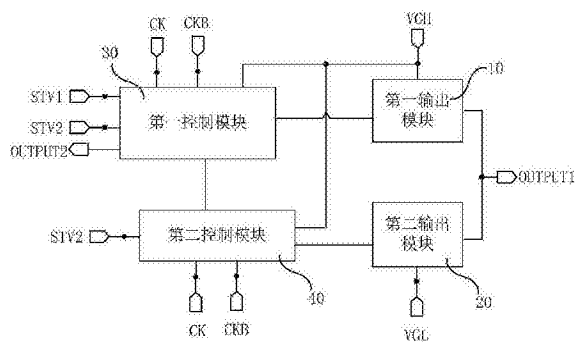
权利要求书3页 说明书15页 附图6页

(54) 发明名称

移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

(57) 摘要

本发明实施例提供了一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置,涉及显示技术领域,能够在发光阶段控制 OLED 的发光时长,以对像素单元的灰阶亮度进行调节。该移位寄存器单元包括第一控制模块,在第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信号端以及第一电压端的控制下,向第二信号输出端输出信号,并开启第一输出模块;第一输出模块,在开启状态下将第一电压端的信号输出至第一信号输出端;第二控制模块,在第二控制信号端、第一时钟信号端、第二时钟信号端、第一电压端以及第一控制模块的控制下,开启第二输出模块;第二输出模块,在开启状态下将第二电压端的信号输出至第一信号输出端。用于驱动显示。



1. 一种移位寄存器单元, 其特征在于, 包括第一输出模块、第二输出模块、第一控制模块以及第二控制模块;

所述第一控制模块连接第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信号端、第一电压端、第二信号输出端以及所述第一输出模块, 用于在所述第一控制信号端、所述第二控制信号端、所述第一时钟信号端、所述第二时钟信号端以及所述第一电压端的控制下, 向所述第二信号输出端输出信号, 并开启所述第一输出模块;

所述第一输出模块还连接所述第一电压端和第一信号输出端, 用于在开启状态下将所述第一电压端的信号输出至所述第一信号输出端;

所述第二控制模块连接所述第二控制信号端、所述第一时钟信号端、所述第二时钟信号端、所述第一电压端、所述第一控制模块以及所述第二输出模块, 用于在所述第二控制信号端、所述第一时钟信号端、所述第二时钟信号端、所述第一电压端以及所述第一控制模块的控制下, 开启所述第二输出模块;

所述第二输出模块还连接第二电压端和所述第一信号输出端, 用于在开启状态下将所述第二电压端的信号输出至所述第一信号输出端。

2. 根据权利要求1所述的移位寄存器单元, 其特征在于, 所述第一输出模块包括第一晶体管和第一电容;

所述第一晶体管的栅极连接所述第一控制模块, 第一极连接所述第一电压端, 第二极连接所述第一信号输出端;

所述第一电容的一端连接所述第一晶体管的第一极, 另一端连接所述第一晶体管的栅极。

3. 根据权利要求1所述的移位寄存器单元, 其特征在于, 所述第二输出模块包括第二晶体管和第二电容;

所述第二晶体管的栅极连接所述第二控制模块, 第一极连接所述第二电压端, 第二极与所述第一信号输出端相连接;

所述第二电容的一端连接所述第二晶体管的栅极, 另一端与所述第二时钟信号端相连接。

4. 根据权利要求1所述的移位寄存器单元, 其特征在于, 所述第一控制模块包括第三晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第三电容以及第四电容;

所述第三晶体管的栅极连接所述第一时钟信号端, 第一极连接所述第一控制信号端, 第二极与所述第五晶体管和所述第八晶体管的栅极相连接;

所述第五晶体管的第一极连接所述第一电压端, 第二极与所述第七晶体管的栅极相连接;

所述第六晶体管的栅极连接所述第一时钟信号端, 第一极连接所述第二控制信号端, 第二极与所述第七晶体管的栅极相连接;

所述第七晶体管的第一极连接所述第一电压端, 第二极与所述第九晶体管的第一极相连接;

所述第八晶体管的第一极连接所述第二时钟信号端, 第二极与所述第九晶体管的第一极相连接;

所述第九晶体管的栅极连接所述第二时钟信号端,第一极连接所述第二信号输出端,第二极与所述第一输出模块相连接;

所述第三电容的一端连接所述第八晶体管的栅极,另一端与所述第九晶体管的第一极相连接;

所述第四电容的一端连接所述第七晶体管的第一极,另一极与所述第七晶体管的栅极相连接。

5.根据权利要求1所述的移位寄存器单元,其特征在于,所述第二控制模块包括第四晶体管以及第十晶体管;

所述第四晶体管的栅极连接所述第一时钟信号端,第一极连接所述第二控制信号端,第二极与所述第二输出模块相连接;

所述第十晶体管的栅极连接所述第一控制模块,第一极连接所述第一电压端,第二极与所述第二输出模块相连接。

6.一种栅极驱动电路,其特征在于,包括至少两级如权利要求1-5任一项所述的移位寄存器单元;

第一级移位寄存器单元的第一控制信号端用于接收第一控制信号,第二控制信号端用于接收第二控制信号,所述第一控制信号和所述第二控制信号均为同一图像帧的控制信号;

除所述第一级移位寄存器单元以外,其余移位寄存器单元的第一控制信号端连接上一级移位寄存器单元的第二信号输出端;

除所述第一级移位寄存器单元以外,其余移位寄存器单元的第二控制信号端连接上一级移位寄存器单元的第一信号输出端;

最后一级移位寄存器单元的第二信号输出端空置。

7.一种显示装置,包括显示面板,所述显示面板包括多个像素单元,每个所述像素单元中设置有像素电路,其特征在于,还包括如权利要求6所述的栅极驱动电路;

所述像素电路包括驱动晶体管和发光器件,以及连接于所述驱动晶体管和所述发光器件之间的开关晶体管;

所述栅极驱动电路中的一级移位寄存器单元的第一信号输出端与位于同一行像素单元的像素电路中的开关晶体管的栅极相连接。

8.一种移位寄存器单元的驱动方法,其特征在于,包括:

第一控制模块在第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信号端以及第一电压端的控制下,向第二信号输出端输出信号,并开启第一输出模块;

所述第一输出模块在开启状态下将第一电压端的信号输出至第一信号输出端;

第二控制模块在所述第一控制信号端、所述第一时钟信号端、所述第二时钟信号端、所述第一电压端以及所述第一控制模块的控制下,开启第二输出模块;

所述第二输出模块在开启状态下将第二电压端的信号输出至所述第一信号输出端。

9.根据权利要求8所述的移位寄存器单元的驱动方法,其特征在于,一图像帧包括第一阶段、至少一个第二阶段、至少一个第三阶段、第四阶段、第五阶段以及第六阶段;

当构成所述第一输出模块、所述第二输出模块、所述第一控制模块以及所述第二控制模块的晶体管均为P型晶体管的情况下,在所述一图像帧内所述驱动方法包括:

在所述第一阶段,第一控制信号端和第一时钟信号端输出低电平,第二控制信号端和第二时钟信号端输出高电平;

在所述第一控制模块的控制下,所述第二信号输出端输出高电平,且所述第一输出模块关闭,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一信号输出端保持在上一图像帧最后一个阶段的电压;

在所述第二阶段,所述第一控制信号端、所述第一时钟信号端以及所述第二控制信号端输出高电平,所述第二时钟信号端输出低电平;

在所述第一控制模块的控制下,所述第二信号输出端输出低电平,且所述第一输出模块开启,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一电压端的信号通过所述第一输出模块输出至所述第一信号输出端;

在所述第三阶段,所述第一控制信号端和所述第一时钟信号端输出低电平,所述第二控制信号端和所述第二时钟信号端输出高电平;

在所述第一控制模块的控制下,所述第二信号输出端输出高电平,且所述第一输出模块开启,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一电压端的信号通过所述第一输出模块输出至所述第一信号输出端;

在所述第四阶段,所述第一控制信号端和所述第一时钟信号端输出高电平,所述第二控制信号端和所述第二时钟信号端输出低电平;

在所述第一控制模块的控制下,所述第二信号输出端输出低电平,且所述第一输出模块开启,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一电压端的信号通过所述第一输出模块输出至所述第一信号输出端;

在所述第五阶段,所述第一控制信号端和所述第二时钟信号端输出高电平,所述第二控制信号端和所述第一时钟信号端输出低电平;

在所述第一控制模块的控制下,所述第二信号输出端输出高电平,且所述第一输出模块开启,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一电压端的信号通过所述第一输出模块输出至所述第一信号输出端;

在所述第六阶段,所述第一控制信号端和所述第一时钟信号端输出高电平,所述第二控制信号端和所述第二时钟信号端输出低电平;

在所述第一控制模块的控制下,所述第二信号输出端输出高电平,且所述第一输出模块关闭,在所述第二控制模块的控制下,所述第二输出模块开启;所述第二电压端的信号通过所述第二输出模块输出至所述第一信号输出端。

移位寄存器单元及其驱动方法、栅极驱动电路、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)作为一种电流型发光器件,因其所具有的自发光、快速响应、宽视角和可制作在柔性衬底上等特点而越来越多地被应用于高性能显示领域当中。

[0003] OLED按驱动方式可分为PMOLED(Passive Matrix Driving OLED,无源矩阵驱动有机发光二极管)和AMOLED(Active Matrix Driving OLED,有源矩阵驱动有机发光二极管)两种。由于AMOLED显示器具有低制造成本、高应答速度、省电、可用于便携式设备的直流驱动、工作温度范围大等等优点而可望成为取代LCD(liquid crystal display,液晶显示器)的下一代新型平面显示器。

[0004] AMOLED显示面板的像素电路基本结构如图1所示,在数据写入阶段,第一扫描信号线S1控制晶体管T1导通,数据电压端Dm可以通过晶体管T1将数据电压Vdata写入驱动晶体管Td的栅极;在发光阶段,第二扫描信号线S2向开关晶体管T2的栅极提供一个与时钟信号Clock脉宽的脉冲宽度相当的单脉冲信号,以驱动该开关晶体管T2在上述脉冲宽度对应的时间内导通。在此情况下,流过驱动晶体管Td和开关晶体管T2的电流I能够驱动OLED发光。

[0005] 由于像素单元的亮度灰阶与该像素单元内OLED的发光亮度有关,而OLED的发光亮度与流过OLED的电流I有关,此外该电流I又与数据电压Vdata有关。因此现有技术中通过源极驱动器对数据电压Vdata的大小进行调节,就可以实现调节像素单元的亮度灰阶。

[0006] 然而,当采用调节数据电压Vdata,以对调节像素单元亮度灰阶进行调节时,由于AMOLED显示面板的响应速度快,因此会导致调节后的亮度灰阶值与预设灰阶值之间产生较大的误差,从而降低了调节精度和显示效果。

发明内容

[0007] 本发明的实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置,能够在发光阶段控制OLED的发光时长,以对像素单元的灰阶亮度进行调节。

[0008] 为达到上述目的,本发明的实施例采用如下技术方案:

[0009] 本发明实施例的一方面,提供一种移位寄存器单元,包括第一输出模块、第二输出模块、第一控制模块以及第二控制模块;所述第一控制模块连接第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信号端、第一电压端、第二信号输出端以及所述第一输出模块,用于在所述第一控制信号端、所述第二控制信号端、所述第一时钟信号端、所述第二时钟信号端以及所述第一电压端的控制下,向所述第二信号输出端输出信号,并开启所述第一输出模块;所述第一输出模块还连接所述第一电压端和第一信号输出端,用于在开启状态下将所述第一电压端的信号输出至所述第一信号输出端;所述第二控制模块连接所

述第二控制信号端、所述第一时钟信号端、所述第二时钟信号端、所述第一电压端、所述第一控制模块以及所述第二输出模块,用于在所述第二控制信号端、所述第一时钟信号端、所述第二时钟信号端、所述第一电压端以及所述第一控制模块的控制下,开启所述第二输出模块;所述第二输出模块还连接第二电压端和所述第一信号输出端,用于在开启状态下将所述第二电压端的信号输出至所述第一信号输出端。

[0010] 优选的,所述第一输出模块包括第一晶体管和第一电容;所述第一晶体管的栅极连接所述第一控制模块,第一极连接所述第一电压端,第二极连接所述第一信号输出端;所述第一电容的一端连接所述第一晶体管的栅极,另一端连接所述第一晶体管的栅极。

[0011] 优选的,所述第二输出模块包括第二晶体管和第二电容;所述第二晶体管的栅极连接所述第二控制模块,第一极连接所述第二电压端,第二极与所述第一信号输出端相连接;所述第二电容的一端连接所述第二晶体管的栅极,另一端与所述第二时钟信号端相连接。

[0012] 优选的,所述第一控制模块包括第三晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第三电容以及第四电容;

[0013] 所述第三晶体管的栅极连接所述第一时钟信号端,第一极连接所述第一控制信号端,第二极与所述第五晶体管和所述第八晶体管的栅极相连接;

[0014] 所述第五晶体管的第一极连接所述第一电压端,第二极与所述第七晶体管的栅极相连接;所述第六晶体管的栅极连接所述第一时钟信号端,第一极连接所述第二控制信号端,第二极与所述第七晶体管的栅极相连接;所述第七晶体管的第一极连接所述第一电压端,第二极与所述第九晶体管的第一极相连接;所述第八晶体管的第一极连接所述第二时钟信号端,第二极与所述第九晶体管的第一极相连接;所述第九晶体管的栅极连接所述第二时钟信号端,第一极连接所述第二信号输出端,第二极与所述第一输出模块相连接;所述第三电容的一端连接所述第八晶体管的栅极,另一端与所述第九晶体管的第一极相连接;所述第四电容的一端连接所述第七晶体管的第一极,另一极与所述第七晶体管的栅极相连接。

[0015] 优选的,所述第二控制模块包括第四晶体管以及第十晶体管;所述第四晶体管的栅极连接所述第一时钟信号端,第一极连接所述第二控制信号端,第二极与所述第二输出模块相连接;所述第十晶体管的栅极连接所述第一控制模块,第一极连接所述第一电压端,第二极与所述第二输出模块相连接。

[0016] 本发明实施例的另一方面,提供一种栅极驱动电路,包括至少两级如上所述的任意一种移位寄存器单元;第一级移位寄存器单元的第一控制信号端用于接收第一控制信号,第二控制信号端用于接收第二控制信号,所述第一控制信号和所述第二控制信号均为同一图像帧的控制信号;除所述第一级移位寄存器单元以外,其余移位寄存器单元的第一控制信号端连接上一级移位寄存器单元的第二信号输出端;除所述第一级移位寄存器单元以外,其余移位寄存器单元的第二控制信号端连接上一级移位寄存器单元的第一信号输出端;最后一级移位寄存器单元的第二信号输出端空置。

[0017] 本发明实施例的另一方面,提供一种显示装置,包括显示面板,所述显示面板包括多个像素单元,每个所述像素单元中设置有像素电路还包括如上所述的栅极驱动电路;所述像素电路包括驱动晶体管和发光器件,以及连接于所述驱动晶体管和所述发光器件之间

的开关晶体管;所述栅极驱动电路中的一级移位寄存器单元的第一信号输出端与位于同一行像素单元的像素电路中的开关晶体管的栅极相连接。

[0018] 本发明实施例的又一方面,提供一种移位寄存器单元的驱动方法,包括:第一控制模块在第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信号端以及第一电压端的控制下,向第二信号输出端输出信号,并开启第一输出模块;所述第一输出模块在开启状态下将第一电压端的信号输出至第一信号输出端;第二控制模块在所述第一控制信号端、所述第一时钟信号端、所述第二时钟信号端、所述第一电压端以及所述第一控制模块的控制下,开启第二输出模块;所述第二输出模块在开启状态下将第二电压端的信号输出至所述第一信号输出端。

[0019] 优选的,一图像帧包括第一阶段、至少一个第二阶段、至少一个第三阶段、第四阶段、第五阶段以及第六阶段;当构成所述第一输出模块、所述第二输出模块、所述第一控制模块以及所述第二控制模块的晶体管均为P型晶体管的情况下,在所述一图像帧内所述驱动方法包括:在所述第一阶段,第一控制信号端和第一时钟信号端输出低电平,第二控制信号端和第二时钟信号端输出高电平;在所述第一控制模块的控制下,所述第二信号输出端输出高电平,且所述第一输出模块关闭,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一信号输出端保持在上一图像帧最后一个阶段的电压;在所述第二阶段,所述第一控制信号端、所述第一时钟信号端以及所述第二控制信号端输出高电平,所述第二时钟信号端输出低电平;在所述第一控制模块的控制下,所述第二信号输出端输出低电平,且所述第一输出模块开启,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一电压端的信号通过所述第一输出模块输出至所述第一信号输出端;在所述第三阶段,所述第一控制信号端和所述第一时钟信号端输出低电平,所述第二控制信号端和所述第二时钟信号端输出高电平;在所述第一控制模块的控制下,所述第二信号输出端输出高电平,且所述第一输出模块开启,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一电压端的信号通过所述第一输出模块输出至所述第一信号输出端;在所述第四阶段,所述第一控制信号端和所述第一时钟信号端输出高电平,所述第二控制信号端和所述第二时钟信号端输出低电平;在所述第一控制模块的控制下,所述第二信号输出端输出低电平,且所述第一输出模块开启,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一电压端的信号通过所述第一输出模块输出至所述第一信号输出端;在所述第五阶段,所述第一控制信号端和所述第二时钟信号端输出高电平,所述第二控制信号端和所述第一时钟信号端输出低电平;在所述第一控制模块的控制下,所述第二信号输出端输出高电平,且所述第一输出模块开启,在所述第二控制模块的控制下,所述第二输出模块关闭;所述第一电压端的信号通过所述第一输出模块输出至所述第一信号输出端;在所述第六阶段,所述第一控制信号端和所述第一时钟信号端输出高电平,所述第二控制信号端和所述第二时钟信号端输出低电平;在所述第一控制模块的控制下,所述第二信号输出端输出高电平,且所述第一输出模块关闭,在所述第二控制模块的控制下,所述第二输出模块开启;所述第二电压端的信号通过所述第二输出模块输出至所述第一信号输出端。

[0020] 本发明实施例提供一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置,该移位寄存器单元,包括第一输出模块、第二输出模块、第一控制模块以及第二控制模块。其中,第一控制模块连接第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信

号端、第一电压端、第二信号输出端以及第一输出模块,用于在第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信号端以及第一电压端的控制下,向第二信号输出端输出信号,并开启第一输出模块。第一输出模块还连接第一电压端和第一信号输出端,用于在开启状态下将第一电压端的信号输出至第一信号输出端。第二控制模块连接第二控制信号端、第一时钟信号端、第二时钟信号端、第一电压端、第一控制模块以及第二输出模块,用于在第二控制信号端、第一时钟信号端、第二时钟信号端、第一电压端以及第一控制模块的控制下,开启第二输出模块。第二输出模块还连接第二电压端和第一信号输出端,用于在开启状态下将第二电压端的信号输出至第一信号输出端。

[0021] 综上所述,第一控制模块可以控制第一输出模块开启,且当第一输出模块开启时能够将第一电压端的电压输出至第一信号输出端。此外,第二控制模块可以控制第二输出模块开启,并在第二输出模块开启的状态下,将第二电压端的电压输出至第一信号输出端。

[0022] 在此情况下,可以将上述第一信号输出端与像素单路中,连接于驱动晶体管和发光器件之间的开关晶体管的栅极相连接。这样一来,在该像素单元的非显示阶段,即发光器件不发光时,上述第一控制模块可以将第一输出模块关闭,而第二控制模块可以将第二输出模块打开,从而使得第二电压端提供的电压输出至上述开关晶体管的栅极,使得该开关晶体管处于截止状态,此时发光器件不会发光。而当像素单元需要进行显示,即该像素电路处于发光阶段时,上述第二控制模块可以控制第二输出模块关闭,而第一控制模块可以控制第一输出模块开启,并且还可以控制第一输出模块开启的时长,从而控制像素电路中开关晶体管的导通时长,达到控制发光器件的发光时长。这样一来,在一图像帧内,发光器件发光的有效时间不同,该发光器件所在的像素单元的亮度灰阶值也会不同。因此可以在对数据线输入的数据电压进行调整的基础上,再对发光器件的发光时长进行控制,从而可以更加精准的对像素单元的亮度灰阶进行调节。

附图说明

[0023] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1为现有技术提供的一种像素电路的结构示意图;

[0025] 图2为本发明实施例提供的一种移位寄存器单元的结构示意图;

[0026] 图3为图2所示的移位寄存器单元的具体结构示意图;

[0027] 图4为用于控制如图3所示的移位寄存器单元的信号时序图;

[0028] 图5为本发明实施例提供的一种栅极驱动电路的结构示意图;

[0029] 图6为本发明实施例提供的一种显示装置的结构示意图;

[0030] 图7为本发明实施例提供的一种移位寄存器单元的驱动方法流程图。

[0031] 附图标记:

[0032] 10-第一输出模块;20-第二输出模块;30-第一控制模块;40-第二控制模块;11-像素单元;100-显示面板。

具体实施方式

[0033] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0034] 本发明实施例提供一种移位寄存器单元,如图2所示,包括第一输出模块10、第二输出模块20、第一控制模块30以及第二控制模块40。

[0035] 具体的,第一控制模块30连接第一控制信号端STV1、第二控制信号端STV2、第一时钟信号端CK、第二时钟信号端CKB、第一电压端VGH、第二信号输出端OUTPUT2以及第一输出模块10,用于在第一控制信号端STV1、第二控制信号端STV2、第一时钟信号端CK、第二时钟信号端CKB以及第一电压端VGH的控制下,向第二信号输出端OUTPUT2输出信号,并开启第一输出模块10。

[0036] 第一输出模块10还连接第一电压端VGH和第一信号输出端OUTPUT1,用于在开启状态下将第一电压端VGH的信号输出至第一信号输出端OUTPUT1。

[0037] 第二控制模块40连接第二控制信号端STV2、第一时钟信号端CK、第二时钟信号端CKB、第一电压端VGH、第一控制模块30以及第二输出模块20,用于在第二控制信号端STV2、第一时钟信号端CK、第二时钟信号端CKB、第一电压端VGH以及第一控制模块30的控制下,开启第二输出模块20。

[0038] 第二输出模块20还连接第二电压端VGL和第一信号输出端OUTPUT1,用于在开启状态下将第二电压端VGL的信号输出至第一信号输出端OUTPUT1。

[0039] 需要说明的是,第一、本发明是以第一电压端VGH输入高电平,第二电压端VGL输入低电平或者接地为例进行的说明。其中,高电平与低电平时相对于接地端而言的,高电位的电位高于接地端,低电位的电位低于接地端。

[0040] 第二、上述第一信号输出端OUTPUT1与图1中的开关晶体管T2的栅极相连接。图1所示的像素单元处于非发光阶段时,开关晶体管T2截止。而当该像素单元处于发光阶段时,该开关晶体管T2导通。

[0041] 在该开关晶体管T2为N型晶体管的此情况下,当图1所示的像素单元处于非发光阶段时,由于开关晶体管T2需要处于截止状态,因此可以通过第二控制模块40控制第二输出模块20开启,从而通过第二输出模块20将第二电压端VGL输出的低电平通过第一信号输出端OUTPUT1输出至像素单元中开关晶体管T2的栅极,使得T2截止。

[0042] 此外,当图1所示的像素单元处于发光阶段时,由于开关晶体管T2需要处于导通状态,因此可以通过第一控制模块30控制第一输出模块10开启,从而通过第一输出模块10将第一电压端VGH输出的高电平通过第一信号输出端OUTPUT1输出至像素单元中开关晶体管T2的栅极,使得T2导通。在此基础上,还可以通过第一控制模块30控制第一输出模块10开启的时长,从而能够上述开关晶体管T2的导通时长,最终达到控制发光器件OLED的发光时长。

[0043] 这样一来,由于一图像帧内,发光器件OLED发光的有效时间不同,该发光器件OLED所在的像素单元的亮度灰阶值也会不同。通常发光器件OLED发光的有效时间越长,该发光器件OLED所在的像素单元的亮度值越高,灰阶值越高。反之亦然。因此可以通过控制发光器

件OLED的有效发光时长,可以实现对该像素单元亮度灰阶的调整。

[0044] 本发明实施例提供一种移位寄存器单元,包括第一输出模块、第二输出模块、第一控制模块以及第二控制模块。其中,第一控制模块连接第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信号端、第一电压端、第二信号输出端以及第一输出模块,用于在第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信号端以及第一电压端的控制下,向第二信号输出端输出信号,并开启第一输出模块。第一输出模块还连接第一电压端和第一信号输出端,用于在开启状态下将第一电压端的信号输出至第一信号输出端。第二控制模块连接第二控制信号端、第一时钟信号端、第二时钟信号端、第一电压端、第一控制模块以及第二输出模块,用于在第二控制信号端、第一时钟信号端、第二时钟信号端、第一电压端以及第一控制模块的控制下,开启第二输出模块。第二输出模块还连接第二电压端和第一信号输出端,用于在开启状态下将第二电压端的信号输出至第一信号输出端。

[0045] 综上所述,第一控制模块可以控制第一输出模块开启,且当第一输出模块开启时能够将第一电压端的电压输出至第一信号输出端。此外,第二控制模块可以控制第二输出模块开启,并在第二输出模块开启的状态下,将第二电压端的电压输出至第一信号输出端。

[0046] 在此情况下,可以将上述第一信号输出端与像素单路中,连接于驱动晶体管 and 发光器件之间的开关晶体管的栅极相连接。这样一来,在该像素单元的非显示阶段,即发光器件不发光时,上述第一控制模块可以将第一输出模块关闭,而第二控制模块可以将第二输出模块打开,从而使得第二电压端提供的电压输出至上述开关晶体管的栅极,使得该开关晶体管处于截止状态,此时发光器件不会发光。而当像素单元需要进行显示,即该像素电路处于发光阶段时,上述第二控制模块可以控制第二输出模块关闭,而第一控制模块可以控制第一输出模块开启,并且还可以控制第一输出模块开启的时长,从而控制像素电路中开关晶体管的导通时长,达到控制发光器件的发光时长。这样一来,在一图像帧内,发光器件发光的有效时间不同,该发光器件所在的像素单元的亮度灰阶值也会不同。因此可以在对数据线输入的数据电压进行调整的基础上,再对发光器件的发光时长进行控制,从而可以更加精准的对像素单元的亮度灰阶进行调节。

[0047] 以下对移位寄存器单元中的各个模块的具体结构进行详细的说明。

[0048] 具体的,第一输出模块10可以包括第一晶体管M1和第一电容C1。其中,第一晶体管M1的栅极连接第一控制模块30,第一极连接第一电压端VGH,第二极连接第一信号输出端OUTPUT1。

[0049] 第一电容C1的一端连接第一晶体管M1的第一极,另一端连接第一晶体管M1的栅极。

[0050] 需要说明的是,该第一输出模块10不限于上述结构,还可以包括多个与第一晶体管M1并联的晶体管,和/或多个与第一电容C1并联的电容。

[0051] 第二输出模块20可以包括第二晶体管M2和第二电容C2。其中,第二晶体管M2的栅极连接第二控制模块40,第一极连接第二电压端VGL,第二极与第一信号输出端OUTPUT1相连接。

[0052] 第二电容C2的一端连接第二晶体管M2的栅极,另一端与第二时钟信号端CKB相连接。

[0053] 需要说明的是,该第二输出模块20不限于上述结构,还可以包括多个与第二晶体

管M2并联的晶体管,和/或多个与第二电容C2并联的电容。

[0054] 第一控制模块30可以包括第三晶体管M3、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第三电容C3以及第四电容C4。

[0055] 其中,第三晶体管M3的栅极连接第一时钟信号端CK,第一极连接第一控制信号端STV1,第二极与第五晶体管M5和第八晶体管M8的栅极相连接。

[0056] 第五晶体管M5的第一极连接第一电压端VGH,第二极与第七晶体管M7的栅极相连接。

[0057] 第六晶体管M6的栅极连接第一时钟信号端CK,第一极连接第二控制信号端STV2,第二极与第七晶体管M7的栅极相连接。

[0058] 第七晶体管M7的第一极连接第一电压端VGH,第二极与第九晶体管M9的第一极相连接。

[0059] 第八晶体管M8的第一极连接第二时钟信号端CKB,第二极与第九晶体管M9的第一极相连接。

[0060] 第九晶体管M9的栅极连接第二时钟信号端CKB,第一极连接第二信号输出端OUTPUT2,第二极与第一输出模块10相连接。当该第一输出模块10的结构如上所述时,该第九晶体管M9的第二极与第一晶体管M1的栅极相连接。

[0061] 第三电容C3的一端连接第八晶体管M8的栅极,另一端与第九晶体管M9的第一极相连接。

[0062] 第四电容C4的一端连接第七晶体管M7的第一极,另一极与第七晶体管M7的栅极相连接。

[0063] 需要说明的是,第一控制模块30的结构不仅限于此,还可以设置多个分别与第三晶体管M3、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8以及第九晶体管M9并联的晶体管,和/或,多个分别与第三电容C3和第四电容C4并联的电容。

[0064] 第二控制模块40可以包括第四晶体管M4以及第十晶体管M10。

[0065] 其中,第四晶体管M4的栅极连接第一时钟信号端CK,第一极连接第二控制信号端STV2,第二极与第二输出模块20相连接。当该第二输出模块20的结构如上所述时,该第四晶体管M4的第二极与第二晶体管M2的栅极相连接。

[0066] 第十晶体管M10的栅极连接第一控制模块30,第一极连接第一电压端VGH,第二极与第二输出模块20相连接。当该第一控制模块30以及第二输出模块20的结构如上所述时,该第十晶体管M10的栅极连接第九晶体管M9的第二极,第十晶体管M10的第二极与第二晶体管M2的栅极相连接。

[0067] 需要说明的是,上述第二控制模块40的结构不仅限于此,还可以包括多个分别与第四晶体管M4和第十晶体管M10并联的晶体管。

[0068] 以下结合图4所示的各个控制信号端的时序图,对图3所示的移位寄存器单元在一图像帧内的工作原理进行详细的说明。

[0069] 其中,本发明该移位寄存器单元的各个模块中的晶体管的类型不做限定,即上述晶体管可以为N型晶体管,也可以为P型晶体管;可以为增强型晶体管,也可以为耗尽型晶体管;该晶体管的第一极可以为源极,第二极可以为漏极或者第一极为漏极,第二极为源极。为了方便说明,以下实施例均是以上述所有晶体管为P型晶体管为例进行的说明。当上述所

有晶体管均为N型晶体管时,需要对图4中的各个控制信号进行翻转。

[0070] 一图像帧的第一阶段P1, $STV1=0$; $STV2=1$; $CK=0$; $CKB=1$; $OUTPUT1=0$; $OUTPUT2=1$ 。其中,本发明中“0”表示低电平,“1”表示高电平。

[0071] 由于第一时钟信号端CK输入低电平,因此第三晶体管M3、第四晶体管M4以及第六晶体管M6导通。第一控制信号端STV1的低电平通过第三晶体管M3输出至节点D。在该节点D的控制下,第八晶体管M8和第五晶体管M5导通,第三电容C3对节点D的低电平进行存储。在此情况下,第一电压端VGH输入的高电平通过第五晶体管M5输出至第七晶体管M7的栅极;此外,第二控制信号端STV2的高电平通过第六晶体管M6输出至第七晶体管的M7的栅极。因此第七晶体管M7截止。

[0072] 此外,第二时钟信号端CKB输出的高电平通过第八晶体管M8输出至节点A和第二信号输出端OUTPUT2。由于第二时钟信号端CKB输出的高电平,因此第九晶体管M9截止。无信号输出至第十晶体管M10的栅极,因此第十晶体管M10截止,并且第一电容C1将上一帧最后一阶段存储的高电平输出至第一晶体管M1的栅极,第一晶体管M1截止。

[0073] 由于第四晶体管M4导通,因此第二控制信号端STV2输出的高电平通过第四晶体管M4输出至节点C,并通过第二电容C2进行存储,在节点C的控制下,第二晶体管M2截止。

[0074] 综上所述,由于第一晶体管M1和第二晶体管M2在该阶段均处于截止状态,因此第一信号输出端OUTPUT1保持上一帧最后一阶段的低电平。

[0075] 一图像帧的第二阶段P2, $STV1=1$; $STV2=1$; $CK=1$; $CKB=0$; $OUTPUT1=1$; $OUTPUT2=0$ 。

[0076] 由于第一时钟信号端CK输入高电平,因此第三晶体管M3、第四晶体管M4以及第六晶体管M6截止。由于第四晶体管M4截止,因此第二电容C2将上一阶段存储的高电平输出至第二晶体管M2的栅极,该第二晶体管M2截止。

[0077] 此外,第三电容C3将上一阶段存储的低电平进行释放,使得节点D保持低电平,在此情况下,第五晶体管M5和第八晶体管M8仍然保持开启状态。第一电压端VGH输出的高电平通过第五晶体管M5输出至第七晶体管M7的栅极,第七晶体管M7截止。第二时钟信号端CKB输出的低电平通过第八晶体管M8输出至节点A和第二信号输出端OUTPUT2。

[0078] 由于第二时钟信号端CKB输出的低电平,因此第九晶体管M9导通,从而将节点A处的低电平通过第九晶体管M9输出至第一晶体管M1的栅极和节点B,并通过第一电容C1将该低电平进行存储。第一晶体管M1导通,并将第一电压端VGH输出的高电平通过第一晶体管M1输出至第一信号输出端OUTPUT1。

[0079] 综上所述,该阶段第一信号输出端OUTPUT1的电位被拉高。

[0080] 一图像帧的第三阶段P3, $STV1=0$; $STV2=1$; $CK=0$; $CKB=1$; $OUTPUT1=1$; $OUTPUT2=1$ 。

[0081] 由于第一时钟信号端CK输入低电平,因此第三晶体管M3、第四晶体管M4以及第六晶体管M6导通。第一控制信号端STV1的低电平通过第三晶体管M3输出至节点D。在节点D的控制下,第八晶体管M8和第五晶体管M5导通,第三电容C3对节点D的低电平进行存储。在此情况下,第一电压端VGH输入的高电平通过第五晶体管M5输出至第七晶体管M7的栅极;此外,第二控制信号端STV2的高电平通过第六晶体管M6输出至第七晶体管的M7的栅极。因此第七晶体管M7截止。

[0082] 此外,第二时钟信号端CKB输出的高电平通过第八晶体管M8输出至节点A和第二信号输出端OUTPUT2。由于第二时钟信号端CKB输出的高电平,因此第九晶体管M9截止。无信号输出至第十晶体管M10的栅极,因此第十晶体管M10截止。由于第一电容C1存储有上一阶段的低电平,因此节点B为低电平。在节点B的控制下第一晶体管M1导通,将第一电压端VGH输出的高电平通过第一晶体管M1输出至第一信号输出端OUTPUT1。

[0083] 综上所述,该阶段第一信号输出端OUTPUT1保持上一阶段的状态输出高电平。

[0084] 需要说明的是,由于第二阶段P2和第三阶段P3,第一信号输出端OUTPUT1均输出高电平,因此可以对图4所示的各个控制信号进行调整,以重复上述第二阶段P2和第三阶段P3。这样一来,能够延长第一信号输出端OUTPUT1输出高电平的时长,从而控制如图1所示的像素单元中开关晶体管T2的导通时长,以达到延长发光器件OLED发光的时长。因此,第二阶段P2和第三阶段P3的重复次数越多不同,开关晶体管T2的导通时间越长,则发光器件OLED发光的时长越长。具有该像素电路的像素单元显示的亮度值越高,灰阶值也越高。因此,可以通过调节第二阶段P2和第三阶段P3的重复次数,达到调节像素单元亮度灰阶的目的。在此基础上,还可以结合对输入该像素单元的数据电压进行调节,以对该像素单元的对灰阶进行调节的方式。因此,结合上述两种调节方式,相对于现有技术中仅对数据电压进行调节的方式而言,本发明实施例提供的灰阶调节方式,对灰度的调节更加灵活,更加精准。

[0085] 一图像帧的第四阶段P4, $STV1=1$; $STV2=0$; $CK=1$; $CKB=0$; $OUTPUT1=1$; $OUTPUT2=0$ 。

[0086] 由于第一时钟信号端CK输出高电平,因此第三晶体管M3、第四晶体管M4以及第六晶体管M6截止。第三电容C3将上一阶段存储的低电平释放至节点D。在节点D的控制下,第八晶体管M8和第五晶体管M5导通。此时,第一电压端VGH输出的高电平通过第五晶体管M5输出至第七晶体管M7的栅极,第七晶体管M7截止。而第二时钟信号端CKB输出的低电平通过第八晶体管M8输出至节点A以及第二信号输出端OUTPUT2。

[0087] 此外,由于第二时钟信号端CKB输出低电平,第九晶体管M9导通,使得节点A处的低电平通过第九晶体管M9输出至第十晶体管M10和第一晶体管M1的栅极,并通过第一电容C1对上述低电平进行存储。此时,第十晶体管M10导通,将第一电压端VGH输出的高电平通过该第十晶体管M10输出至第二晶体管M2的栅极,该第二晶体管M2截止。而第一电压端VGH输出的高电平通过第一晶体管M1输出至第一信号输出端OUTPUT1。

[0088] 综上所述,该阶段第一信号输出端OUTPUT1保持高电平输出。

[0089] 一图像帧的第五阶段P5, $STV1=1$; $STV2=0$; $CK=0$; $CKB=1$; $OUTPUT1=1$; $OUTPUT2=1$ 。

[0090] 由于第一时钟信号端CK输出低电平,第三晶体管M3、第四晶体管M4以及第六晶体管M6导通。第一控制信号端STV1输出的高电平通过第三晶体管M3输出至节点D,并通过第三电容C3对上述高电平进行存储。在节点D的控制下,第五晶体管M5和第八晶体管M8截止。由于第六晶体管M6导通,因此第二控制信号端STV2输出的低电平通过第六晶体管M6输出至第七晶体管M7的栅极,从而将第七晶体管M7导通,并且第四电容C4将上述低电平进行存储。此时,第一电压端VGH输出的高电平通过第七晶体管M7输出至节点A和第二信号输出端OUTPUT2。

[0091] 此外,由于第二时钟信号端CKB输出高电平,因此第九晶体管M9截止。在此情况下,

第一电容C1对上一阶段存储的低电平进行释放,从而将第十晶体管M10和第一晶体管M1导通。当第十晶体管M10导通时,第一电压端VGH输出的高电平输出至节点C,并在节点C的控制下,第二晶体管M2截止。而第二信号控制端STV2输出的低电平通过第四晶体管M4输出至节点C,使得节点C的电压位于第一电压端VGH和第二电压端VGL之间。此外,第一电压端VGH输出的高电平通过第一晶体管M1输出至第一信号输出端OUTPUT1。

[0092] 综上所述,该阶段第一信号输出端OUTPUT1保持高电平输出。

[0093] 一图像帧的第六阶段P6, $STV1=1$; $STV2=0$; $CK=1$; $CKB=0$; $OUTPUT1=0$; $OUTPUT2=1$ 。

[0094] 由于第一时钟信号端CK输出高电平,因此第三晶体管M3、第四晶体管M4以及第六晶体管M6截止。第三电容C3将上一阶段存储的高电平释放至节点D,在节点D的控制下,第五晶体管M5和第八晶体管M8截止。第四电容C4将上一阶段存储的低电平进行释放,从而将第七晶体管M7导通。此时,第一电压端VGH输出的高电平通过第七晶体管M7输出至节点A以及第二信号输出端OUTPUT2。

[0095] 由于第二时钟信号端CKB输出低电平,因此第九晶体管M9导通,将节点A处的高电平通过第九晶体管M9输出至第一晶体管M1和第十晶体管M10的栅极,使得第一晶体管M1和第十晶体管M10截止。

[0096] 此外,第二时钟信号端CKB输出的低电平将节点C的电压进一步下拉,使得节点C的电压值的大小在上一阶段的基础上再减小($VGH-VHL$),从而能够将第二晶体管M2导通,第二电压端VGL输出的低电平通过第二晶体管M2输出至第一信号输出端OUTPUT1。

[0097] 综上所述,该阶段第一信号输出端OUTPUT1低电平,并且至到下一图像帧的第二阶段,该第一信号输出端OUTPUT1保持低电平输出。

[0098] 需要说明的是,下一图像帧内该移位寄存器单元的工作过程同上,包括上述第一阶段P1至第六阶段P6。不同之处在于,根据像素单元不同的亮度灰阶要求,可以在一图像帧内增加上述第二阶段P2和第三阶段P3的重复次数,从而可以控制第一信号输出端OUTPUT1保持高电平输出的时长,以控制图1所示的像素电路中开关晶体管T2的导通时长,最终达到控制该像素电路中发光器件OLED的发光时长。从而能够控制具有该像素电路的像素单元的亮度灰阶。

[0099] 本发明实施例提供一种栅极驱动电路,如图5所示,包括至少两级如上述所述的任意一种移位寄存器单元。

[0100] 具体的,第一级移位寄存器单元E1的第一控制信号端STV1用于接收第一控制信号(STV1),第二控制信号端STV2用于接收第二控制信号(STV2),该第一控制信号(STV1)和第二控制信号(STV2)均为同一图像帧的控制信号。

[0101] 除第一级移位寄存器单元E1以外,其余移位寄存器单元($E2$ 、 $E3$ 、 $E4$ …… E_n)的第一控制信号端STV1连接上一级移位寄存器单元的第二信号输出端OUTPUT2。

[0102] 除第一级移位寄存器单元E1以外,其余移位寄存器单元($E2$ 、 $E3$ 、 $E4$ …… E_n)的第二控制信号端连接STV2上一级移位寄存器单元的第一信号输出端OUTPUT1。

[0103] 最后一级移位寄存器单元 E_n 的第二信号输出端OUTPUT2空置。

[0104] 需要说明的是,第一、图中的S2_L1表示,第一级移位寄存器单元E1的第一信号输出端OUTPUT1向显示面板上位于第一行的所有像素单元中像素电路的开关晶体管T2的栅极

输出的控制信号。S2_L2为通过第二级移位寄存器单元E2的第一信号输出端OUTPUT1向显示面板上位于第二行的所有像素单元中像素电路的开关晶体管T2的栅极输出的控制信号。其余表示S2_L(n-1)和S2_Ln同理。

[0105] 第二、上述栅极驱动电路中的移位寄存器单元与前述实施例提供的移位寄存器单元的结构和有益效果相同,由于前述实施例对移位寄存器单元的结构和有益效果进行了详细的描述,此处不再赘述。

[0106] 本发明实施例提供一种显示装置,如图6所示,包括显示面板100,该显示面板10包括多个像素单元11,每个像素单元11中设置有如图1所示的像素电路,此外该显示装置,还包括上所述的栅极驱动电路。

[0107] 具体的,像素电路如图1所示包括驱动晶体管Td和发光器件OLED,以及连接于驱动晶体管Td和发光器件OLED之间的开关晶体管T2。其中,驱动晶体管Td的第二极与开关晶体管T2的第一极相连接,开关晶体管T2的第二极连接发光器件OLED的阳极。需要说明的是,图6中像素单元11内的像素电路结构中除了驱动晶体管Td、发光器件OLED以及开关晶体管T2,其余部件及信号端均省略。

[0108] 此外,栅极驱动电路中的一级移位寄存器单元的第一信号输出端与位于同一行像素单元的像素电路中的开关晶体管T2的栅极相连接。

[0109] 需要说明的是,在本发明实施例中,显示装置具体可以包括有机发光二极管显示装置,例如该显示装置可以为电视、数码相框、手机或平板电脑等任何具有显示功能的产品或者部件。

[0110] 本发明实施例提供一种移位寄存器单元的驱动方法,如图7所示,包括:

[0111] S101、如图2所示的第一控制模块30在第一控制信号端STV1、第二控制信号端STV2、第一时钟信号端CK、第二时钟信号端CKB以及第一电压端VGH的控制下,向第二信号输出端OUTPUT2输出信号,并开启第一输出模块10。

[0112] S102、第一输出模块10在开启状态下将第一电压端VGH的信号输出至第一信号输出端OUTPUT1。

[0113] S103、第二控制模块40在第二控制信号端STV2、第一时钟信号端CK、第二时钟信号端CKB、第一电压端VGH以及第一控制模块30的控制下,开启第二输出模块20。

[0114] S104第二输出模块20在开启状态下将第二电压端VGL的信号输出至第一信号输出端OUTPUT1。

[0115] 在此情况下,可以将上述第一信号输出端与像素单路中,连接于驱动晶体管和发光器件之间的开关晶体管的栅极相连接。这样一来,在该像素单元的非显示阶段,即发光器件不发光时,上述第一控制模块可以将第一输出模块关闭,而第二控制模块可以将第二输出模块打开,从而使得第二电压端提供的电压输出至上述开关晶体管的栅极,使得该开关晶体管处于截止状态,此时发光器件不会发光。而当像素单元需要进行显示,即该像素电路处于发光阶段时,上述第二控制模块可以控制第二输出模块关闭,而第一控制模块可以控制第一输出模块开启,并且还可以控制第一输出模块开启的时长,从而控制像素电路中开关晶体管的导通时长,达到控制发光器件的发光时长。这样一来,在一图像帧内,发光器件发光的有效时间不同,该发光器件所在的像素单元的亮度灰阶值也会不同。因此可以在对数据线输入的数据电压进行调整的基础上,再对发光器件的发光时长进行控制,从而可以

更加精准的对像素单元的亮度灰阶进行调节。

[0116] 以下对上述驱动方法进行详细的说明：

[0117] 一图像帧如图4所示包括第一阶段P1、至少一个第二阶段P2、至少一个第三阶段P3、第四阶段P4、第五阶段P5以及第六阶段P6。

[0118] 当构成第一输出模块10、第二输出模块20、第一控制模块30以及第二控制模块20的晶体管均为P型晶体管的情况下，在一图像帧内上述驱动方法包括：

[0119] 在第一阶段，第一控制信号端STV1和第一时钟信号端CK输出低电平，第二控制信号端STV2和第二时钟信号端CKB输出高电平。

[0120] 此时，第一控制模块30的控制下，第二信号输出端OUTPUT2输出高电平，且第一输出模块10关闭，在第二控制模块40的控制下，第二输出模块20关闭；第一信号输出端OUTPUT1保持在上一图像帧最后一个阶段的电压，

[0121] 具体的，由于第一时钟信号端CK输入低电平，因此第三晶体管M3、第四晶体管M4以及第六晶体管M6导通。第一控制信号端STV1的低电平通过第三晶体管M3输出至节点D。在该节点D的控制下，第八晶体管M8和第五晶体管M5导通，第三电容C3对节点D的低电平进行存储。在此情况下，第一电压端VGH输入的高电平通过第五晶体管M5输出至第七晶体管M7的栅极；此外，第二控制信号端STV2的高电平通过第六晶体管M6输出至第七晶体管的M7的栅极。因此第七晶体管M7截止。

[0122] 此外，第二时钟信号端CKB输出的高电平通过第八晶体管M8输出至节点A和第二信号输出端OUTPUT2。由于第二时钟信号端CKB输出的高电平，因此第九晶体管M9截止。无信号输出至第十晶体管M10的栅极，因此第十晶体管M10截止，并且第一电容C1将上一帧最后一阶段存储的高电平输出至第一晶体管M1的栅极，第一晶体管M1截止。

[0123] 由于第四晶体管M4导通，因此第二控制信号端STV2输出的高电平通过第四晶体管M4输出至节点C，并通过第二电容C2进行存储，在节点C的控制下，第二晶体管M2截止。

[0124] 综上所述，由于第一晶体管M1和第二晶体管M2在该阶段均处于截止状态，因此第一信号输出端OUTPUT1保持上一帧最后一阶段的低电平。

[0125] 在第二阶段P2，第一控制信号端STV1、第一时钟信号端CK以及第二控制信号端STV2输出高电平，第二时钟信号端CKB输出低电平。

[0126] 此时，在第一控制模块30的控制下，第二信号输出端OUTPUT2输出低电平，且第一输出模块10开启，在第二控制模块40的控制下，第二输出模块10关闭；第一电压端VGH的信号通过第一输出模块10输出至第一信号输出端OUTPUT1。

[0127] 具体的，由于第一时钟信号端CK输入高电平，因此第三晶体管M3、第四晶体管M4以及第六晶体管M6截止。由于第四晶体管M4截止，因此第二电容C2将上一阶段存储的高电平输出至第二晶体管M2的栅极，该第二晶体管M2截止。

[0128] 此外，第三电容C3将上一阶段存储的低电平进行释放，使得节点D保持低电平，在此情况下，第五晶体管M5和第八晶体管M8仍然保持开启状态。第一电压端VGH输出的高电平通过第五晶体管M5输出至第七晶体管M7的栅极，第七晶体管M7截止。第二时钟信号端CKB输出的低电平通过第八晶体管M8输出至节点A和第二信号输出端OUTPUT2。

[0129] 由于第二时钟信号端CKB输出的低电平，因此第九晶体管M9导通，从而将节点A处的低电平通过第九晶体管M9输出至第一晶体管M1的栅极和节点B，并通过第一电容C1将该

低电平进行存储。第一晶体管M1导通,并将第一电压端VGH输出的高电平通过第一晶体管M1输出至第一信号输出端OUTPUT1。

[0130] 综上所述,该阶段第一信号输出端OUTPUT1的电位被拉高。

[0131] 在第三阶段P3,第一控制信号端STV1和第一时钟信号端CK输出低电平,第二控制信号端STV2和第二时钟信号端CKB输出高电平。

[0132] 在第一控制模块30的控制下,第二信号输出端OUTPUT2输出高电平,且第一输出模块10开启,在第二控制模块40的控制下,第二输出模块20关闭。第一电压端VGH的信号通过第一输出模块10输出至第一信号输出端OUTPUT1。

[0133] 具体的,由于第一时钟信号端CK输入低电平,因此第三晶体管M3、第四晶体管M4以及第六晶体管M6导通。第一控制信号端STV1的低电平通过第三晶体管M3输出至节点D。在节点D的控制下,第八晶体管M8和第五晶体管M5导通,第三电容C3对节点D的低电平进行存储。在此情况下,第一电压端VGH输入的高电平通过第五晶体管M5输出至第七晶体管M7的栅极;此外,第二控制信号端STV2的高电平通过第六晶体管M6输出至第七晶体管的M7的栅极。因此第七晶体管M7截止。

[0134] 此外,第二时钟信号端CKB输出的高电平通过第八晶体管M8输出至节点A和第二信号输出端OUTPUT2。由于第二时钟信号端CKB输出的高电平,因此第九晶体管M9截止。无信号输出至第十晶体管M10的栅极,因此第十晶体管M10截止。由于第一电容C1存储有上一阶段的低电平,因此节点B为低电平。在节点B的控制下第一晶体管M1导通,将第一电压端VGH输出的高电平通过第一晶体管M1输出至第一信号输出端OUTPUT1。

[0135] 综上所述,该阶段第一信号输出端OUTPUT1保持上一阶段的状态输出高电平。

[0136] 需要说明的是,由于第二阶段P2和第三阶段P3,第一信号输出端OUTPUT1均输出高电平,因此可以对图4所示的各个控制信号进行调整,以重复上述第二阶段P2和第三阶段P3。这样一来,能够延长第一信号输出端OUTPUT1输出高电平的时长,从而控制如图1所示的像素单元中开关晶体管T2的导通时长,以达到延长发光器件OLED发光的时长。因此,第二阶段P2和第三阶段P3的重复次数越多不同,开关晶体管T2的导通时间越长,则发光器件OLED发光的时长越长。具有该像素电路的像素单元显示的亮度值越高,灰阶值也越高。因此,可以通过调节第二阶段P2和第三阶段P3的重复次数,达到调节像素单元亮度灰阶的目的。在此基础上,还可以结合对输入该像素单元的数据电压进行调节,以对该像素单元的对灰阶进行调节的方式。因此,结合上述两种调节方式,相对于现有技术中仅对数据电压进行调节的方式而言,本发明实施例提供的灰阶调节方式,对灰度的调节更加灵活,更加精准。

[0137] 在第四阶段P4,第一控制信号端STV1和第一时钟信号端CK输出高电平,第二控制信号端STV2和第二时钟信号端CKB输出低电平。

[0138] 此时,在第一控制模块30的控制下,第二信号输出端OUTPUT2输出低电平,且第一输出模块10开启,在第二控制模块40的控制下,第二输出模块20关闭。第一电压端VGH的信号通过第一输出模块10输出至第一信号输出端OUTPUT1。

[0139] 具体的,由于第一时钟信号端CK输出高电平,因此第三晶体管M3、第四晶体管M4以及第六晶体管M6截止。第三电容C3将上一阶段存储的低电平释放至节点D。在节点D的控制下,第八晶体管M8和第五晶体管M5导通。此时,第一电压端VGH输出的高电平通过第五晶体管M5输出至第七晶体管M7的栅极,第七晶体管M7截止。而第二时钟信号端CKB输出的低电平

通过第八晶体管M8输出至节点A以及第二信号输出端OUTPUT2。

[0140] 此外,由于第二时钟信号端CKB输出低电平,第九晶体管M9导通,使得节点A处的低电平通过第九晶体管M9输出至第十晶体管M10和第一晶体管M1的栅极,并通过第一电容C1对上述低电平进行存储。此时,第十晶体管M10导通,将第一电压端VGH输出的高电平通过该第十晶体管M10输出至第二晶体管M2的栅极,该第二晶体管M2截止。而第一电压端VGH输出的高电平通过第一晶体管M1输出至第一信号输出端OUTPUT1。

[0141] 综上所述,该阶段第一信号输出端OUTPUT1保持高电平输出。

[0142] 在第五阶段P5,第一控制信号端STV1和第二时钟信号端CKB输出高电平,第二控制信号端STV2和第一时钟信号端CK输出低电平。

[0143] 此时,在第一控制模块30的控制下,第二信号输出端OUTPUT2输出高电平,且第一输出模块10开启,在第二控制模块40的控制下,第二输出模块20关闭。第一电压端VGH的信号通过第一输出模块10输出至第一信号输出端OUTPUT1。

[0144] 具体的,由于第一时钟信号端CK输出低电平,第三晶体管M3、第四晶体管M4以及第六晶体管M6导通。第一控制信号端STV1输出的高电平通过第三晶体管M3输出至节点D,并通过第三电容C3对上述高电平进行存储。在节点D的控制下,第五晶体管M5和第八晶体管M8截止。由于第六晶体管M6导通,因此第二控制信号端STV2输出的低电平通过第六晶体管M6输出至第七晶体管M7的栅极,从而将第七晶体管M7导通,并且第四电容C4将上述低电平进行存储。此时,第一电压端VGH输出的高电平通过第七晶体管M7输出至节点A和第二信号输出端OUTPUT2。

[0145] 此外,由于第二时钟信号端CKB输出高电平,因此第九晶体管M9截止。在此情况下,第一电容C1对上一阶段存储的低电平进行释放,从而将第十晶体管M10和第一晶体管M1导通。当第十晶体管M10导通时,第一电压端VGH输出的高电平输出至节点C,并在节点C的控制下,第二晶体管M2截止。而第二信号控制端STV2输出的低电平通过第四晶体管M4输出至节点C,使得节点C的电压 V_c 位于第一电压端VGH和第二电压端VGL之间。此外,第一电压端VGH输出的高电平通过第一晶体管M1输出至第一信号输出端OUTPUT1。

[0146] 综上所述,该阶段第一信号输出端OUTPUT1保持高电平输出。

[0147] 在第六阶段P6,第一控制信号端STV1和第一时钟信号端CK输出高电平,第二控制信号端STV2和第二时钟信号端CKB输出低电平。

[0148] 此时,在第一控制模块30的控制下,第二信号输出端OUTPUT2输出高电平,且第一输出模块10关闭,在第二控制模块40的控制下,第二输出模块20开启。第二电压端VGL的信号通过第二输出模块20输出至第一信号输出端OUTPUT1。

[0149] 具体的,由于第一时钟信号端CK输出高电平,因此第三晶体管M3、第四晶体管M4以及第六晶体管M6截止。第三电容C3将上一阶段存储的高电平释放至节点D,在节点D的控制下,第五晶体管M5和第八晶体管M8截止。第四电容C4将上一阶段存储的低电平进行释放,从而将第七晶体管M7导通。此时,第一电压端VGH输出的高电平通过第七晶体管M7输出至节点A以及第二信号输出端OUTPUT2。

[0150] 由于第二时钟信号端CKB输出低电平,因此第九晶体管M9导通,将节点A处的高电平通过第九晶体管M9输出至第一晶体管M1和第十晶体管M10的栅极,使得第一晶体管M1和第十晶体管M10截止。

[0151] 此外,第二时钟信号端CKB输出的低电平将节点C的电压进一步下拉,使得节点C的电压值的大小在上一阶段的基础上再减小($V_{GH}-V_{HL}$),从而能够将第二晶体管M2导通,第二电压端VGL输出的低电平通过第二晶体管M2输出至第一信号输出端OUTPUT1。

[0152] 综上所述,该阶段第一信号输出端OUTPUT1低电平,并且至到下一图像帧的第二阶段,该第一信号输出端OUTPUT1保持低电平输出。

[0153] 需要说明的是,下一图像帧内该移位寄存器单元的工作过程同上,包括上述第一阶段P1至第六阶段P6。不同之处在于,根据像素单元不同的亮度灰阶要求,可以在一图像帧内增加上述第二阶段P2和第三阶段P3的重复次数,从而可以控制第一信号输出端OUTPUT1保持高电平输出的时长,以控制图1所示的像素电路中开关晶体管T2的导通时长,最终达到控制该像素电路中发光器件OLED的发光时长。从而能够控制具有该像素电路的像素单元的亮度灰阶。

[0154] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

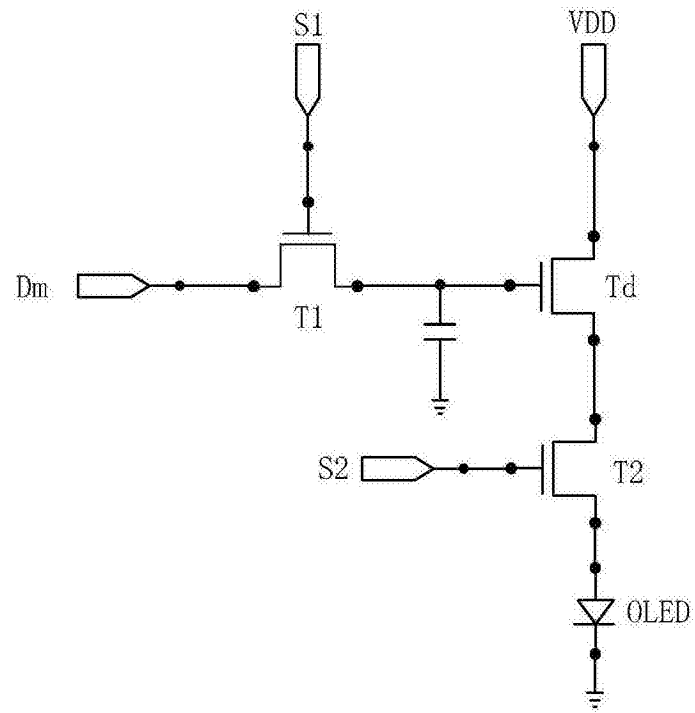


图1

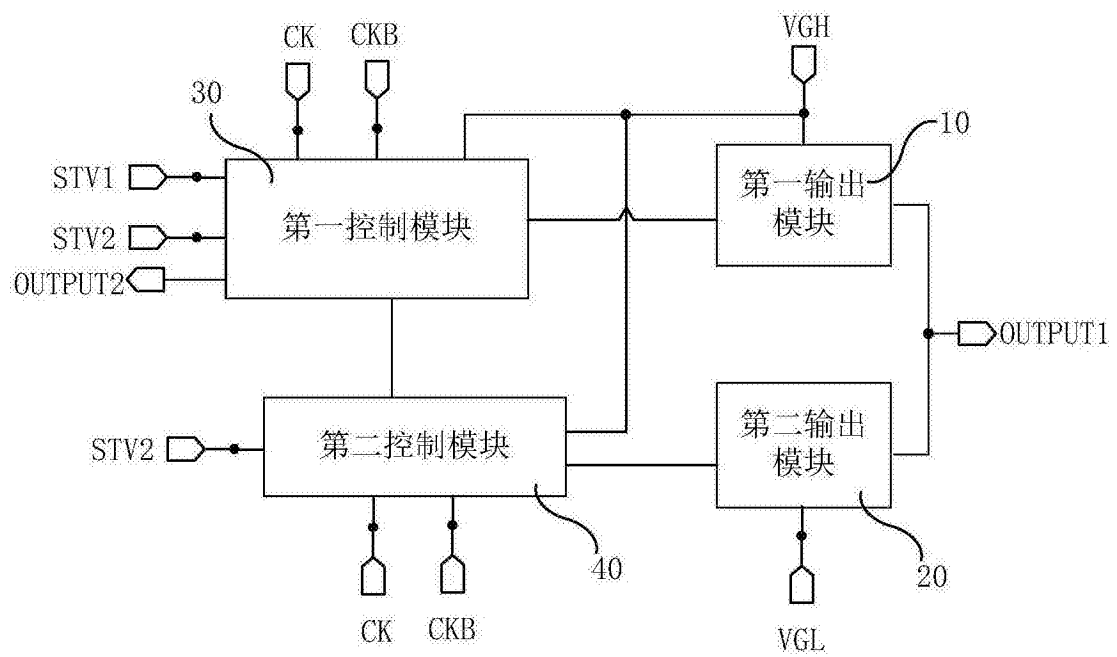


图2

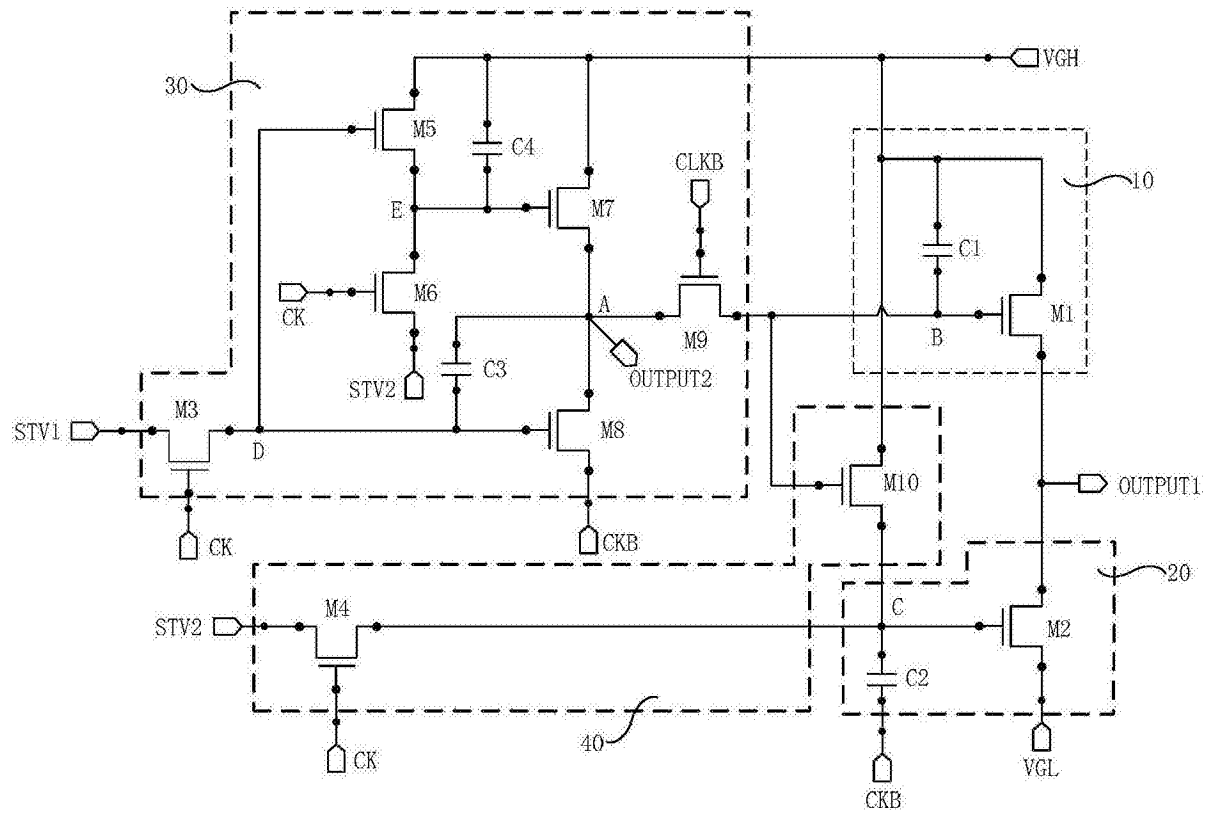


图3

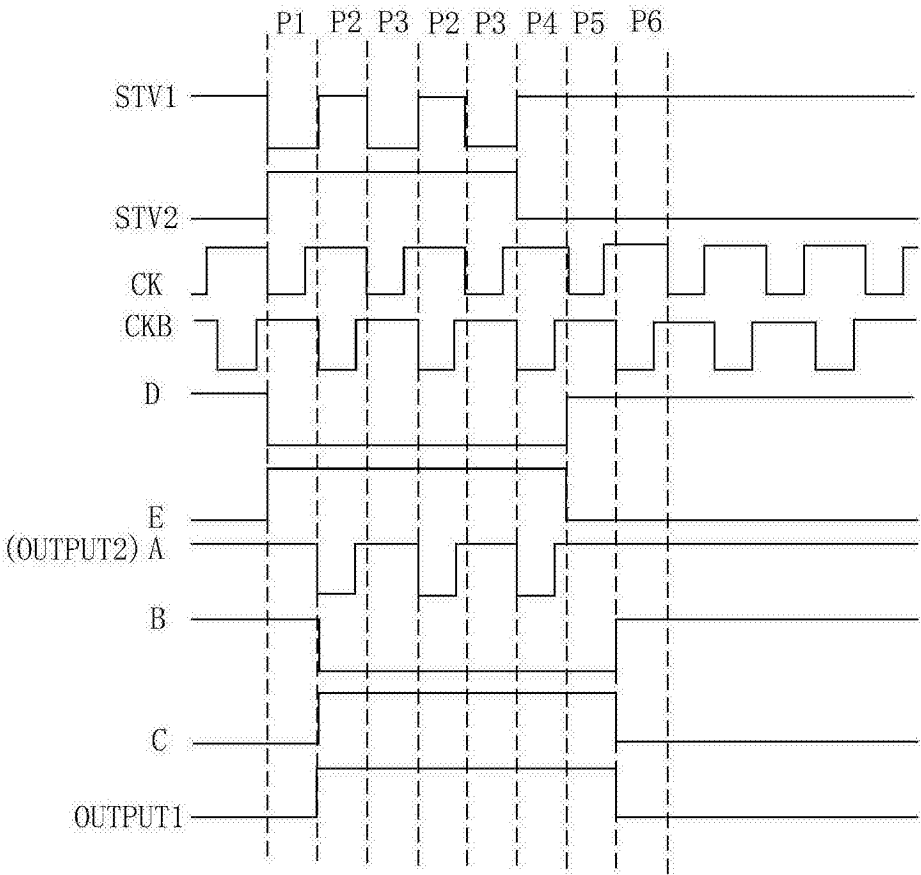


图4

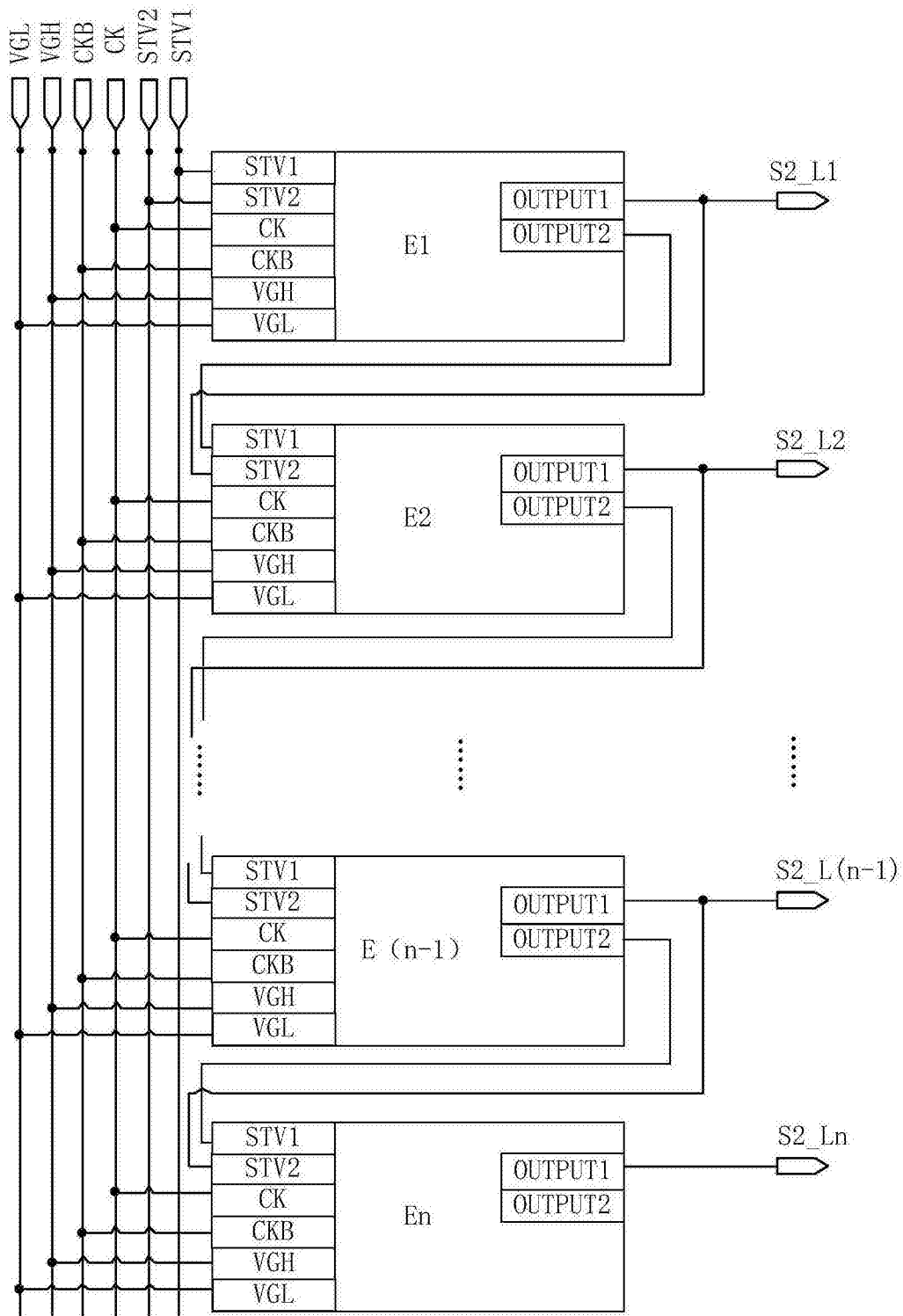


图5

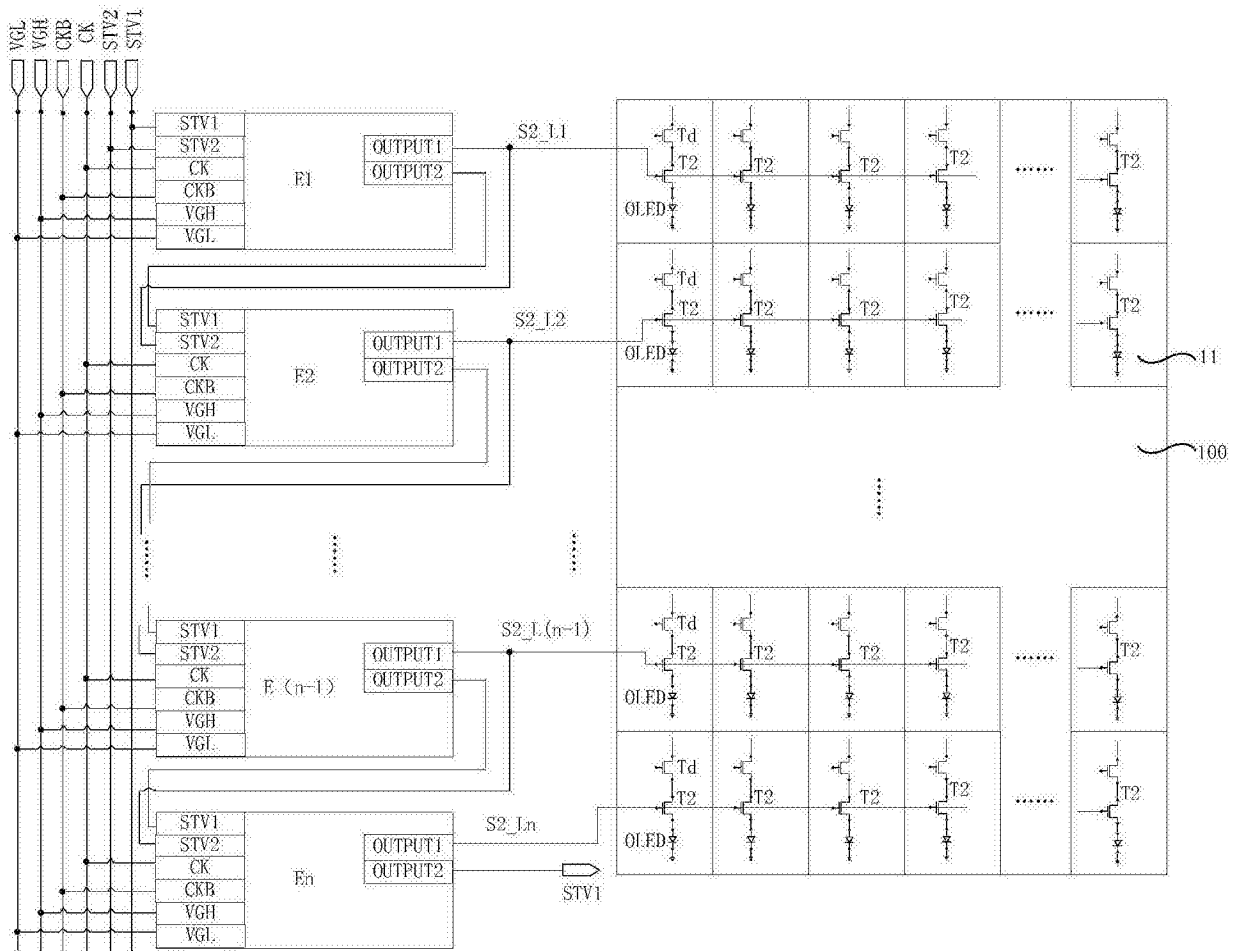


图6

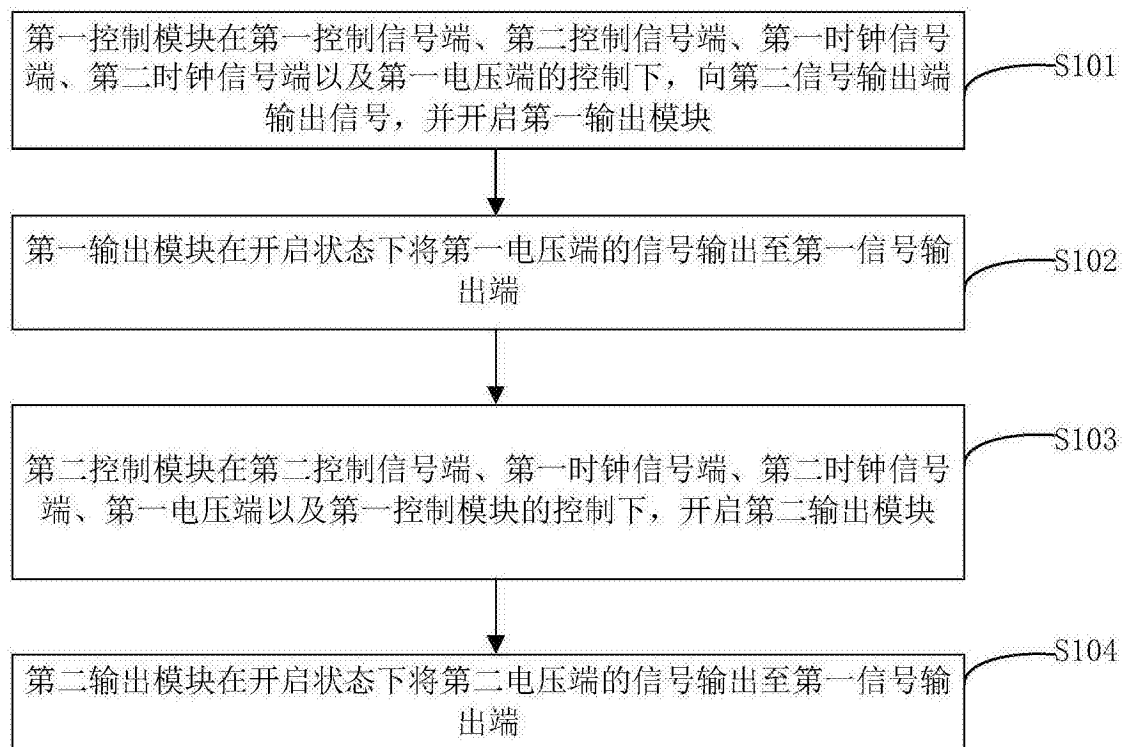


图7

专利名称(译)	移位寄存器单元及其驱动方法、栅极驱动电路、显示装置		
公开(公告)号	CN105679248A	公开(公告)日	2016-06-15
申请号	CN201610006590.8	申请日	2016-01-04
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	孙拓		
发明人	孙拓		
IPC分类号	G09G3/3258 G11C19/28		
CPC分类号	G09G3/3258 G09G3/3233 G09G3/3266 G09G2300/0861 G09G2310/0286 G11C19/28		
代理人(译)	申健		
其他公开文献	CN105679248B		
外部链接	SIPO		

摘要(译)

本发明实施例提供了一种移位寄存器单元及其驱动方法、栅极驱动电路、显示装置，涉及显示技术领域，能够在发光阶段控制OLED的发光时长，以对像素单元的灰阶亮度进行调节。该移位寄存器单元包括第一控制模块，在第一控制信号端、第二控制信号端、第一时钟信号端、第二时钟信号端以及第一电压端的控制下，向第二信号输出端输出信号，并开启第一输出模块；第一输出模块，在开启状态下将第一电压端的信号输出至第一信号输出端；第二控制模块，在第二控制信号端、第一时钟信号端、第二时钟信号端、第一电压端以及第一控制模块的控制下，开启第二输出模块；第二输出模块，在开启状态下将第二电压端的信号输出至第一信号输出端。用于驱动显示。

