



(12)发明专利申请

(10)申请公布号 CN 110459561 A

(43)申请公布日 2019.11.15

(21)申请号 201910680032.3

(22)申请日 2019.07.26

(71)申请人 武汉华星光电半导体显示技术有限公司

地址 430079 湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室

(72)发明人 徐品全 王威

(74)专利代理机构 深圳翼盛智成知识产权事务所(普通合伙) 44300

代理人 黄威

(51)Int.Cl.

H01L 27/32(2006.01)

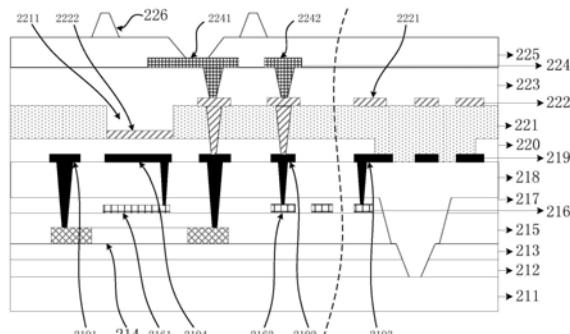
权利要求书1页 说明书5页 附图2页

(54)发明名称

一种阵列基板及OLED显示装置

(57)摘要

本发明揭露一种阵列基板及OLED显示装置，阵列基板的金属走线采用三层金属结构设计，通过在两层金属层之间设置一层无机绝缘层和一层有机绝缘层，可以减少两层走线之间的耦合效应；通过将形成存储电容的第二极板的区域处的有机绝缘层全部或部分曝光，可以形成较大存储电容；通过第三金属层自身形成网状结构的构造，可以在不增加光罩的情况下降低IR压降，提高画面显示均匀度。



1. 一种阵列基板，包括多个子像素，每一所述子像素包括一驱动薄膜晶体管以及一存储电容；其特征在于，所述阵列基板还包括：

第一金属层，所述第一金属层构成所述驱动薄膜晶体管的栅电极和扫描驱动线；

第二金属层，所述第二金属层构成所述驱动薄膜晶体管的源/漏电极、数据信号线、复位信号线以及所述存储电容的第一极板；

第三金属层，所述第三金属层构成电源信号线以及所述存储电容的第二极板。

2. 如权利要求1所述的阵列基板，其特征在于，所述第一金属层与所述第二金属层之间包括一层无机绝缘层和一层有机绝缘层。

3. 如权利要求1所述的阵列基板，其特征在于，所述第二金属层与所述第三金属层之间包括一层无机绝缘层和一层有机绝缘层。

4. 如权利要求3所述的阵列基板，其特征在于，所述存储电容的第一极板与第二极板之间仅设有一层所述无机绝缘层。

5. 如权利要求1所述的阵列基板，其特征在于，所述第三金属层形成网状结构。

6. 如权利要求1所述的阵列基板，其特征在于，所述阵列基板还包括：

基板衬底；

依次设于所述基板衬底上的阻挡层、缓冲层、有源层、第一栅绝缘层和所述第一金属层；

依次设于所述第一金属层上的钝化层、有机介电绝缘层和所述第二金属层；

依次设于所述第二金属层上的第二栅绝缘层、第一平坦层和所述第三金属层；以及覆盖所述第三金属层的第二平坦层。

7. 如权利要求6所述的阵列基板，其特征在于，所述第一平坦层与所述存储电容的第一极板对应的位置处设有一沟槽，所述存储电容的第二极板形成于所述沟槽内。

8. 如权利要求1所述的阵列基板，其特征在于，相邻两列所述子像素采用镜像对称结构设置。

9. 如权利要求1所述的阵列基板，其特征在于，相邻两列所述子像素共用一条复位信号线及第一过孔，或共用一条电源信号线及第二过孔。

10. 如权利要求1所述的阵列基板，其特征在于，所述复位信号线和所述电源信号线沿相同方向延伸。

11. 一种OLED显示装置，其特征在于，所述OLED显示装置包括OLED显示面板，所述OLED显示面板包括如权利要求1-10任意一项所述的阵列基板。

## 一种阵列基板及OLED显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及OLED显示装置。

### 背景技术

[0002] 近年来OLED (Organic Light Emitting Diode, 有机发光二极管) 显示技术的快速发展,推动曲面和柔性显示产品迅速进入市场,相关领域技术更新也是日新月异。OLED是指利用有机半导体材料和发光材料在电场驱动下,通过载流子注入和复合导致发光的二极管。OLED显示装置由于重量轻、自发光、广视角、驱动电压低、发光效率高、功耗低、响应速度快等优点,应用范围越来越广泛。

[0003] OLED是电流驱动器件,当有电流流经时OLED发光,且发光亮度由流经OLED自身的电流决定。大部分已有的IC (Integrated Circuit, 集成电路) 都只传输电压信号,故OLED的像素驱动电路需要完成将电压信号转变为电流信号的任务。现有技术中的OLED像素驱动电路通常为7T1C (7transistor 1capacitance, 即七个薄膜晶体管加一个存储电容的结构) 电路,以将电压变换为电流,并通过7T1C电路进行像素电流 (Pixel circuit) 的控制。

[0004] 参考图1,现有的阵列基板的层状结构示意图。所述阵列基板包括基板衬底111,阻挡层 (M/B) 112,缓冲层 (Buffer) 113,有源层 (Act) 114,第一栅绝缘层 (GI1) 115,第一栅极层 (GE1) 116,第二栅绝缘层 (GI2) 117,第二栅极层 (GE2) 118,介电绝缘层 (ILD) 119,第一源/漏极层 (SD1) 120,钝化层 (PV) 121,第一平坦层 (PLN1) 122,第二源/漏极层 (SD2) 123,第二平坦层 (PLN2) 124。采用所述阵列基板的显示面板还包括依次设于所述第二平坦层124上的阳极 (ANO) 125,像素定义层 (Pixel Defined Layer, 简称PDL) 126以及光阻层 (Photo Spacer, 简称PS) 127。

[0005] 由图1可以看出,在现有的阵列基板设计中,采用所述有源层114、所述第一栅极层116以及所述第一源/漏电极120构成所述阵列基板的7T1C电路的薄膜晶体管 (TFT)。采用所述第一栅极层116作为存储电容的下极板、所述第二栅极层118作为存储电容的上极板,直接采用所述第一栅极层116与所述第二栅极层118重叠区域的所述第二栅绝缘层117作为存储电容的介电绝缘层,从而形成7T1C电路的存储电容,以进行7T1C电路的驱动薄膜晶体管 (Driver TFT) 的驱动。在所述第二栅极层118上方沉积的一层无机绝缘层作为所述介电绝缘层119,然后沉积一层所述第一源/漏极层120并图案化形成所述薄膜晶体管的源/漏极以及数据信号线 (Data line) ;在所述第一源/漏极层120上方涂布 (coater) 一层所述第一平坦层122,然后沉积一层所述第二源/漏极层123并图案化形成电源信号线 (Power Line) ;在所述第二源/漏极层123上方涂布一层所述第二平坦层124,然后沉积一层阳极金属 (PE) 并进行图案化形成所述阳极125。

[0006] 现有的阵列基板在显示区 (AA) 显示时存在IR压降 (IR-Drop) 导致的画面显示不均问题,并存在制程风险。另外,现有的阵列基板,数据信号线与电源信号线之间会存在耦合 (couple) 电容,同时两栅极层重叠区域的绝缘层厚度受限,无法形成较大存储电容。

## 发明内容

[0007] 本发明的目的在于,针对现有技术存在的问题,提供一种阵列基板及OLED显示装置,可以降低IR压降,提高画面显示均匀度,还可以减小走线之间的耦合存储电容,并可以形成较大存储电容。

[0008] 为实现上述目的,本发明提供了一种阵列基板,包括多个子像素,每一所述子像素包括一驱动薄膜晶体管以及一存储电容;所述阵列基板还包括:第一金属层,所述第一金属层构成所述驱动薄膜晶体管的栅电极和扫描驱动线;第二金属层,所述第二金属层构成所述驱动薄膜晶体管的源/漏电极、数据信号线、复位信号线以及所述存储电容的第一极板;第三金属层,所述第三金属层构成电源信号线以及所述存储电容的第二极板。

[0009] 为实现上述目的,本发明还提供了一种OLED显示装置,所述OLED显示装置包括OLED显示面板,所述OLED显示面板包括本发明所述的阵列基板。

[0010] 本发明的优点在于:本发明阵列基板的金属走线采用三层金属结构设计,可便于更大PPI电路设计;通过在两层金属层之间设置一层无机绝缘层和一层有机绝缘层,可以减少两层走线之间的耦合效应;通过将形成存储电容的第二极板的区域处的有机绝缘层全部或部分曝光,可以形成较大存储电容;通过第三金属层自身形成网状结构的构造,可以在不增加光罩的情况下降低IR压降,提高画面显示均匀度。同时,本发明采用镜像对称结构设置,通过共用复位信号线及第一过孔及电源信号线及第二过孔,以及复位信号线和电源信号线沿相同方向延伸,可以省去一半左右的电源信号线、复位信号线走线以及过孔,从而为PPI的提高提供了空间,利于实现高PPI面板设计。

## 附图说明

[0011] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其它的附图。

[0012] 图1为现有的阵列基板的层状结构示意图;

[0013] 图2为本发明阵列基板一实施例的层状结构示意图;

[0014] 图3为本发明阵列基板一实施例的像素结构示意图。

## 具体实施方式

[0015] 下面详细描述本发明的实施方式,所述实施方式的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的组件或具有相同或类似功能的组件。下面通过参考附图描述的实施方式是示例性的,仅用于解释本发明,而不能理解为对本发明的限制。此外,本发明在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。

[0016] 本发明阵列基板,包括多个子像素,每一所述子像素包括一驱动薄膜晶体管(Driver TFT)以及一存储电容;所述阵列基板还包括:第一金属层(GE1),所述第一金属层构成所述驱动薄膜晶体管的栅电极(Gate)和扫描驱动线(Scan line);第二金属层(SD1),所述第二金属层构成所述驱动薄膜晶体管的源/漏电极(S/D)、数据信号线(Data line)、复

位信号线(VI line, 用于复位存储电容和阳极)以及所述存储电容的第一极板;第三金属层(SD2), 所述第三金属层构成电源信号线(Power (Vdd) Line或Power (VSS) Line)以及所述存储电容的第二极板。采用第二金属层与第三金属层制作存储电容的两极板, 第一金属层上只制作驱动薄膜晶体管的栅电极以及扫描驱动线, 可便于更大像素密度(Pixels Per Inch, 简称PPI) 电路设计。

[0017] 优选的, 所述第一金属层与所述第二金属层之间包括一层无机绝缘层和一层有机绝缘层, 以减少两层走线之间的耦合效应。

[0018] 优选的, 所述第二金属层与所述第三金属层之间包括一层无机绝缘层和一层有机绝缘层;更优选的, 所述存储电容的第一极板与第二极板之间仅设有一层所述无机绝缘层作为所述存储电容的介电层。在第二金属层上的数据信号线上方存在两层绝缘层(一层无机绝缘层和一层有机绝缘层), 以减小数据信号线与电源信号线的耦合电容。而在形成存储电容的第二极板的区域处, 通过曝光制程曝光有机绝缘层, 只留下无机绝缘层, 从而可以形成较大存储电容。也可以采用半色调(halftone)掩膜工艺对有机绝缘层进行部分曝光制程, 达到存储电容区域对应的介电绝缘层厚度减薄、存储电容增大的目的, 同时可保证其它区域有机绝缘层厚度不受影响。

[0019] 优选的, 所述第三金属层形成网状(Mesh)结构, 此种结构设计在不增加光罩的情况下可以降低IR压降。

[0020] 优选的, 相邻两列所述子像素采用镜像(Mirror)对称结构设置。优选的, 相邻两列所述子像素共用一条复位信号线及第一过孔, 或共用一条电源信号线及第二过孔。优选的, 所述复位信号线和所述电源信号线沿相同方向延伸(即平行)。相对于现有的7T1C布局结构, 本发明改进的布局结构可以省去一半左右的电源信号线、复位信号线走线以及过孔, 从而为PPI的提高提供了空间, 利于实现高PPI面板设计。

[0021] 本发明阵列基板, 金属走线采用GE1/SD1/SD2三层结构设计, GE1构成驱动薄膜晶体管的栅电极以及扫描驱动线, SD1构成驱动薄膜晶体管的源/漏电极、数据信号线、复位信号线以及存储电容的第一极板, SD2构成电源信号线以及存储电容的第二极板;同时SD2自身形成网状结构的构造, 可便于更大PPI电路设计, 可以在不增加光罩的情况下降低IR压降, 提高画面显示均匀度。通过在两层金属层之间设置一层无机绝缘层和一层有机绝缘层, 可以减少两层走线之间的耦合效应。而在形成存储电容的第二极板的区域处, 有机绝缘层被全部或部分曝光, 可以形成较大存储电容。采用镜像对称结构设置, 通过共用复位信号线及第一过孔及电源信号线及第二过孔, 以及复位信号线和电源信号线沿相同方向延伸, 可以省去一半左右的电源信号线、复位信号线走线以及过孔, 从而为PPI的提高提供了空间, 利于实现高PPI面板设计。

[0022] 参考图2, 本发明阵列基板一实施例的层状结构示意图。本发明阵列基板包括多个子像素, 每一子像素包括一驱动薄膜晶体管(Driver TFT)以及一存储电容。本发明阵列基板还包括:基板衬底211, 依次设于所述基板衬底211上的阻挡层(M/B)212、缓冲层(Buffer)213、有源层(active layer)214、第一栅绝缘层(GI1)215、第一金属层(GE1)216、钝化层(PV)217、有机介电绝缘层(OILD)218、第二金属层(SD1)219、第二栅绝缘层(GI2)220、第一平坦层(PLN1)221、第三金属层(SD2)222以及第二平坦层(PLN2)223。基板衬底211可以采用玻璃(Glass)基板或采用无色透明聚酰亚胺(PI)材料制备的有机基板。

[0023] 具体的,所述第一金属层216构成所述驱动薄膜晶体管的栅电极(Gate)2161和扫描驱动线(Scan line)2162。所述钝化层217为无机绝缘层,覆盖所述第一金属层216;所述有机介电绝缘层218为有机绝缘层,设于所述钝化层217上。也即,所述第一金属层216与所述第二金属层219之间包括一层无机绝缘层和一层有机绝缘层,可以减少两层走线之间的耦合效应。

[0024] 具体的,所述第二金属层219构成所述驱动薄膜晶体管的源/漏电极(S/D)2191、第一复位信号线(VI line)2192、数据信号线(Data line)2193以及所述存储电容的第一极板2194。所述第二栅绝缘层220为无机绝缘层,覆盖所述第二金属层219;所述第一平坦层221为有机绝缘层,设于所述第二栅绝缘层220上。

[0025] 具体的,所述第三金属层222构成电源信号线(Power (Vdd) Line或Power (VSS) Line)2221以及所述存储电容的第二极板2222。可以在形成所述存储电容的第二极板2222的区域处,通过曝光制程减薄所述第一平坦层221厚度,从而减薄所述存储电容的介电绝缘层的厚度,可以形成较大存储电容,同时可保证其它区域有机绝缘层厚度不受影响。所述第二平坦层223(有机绝缘层)覆盖所述第三金属层222,之后沉积阳极金属(PE)并进行图案化,形成所述阳极224。也即,在第二金属层219上的数据信号线2193与所述第三金属层222上的电源信号线2221之间存在一层无机绝缘层(所述第二栅绝缘层220)和一层有机绝缘层(所述第一平坦层221),可以减小所述数据信号线2193与所述电源信号线2221的耦合电容。优选的,所述第三金属层222形成网状(Mesh)结构,此种结构设计在不增加光罩的情况下可以降低IR压降,提高画面显示均匀度。

[0026] 采用所述第二金属层219与所述第三金属层222分别制作所述存储电容的第一极板、第二极板,所述第一金属层216上只制作所述驱动薄膜晶体管的栅电极以及扫描驱动线,可便于更大PPI电路设计。同时,两层金属层之间包括一层无机绝缘层和一层有机绝缘层,可以减少两层走线之间的耦合效应。而采用曝光制程减薄存储电容区域介电绝缘层厚度减薄,达到存储电容增大的目的。

[0027] 优选的,在本实施例中,所述第一平坦层221上与所述存储电容的第一极板2194对应的位置处设有一沟槽2211,所述存储电容的第二极板2222形成于所述沟槽2211内。也即,所述存储电容的介电绝缘层由沟槽2211下方剩余的第一平坦层221(也可以没有剩余)和第二栅绝缘层220组成。所述沟槽2211深度可以通过半色调(halftone)掩膜工艺对第一平坦层221进行部分曝光制程进行调整。从而,所述存储电容的大小可以通过第一极板、第二极板重叠区域面积及沟槽2211的深度进行调整。

[0028] 在本实施例中,采用本发明阵列基板的显示面板为OLED显示面板,所述OLED显示面板还包括依次设于所述阵列基板的第二平坦层223上的第四金属层224,OLED发光单元(未示于图中)及像素定义层(Pixel Defined Layer,简称PDL)225,以及光阻层((Photo Spacer,简称PS)226。具体的,所述第四金属层224构成阳极(ANO)2241以及第二复位信号线2242。第二栅绝缘层220与所述第一平坦层221上形成有多个通孔,通孔内沉积有与所述第三金属层222的材料相同的金属材料。所述阳极2241通过一通孔与所述第二金属层219的所述源/漏电极2191电连接;所述第二复位信号线2242通过另一通孔与所述第二金属层219的所述第一复位信号线2192电连接。需要说明的是,本发明OLED显示面板还可以包括其它组件,例如,阴极(Cathode)以及TFE封装层等,在此不再赘述。

[0029] 参考图3,本发明阵列基板一实施例的像素结构示意图,图中CNT1为有源层与第二金属层(Poly-SD1)的接触孔即第一过孔,CNT2为第二金属层与第三金属层(SD1-SD2)的接触孔即第二过孔,CNT3为第三金属层与阳极(SD2-PE)的接触孔即第三过孔。所述阵列基板包括扫描驱动线(图中标记为scan)、发光信号驱动线(图中标记为EM)与数据信号线(图中标记为data),由所述扫描驱动线(scan)、发光信号驱动线(EM)与数据信号线(data)形成的像素部分以及设置在所述像素部分中的多个子像素。所述子像素为7T1C电路,包括7个薄膜晶体管(M1~M7)以及1个存储电容(Cst),其中薄膜晶体管(M1)为驱动薄膜晶体管(Driver TFT)。

[0030] 由图3可以看出,相邻两列所述子像素采用镜像(Mirror)对称结构设置。如图3中子像素n和子像素n+1的7T1C呈镜像对称,子像素n+1和子像素n+2的7T1C呈镜像对称。

[0031] 由图3可以看出,相邻两列所述子像素共用一条复位信号线(图中标记为VI)及第一过孔CNT1,或共用一条电源信号线(图中标记为VDD)及第二过孔CNT2。如图3中子像素n和子像素n+1的共用复位信号线VI(n,n+1)和第一过孔CNT1,子像素n+1和子像素n+2共用电源信号线VDD(n+1,n+2)和第二过孔CNT2。

[0032] 由图3可以看出,复位信号线(VI)和电源信号线(VDD)沿相同方向延伸(即平行)。

[0033] 相对于现有的7T1C布局结构,本发明改进的布局结构可以省去一半左右的电源信号线、复位信号线走线以及过孔,从而为PPI的提高提供了空间,利于实现高PPI面板设计。

[0034] 基于同一发明构思,本发明还提供了一种OLED显示装置,所述OLED显示装置包括OLED显示面板,所述OLED显示面板包括本发明上述的阵列基板。

[0035] 本发明OLED显示装置,阵列基板的金属走线采用GE1/SD1/SD2三层结构设计,GE1构成驱动薄膜晶体管的栅电极以及扫描驱动线,SD1构成驱动薄膜晶体管的源/漏电极、数据信号线、复位信号线以及存储电容的第一极板,SD2构成电源信号线以及存储电容的第二极板;同时SD2自身形成网状结构的构造,可便于更大PPI电路设计,可以在不增加光罩的情况下降低IR压降,提高画面显示均匀度。通过在两层金属层之间设置一层无机绝缘层和一层有机绝缘层,可以减少两层走线之间的耦合效应。而在形成存储电容的第二极板的区域处,有机绝缘层全部或部分曝光,可以形成较大存储电容。采用镜像对称结构设置,通过共用复位信号线及第一过孔及电源信号线及第二过孔,以及复位信号线和电源信号线沿相同方向延伸,可以省去一半左右的电源信号线、复位信号线走线以及过孔,从而为PPI的提高提供了空间,利于实现高PPI面板设计。

[0036] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

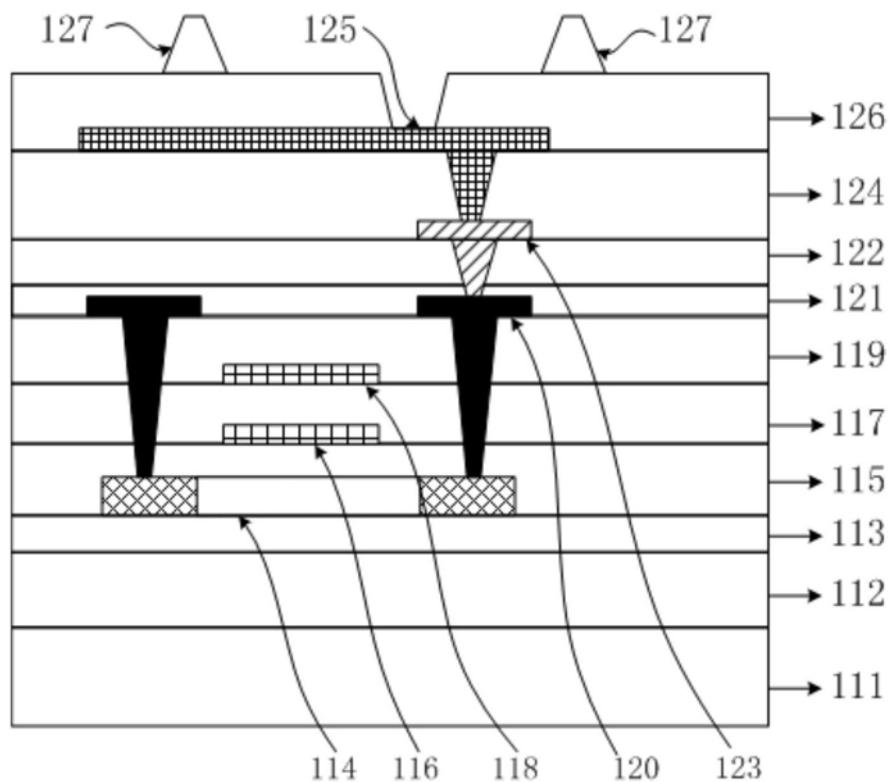


图1

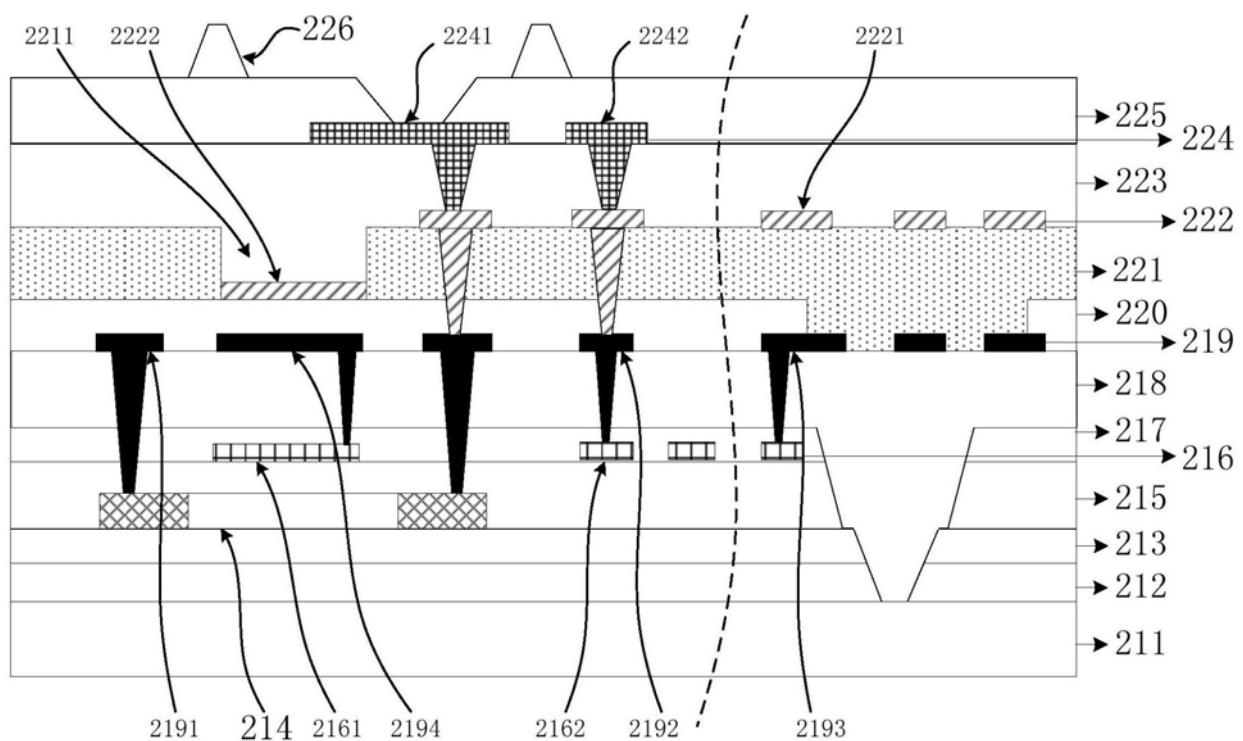
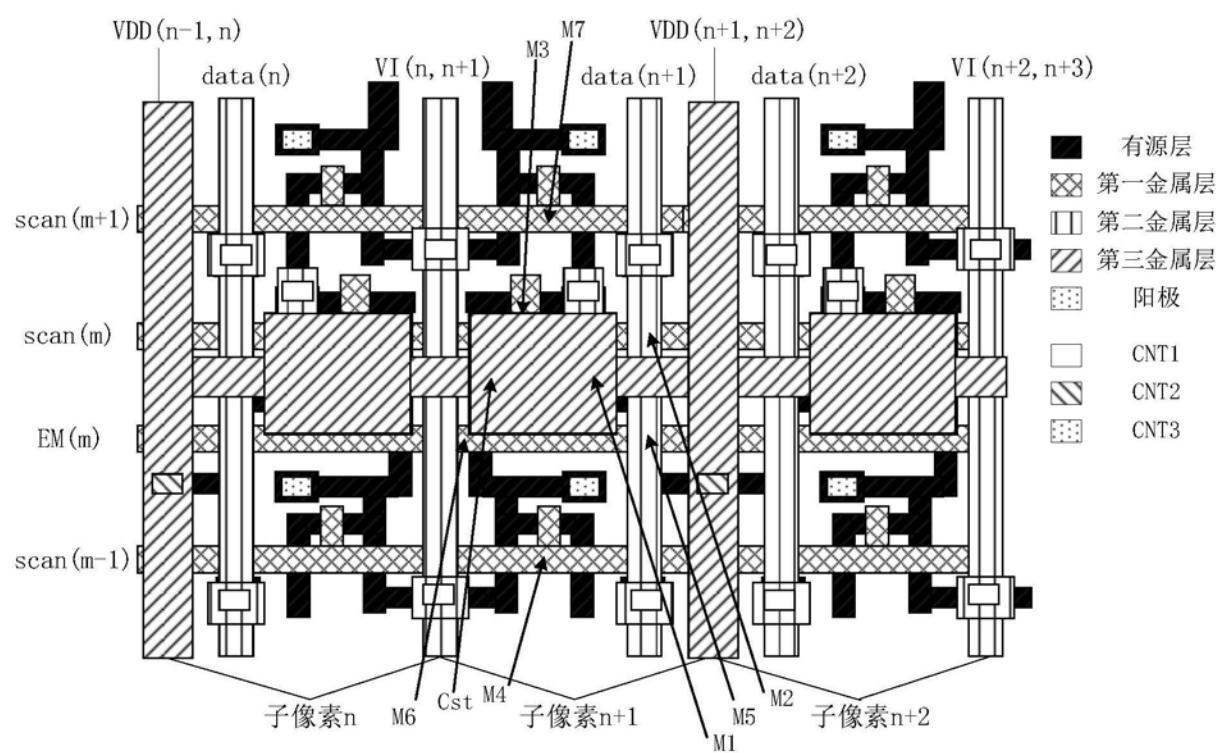


图2



专利名称(译)	一种阵列基板及OLED显示装置		
公开(公告)号	<a href="#">CN110459561A</a>	公开(公告)日	2019-11-15
申请号	CN201910680032.3	申请日	2019-07-26
[标]发明人	徐品全 王威		
发明人	徐品全 王威		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3244 H01L27/3262 H01L27/3265		
代理人(译)	黄威		
外部链接	<a href="#">Espacenet</a> <a href="#">Sipo</a>		

### 摘要(译)

本发明揭露一种阵列基板及OLED显示装置，阵列基板的金属走线采用三层金属结构设计，通过在两层金属层之间设置一层无机绝缘层和一层有机绝缘层，可以减少两层走线之间的耦合效应；通过将形成存储电容的第二极板的区域处的有机绝缘层全部或部分曝光，可以形成较大存储电容；通过第三金属层自身形成网状结构的构造，可以在不增加光罩的情况下降低IR压降，提高画面显示均匀度。

