



(12) 发明专利

(10) 授权公告号 CN 102968952 B

(45) 授权公告日 2015. 03. 11

(21) 申请号 201210309415. 8

(22) 申请日 2012. 08. 28

(30) 优先权数据

10-2011-0086279 2011. 08. 29 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 朴慧民 柳相镐 金炫郁

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 吕俊刚 宋教花

(51) Int. Cl.

G09G 3/32(2006. 01)

审查员 王婷

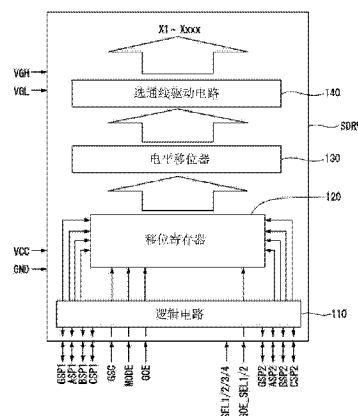
权利要求书2页 说明书8页 附图6页

(54) 发明名称

扫描驱动器和利用该扫描驱动器的有机发光显示器件

(57) 摘要

本发明涉及扫描驱动器和利用该扫描驱动器的有机发光显示器件。该扫描驱动器包括：时钟选择器，所述时钟选择器根据选择信号的逻辑值输出第一时钟和通过将所述第一时钟 clk 进行反相而获得的第二时钟中的任一时钟，所述第一时钟和所述第二时钟在 1 水平时间内按逻辑高和逻辑低的次序形成；移位寄存器；以及电平移位器，其中，所述移位寄存器中的被选择的移位寄存器生成相对于第 I 脉冲信号具有 1/2 水平时间的延迟时段第 J 脉冲信号。



1. 一种扫描驱动器,该扫描驱动器包括:

时钟选择器,所述时钟选择器根据选择信号的逻辑值输出第一时钟和通过将所述第一时钟 c1k 进行反相而获得的第二时钟中的任一时钟,所述第一时钟和所述第二时钟在 1 水平时间内按逻辑高和逻辑低的次序形成;

移位寄存器,所述移位寄存器利用从所述时钟选择器提供的所述第一时钟和所述第二时钟中的一个时钟以及不同相位的第一起始脉冲至第 N 起始脉冲来生成脉冲信号,其中, N 为等于或大于 4 的整数;以及

电平移位器,所述电平移位器增加从所述移位寄存器提供的所述脉冲信号的电平,并且输出所述脉冲信号作为扫描信号,

其中,所述移位寄存器中的被选择的移位寄存器生成相对于第 I 脉冲信号具有 $1/2$ 水平时间的延迟时段的第 J 脉冲信号,或者所述移位寄存器中的被选择的移位寄存器生成相对于所述第 I 脉冲信号具有 $1/K$ 的延迟时段的第 J 脉冲信号,其中, K 为等于或大于 3 的整数;

其中,当从所述时钟选择器提供所述第一时钟时,所述移位寄存器输出与所述第一时钟的下降沿同步的脉冲信号,而当从所述时钟选择器提供所述第二时钟时,所述移位寄存器输出与所述第二时钟的上升沿同步的脉冲信号。

2. 根据权利要求 1 所述的扫描驱动器,其中,所述移位寄存器包括触发器,所述触发器根据输入到时钟端子中的所述第一时钟和所述第二时钟中的任一时钟,对输入到数据端子中的第一起始脉冲至第 N 起始脉冲进行延迟,并且输出所述第一起始脉冲至第 N 起始脉冲作为所述脉冲信号。

3. 根据权利要求 1 所述的扫描驱动器,其中,在所述移位寄存器中的被选择的移位寄存器生成相对于所述第 I 脉冲信号具有 $1/K$ 的延迟时段的第 J 脉冲信号的情况下,所述第一时钟和所述第二时钟在 1 水平时间内具有逻辑高与逻辑低的不同占空比。

4. 根据权利要求 1 所述的扫描驱动器,其中,与所述移位寄存器中的被选择的移位寄存器对应的选择信号具有高逻辑值,与所述移位寄存器中的未被选择的移位寄存器对应的选择信号具有低逻辑值,并且被选择的移位寄存器的数量为 M,其中, M 为等于 1 或更大的整数。

5. 根据权利要求 1 所述的扫描驱动器,其中,所述时钟选择器包括 2 比 1 复用器,每一个复用器具有用于接收所述第一时钟的第一输入端子、用于接收通过将所述第一时钟进行反相而获得并通过反相器输出的所述第二时钟的第二输入端子、用于接收所述选择信号的选择端子、以及用于根据提供给所述选择端子的所述选择信号的逻辑值来输出所述第一时钟或者所述第二时钟的输出端子。

6. 一种有机发光显示器,该有机发光显示器包括:

显示面板;

数据驱动器,所述数据驱动器向所述显示面板提供数据信号;以及

扫描驱动器,

所述扫描驱动器包括:时钟选择器,所述时钟选择器根据选择信号的逻辑值输出第一时钟和通过将所述第一时钟进行反相而获得的第二时钟中的任一时钟,所述第一时钟和所述第二时钟在 1 水平时间内按逻辑高和逻辑低的次序形成;移位寄存器,所述移位寄存器

利用从所述时钟选择器提供的所述第一时钟和所述第二时钟中的一个时钟以及不同相位的第一起始脉冲至第N起始脉冲来生成脉冲信号,其中N为等于或大于4的整数;以及电平移位器,所述电平移位器增加从所述移位寄存器提供的所述脉冲信号的电平,并且输出所述脉冲信号作为扫描信号,

其中,所述移位寄存器中的被选择的移位寄存器生成相对于第I脉冲信号具有 $1/2$ 水平时间的延迟时段的第J脉冲信号,或者所述移位寄存器中的被选择的移位寄存器生成相对于所述第I脉冲信号具有 $1/K$ 的延迟时段的第J脉冲信号,其中,K为等于或大于3的整数;

其中,当从所述时钟选择器提供所述第一时钟时,所述移位寄存器输出与所述第一时钟的下降沿同步的脉冲信号,而当从所述时钟选择器提供所述第二时钟时,所述移位寄存器输出与所述第二时钟的上升沿同步的脉冲信号。

7. 根据权利要求6所述的有机发光显示器,其中,所述移位寄存器包括触发器,所述触发器根据输入到时钟端子中的所述第一时钟和所述第二时钟中的任一时钟,对输入到数据端子中的第一起始脉冲至第N起始脉冲进行延迟,并且输出所述第一起始脉冲至第N起始脉冲作为所述脉冲信号。

8. 根据权利要求6所述的有机发光显示器,其中,在所述移位寄存器中的被选择的移位寄存器生成相对于所述第I脉冲信号具有 $1/K$ 的延迟时段的第J脉冲信号的情况下,所述第一时钟和所述第二时钟在1水平时间内具有逻辑高与逻辑低的不同占空比。

9. 根据权利要求6所述的有机发光显示器,其中,与所述移位寄存器中的被选择的移位寄存器对应的选择信号具有高逻辑值,与所述移位寄存器中的未被选择的移位寄存器对应的选择信号具有低逻辑值,并且被选择的移位寄存器的数量为M,其中,M为等于1或更大的整数。

10. 根据权利要求6所述的有机发光显示器,其中,所述时钟选择器包括2比1复用器,每一个复用器具有用于接收所述第一时钟的第一输入端子、用于接收通过将所述第一时钟进行反相而获得并通过反相器输出的所述第二时钟的第二输入端子、用于接收所述选择信号的选择端子、以及用于根据提供给所述选择端子的所述选择信号的逻辑值来输出所述第一时钟或者所述第二时钟的输出端子。

扫描驱动器和利用该扫描驱动器的有机发光显示器件

[0001] 本申请要求于 2011 年 8 月 29 日提交的韩国专利申请 No. 10-2011-0086279 的优先权,该韩国专利申请的内容通过引用并入于此。

技术领域

[0002] 本发明涉及扫描驱动器和利用该扫描驱动器的有机发光显示器件。

背景技术

[0003] 随着信息技术的发展,作为用户与信息之间的连接媒介的显示器件市场也随之增长,并由此增加了诸如有机发光显示器(OLED)、液晶显示器(LCD)以及等离子显示面板(PDP)的显示器件的使用。

[0004] 这种显示器件在移动电话或计算机(如膝上型计算机)的各种工业领域以及诸如电视机(TV)或录像机的家用电器领域使用。

[0005] 前述显示器件中的一些,例如,液晶显示器或有机发光显示器,包括面板和用于驱动该面板的驱动器,该面板包括按矩阵形式排列的多个子像素。该驱动器包括:用于控制外部提供的图像信号的定时驱动器、用于向面板提供选通信号的扫描驱动器以及用于向面板提供数据信号的数据驱动器等。

[0006] 常规的扫描驱动器输出 1 水平时间(下面,简称为 HT)时段的扫描信号作为波形。对于用于补偿包括在子像素中的晶体管的补偿电路的情况来说,通常是有机发光显示器的情况,可能需要 1/2HT 时段的扫描信号,以便驱动补偿电路。然而,常规扫描驱动器不能够容易地生成并输出 1/2HT 时段的扫描信号,并由此,需要针对这种问题的解决方案。

发明内容

[0007] 本发明的示例性实施方式提供了一种扫描驱动器,该扫描驱动器包括:时钟选择器,所述时钟选择器根据选择信号的逻辑值输出第一时钟和通过将第一时钟 clk 进行反相而获得的第二时钟中的任一时钟,该第一时钟和第二时钟在 1 水平时间内按逻辑高和逻辑低的次序形成;移位寄存器,所述移位寄存器利用从时钟选择器提供的第一时钟和第二时钟中的一个时钟以及不同相位的第一起始脉冲至第 N (N 为等于或大于 4 的整数)起始脉冲来生成脉冲信号;以及电平移位器,所述电平移位器增加从移位寄存器提供的脉冲信号的电平,并且输出脉冲信号作为扫描信号,其中,移位寄存器中的被选择的移位寄存器生成相对于第 I 脉冲信号具有 1/2 水平时间的延迟时段的第 J 脉冲信号。

[0008] 在另一方面,本发明的示例性实施方式提供了一种有机发光显示器,该有机发光显示器包括:显示面板;数据驱动器,所述数据驱动器向显示面板提供数据信号;以及扫描驱动器,该扫描驱动器包括:时钟选择器,所述时钟选择器根据选择信号的逻辑值输出第一时钟和通过将所述第一时钟进行反相而获得的第二时钟中的任一时钟,该第一时钟和第二时钟在 1 水平时间内按逻辑高和逻辑低的次序形成;移位寄存器,所述移位寄存器利用从时钟选择器提供的第一时钟和第二时钟中的一个时钟以及不同相位的第一起始脉冲至第 N

(N 为等于或大于 4 的整数)起始脉冲来生成脉冲信号;以及电平移位器,所述电平移位器增加从移位寄存器提供的脉冲信号的电平,并且输出脉冲信号作为扫描信号,其中,移位寄存器中的被选择的移位寄存器生成相对于第 I 脉冲信号具有 $1/2$ 水平时间的延迟时段的第 J 脉冲信号。

附图说明

[0009] 附图被包括进来以提供对本发明的进一步理解,并且被并入并构成本说明书的一部分,附图例示了本发明的实施方式,并与描述一起用于说明本发明的原理。

[0010] 图 1 是有机发光显示器的示意性框图;

[0011] 图 2 是根据本发明一示例性实施方式的扫描驱动器的示意性框图;

[0012] 图 3 是示出图 2 所示的扫描驱动器的基本部件的框图;

[0013] 图 4 是向图 3 所示的扫描驱动器提供的时钟和起始脉冲的波形的例示图;

[0014] 图 5 是示出图 3 所示的扫描驱动器的一部分的框图;

[0015] 图 6 是用于说明取决于选择信号的逻辑值的脉冲信号与时钟之间的同步关系的视图;

[0016] 图 7 是用于说明由对时钟的导通占空时间(ON duty)的控制产生的水平时间时段变化的视图;

[0017] 图 8 是具有包括补偿电路的 7T1C 结构的子像素的例示图;以及

[0018] 图 9 是子像素的驱动波形的例示图。

具体实施方式

[0019] 下面,将详细参照本发明的实施方式,附图中例示了这些实施方式的示例。

[0020] 下面,参照附图,对本发明的具体实施方式进行详细描述。

[0021] 图 1 是有机发光显示器的示意性框图。

[0022] 如图 1 所示,该有机发光显示器包括:定时驱动器 TCN、显示面板 PNL、扫描驱动器 SDRV 以及数据驱动器 DDRV。

[0023] 定时驱动器 TCN 接收垂直同步信号 Vsync、水平同步信号 Hsync、数据使能信号 DE、时钟信号 CLK,以及来自外部源的数据信号 RGB。定时控制器 TCN 通过利用诸如垂直同步信号 Vsync、水平同步信号 Hsync、数据使能信号 DE 以及时钟信号 CLK 之类的定时信号,来控制数据驱动器 DDRV 和扫描驱动器 SDRV 的操作定时。在这种情况下,因为定时驱动器 TCN 可以通过在一个水平时段期间对数据使能信号 DE 进行计数来确定帧时段,所以可以省略垂直同步信号 Vsync 和水平同步信号 Hsync。由定时驱动器 TCN 生成的控制信号可以包括:用于控制扫描驱动器 SDRV 的操作定时的选通定时控制信号 GDC,和用于控制数据驱动器 DDRV 的操作定时的数据定时控制信号 DDC。

[0024] 该显示面板 PNL 包括具有按矩阵形式设置的子像素 SP 的显示单元。除了具有包括开关晶体管、驱动晶体管、电容器以及有机发光二极管的 2T1C (2 个晶体管和 1 个电容器)结构以外,该子像素 SP 还具有还包括补偿电路的结构,该补偿电路包含晶体管和电容器。具有添加的补偿电路的子像素 SP 按包括三个或更多个晶体管和 1 个或多个电容器的结构来构造。具有这种构造的子像素 SP 可以被形成为顶部发射型子像素、底部发射型子

像素、或双重发射型子像素。

[0025] 响应于从定时驱动器 TCN 提供的选通定时控制信号 GDC, 扫描驱动器 SDRV 顺序地生成具有摆动宽度的扫描信号, 包括在显示面板 PNL 中的子像素 SP 的晶体管可以利用该摆动宽度操作。扫描驱动器 SDRV 通过连接至子像素 SP 的扫描线 SL1 至 SLm 提供扫描信号。

[0026] 响应于从定时控制器 TCN 提供的数据定时控制信号 DDC, 数据驱动器 DDRV 对从定时驱动器 TCN 提供的数字数据信号 RGB 进行采样并对采样信号进行锁存, 以将其转换成并行数据系统的数据。在将信号转换成并行数据系统的数据时, 数据驱动器 DDRV 将数字数据信号 RGB 转换成伽玛基准电压, 并接着将该伽玛基准电压转换成模拟数据信号。数据驱动器 DDRV 通过连接至子像素 SP 的数据线 DL1 至 DLn 提供数据信号。

[0027] 下面, 对根据本发明一示例性实施方式的扫描驱动器 SDRV 进行更详细的描述。

[0028] 图 2 是根据本发明一示例性实施方式的扫描驱动器的示意性框图。图 3 是示出图 2 所示的扫描驱动器的基本部件的框图。图 4 是向图 3 所示的扫描驱动器提供的时钟和起始脉冲的波形的例示图。图 5 是示出图 3 所示的扫描驱动器的一部分的框图。图 6 是用于说明取决于选择信号的逻辑值的脉冲信号与时钟之间的同步关系的视图。图 7 是用于说明由对时钟的导通占空时间的控制产生的水平时间时段变化的视图。

[0029] 如图 2 所示, 根据本发明的示例性实施方式的扫描驱动器 SDRV 包括: 逻辑电路 110、移位寄存器 120、电平移位器 130 以及线驱动电路 140。下面, 对包括在扫描驱动器 SDRV 中的电路和提供给端子的信号进行简要描述。

[0030] 扫描驱动器 SDRV 包括: 用于接收起始脉冲 GSP1、GSP2、ASP1、ASP2、BSP1、BSP2、CSP1 和 CSP2 的端子; 用于接收数据移位时钟 GSC 的端子、用于接收模式信号 MODE 的端子; 用于接收选通输出使能信号 GOE 的端子; 用于接收选择信号 SEL1/2/3/4 的端子; 用于接收掩蔽选择信号 GOE SEL 1/2 以掩蔽选通输出使能信号的端子; 用于接收第一电源电压 VCC 的端子; 用于接收第二电源电压 GND 的端子; 用于接收选通高电压 VGH 的端; 以及用于接收选通低电压 VGL 的端子。

[0031] 扫描驱动器 SDRV 利用数据移位时钟 GSC 以及起始脉冲 GSP1、GSP2、ASP1、ASP2、BSP1、BSP2、CSP1 和 CSP2 来生成扫描信号。扫描驱动器 SDRV 响应于模式信号 MODE 变化扫描图案, 并且按 4 移位输出模式和按 3 移位输出模式输出选择位。扫描驱动器 SDRV 利用选通输出使能信号 GOE 来控制线驱动电路 140。扫描驱动器 SDRV 输出第一时钟和通过将第一时钟进行反相而获得的第二时钟中的任一时钟, 该第一时钟和第二时钟在 1 水平时间内按逻辑高和逻辑低的次序形成。扫描驱动器 SDRV 响应于掩蔽选择信号 GOE SEL 来掩蔽选通输出使能信号 GOE。扫描驱动器 SDRV 基于第一电源电压 VCC 和第二电源电压 GND 来被驱动。扫描驱动器 SDRV 利用选通高电压 VGH 和选通低电压 VGL 来增加由移位寄存器 120 生成的脉冲信号的电平。

[0032] 逻辑电路 110 利用从外部源提供的各种信号来设置扫描驱动器 SDRV 的驱动条件。逻辑电路 110 包括用于设置扫描驱动器 SDRV 的驱动条件的电路和时钟选择器 115。

[0033] 移位寄存器 120 利用数据移位时钟 GSC 以及起始脉冲 GSP1、GSP2、ASP1、ASP2、BSP1、BSP2、CSP1 和 CSP2 来生成扫描信号。移位寄存器 120 包括针对相应阶段分离地形成的触发器(flip-flop)。起始脉冲 GSP1、GSP2、ASP1、ASP2、BSP1、BSP2、CSP1 和 CSP2 包括不同相位的第一到第 N (N 为等于或大于 4 的整数) 起始脉冲。下面, 将数据移位时钟 GSC

简写为时钟(c1k 或 c1kb)。

[0034] 电平移位器 130 增加从移位寄存器 120 提供的脉冲信号的电平,并将它们作为扫描信号输出。

[0035] 线驱动电路 140 驱动通过输出端子 X1 至 Xxxx 输出的扫描信号。指示输出端子 X1 至 Xxxx 的数量的“xxx”对应于显示面板的扫描线的数量。

[0036] 如图 3 和图 4 所示,包括在扫描驱动器 SDRV 中的一级的基本部件包括:时钟选择器 115、移位寄存器 120,以及电平移位器 130。

[0037] 下面,对时钟选择器 115 和移位寄存器 120 进行描述。

[0038] 时钟选择器 115 根据选择信号 SEL 1/2/3/4 的逻辑值输出第一时钟 c1k 和通过将第一时钟 c1k 进行反相而获得的第二时钟 c1kb 中的任一时钟,该第一时钟和第二时钟在 1 水平时间内按逻辑高和逻辑低的次序形成。

[0039] 时钟选择器 115 包括四个 2 比 1 复用器(2-to-1 MUX),MUX1 至 MUX4。四个复用器 MUX1 至 MUX4 中的每一个都具有用于接收第一时钟 c1k 的第一输入端子、用于接收通过对第一时钟 c1k 进行反相而获得并通过第一反相器 INV1 输出的第二时钟 c1kb 的第二输入端子、用于接收选择信号 SEL 1/2/3/4 的选择端子,以及用于根据提供给选择端子的选择信号 SEL 1/2/3/4 的逻辑值来输出第一时钟 c1k 或者第二时钟 c1kb 的输出端子。

[0040] 移位寄存器 120 利用从时钟选择器 115 提供的第一时钟 c1k 和第二时钟 c1kb 中的任一时钟以及不同相位的第一至第四起始脉冲 GSP1、ASP1、BSP1 和 CSP1 来生成脉冲信号。移位寄存器 120 中的被选择的移位寄存器根据第一脉冲信号生成具有 1/2 水平时间的延迟时段的第 J 脉冲信号。

[0041] 移位寄存器 120 包括四个 D 触发器 DFF1 至 DFF4,它们根据输入到时钟端子中的第一时钟 c1k 和第二时钟 c1kb 中的任一个来延迟输入到数据端子 GSP1、ASP1、BSP1 或 CSP1 中的第一至第四起始脉冲 GSP1、ASP1、BSP1 和 CSP1,并将它们作为脉冲信号输出。

[0042] 当从时钟选择器 115 提供第一时钟 c1k 时,移位寄存器 120 输出与第一时钟 c1k 的下降沿同步的脉冲信号,而当从时钟选择器 115 提供第二时钟 c1kb 时,移位寄存器 120 输出与第二时钟 c1kb 的上升沿同步的脉冲信号。即,扫描驱动器 SDRV 根据通过时钟选择器 115 输出的时钟的状态而不同地同步。

[0043] 提供给时钟选择器 115 的选择信号 SEL 1/2/3/4 的逻辑值如下表 1 所示地被设置。电平移位器 130 的输出根据选择信号 SEL 1/2/3/4 的逻辑值的同步将在下表 2 中进行描述。

[0044] [表 1]

[0045]

SEL1	1	0	1	1
SEL2	1	0	0	1
SEL3	1	0	1	0
SEL4	1	0	0	0

[0046] [表 2]

	状态	输出	描述
[0047]	选择信号 SEL 1/2/3/4 逻辑高	clk	输出X与clk的下降沿同步
	逻辑低	clkb	输出X与clkb的上升沿同步

[0048] 如图 5 所示, 第一 D 触发器 DFF1 连接至第一时钟选择器 MUX1 的输出端子, 并且第一电平移位器 LS1 连接至第一 D 触发器 DFF1 的输出端子。第一 D 触发器 DFF1 的真值表如下表 3 所示。

[0049] [表 3]

[0050]

	Q (当前输出)	Q+1 (下一输出)
0	0	0
0	1	0
1	0	1
1	1	1

[0051] 第一 D 触发器 DFF1 包括第一至第四晶体管 T1 至 T4, 和第二至第六反相器 INV2 至 INV6。第一 D 触发器 DFF1 将通过示例的方式被例示并描述为具有下列构造, 但不限于此。而且, 图 3 的第二至第四 D 触发器 DFF2 至 DFF4 可以具有和第一 D 触发器相同的构造。已经呈现了第一至第四 D 触发器 DFF1 至 DFF4 的构造, 以更好地理解移位寄存器。应注意的是, 但本发明不限于此, 而是可以按任何其它方式来构造。

[0052] 第一晶体管 T1 为 N 型, 其栅极连接至提供有第一时钟 clk 或第二时钟 clkb 的时钟端子, 其第一电极连接至提供有第一起始脉冲 GSP1 的数据端子, 而其第二电极连接至第三反相器 INV3 的输入端子。第二晶体管 T2 为 P 型, 其栅极连接至第二反相器 INV2 的输出端子, 其第一电极连接至数据端子, 而其第二电极连接至第三反相器 INV3 的输入端子。第三晶体管 T3 为 P 型, 其栅极连接至时钟端子, 其第一电极连接至第三反相器 INV3 的输出端子, 而其第二电极连接至第五反相器 INV5 的输入端子。第四晶体管 T4 为 N 型, 其栅极连接至第二反相器 INV2 的输出端子, 其第一电极连接至第三反相器 INV3 的输出端子, 而其第二电极连接至第五 INV5 的输入端子。

[0053] 第二反相器 INV2 的输入端子连接至时钟端子, 而其输出端子连接至第二晶体管 T2 的栅极。第三反相器 INV3 的输入端子连接至第一晶体管 T1 的第二电极, 而其输出端子连接至第三晶体管 T3 的第一电极。第四反相器 INV4 的输出端子连接至第三反相器 INV3 的输入端子, 而其输入端子连接至第三反相器 INV3 的输出端子。第五反相器 INV5 的输入端子连接至第三晶体管 T3 的第二电极, 而其输出端子连接至第一 D 触发器 DFF1 的输出端子。第六反相器 INV6 的输入端子连接至第一 D 触发器 DFF1 的输出端子, 而其输出端子连接至第五反相器 INV5 的输入端子。

[0054] 如图 3、图 5 以及图 6 所示, 第一时钟选择器 MUX1 和第二时钟选择器 MUX2、第一 D

触发器 DFF1 和第二 D 触发器 DFF2, 以及第一电平移位器 LS1 和第二电平移位器 LS2 根据选择信号输出以下波形。

[0055] 首先, 当将与逻辑低相对应的选择信号 $SEL1=0$ 提供给第一时钟选择器 MUX1 的选择端子时, 第一时钟选择器 MUX1 通过输出端子输出第二时钟 clk_b 。

[0056] 接着, 第一 D 触发器 DFF1 锁存提供给时钟端子的第二时钟 clk_b 和提供给数据端子的第一起始脉冲 $GSP1$, 并且输出与第二时钟 clk_b 的上升沿同步的第一脉冲信号。第一电平移位器 LS1 增加第一脉冲信号的电平, 并将其输出为第一扫描信号 $X1$ 。在这个处理中, 第一 D 触发器 DFF1 在如波形“A”和“B”中所示的延迟之后输出第一脉冲信号。

[0057] 接下来, 当将与逻辑高相对应的选择信号 $SEL2=1$ 提供给第二时钟选择器 MUX2 的选择端子时, 第二时钟选择器 MUX2 通过输出端子输出第一时钟 clk 。

[0058] 接着, 第二 D 触发器 DFF2 锁存提供给时钟端子的第一时钟 clk 和提供给数据端子的第二起始脉冲 $GSP2$, 并且输出与第一时钟 clk 的下降沿同步的第二脉冲信号。接着, 第二电平移位器 LS2 增加第二脉冲信号的电平, 并将其输出为第二扫描信号 $X2$ 。在这个处理中, 第二 D 触发器 DFF2 在如波形“A”和“B”中所示的延迟之后输出第二脉冲信号。

[0059] 如可以从上述说明中看出, 在本示例性实施方式的扫描驱动器 SDRV 中, 提供给数据端子的起始脉冲根据提供给时钟端子的时钟的状态而与上升沿或下降沿同步。因此, 本示例性实施方式的扫描驱动器 SDRV 可以通过改变经由时钟选择器 MUX1 至 MUX4 输出的时钟的状态, 来输出第二扫描信号 $X2$, 该第二扫描信号 $X2$ 相对于第一扫描信号 $X1$ 延迟 $1/2$ 水平时间。第一扫描信号 $X1$ 和相对于第一扫描信号 $X1$ 延迟 $1/2$ 水平时间的第二扫描信号 $X2$ 所来自的端子不限于第一电平移位器 LS1 和第二电平移位器 LS2。

[0060] 换句话说, 包括在本示例性实施方式的扫描驱动器 SDRV 中的第一 D 触发器 DFF1 至第四 D 触发器 DFF4 中的被选择的 D 触发器针对选择信号具有高逻辑值。另一方面, 第一 D 触发器 DFF1 至第四 D 触发器 DFF4 中的未被选择的那些 D 触发器针对选择信号具有低逻辑值。从第一 D 触发器 DFF1 至第四 D 触发器 DFF4 中选择的 D 触发器的数目为 M (M 为等于或大于 1 的整数)。即, 如果 $M=1$, 则存在相对于特定扫描信号延迟 $1/2$ 水平时间的一个扫描信号, 而如果 $M=2$, 则存在相对于特定扫描信号延迟 $1/2$ 水平时间的两个扫描信号。

[0061] 同时, 已经基于第一时钟 clk 和第二时钟 clk_b 在 1 水平时间内具有逻辑高对逻辑低的相同占空比(导通时间与截止时间相比)的示例进行了前述说明。然而, 第一时钟 clk 和第二时钟 clk_b 可以在 1 水平时间内具有逻辑高与逻辑低的不同占空比。在这种情况下, 第一触发器 DFF1 至第四触发器 DFF4 中的被选择的触发器可以生成相对于第 I 脉冲信号具有 $1/K$ (K 为等于或大于 3 的整数)的延迟时段的第 J 脉冲信号。

[0062] 例如, 如图 7 所示, 如果第一时钟 clk 的导通占空时间短于其截止占空时间(off duty), 第二扫描信号 $X2$ 相对于第一扫描信号 $X1$ 具有 $1/3$ 水平时间的延迟时段。通过以上描述可以看出, 第一扫描信号 $X1$ 与上升沿同步地输出, 而第二扫描信号 $X2$ 与下降沿同步地输出。

[0063] 如果第一时钟 clk 的导通 / 截止占空比(on/off duty ratio)不限于图 7 中的占空比, 而是导通占空时间进一步缩短, 则第二扫描信号 $X2$ 具有 $1/4$ 水平时间的延迟时段。因此, 本示例性实施方式的扫描驱动器 SDRV 可以调节扫描信号的水平时间, 以使具有更短的延迟时段。

[0064] 下面,将描述利用根据本发明一示例性实施方式的扫描驱动器的有机发光显示器。

[0065] 图 8 是具有包括补偿电路的 7T1C 结构的子像素的例示图。图 9 是子像素的驱动波形的例示图。

[0066] 如图 8 和图 9 所示,具有包括补偿电路的 7T1C 结构的子像素包括:第一开关晶体管 S1、第二开关晶体管 S2、第三开关晶体管 S3、第四开关晶体管 S4、第五开关晶体管 S5、第六开关晶体管 S6、驱动晶体管 D1、电容器 CST,以及有机发光二极管 D。如图中所示,第一开关晶体管 S1 至第六开关晶体管 S6 和驱动晶体管 D1 被形成为 N 型非晶硅(nA-Si)晶体管。

[0067] 包括在子像素中的元件如下连接。

[0068] 第一开关晶体管 S1 的栅极端子连接至提供有第一扫描信号 init 的第一扫描线 INIT,其第一端子连接至提供有高电位功率的第一电源线 VDD,而其第二端子连接至电容器 CST 的一个端子。第二开关晶体管 S2 的栅极端子连接至第一扫描线 INIT,其第一端子连接至驱动晶体管 D1 的第二端子,而其第二端子连接至电容器 CST 的另一端子。第三开关晶体管 S3 的栅极端子连接至提供有第二扫描信号 scan[n] 的第二扫描线 SCAN[n],其第一端子连接至驱动晶体管 D1 的第一端子,而其第二端子连接至驱动晶体管 D1 的栅极端子。第四开关晶体管 S4 的栅极端子连接至第二扫描线 SCAN[n],其第一端子连接至提供有数据电压 VDATA 的数据线 DATA,而其第二端子连接至电容器 CST 的另一端子。第五开关晶体管 S5 的栅极端子连接至提供有第三扫描信号 em 的第三扫描线 EM,其第一端子连接至提供有基准电压 VREF 的基准线 VREF,而其第二端子连接至电容器 CST 的另一端子。第六开关晶体管 S6 的栅极端子连接至第三扫描线 EM,其第一端子连接至第一电源线 VDD,而其第二端子连接至驱动晶体管 D1 的第一端子。有机发光二极管 D 的阳极连接至驱动晶体管 D1 的第二端子,而其阴极连接至提供有低电位功率的第二电源线 VSS。

[0069] 具有补偿电路的上述子像素按初始化时段、阈值电压检测和规划时段,以及发光时段的次序来驱动。

[0070] 在初始化时段期间,将逻辑低的第二扫描信号 scan[n] 和第三扫描信号 em 提供给第二扫描线 SCAN[n] 和第三扫描线 EM,而将逻辑高的第一扫描信号 init 提供给第一扫描线 INIT。

[0071] 在阈值电压检测和规划时段期间,将逻辑低的第一扫描信号 init 和第三扫描信号 em 提供给第一扫描线 INIT 和第三扫描线 EM,而将逻辑高的第二扫描信号 scan[n] 提供给第二扫描线 SCAN[n]。

[0072] 在发光时段期间,将逻辑低的第一扫描信号 init 和第二扫描信号 scan[n] 提供给第一扫描线 INIT 和第二扫描线 SCAN[n],而将逻辑高的第三扫描信号 em 提供给第三扫描线 EM。

[0073] 包括在子像素中的元件在初始化时段、阈值电压检测和规划时段,以及发光时段期间由经由第一至第三扫描线 INIT、SCAN[n] 和 EM 提供的扫描信号 init、scan[n] 以及 em 被如下地驱动。

[0074] 第一开关晶体管 S1 响应于第一扫描信号 init 而开启,以向驱动晶体管 D1 的栅极端子和电容器 CST 的一个端子提供高电位功率,并且初始化驱动晶体管 D1 的阈值电压 VTH。第二开关晶体管 S2 响应于第一扫描信号 init 而开启,以连接电容器 CST 的另一端子和驱

动晶体管 D1 的第二端子。第三开关晶体管 S3 响应于第二扫描信号 SACN[n] 而开启,以连接驱动晶体管的栅极端子和第一端子,并设置驱动晶体管 D1 的阈值电压 VTH。第四开关晶体管 S4 响应于第二扫描信号 SCAN[n] 而开启,以向电容器 CST 的另一端子提供数据电压 VDATA。第五开关晶体管 S5 响应于第三扫描信号 em 而开启,以向电容器 CST 的另一端子提供基准电压 VREF。第六开关晶体管 S6 响应于第三扫描信号 em 而开启,以将提供给第一端子的高电位功率递送给第二端子。驱动晶体管 D1 基于数据电压 VDATA 而开启,以生成驱动电流。有机发光二极管 D 基于通过驱动晶体管 D1 而提供的驱动电流而发光。

[0075] 同时,对于驱动上述子像素的方法进行描述。相对于通过第三扫描线 EM 提供的第三扫描信号 em,通过第一扫描线 INIT 提供的第一扫描信号 init 需要 1/2 水平时间 (1/2H) 的延迟时段。

[0076] 在这种情况下,扫描驱动器 SDRV 可以通过改变经由时钟选择器 MUX1 至 MUX3 输出的时钟的状态,来输出相对于第三扫描信号 em 延迟 1/2 水平时间的第一扫描信号 init,如参照图 2 至 6 说明的。

[0077] 虽然参照具有包括补偿电路的 7T1C 结构的子像素,对利用根据本发明的示例性实施方式的扫描驱动器的有机发光显示器进行了描述,但包括补偿电路的子像素的结构不限于此。而且,虽然参照了用于驱动有机发光显示器的扫描驱动器 SDRV 输出三个扫描信号的示例描述了本发明的示例性实施方式,但可以根据包括补偿电路的子像素的构造输出两个、三个、四个以及 F 个(F 为 5 或更大)扫描信号。

[0078] 如上所述,本发明的示例性实施方式提供了一种每隔 1/2 至 1 水平时间生成并输出特定扫描信号的扫描驱动器以及利用该扫描驱动器的有机发光显示器。而且,本发明的示例性实施方式提供了一种通过改变时钟的导通 / 截止占空比来每隔 1/K (K 为等于或大于 3 的整数) 至 1 水平时间生成并输出特定扫描信号的扫描驱动器以及利用该扫描驱动器的有机发光显示器。而且,本发明的示例性实施方式提供了一种每隔 1/2 水平时间或更短生成并输出由包括补偿电路的子像素所需的扫描信号的扫描驱动器,以及利用该扫描驱动器的有机发光显示器。尽管参照将扫描驱动器应用至有机发光显示器的示例描述了示例性实施方式,但不用说,本发明并不限于上述实施方式,而是可以应用至其它类型的显示器。

[0079] 前述实施方式和优点仅仅是示例性的,而不应视为对本发明的限制。本教导可以容易地应用至其它类型的装置。对本发明的描述旨在例示,而非限制权利要求书的范围。许多另选例、修改例以及变型例对本领域技术人员来说是明显的。

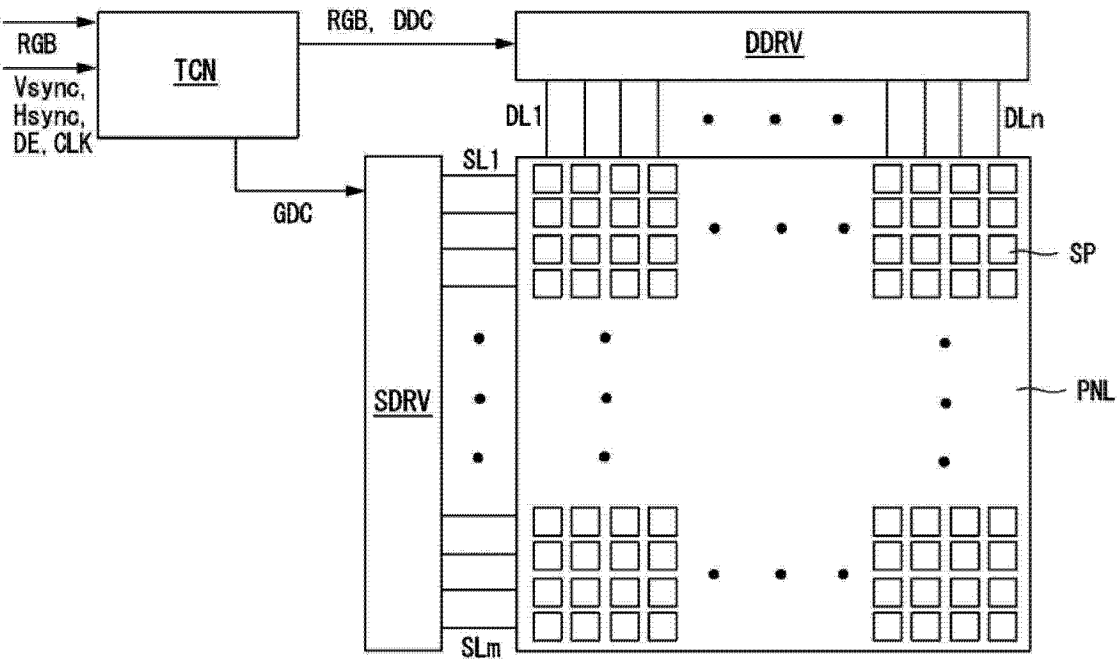


图 1

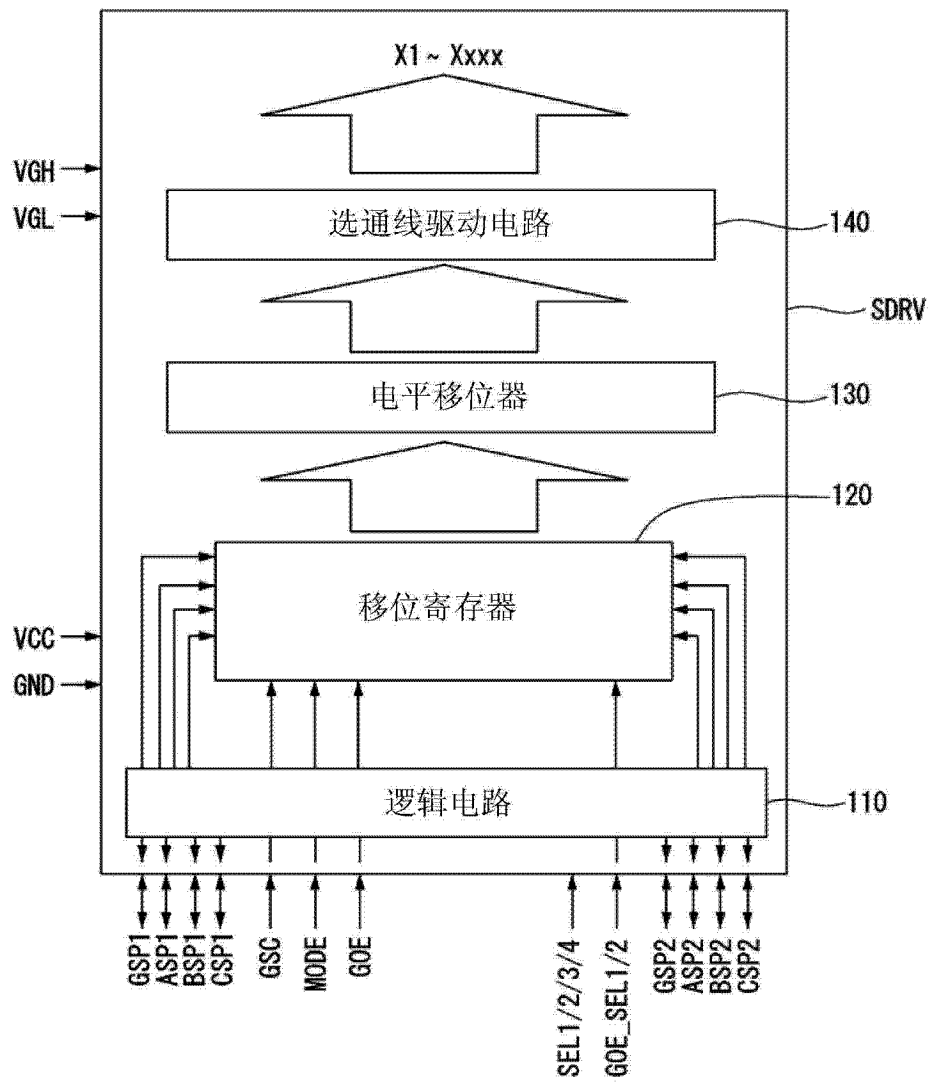


图 2

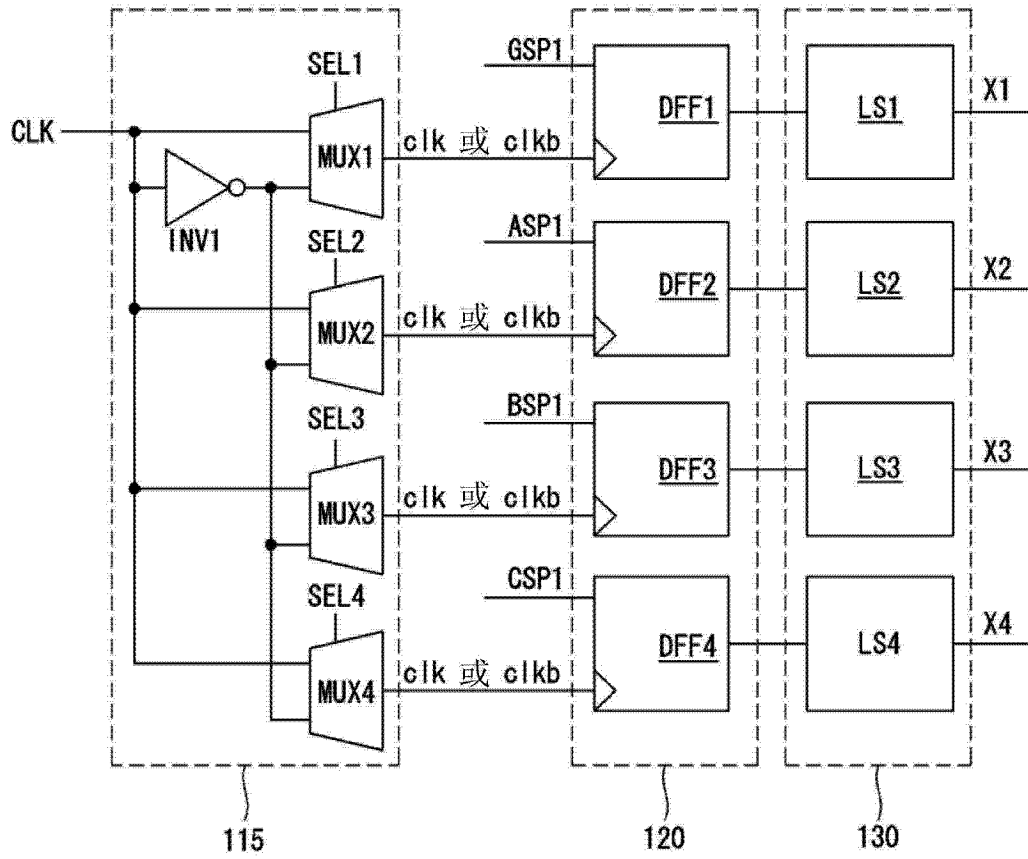


图 3

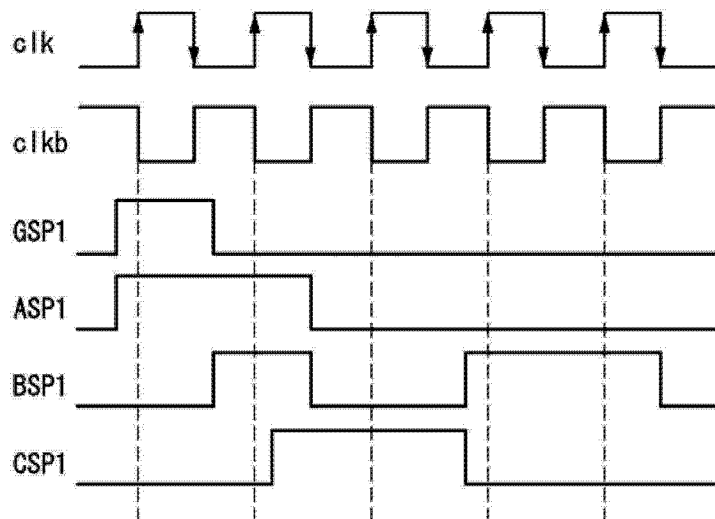


图 4

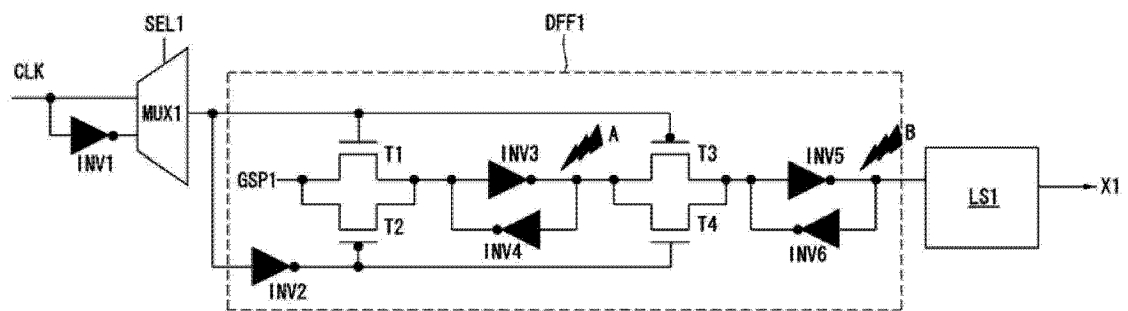


图 5

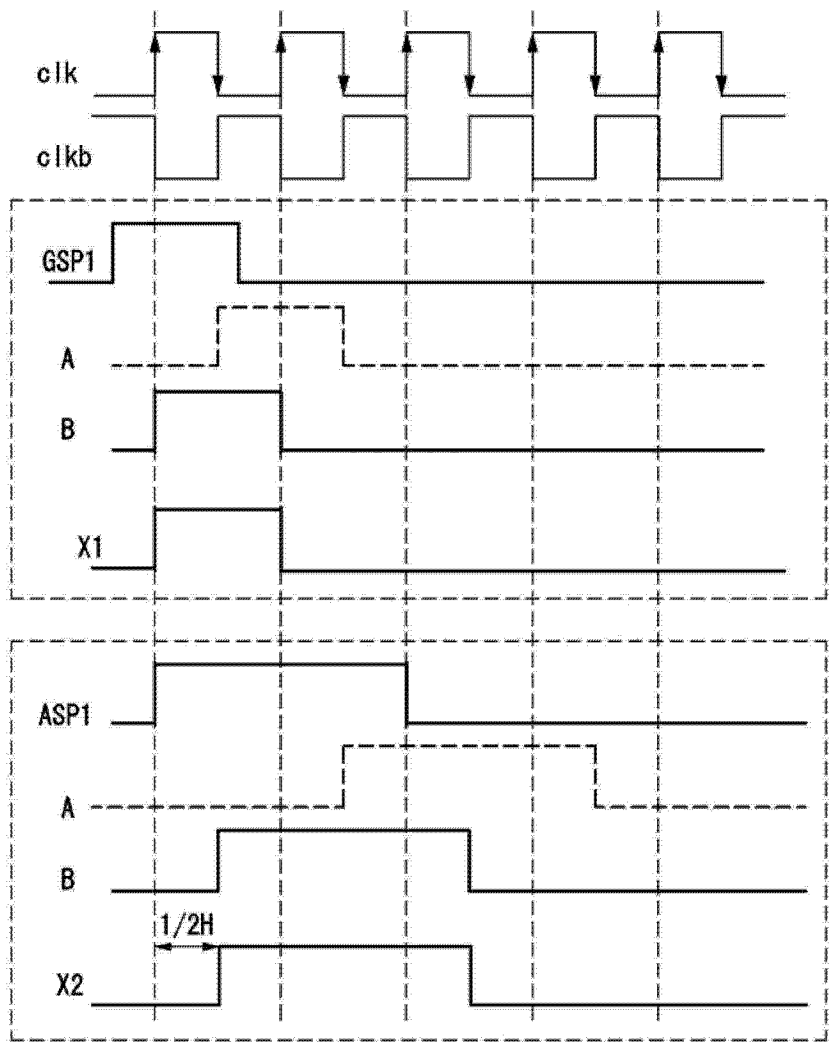


图 6

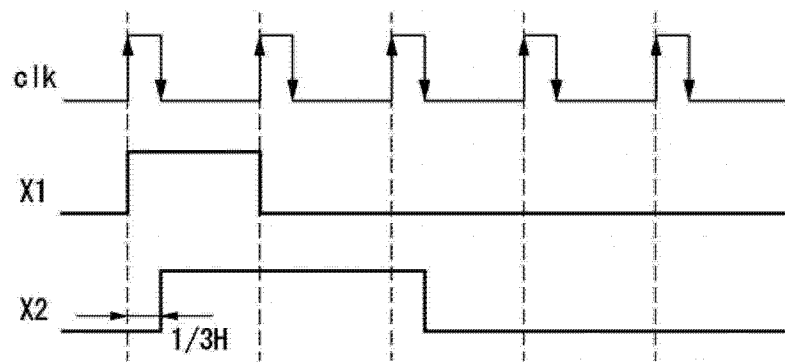


图 7

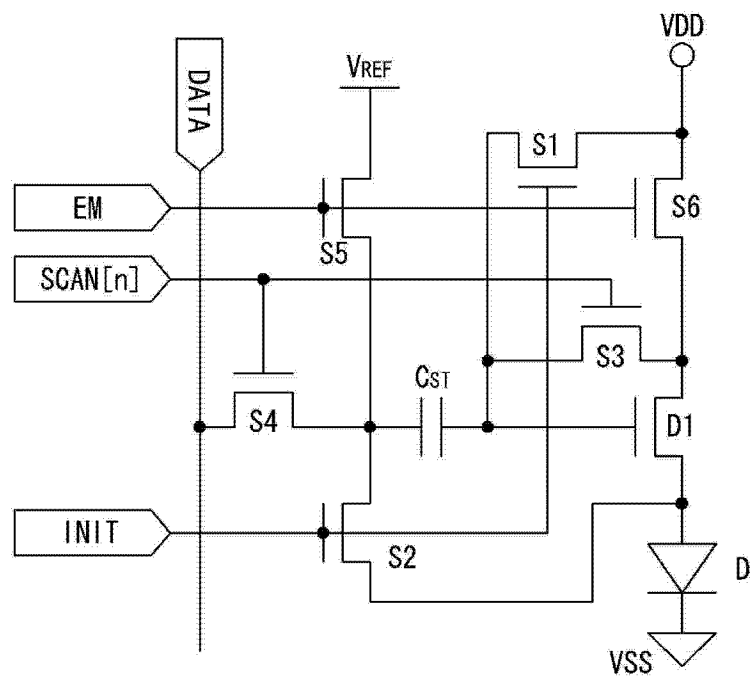


图 8

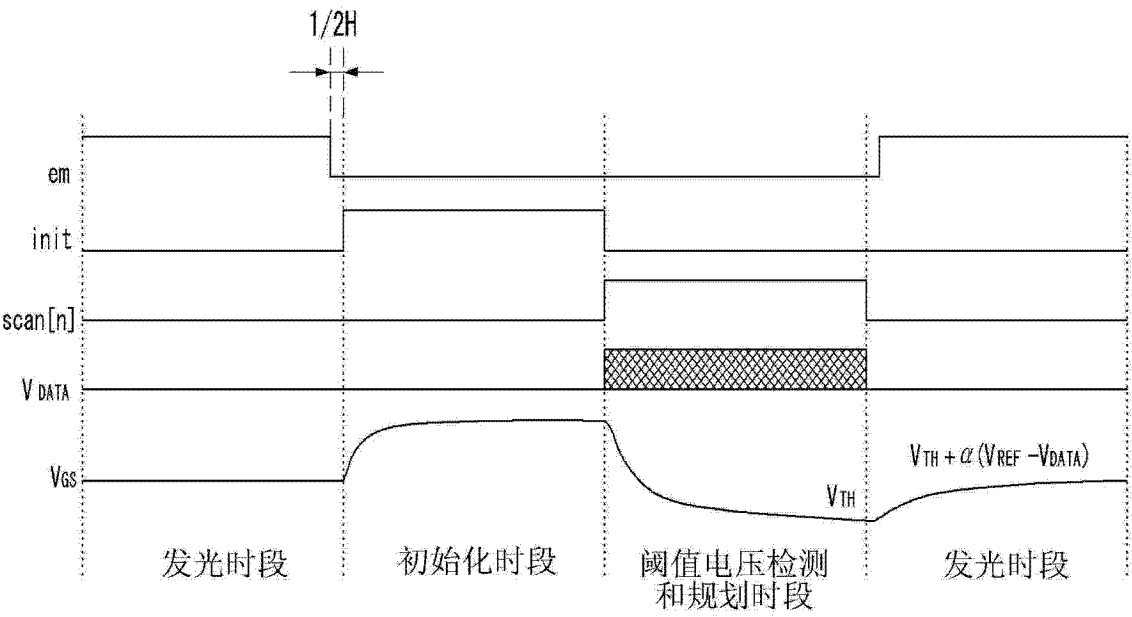


图 9

专利名称(译)	扫描驱动器和利用该扫描驱动器的有机发光显示器件		
公开(公告)号	CN102968952B	公开(公告)日	2015-03-11
申请号	CN201210309415.8	申请日	2012-08-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	朴慧民 柳相镐 金洙郁		
发明人	朴慧民 柳相镐 金洙郁		
IPC分类号	G09G3/32		
CPC分类号	G09G3/30 G09G5/00 G09G2310/0286 G09G2310/0289 G09G2310/08 G09G3/3266		
审查员(译)	王婷		
优先权	1020110086279 2011-08-29 KR		
其他公开文献	CN102968952A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及扫描驱动器和利用该扫描驱动器的有机发光显示器件。该扫描驱动器包括：时钟选择器，所述时钟选择器根据选择信号的逻辑值输出第一时钟和通过将所述第一时钟clk进行反相而获得的第二时钟中的任一时钟，所述第一时钟和所述第二时钟在1水平时间内按逻辑高和逻辑低的次序形成；移位寄存器；以及电平移位器，其中，所述移位寄存器中的被选择的移位寄存器生成相对于第I脉冲信号具有1/2水平时间的延迟时段的第J脉冲信号。

