



(12)发明专利申请

(10)申请公布号 CN 109410840 A

(43)申请公布日 2019.03.01

(21)申请号 201811343157.9

(22)申请日 2018.11.13

(71)申请人 中国电子科技集团公司第五十五研究所

地址 210016 江苏省南京市中山东路524号

(72)发明人 秦昌兵 张白雪 陈啟宏 杨建兵 陈建军

(74)专利代理机构 南京天华专利代理有限责任公司 32218

代理人 瞿网兰 徐冬涛

(51)Int.Cl.

G09G 3/3225(2016.01)

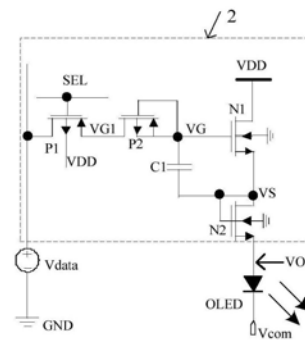
权利要求书1页 说明书3页 附图1页

(54)发明名称

一种高均匀性低漏电的硅基微显示像素电路

(57)摘要

一种高均匀性低漏电的硅基微显示像素电路。本发明包括一种新型的像素电路,包括驱动管N1、开关管P1、开关管P2、开关管N2、存储电容C1。本发明在现有2T1C像素电路基础上,提出一种改进型4T1C像素电路。该电路只是在现有像素电路基础上增加了连接成二极管形式的晶体管N2和连接成二极管形式的晶体管P2。在不同的工艺偏差下,驱动管N1阈值电压变化时,晶体管N2阻值跟随变化,最终减弱了由于阈值电压漂移带来的VO的变化量。增加了OLED发光的均匀性。行选控制信号SEL为高电平时,VG点电压通过P1不断漏电,增加的晶体管P2在VG和VG1之间有一个寄生的反向二极管,会使VG点的漏电减小,VG电压相对图1传统像素结构中驱动管栅极电压更稳定。



1. 一种高均匀性低漏电的硅基微显示像素电路,其特征是:它包括驱动管N1、开关管P1、开关管P2、开关管N2、存储电容C1;开关管P1的漏极与输入电压源Vdata正向端相连,开关管P1的源极与开关管P2的漏极相连,开关管P1的衬底与电源VDD相连,开关管P1的栅极与行选控制信号SEL相连。电压源Vdata负向端与地GND相连;开关管P2的源极、栅极、衬底及电容C1的一端与驱动管N1的栅极相连,驱动管N1的漏极与电压源VDD相连;驱动管N1的衬底与地GND相连,驱动管N1的源极与开关管N2的漏极、栅极、电容C1的另一端相连,开关管N2的源极与OLED阳极相连,开关管N2的衬底与地GND相连。OLED的阴极与Vcom电压相连;采用开关管N2连接成二极管形式改善了因驱动管N1阈值电压漂移带来的不均匀性;在不同的工艺偏差下,驱动管N1阈值电压增大时,VS减小,同时开关N2电阻值减小,从而减弱了VO的减小量;驱动管N1阈值电压减小时,VS增大,开关管N2电阻值增大,从而减弱了VO的增大量;最终减弱了由于阈值电压漂移带来的VO的变化量;稳定了OLED两端的电压,增加了OLED发光的均匀性;行选控制信号SEL为高电平时,驱动管N1的栅极电压通过开关管P1不断漏电,开关管P2晶体管在VG和VG1之间有一个寄生的反向二极管,会使VG点的漏电减小,VG电压相对传统像素结构的电压更稳定。

2. 根据权利要求1所述的像素电路,其特征是所述的开关管P1为P型MOS管。
3. 根据权利要求1所述的像素电路,其特征是所述的开关管P2为P型MOS管。
4. 根据权利要求1所述的像素电路,其特征是所述的驱动管N1为N型MOS管。
5. 根据权利要求1所述的像素电路,其特征是所述的驱动管N2为N型MOS管。

一种高均匀性低漏电的硅基微显示像素电路

技术领域

[0001] 本发明涉及一种微电子及显示技术,尤其是一种OLED显示驱动技术,具体地说是一种高均匀性低漏电的硅基微显示像素电路。

背景技术

[0002] 硅基有源有机发光二极管(AMOLED)微显示是显示技术领域的一个分支,它实现了OLED技术与硅基集成电路技术的结合。OLED微显示技术利用成熟的CMOS集成电路工艺,在驱动芯片制作完后,再进行OLED器件制作,从而提高了整个显示器的良率。OLED微显示具有主动发光、视角宽、发光效率高、响应速度快、功耗低等优点。因为其体积小从而在便携式显示应用方面具有巨大的优势。目前的主要应用包括头盔显示器、眼镜式显示;也可用在其他移动终端显示器,比如可穿戴式计算机等移动信息产品提供高画质的视频显示效果,以及应用在一些AR、VR产品中。

[0003] 硅基AMOLED微显示技术专用的硅基AMOLED驱动芯片的研究,正处于高速发展的阶段。其中像素电路直接驱动OLED发光,像素电路结构决定了OLED发光的质量。

[0004] 参见图1所示的像素电路图,由虚线框内具体像素电路1、外接电压源Vdata、外接OLED构成。P型MOS管MP1的漏极与输入电压源Vdata正向端相连,P型MOS管MP1的源极与电容C1的一端、N型MOS管MN1的栅极相连。P型MOS管MP1的栅极与行选控制信号SEL1相连,P型MOS管MP1的衬底与电压源VDD相连。电压源Vdata负向端、电容C1的另一端与地GND相连。N型MOS管MN1的漏极与电压源VDD相连,N型MOS管MN1的源极与OLED阳极相连,N型MOS管MN1的衬底与地GND相连。OLED的阴极与Vcom电压相连。图1所示电路的工作过程如下:行选控制信号SEL1为低电平时,开关管MP1导通,驱动信号数据Vdata写入存储电容C1中,驱动管MN1导通,驱动OLED发光,驱动电流与Vdata对应,对像素进行亮度调节。在驱动信号Vdata变大时,A点电压上升,V01点电压随之上升,使OLED阳极电压增大,流过OLED电流变大,亮度增大。SEL1为高电平时,开关管MP1关断,Vdata已经存储在C1中,MN1仍处于导通阶段,由于MP1不断漏电,A点电压逐渐减小,驱动电流逐渐减小。OLED亮度逐渐减小。在不同的工艺偏差下,驱动管MN1阈值电压增大时,V01减小,使OLED阳极电压减小,流过OLED电流变小,亮度变小;驱动管MN1阈值电压减小时,V01增大,使OLED阳极电压增大,流过OLED电流变大,亮度增大。最终导致显示效果不均匀。

[0005] 随着像素尺寸的减小,像素与像素之间由于制造工艺的偏差带来的MOS管的阈值电压的漂移也越发的明显,因此在相同的数据信号电压下,每个发光单元的电流大小不同,这会导致同一灰度级在屏的不同位置显示的亮度不均匀。为了提高亮度均匀性,有必要对驱动管阈值电压的漂移进行补偿。同时由于像素单元中MOS开关在关断时不断的漏电,也会影响OLED显示质量。

发明内容

[0006] 本发明的目的是为硅基AMOLED驱动电路的发光均匀性差,漏电大而影响显示效

果的问题,提供一种高均匀性低漏电的硅基微显示像素电路,以改善AMOLED发光的均匀性,同时可以减小MOS开关的漏电,从而能够实现AMOLED更好的显示效果。

[0007] 本发明的技术方案是:

一种高均匀性低漏电的硅基微显示像素电路,其特征是:它包括驱动管N1、开关管P1、开关管P2、开关管N2、存储电容C1;开关管P1的漏极与输入电压源Vdata正向端相连,开关管P1的源极与开关管P2的漏极相连,开关管P1的衬底与电源VDD相连,开关管P1的栅极与行选控制信号SEL相连。电压源Vdata负向端与地GND相连;开关管P2的源极、栅极、衬底及电容C1的一端与驱动管N1的栅极相连,驱动管N1的漏极与电压源VDD相连;驱动管N1的衬底与地GND相连,驱动管N1的源极与开关管N2的漏极、栅极、电容C1的另一端相连,开关管N2的源极与OLED阳极相连,开关管N2的衬底与地GND相连。OLED的阴极与Vcom电压相连;采用开关管N2连接成二极管形式改善了因驱动管N1阈值电压漂移带来的不均匀性;在不同的工艺偏差下,驱动管N1阈值电压增大时,VS减小,同时开关N2电阻值减小,从而减弱了VO的减小量;驱动管N1阈值电压减小时,VS增大,开关管N2电阻值增大,从而减弱了VO的增大量;最终减弱了由于阈值电压漂移带来的VO的变化量;稳定了OLED两端的电压,增加了OLED发光的均匀性;行选控制信号SEL为高电平时,驱动管N1的栅极电压通过开关管P1不断漏电,开关管P2晶体管在VG和VG1之间有一个寄生的反向二极管,会使VG点的漏电减小,VG电压相对传统像素结构的电压更稳定。

[0008] 所述的开关管P1为P型MOS管。

[0009] 所述的开关管P2为P型MOS管。

[0010] 所述的驱动管N1为N型MOS管。

[0011] 所述的驱动管N2为N型MOS管。

[0012] 本发明的有益效果是:

(1)本发明新型像素电路采用晶体管N2连接成二极管形式改善了因驱动管N1阈值电压漂移带来的不均匀性。

[0013] (2)本发明采用晶体管P2连接成二极管形式,减小了VG点的漏电,稳定了驱动管N1的栅极的电压,使OLED发光可以维持更长时间。

附图说明

[0014] 图1是一种现有的像素电路图。

[0015] 图2是本发明的像素电路图。

具体实施方式

[0016] 下面结合附图和具体实施例对本发明进行详细说明。

[0017] 如图2所示。

[0018] 一种高均匀性低漏电的硅基微显示像素电路,由虚线框内具体像素电路2、外接电压源Vdata、外接OLED构成,具体包括驱动管N1、开关管P1、开关管P2、开关管N2、存储电容C1;P型MOS管P1的漏极与输入电压源Vdata正向端相连,P型MOS管P1的源极与P型MOS管P2的漏极相连,P型MOS管P1的衬底与电源VDD相连,P型MOS管P1的栅极与行选控制信号SEL2相连。电压源Vdata负向端与地GND相连。P型MOS管P2的源极、栅极、衬底、电容C1的一端、N型

MOS管N1的栅极相连。N型MOS管N1的漏极与电压源VDD相连。N型MOS管N1的衬底与地GND相连，N型MOS管N1的源极与N型MOS管N2的漏极、栅极、电容C1的另一端相连，N型MOS管N2的源极与OLED阳极相连，N型MOS管N2的衬底与地GND相连。OLED的阴极与Vcom电压相连。

[0019] 本发明的电路的工作过程如下：

行选控制信号SEL为低电平时，开关管P1导通，驱动信号数据Vdata经过P1与P2写入存储电容C1中，驱动管N1导通，驱动OLED发光。行选控制信号SEL为高电平时，P1不断漏电，在VG和VG1之间有一个寄生的反向二极管，会使VG点的漏电减小，VG电压相对图1传统像素结构A点电压更稳定。发光维持时间更长。

[0020] 在不同的工艺偏差下，驱动管N1阈值电压增大时，VS减小，同时MOS管N2电阻值减小，从而减弱了V0的减小量；驱动管N1阈值电压减小时，VS增大，MOS管N2电阻值增大，从而减弱了V0的增大量；最终减弱了由于阈值电压漂移带来的V0的变化量。增加了OLED发光的均匀性。

[0021] 本发明不局限于上述实施方式，凡是采用采用公共阴极制作的微显示像素电路采用二极管连接方式来改善漏电和均匀性，均应落在本发明保护范围之内。

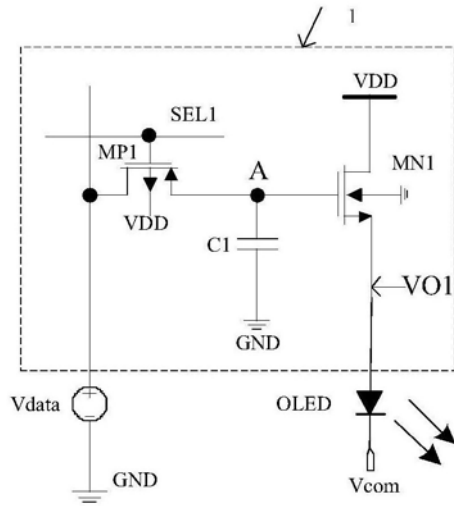


图1

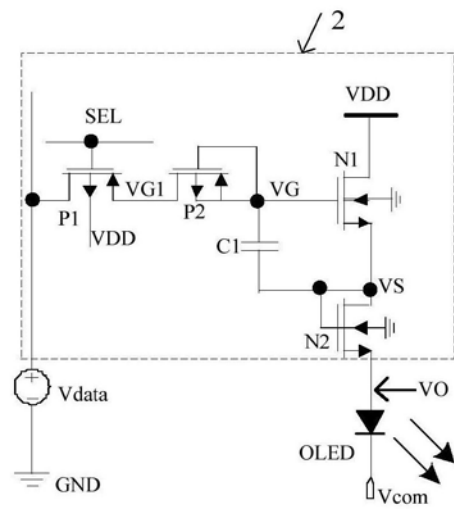


图2

专利名称(译)	一种高均匀性低漏电的硅基微显示像素电路		
公开(公告)号	CN109410840A	公开(公告)日	2019-03-01
申请号	CN2018111343157.9	申请日	2018-11-13
[标]申请(专利权)人(译)	中国电子科技集团公司第五十五研究所		
申请(专利权)人(译)	中国电子科技集团公司第五十五研究所		
当前申请(专利权)人(译)	中国电子科技集团公司第五十五研究所		
[标]发明人	秦昌兵 张白雪 陈啟宏 杨建兵 陈建军		
发明人	秦昌兵 张白雪 陈啟宏 杨建兵 陈建军		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225 G09G2320/0233		
外部链接	Espacenet SIPO		

摘要(译)

一种高均匀性低漏电的硅基微显示像素电路。本发明包括一种新型的像素电路，包括驱动管N1、开关管P1、开关管P2、开关管N2、存储电容C1。本发明在现有2T1C像素电路基础上，提出一种改进型4T1C像素电路。该电路只是在现有像素电路基础上增加了连接成二极管形式的晶体管N2和连接成二极管形式的晶体管P2。在不同的工艺偏差下，驱动管N1阈值电压变化时，晶体管N2阻值跟随变化，最终减弱了由于阈值电压漂移带来的VO的变化量。增加了OLED发光的均匀性。行选控制信号SEL为高电平时，VG点电压通过P1不断漏电，增加的晶体管P2在VG和VG1之间有一个寄生的反向二极管，会使VG点的漏电减小，VG电压相对图1传统像素结构中驱动管栅极电压更稳定。

