



(12)发明专利

(10)授权公告号 CN 104821153 B

(45)授权公告日 2017.06.16

(21)申请号 201510289143.3

(22)申请日 2015.05.29

(65)同一申请的已公布的文献号

申请公布号 CN 104821153 A

(43)申请公布日 2015.08.05

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 李全虎

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 柴亮 张天舒

(51)Int.Cl.

G09G 3/3266(2016.01)

审查员 李小兰

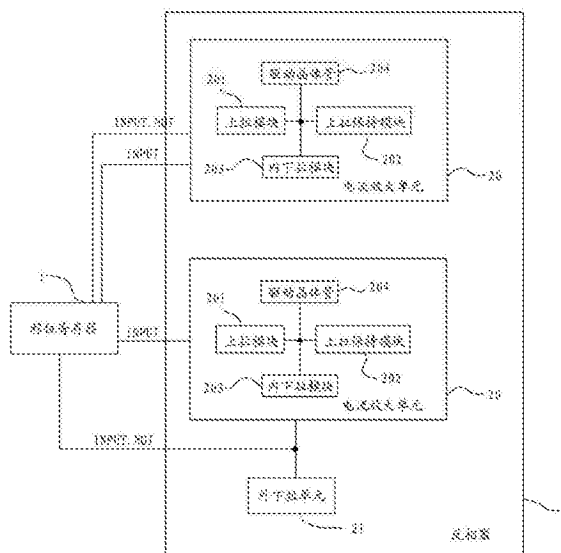
权利要求书3页 说明书10页 附图6页

(54)发明名称

栅极驱动电路及OLED显示装置

(57)摘要

本发明涉及一种栅极驱动电路及OLED显示装置。所述栅极驱动电路包括多级移位寄存器，每级移位寄存器与一个反相器连接；移位寄存器用于向反相器提供第一信号和第二信号；反相器接收第一信号和第二信号，且其输出端与发光器件的阳极连接，用于根据第一信号和第二信号，生成发光信号，输入到所述发光器件中，驱动发光器件发光；反相器包括至少两个电流放大单元，以及外下拉单元；每个电流放大单元包括上拉模块、上拉保持模块、内下拉模块和驱动晶体管；所述外下拉单元接收第二信号，并与输出端连接；外下拉单元用于将所述发光信号的电位下拉。上述栅极驱动电路可以减少晶体管的数量，提高显示装置的开口率，同时，还可实现高电平和大电流输出。



1. 一种栅极驱动电路,其特征在于,包括多级移位寄存器,每级移位寄存器与一个反相器连接;所述移位寄存器用于向所述反相器提供第一信号和第二信号,所述第一信号为高电平时,所述第二信号为低电平,所述第一信号为低电平时,所述第二信号为高电平;

所述反相器接收所述第一信号和第二信号,且其输出端与发光器件的阳极连接,用于根据所述第一信号和第二信号,生成发光信号,输入到所述发光器件中,驱动所述发光器件发光;

所述反相器包括至少两个电流放大单元,以及外下拉单元;

每个电流放大单元包括上拉模块、上拉保持模块、内下拉模块和驱动晶体管;每个电流放大单元中,所述上拉模块接收所述第一信号,并与上拉保持模块,以及所述驱动晶体管的栅极连接;所述上拉模块用于将所述发光信号的电位上拉;所述上拉保持模块还与所述驱动晶体管的栅极连接;所述上拉保持模块用于保持所述发光信号的电位处于上拉状态;所述内下拉模块接收第二信号,并与所述驱动晶体管的栅极连接;所述内下拉模块用于将所述上拉保持模块中的电位下拉;所述驱动晶体管的源极与高电压端连接,漏极与输出端连接;

所述外下拉单元接收第二信号,并与所述输出端连接;所述外下拉单元用于将所述发光信号的电位下拉。

2. 根据权利要求1所述的栅极驱动电路,其特征在于,所述每个所述电流放大单元与所述移位寄存器的上拉节点和下拉节点连接,所述外下拉单元与所述移位寄存器的上拉节点连接;

所述下拉节点向所述电流放大单元提供第一信号,所述上拉节点向所述电流放大单元及外下拉单元提供第二信号。

3. 根据权利要求1所述的栅极驱动电路,其特征在于,所述反相器中,电流放大单元的数量为偶数,每两个电流放大单元彼此对应。

4. 根据权利要求1所述的栅极驱动电路,其特征在于,所述反相器中,电流放大单元的数量为奇数,且其中的至少两个电流放大单元彼此对应。

5. 根据权利要求3或4所述的栅极驱动电路,其特征在于,每个电流放大单元中,上拉模块包括a晶体管和b晶体管;所述a晶体管的栅极连接所述第一信号,源极与一时钟信号端连接,漏极与所述b晶体管的栅极和源极连接;所述b晶体管的漏极与该电流放大单元中的上拉保持模块,以及驱动晶体管的栅极连接;

彼此对应的两个电流放大单元中,a晶体管的源极所连接的时钟信号端不同;且在该两个时钟信号端中,任意一个时钟信号端为低电平时,另一时钟信号端为高电平。

6. 根据权利要求5所述的栅极驱动电路,其特征在于,每个电流放大单元中,上拉保持模块包括c晶体管和C电容;所述c晶体管的栅极与所述b晶体管的漏极连接,源极与一时钟信号端连接,漏极与C电容的第一端连接;所述C电容的第二端连接在所述b晶体管的漏极和所述c晶体管的栅极之间;

每个电流放大单元中,c晶体管的源极所连接的时钟信号端与a晶体管的源极所连接的时钟信号端不同;且在c晶体管的源极所连接的时钟信号端与a晶体管的源极所连接的时钟信号端中,任意一个时钟信号端为低电平时,另一时钟信号端为高电平。

7. 根据权利要求6所述的栅极驱动电路,其特征在于,每个电流放大单元中,所述内下

拉模块包括d晶体管;所述d晶体管的栅极连接所述第二信号,源极连接一低电压端,漏极连接在所述c晶体管的栅极与所述C电容的第二端之间。

8.根据权利要求1所述的栅极驱动电路,其特征在于,所述外下拉单元包括e晶体管;所述e晶体管的栅极连接所述第二信号,源极与一低电压端连接,漏极与所述输出端连接。

9.根据权利要求6所述的栅极驱动电路,其特征在于,每个电流放大单元中所述a晶体管的源极所连接的时钟信号端与该电流放大单元对应的电流放大单元中c晶体管的源极所连接的时钟信号端相同。

10.根据权利要求1所述的栅极驱动电路,其特征在于,每个所述反相器内的所述电流放大单元的数量为两个。

11.根据权利要求1所述的栅极驱动电路,其特征在于,每个所述反相器内的所述电流放大单元的数量为四个。

12.根据权利要求7所述的栅极驱动电路,其特征在于,各所述晶体管为N型薄膜晶体管。

13.根据权利要求8所述的栅极驱动电路,其特征在于,各所述晶体管为N型薄膜晶体管。

14.根据权利要求1所述的栅极驱动电路,其特征在于,所述移位寄存器包括第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十七晶体管、第十八晶体管、第二十七晶体管,以及自举电容;

所述第十五晶体管的栅极和源极与第一控制电压端连接,漏极与第十六晶体管的源极连接;

所述第十六晶体管的栅极与第一时钟信号端连接,漏极与上拉节点连接;

所述第十一晶体管的栅极和源极与第一时钟信号端连接,漏极与下拉节点连接;

所述第二十七晶体管的栅极和源极与第二时钟信号端连接,漏极与下拉节点连接;

所述第十八晶体管的栅极与下拉节点连接,源极与第一低电压端连接,漏极与第十三晶体管的源极连接;

所述第十三晶体管的栅极与下拉节点连接,漏极与上拉节点连接;

所述第十七晶体管的栅极与第二控制电压端连接,源极与第一低电压端连接,漏极与所述第十四晶体管的源极连接;

所述第十四晶体管的栅极与第二控制电压端连接,漏极与上拉节点连接;

所述第十二晶体管的栅极与上拉节点连接,源极与第一低电压端连接,漏极与下拉节点连接;

所述第八晶体管的栅极与上拉节点连接,源极与第二时钟信号端连接,漏极与第十晶体管的栅极连接;

所述第九晶体管的栅极与下拉节点连接,源极与第一低电压端连接,漏极与第十晶体管的栅极连接;

所述第七晶体管的栅极与上拉节点连接,源极与第二时钟信号端连接,漏极与所述第十晶体管的源极连接;

所述第六晶体管的栅极与下拉节点连接,源极与第二低电压端连接,漏极与所述第十

晶体管的源极连接；

所述第五晶体管的栅极与上拉节点连接,源极与第二时钟信号端连接；

所述第四晶体管的栅极与下拉节点连接,源极与第二低电压端连接；

所述第十晶体管的漏极连接在第十八晶体管的漏极和第十三晶体管的源极之间,且还连接在第十七晶体管的漏极和第十四晶体管的源极之间；

所述自举电容的第一端连接在上拉节点,第二端与所述第二十七晶体管的漏极连接。

15.根据权利要求14所述的栅极驱动电路,其特征在于,所述移位寄存器还包括输出端,所述第四晶体管的漏极和第五晶体管的漏极与所述移位寄存器的输出端连接,所述输出端空置。

16.一种OLED显示装置,其特征在于,所述OLED显示装置包括权利要求1~15任意一项所述的栅极驱动电路。

栅极驱动电路及OLED显示装置

技术领域

[0001] 本发明涉及显示技术领域,具体地,涉及一种栅极驱动电路及OLED显示装置。

背景技术

[0002] 在OLED显示装置中,驱动发光器件发光的电流受驱动晶体管的阈值电压的漂移的影响,在显示过程中的亮度会发生变化,影响显示效果。

[0003] 现有技术中,一般在OLED显示装置的栅极驱动电路中增加补偿模块对驱动晶体管的阈值电压进行补偿,以此来提高显示装置在显示过程中的亮度均匀性。在这种方式中,由于补偿模块一般包括多个薄膜晶体管和/或电容,这样降低显示装置的开口率。

[0004] 除这种方式外,还可以采用交流信号作为栅极驱动电路中的电源信号(VDD),即所谓Scan Power技术,这种方式无需增加薄膜晶体管和/或电容的数量,从而相比上一补偿方式,可以提高显示装置的开口率。

[0005] 但在全N型薄膜晶体管的栅极驱动电路中,由于N型薄膜晶体管的特性限制,直接实现交流VDD信号的输出较为困难,难以采用上述Scan Power技术对驱动晶体管的阈值电压进行补偿。

发明内容

[0006] 本发明旨在至少解决现有技术中存在的技术问题之一,提出了一种栅极驱动电路及OLED显示装置,其可以减少薄膜晶体管和/或电容的数量,还可以实现高电平和大电流输出。

[0007] 为实现本发明的目的而提供一种栅极驱动电路,其包括多级移位寄存器,每级移位寄存器与一个反相器连接;所述移位寄存器用于向所述反相器提供第一信号和第二信号,所述第一信号为高电平时,所述第二信号为低电平,所述第一信号为低电平时,所述第二信号为高电平;所述反相器接收所述第一信号和第二信号,且其输出端与发光器件的阳极连接,用于根据所述第一信号和第二信号,生成发光信号,输入到所述发光器件中,驱动所述发光器件发光;所述反相器包括至少两个电流放大单元,以及外下拉单元;每个电流放大单元包括上拉模块、上拉保持模块、内下拉模块和驱动晶体管;每个电流放大单元中,所述上拉模块接收所述第一信号,并与上拉保持模块,以及所述驱动晶体管的栅极连接;所述上拉模块用于将所述发光信号的电位上拉;所述上拉保持模块还与所述驱动晶体管的栅极连接;所述上拉保持模块用于保持所述发光信号的电位处于上拉状态;所述内下拉模块接收第二信号,并与所述驱动晶体管的栅极连接;所述内下拉模块用于将所述上拉保持模块中的电位下拉;所述驱动晶体管的源极与高电压端连接,漏极与输出端连接;所述外下拉单元接收第二信号,并与所述输出端连接;所述外下拉单元用于将所述发光信号的电位下拉。

[0008] 其中,所述每个所述电流放大单元与所述移位寄存器的上拉节点和下拉节点连接,所述外下拉单元与所述移位寄存器的上拉节点连接;所述下拉节点向所述电流放大单元提供第一信号,所述上拉节点向所述电流放大单元及外下拉单元提供第二信号。

[0009] 其中,所述反相器中,电流放大单元的数量为偶数,每两个电流放大单元彼此对应。

[0010] 或者,所述反相器中,电流放大单元的数量为奇数,且其中的至少两个电流放大单元彼此对应。

[0011] 其中,每个电流放大单元中,上拉模块包括a晶体管和b晶体管;所述a晶体管的栅极连接所述第一信号,源极与一时钟信号端连接,漏极与所述b晶体管的栅极和源极连接;所述b晶体管的漏极与该电流放大单元中的上拉保持模块,以及驱动晶体管的栅极连接;彼此对应的两个电流放大单元中,a晶体管的源极所连接的时钟信号端不同;且在该两个时钟信号端中,任意一个时钟信号端为低电平时,另一时钟信号端为高电平。

[0012] 其中,每个电流放大单元中,上拉保持模块包括c晶体管和C电容;所述c晶体管的栅极与所述b晶体管的漏极连接,源极与一时钟信号端连接,漏极与C电容的第一端连接;所述C电容的第二端连接在所述b晶体管的漏极和所述c晶体管的栅极之间;每个电流放大单元中,c晶体管的源极所连接的时钟信号端与a晶体管的源极所连接的时钟信号端不同;且在该两个时钟信号端中,任意一个时钟信号端为低电平时,另一时钟信号端为高电平。

[0013] 其中,每个电流放大单元中,所述内下拉模块包括d晶体管;所述d晶体管的栅极连接所述第二信号,源极连接一低电压端,漏极连接在所述c晶体管的栅极与所述C电容的第二端之间。

[0014] 其中,所述外下拉单元包括e晶体管;所述e晶体管的栅极连接所述第二信号,源极与一低电压端连接,漏极与所述输出端连接。

[0015] 其中,每个电流放大单元中所述a晶体管的源极所连接的时钟信号端与该电流放大单元对应的电流放大单元中c晶体管的源极所连接的时钟信号端相同。

[0016] 其中,每个所述反相器内的所述电流放大单元的数量为两个。

[0017] 优选地,每个所述反相器内的所述电流放大单元的数量为四个。

[0018] 其中,各所述晶体管为N型薄膜晶体管。

[0019] 其中,所述移位寄存器包括第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管、第十四晶体管、第十五晶体管、第十六晶体管、第十七晶体管、第十八晶体管、第二十七晶体管,以及自举电容;所述第十五晶体管的栅极和源极与第一控制电压端连接,漏极与第十六晶体管的源极连接;所述第十六晶体管的栅极与第一时钟信号端连接,漏极与上拉节点连接;所述第十一晶体管的栅极和源极与第一时钟信号端连接,漏极与下拉节点连接;所述第二十七晶体管的栅极和源极与第二时钟信号端连接,漏极与下拉节点连接;所述第十八晶体管的栅极与下拉节点连接,源极与第一低电压端连接,漏极与第十三晶体管的源极连接;所述第十三晶体管的栅极与下拉节点连接,漏极与上拉节点连接;所述第十七晶体管的栅极与第二控制电压端连接,源极与第一低电压端连接,漏极与所述第十四晶体管的源极连接;所述第十四晶体管的栅极与第二控制电压端连接,漏极与上拉节点连接;所述第十二晶体管的栅极与上拉节点连接,源极与第一低电压端连接,漏极与下拉节点连接;所述第八晶体管的栅极与上拉节点连接,源极与第二时钟信号端连接,漏极与第十晶体管的栅极连接;所述第九晶体管的栅极与下拉节点连接,源极与第一低电压端连接,漏极与第十晶体管的栅极连接;所述第七晶体管的栅极与上拉节点连接,源极与第二时钟信号端连接,漏极与所述第

十晶体管的源极连接;所述第六晶体管的栅极与下拉节点连接,源极与第二低电压端连接,漏极与所述第十晶体管的源极连接;所述第五晶体管的栅极与上拉节点连接,源极与第二时钟信号端连接;所述第四晶体管的栅极与下拉节点连接,源极与第二低电压端连接;所述第十晶体管的漏极连接在第十八晶体管的漏极和第十三晶体管的源极之间,且还连接在第十七晶体管的漏极和第十四晶体管的源极之间;所述自举电容的第一端连接在上拉节点,第二端与所述第二十七晶体管的漏极连接。

[0020] 其中,所述移位寄存器还包括输出端,所述第四晶体管的漏极和第五晶体管的漏极与所述移位寄存器的输出端连接,所述输出端空置。

[0021] 作为另一个技术方案,本发明还提供一种OLED显示装置,所述OLED显示装置包括本发明提供的上述栅极驱动电路。

[0022] 本发明具有以下有益效果:

[0023] 本发明提供的栅极驱动电路,其每级移位寄存器与一个反相器连接,反相器根据移位寄存器提供的第一信号和第二信号,生成发光信号,驱动发光器件发光;在该过程中,可以采用交流电源信号,对驱动晶体管的阈值电压进行补偿,与现有技术相比,可以减少薄膜晶体管和/或电容的数量,提高显示装置的开口率。并且,本发明提供的栅极驱动电路输入到发光器件中的电平和电流较大,可以实现高电平和大电流输出。

[0024] 本发明提供的OLED显示装置,其采用本发明上述实施方式提供的栅极驱动电路,与现有技术相比,可以减少薄膜晶体管和/或电容的数量,提高显示装置的开口率;并且,还可以实现高电平和大电流输出。

附图说明

[0025] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0026] 图1为本发明实施方式提供的栅极驱动电路的结构示意图;

[0027] 图2为图1所示栅极驱动电路中反相器的电路图;

[0028] 图3为图1所示栅极驱动电路的电路图;

[0029] 图4为图3所示栅极驱动电路中各信号的时序图;

[0030] 图5为反相器包括四个电流放大单元时的电路图;

[0031] 图6为图5所述反相器中各信号的时序图。

[0032] 其中,附图标记:

[0033] 1:移位寄存器;2:反相器;20:电流放大单元;21:外下拉单元;201:上拉模块;202:上拉保持模块;203:内下拉模块;204:驱动晶体管。

具体实施方式

[0034] 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是,此处所描述的具体实施方式仅用于说明和解释本发明,并不用于限制本发明。

[0035] 本发明提供一种栅极驱动电路的实施方式,图1为本发明实施方式提供的栅极驱动电路的结构示意图。如图1所示,在本实施方式中,所述栅极驱动电路包括多级移位寄存器1,每级移位寄存器1与一个反相器2连接。所述移位寄存器1用于向所述反相器2提供第一

信号INPUT_NOT和第二信号INPUT,所述第一信号INPUT_NOT为高电平时,所述第二信号INPUT为低电平,所述第一信号INPUT_NOT为低电平时,所述第二信号INPUT为高电平。所述反相器2接收所述第一信号INPUT_NOT和第二信号INPUT,且其输出端OUT与发光器件的阳极连接,用于根据所述第一信号INPUT_NOT和第二信号INPUT,生成发光信号,输入到所述发光器件中,驱动所述发光器件发光。

[0036] 所述反相器2包括至少两个电流放大单元20,以及外下拉单元21。其中,每个电流放大单元20包括上拉模块201、上拉保持模块202、内下拉模块203和驱动晶体管204。具体地,每个电流放大单元20中,所述上拉模块201接收所述第一信号INPUT_NOT,并与上拉保持模块202,以及所述驱动晶体管204的栅极连接;所述上拉模块201用于将所述发光信号的电位上拉。所述上拉保持模块202还与所述驱动晶体管204的栅极连接;所述上拉保持模块202用于保持所述发光信号的电位处于上拉状态。所述内下拉模块203接收第二信号INPUT,并与所述驱动晶体管204的栅极连接;所述内下拉模块203用于将所述上拉保持模块202及驱动晶体管204的栅极的电位下拉。所述驱动晶体管204的源极与高电压端连接,漏极与输出端连接。所述外下拉单元21接收第二信号INPUT,并与所述输出端连接;所述外下拉单元21用于将所述发光信号的电位下拉。

[0037] 本实施方式提供的栅极驱动电路,其每级移位寄存器1与一个反相器2连接,反相器2根据移位寄存器1提供的第一信号和第二信号,生成发光信号,驱动发光器件发光;在该过程中,可以采用交流电源信号,对驱动晶体管的阈值电压进行补偿,与现有技术相比,可以减少薄膜晶体管和/或电容的数量,提高显示装置的开口率。并且,本实施方式提供的栅极驱动电路输入到发光器件中的电平和电流较大,可以实现高电平和大电流输出。

[0038] 具体地,所述每个所述电流放大单元20与所述移位寄存器1的上拉节点和下拉节点连接,所述外下拉单元21与所述移位寄存器1的上拉节点连接;所述下拉节点向所述电流放大单元20提供第一信号INPUT_NOT,所述上拉节点向所述电流放大单元20及外下拉单元21提供第二信号INPUT。

[0039] 需要说明的是,第一信号INPUT_NOT和第二信号INPUT的提供者并不限于移位寄存器1的上拉节点、下拉节点,即:电流放大单元20和外下拉单元21还可以与移位寄存器1的其他节点或位置连接,只需所述节点和位置能够提供反相器2所需的第一信号INPUT_NOT和第二信号INPUT即可。

[0040] 所述反相器2中,电流放大单元20的数量为偶数,每两个电流放大单元20彼此对应。如图2所示,每个电流放大单元20中,上拉模块201包括a晶体管和b晶体管;所述a晶体管的栅极连接所述第一信号INPUT_NOT,源极与一时钟信号端连接,漏极与所述b晶体管的栅极和源极连接;所述b晶体管的漏极与该电流放大单元20中的上拉保持模块202,以及驱动晶体管204的栅极连接。并且,在彼此对应的两个电流放大单元20中,a晶体管的源极所连接的时钟信号端不同(例如在图2中,两个电流放大单元20中的a晶体管的源极所连接的分别为时钟信号端CLK1、时钟信号端CLK2);且在该两个时钟信号端中,任意一个时钟信号端为低电平时,另一时钟信号端为高电平。

[0041] 每个电流放大单元20中,上拉保持模块202包括c晶体管和C电容;所述c晶体管的栅极与所述b晶体管的漏极连接,源极与一时钟信号端连接,漏极与C电容的第一端连接;所述C电容的第二端连接在所述b晶体管的漏极和所述c晶体管的栅极之间。并且,在每个电流

放大单元中,c晶体管的源极所连接的时钟信号端与a晶体管的源极所连接的时钟信号端不同(例如在图2中的一个电流放大单元20中,c晶体管的源极所连接的为时钟信号端CLK2,a晶体管的源极连接的为时钟信号端CLK1);且在该两个时钟信号端中,任意一个时钟信号端为低电平时,另一时钟信号端为高电平。

[0042] 每个电流放大单元20中,所述内下拉模块203包括d晶体管;所述d晶体管的栅极连接所述第二信号INPUT,源极连接一低电压端,漏极连接在所述c晶体管的栅极与所述C电容的第二端之间。

[0043] 在本实施方式中,所述外下拉单元21包括e晶体管;所述e晶体管的栅极连接所述第二信号INPUT,源极与一低电压端连接,漏极与所述输出端OUT连接。

[0044] 优选地,每个电流放大单元20中所述a晶体管的源极所连接的时钟信号端与该电流放大单元20对应的电流放大单元20中c晶体管的源极所连接的时钟信号端相同。例如,图2所示,在一个电流放大单元20中,a晶体管的源极所连接的为时钟信号端CLK1,c晶体管的源极所连接的为时钟信号端CLK2,在该电流放大单元20对应的另一个电流放大单元20中,a晶体管的源极所连接的为时钟信号端CLK2,c晶体管的源极所连接的为时钟信号端CLK1。上述设置可以减少时钟信号端的数量,从而可以降低栅极驱动电路所占用的面积,有助于提高显示装置的开口率。

[0045] 在本实施方式中,所述电流放大单元20的数量可以为两个。在此情况下,所述反相器2的电路图可以如图3所示。具体地,第一个所述电流放大单元20中,所述上拉模块201包括第一晶体管M1和第二十三晶体管M23;所述第一晶体管M1的栅极连接所述第一信号INPUT_NOT,源极与第一时钟信号端CLK1连接,漏极与所述第二十三晶体管M23的栅极和源极连接;所述第二十三晶体管M23的漏极与第一个电流放大单元20中的所述上拉保持模块202,以及第三晶体管M3的栅极连接,其中,所述第三晶体管M3即该电流放大单元20中的驱动晶体管204;即:所述第一晶体管M1为该电流放大单元20中的a晶体管,第二十三晶体管M23为该电流放大单元20中的b晶体管。所述上拉保持模块202包括第二晶体管M2和第一电容C1;所述第二晶体管M2的栅极与所述第二十三晶体管M23的漏极连接,源极与所述第二时钟信号端CLK2连接,漏极与所述第一电容C1的第一端连接;所述第一电容C1的第二端连接在所述第二十三晶体管M23的漏极与所述第二晶体管M2的栅极之间;即:所述第二晶体管M2为该电流放大单元20中的c晶体管,所述第一电容C1为该电流放大单元中的C电容;其中,所述第二时钟信号端CLK2的电平与第一时钟信号端CLK1的电平相反,即:在第一时钟信号端CLK1的电平为低电平时,第二时钟信号端CLK2的电平为高电平,在第一时钟信号端CLK1的电平为高电平时,第二时钟信号端CLK2的电平为低电平。在第一个电流放大单元20中,所述内下拉模块203包括第二十五晶体管M25;所述第二十五晶体管M25的栅极连接所述第二信号INPUT,源极与第一低电压端VGL1连接,漏极连接在所述第一电容C1的第二端与所述第二晶体管M2的栅极之间;即:所述第二十五晶体管M25为该电流放大单元20中的d晶体管。

[0046] 第二个所述电流放大单元20中,所述上拉模块包括第十九晶体管M19和第二十二晶体管M22;所述第一十九晶体管M19的栅极连接所述第一信号INPUT_NOT,源极与第二时钟信号端CLK2连接,漏极与第二十二晶体管M22的栅极和源极连接;所述第二十二晶体管M22与第二个电流放大单元20中的所述上拉保持模块202,以及第二十一晶体管M21的栅极连接,其中,所述第二十一晶体管M21即为该电流放大单元20中的驱动晶体管204;即:所

述第十九晶体管M19为该电流放大单元20中的a晶体管,第二十二晶体管M22为该电流放大单元20中的b晶体管。所述上拉保持模块202包括第二十晶体管M20和第二电容C2;所述第二十晶体管M20的栅极与所述第二十二晶体管M22的漏极连接,源极与所述第一时钟信号端CLK1连接,漏极与所述第二电容C2的第一端连接;所述第二电容C2的第二端连接在所述第二十二晶体管M22的漏极与第二十晶体管M20的栅极之间;即:第二十晶体管M20为该电流放大单元20中的c晶体管,所述第二电容C2为该电流放大单元中的C电容;。所述内下拉模块203包括第二十六晶体管M26;所述第二十六晶体管M26的栅极连接所述第二信号INPUT,源极与所述第一低电压端VGL1连接,漏极连接在所述第二电容C2的第二端与第二十晶体管M20的栅极之间;即:第二十六晶体管M26为该电流放大单元20中的d晶体管。

[0047] 外下拉单元21包括第二十四晶体管M24;所述第二十四晶体管M24的栅极连接第二信号INPUT,源极与第二低电压端VGL2连接,漏极与所述输出端OUT连接;即:第二十四晶体管M24为反相器2中的e晶体管。

[0048] 图3还示出了移位寄存器1的电路结构,在本实施方式中,所述移位寄存器1可以为如图3所示的电路结构,在此情况下,移位寄存器1具体包括第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11、第十二晶体管M12、第十三晶体管M13、第十四晶体管M14、第十五晶体管M15、第十六晶体管M16、第十七晶体管M17、第十八晶体管M18、第二十七晶体管M27,以及自举电容C3;其中,所述第十五晶体管M15的栅极和源极与第一控制电压端STU连接,漏极与第十六晶体管M16的源极连接;所述第十六晶体管M16的栅极与第一时钟信号端CLK1连接,漏极与上拉节点PU连接;所述第十一晶体管M11的栅极和源极与第一时钟信号端CLK1连接,漏极与下拉节点PD连接;所述第二十七晶体管M27的栅极和源极与第二时钟信号端CLK2连接,漏极与下拉节点PU连接;所述第十八晶体管M18的栅极与下拉节点PD连接,源极与第一低电压端VGL1连接,漏极与第十三晶体管M13的源极连接;所述第十三晶体管M13的栅极与下拉节点PD连接,漏极与上拉节点PU连接;所述第十七晶体管M17的栅极与第二控制电压端STD连接,源极与第一低电压端VGL1连接,漏极与第十四晶体管M14的源极连接;所述第十四晶体管M14的栅极与第二控制电压端STD连接,漏极与上拉节点PU连接;所述第十二晶体管M12的栅极与上拉节点PU连接,源极与第一低电压端VGL1连接,漏极与下拉节点PD连接;所述第八晶体管M8的栅极与上拉节点PU连接,源极与第二时钟信号端CLK2连接,漏极与第十晶体管M10的栅极连接;所述第九晶体管M9的栅极与下拉节点PD连接,源极与第一低电压端VGL1连接,漏极与第十晶体管M10的栅极连接;所述第七晶体管M7的栅极与上拉节点PU连接,源极与第二时钟信号端CLK2连接,漏极与第十晶体管M10的源极连接;所述第六晶体管M6的栅极与下拉节点PD连接,源极与第二低电压端VGL2连接,漏极与第十晶体管M10的源极连接;所述第五晶体管M5的栅极与上拉节点PU连接,源极与第二时钟信号端CLK2连接;所述第四晶体管M4的栅极与下拉节点PD连接,源极与第二低电压端VGL2连接;所述第十晶体管M10的漏极连接在第十八晶体管M18的漏极和第十三晶体管M13的源极之间,且还连接在第十七晶体管M17的漏极和第十四晶体管M14的源极之间;所述自举电容C3的第一端连接在上拉节点PU,第二端与第二十七晶体管M27的漏极连接。

[0049] 此外,所述移位寄存器1还可以包括输出端OUT_N,在此情况下,所述第四晶体管M4

的漏极和第五晶体管M5的漏极与所述移位寄存器1的输出端OUT_N连接,而所述输出端OUT_N空置,即所述输出端OUT_N不与所述发光器件连接。

[0050] 在图3所示电路中,移位寄存器1和反相器2中均存在第一时钟信号端CLK1和第二时钟信号端CLK2,但其二者中的第一时钟信号端CLK1和第二时钟信号端CLK2可以为相同的信号端,也可以为不同的信号端,以满足各自不同的需要。

[0051] 在本实施方式中,上述移位寄存器1和反相器2中的各所述晶体管为N型薄膜晶体管。由于N型薄膜晶体管在显示装置,特别是氧化物半导体显示装置(指薄膜晶体管的有源层为氧化物的显示装置)中,N型薄膜晶体管广泛应用,这样可以降低栅极驱动电路,以及显示装置的成本。

[0052] 下面以移位寄存器1和反相器2分别为上述图3和图4所示结构,且各薄膜晶体管为N型薄膜晶体管为例,结合图5所示的时序,对本发明提供的栅极驱动电路生成发光信号,驱动发光器件发光的原理和过程进行详细描述。

[0053] 首先就移位寄存器1而言,其生成第一信号INPUT_NOT和第二信号INPUT,所生成的第一信号INPUT_NOT和第二信号INPUT的时序如图4所示。由于使用移位寄存器生成所需的信号为现有技术,在本实施方式中,对于移位寄存器1生成第一信号INPUT_NOT和第二信号INPUT的原理和详细过程不再赘述。此外,在本实施方式中,移位寄存器1并不限于上述结构,其可以使任何可以向反相器2提供第一信号INPUT_NOT和第二信号INPUT的电路结构。

[0054] 就反相器2而言,在第一阶段t1,移位寄存器1提供的第一信号INPUT_NOT为高电平,第二信号INPUT为低电平;第一时钟信号端CLK1输出高电平,第二时钟信号端CLK2输出低电平。其中,第一信号INPUT_NOT为高电平,使第一晶体管M1开启,这样,第一时钟信号端CLK1输出的高电平信号将第二十三晶体管M23开启,同时,第一时钟信号端CLK1输出的高电平信号还输入至第二晶体管M2的栅极和第三晶体管M3的栅极,将第二晶体管M2和第三晶体管M3开启,以及,对第一电容C1的第二端充电,其中,第二晶体管M2的开启使第二时钟信号端CLK2输出的低电平输入至第二电容C2的第一端,第三晶体管M3的开启使高电压端VGH经第三晶体管M3与输出端OUT连接。

[0055] 第一信号INPUT_NOT为高电平,还会使第十九晶体管M19开启,这样,第二时钟信号端CLK2输出的低电平信号使第二十二晶体管M22关闭;在此情况下,第二电容C2的第二端在上一阶段中被充电至高电平,从而,第二电容C2在该阶段会使第二十晶体管M20和第二十一晶体管M21的栅极维持高电平,将第二十晶体管M20和第二十一晶体管M21开启;第二十晶体管M20的开启,使第一时钟信号端CLK1输出的高电平信号对第二电容C2的第一端充电,从而,第二电容C2的第二端的电压会自举升高,进而会使第二十晶体管M20和第二十一晶体管M21充分打开,并且,还使第二十一晶体管M21的栅极和源极之间的电压差较大,可以生成更大的电流信号。第二十一晶体管M21的开启,会使高电压端VGH经第二十一晶体管M21与输出端OUT连接。

[0056] 从而,反相器2在第一阶段会输出高电平信号。

[0057] 在第二阶段t2,移位寄存器1提供的第一信号INPUT_NOT为高电平,第二信号INPUT为低电平;第一时钟信号端CLK1输出低电平,第二时钟信号端CLK2输出高电平。在此情况下,第一晶体管M1开启,第二十三晶体管M23关闭,由于第二电容C2在第一阶段中被充电,第二晶体管M2的栅极会保持高电平,维持第二晶体管M2和第三晶体管M3的开启,第二晶体管

M2的开启,使第二时钟信号端VGL2输出的高电平信号对第一电容C1的第一端充电,这样就使第一电容C1的第二端的电压自举升高,从而使第二晶体管M2和第三晶体管M3充分打开,同时,还使第三晶体管M3的栅极与源极之间的电压差较大,可以生成更大的电流信号;第二晶体管M3的开启使高电压端VGH通过第三晶体管M3与输出端OUT连接;另一方面,第十九晶体管M19也会开启,使第二十二晶体管M22、第二十晶体管M20、第二十一晶体管M21开启,使高电压端VGH同时通过第二十一晶体管M21与输出端OUT连接;从而,反相器2在该阶段会输出高电平信号。

[0058] 在第三阶段t3,移位寄存器1提供的第一信号INPUT_NOT为低电平,第二信号INPUT为高电平;第一时钟信号端CLK1输出高电平,第二时钟信号端CLK2输出低电平;使第一晶体管M1和第十九晶体管M19关闭,即两个电流放大单元20的上拉模块201均处于不工作状态;而第二十四晶体管M24、第二十五晶体管M25和第二十六晶体管M26开启,在此情况下,第一低电压端VGL1将第一电容C1、第二电容C2上的电位拉低,第二低电压端VGL2向输出端OUT输出低电压;从而,反相器2在该阶段会输出低电平信号。

[0059] 在第四阶段t4,移位寄存器1提供的第一信号INPUT_NOT为低电平,第二信号INPUT为高电平;第一时钟信号端CLK1输出低电平,第二时钟信号端CLK2输出高电平;与上述第三阶段相同,第一晶体管M1和第十九晶体管M19均关闭,而第二十四晶体管M24、第二十五晶体管M25和第二十六晶体管M26开启,在此情况下,第一低电压端VGL1将第一电容C1、第二电容C2上的电位拉低,第二低电压端VGL2向输出端OUT输出低电压;从而,反相器2在该阶段会输出低电平。

[0060] 在第五阶段t5,移位寄存器1提供的第一信号INPUT_NOT为高电平,第二信号INPUT为低电平;第一时钟信号端CLK1输出高电平,第二时钟信号端CLK2输出低电平。在该阶段内,第一晶体管M1、第二十三晶体管M23开启,从而将第一时钟信号端CLK1输出的高电平输入至第二晶体管M2、第三晶体管M3,以及对第一电容C1的第二端进行充电,其中,第三晶体管M3的开启使高电压端VGH经第三晶体管M3与输出端OUT连接,从而,反相器2在该阶段会输出高电平。

[0061] 在第六阶段t6,移位寄存器1提供的第一信号INPUT_NOT为高电平,第二信号INPUT为低电平;第一时钟信号端CLK1输出低电平,第二时钟信号端CLK2输出高电平。在该阶段内,第一晶体管M1开启,第一时钟信号端CLK1的低电平会使第二十三晶体管M23关闭,但由于第一电容C1的第二端在上一阶段被充电至高电平,第一电容C1会使第二晶体管M2和第三晶体管M3开启,第二晶体管M2开启使第二时钟信号端CLK2的高电平对第一电容C1的第一端充电,从而,第一电容C1的第二端的电压会自举升高,使第二晶体管M2和第三晶体管M3充分开启,并使第三晶体管M3的栅极与源极之间的电压差较大,这样就可以生成更大的电流信号;而第三晶体管M3的开启就会使高电压端VGH通过第三晶体管M3与输出端OUT连通,从而,反相器2在该阶段会输出高电平。

[0062] 而在第七阶段t7和第八阶段t8,与上述第一阶段t1和第二阶段t2类似,在此不再赘述。

[0063] 在上述过程中可知,在相邻的两个阶段内(t2~t3、t3~t4、t4~t5除外),第一电容C1的第二端在前一阶段被第一时钟信号端CLK1充电至高电平,在下一阶段,第二时钟信号端CLK2对第一电容C1的第一端充电,从而,使第一电容C1的第二端的电压自举升高,如图

5所示,第一电容C1的第二端的电位高于VGH和第一时钟信号端CLK1的高电平时的电压,因此,其可以将第三晶体管M3充分开启,保证高电压端VGH与输出端OUT的连接稳定性,同时,增大了第三晶体管M3的栅极和漏极之间的电压差,从而可以生成较大的电流信号,经输出端输入到发光器件中,驱动发光器件发光。

[0064] 需要说明的是,当信号在信号线中传输时,信号线上会有寄生的电阻和电容,该电阻和电容会导致信号的迟滞,此外,在经过薄膜晶体管时,信号也会发生迟滞;基于以上原因,在本实施方式中,第一信号INPUT_NOT和第二信号INPUT,以及第一时钟信号CLK1和第二时钟信号CLK2会发生迟滞,即:第一信号INPUT_NOT和第二信号INPUT,以及第一时钟信号CLK1和第二时钟信号CLK2的上升沿、下降沿时间变长;在此情况下,在电流放大单元20的数量为两个时,在每个时钟信号的电平切换的时刻,所述反相器无法生成稳定的发光信号,或者,生成的发光信号异常,这样会导致OLED显示装置显示异常。

[0065] 而在反相器2内的电流放大单元20的数量为更多个时,当一组相对应的两个电流放大单元对应的时钟信号的电平切换时,其他的电流放大单元对应的时钟信号可以维持在某一电平,即多组电流放大单元对应的时钟信号电平切换的时刻相互错开,这样在一组电流放大单元由于时钟信号的迟滞而导致产生的发光信号异常时,其他的电流放大单元可以产生正常的发光信号,使最终从输出端OUT输出的发光信号稳定。例如,所述电流放大单元20的数量为四个时,反相器2的电路结构如图5所示,其时钟信号CLK1~CLK4,以及第一信号INPUT_NOT和第二信号INPUT的时序如图6所示;可以看出时钟信号CLK1和CLK3的电平切换的时刻错开,时钟信号CLK2和CLK4的电平切换的时刻错开,其中,每个电流放大单元20的工作流程与上述类似,在此就不再赘述。

[0066] 在上述实施例中,以反相器2内的电流放大单元的数量为偶数个为例,对栅极驱动电路生成驱动发光器件发光的电流的原理和过程进行了说明,但在本实施方式中,所述反相器2内的电流放大单元20的数量还可以为奇数个(且大于两个),与上述电流放大单元的数量为大于两个的偶数个的实施例类似,在该奇数个电流放大单元20中,其中一部分电流放大单元为至少一组彼此对应的电流放大单元,该部分电流放大单元的数量大于两个,且为偶数个,其用于产生驱动发光器件发光的电流;而另一部分电流放大单元中,时钟信号与上述第一部分电流放大单元中的时钟信号的电平切换的时刻错开,其用于对上一部分电流放大单元20中第一信号INPUT_NOT、第二信号INPUT,以及时钟信号的迟滞进行补偿,在上述第一部分的电流放大单元产生的发光信号异常时,产生正常的发光信号,最终是从输出端OUT输出的发光信号保持稳定。

[0067] 本发明实施方式提供的栅极驱动电路,其每级移位寄存器1与一个反相器2连接,反相器2根据移位寄存器1提供的第一信号和第二信号,生成发光信号,驱动发光器件发光;在该过程中,可以采用交流电源信号,对驱动晶体管的阈值电压进行补偿,与现有技术相比,可以减少薄膜晶体管和/或电容的数量,提高显示装置的开口率。并且,本实施方式提供的栅极驱动电路输入到发光器件中的电平和电流较大,可以实现高电平和电流输出。

[0068] 本发明还提供一种OLED显示装置的实施方式,在该实施方式中,所述OLED显示装置包括本发明上述实施方式提供的栅极驱动电路。

[0069] 本发明提供的OLED显示装置,其采用本发明上述实施方式提供的栅极驱动电路,与现有技术相比,可以减少薄膜晶体管和/或电容的数量,提高显示装置的开口率;并且,还

可以实现高电平和大电流输出。

[0070] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

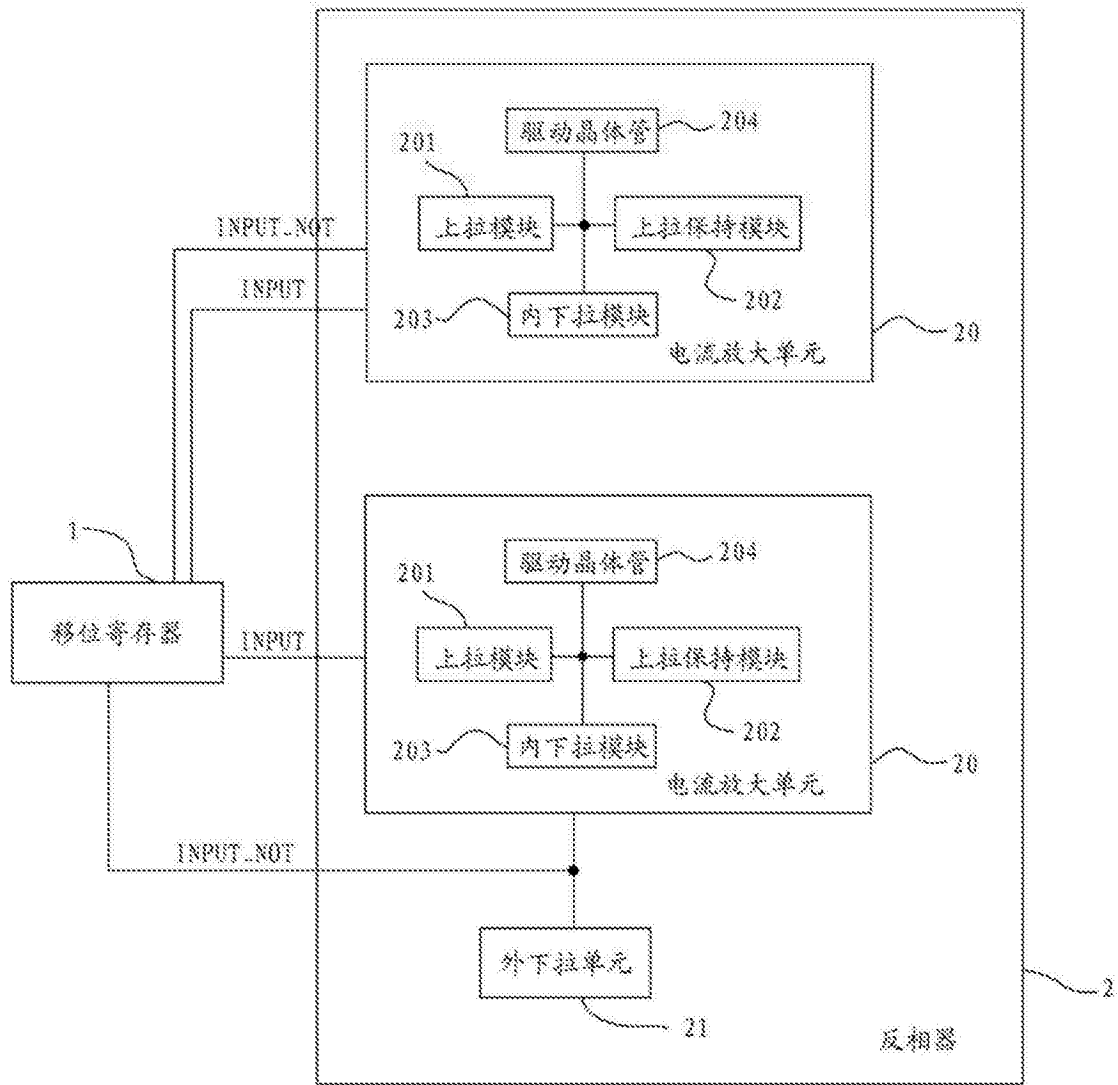


图1

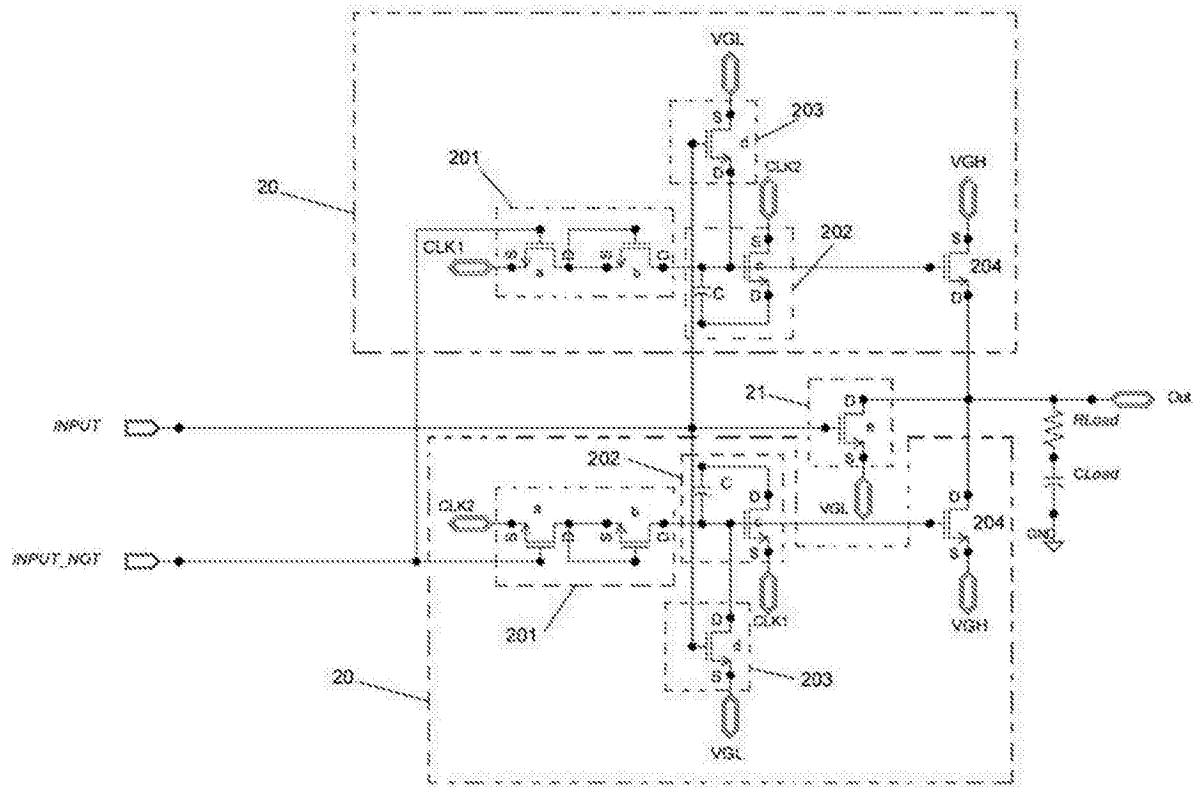


图2

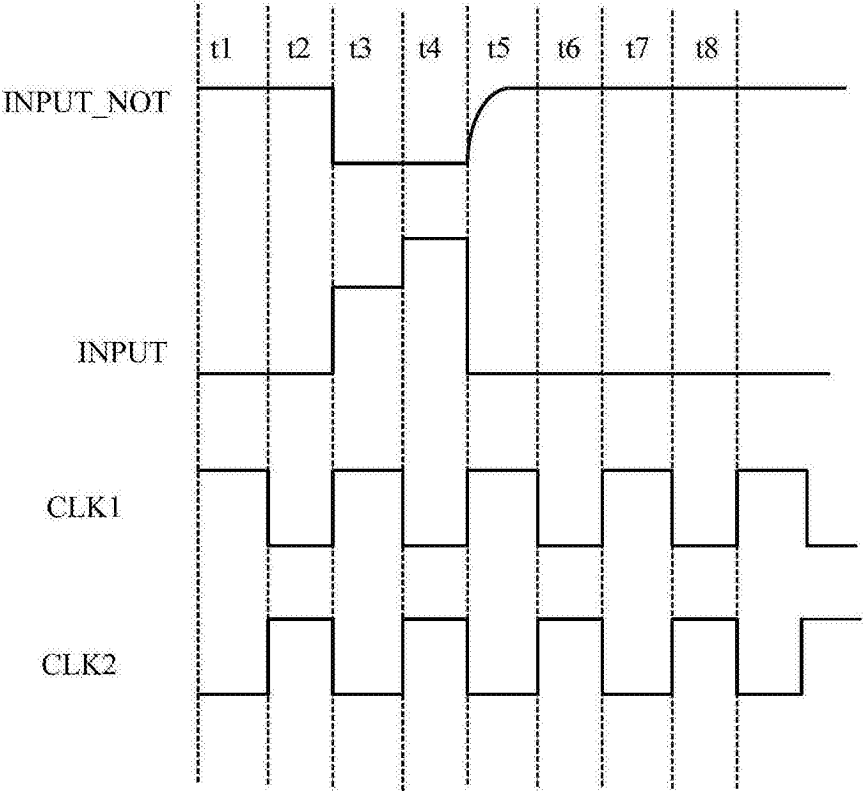


图4

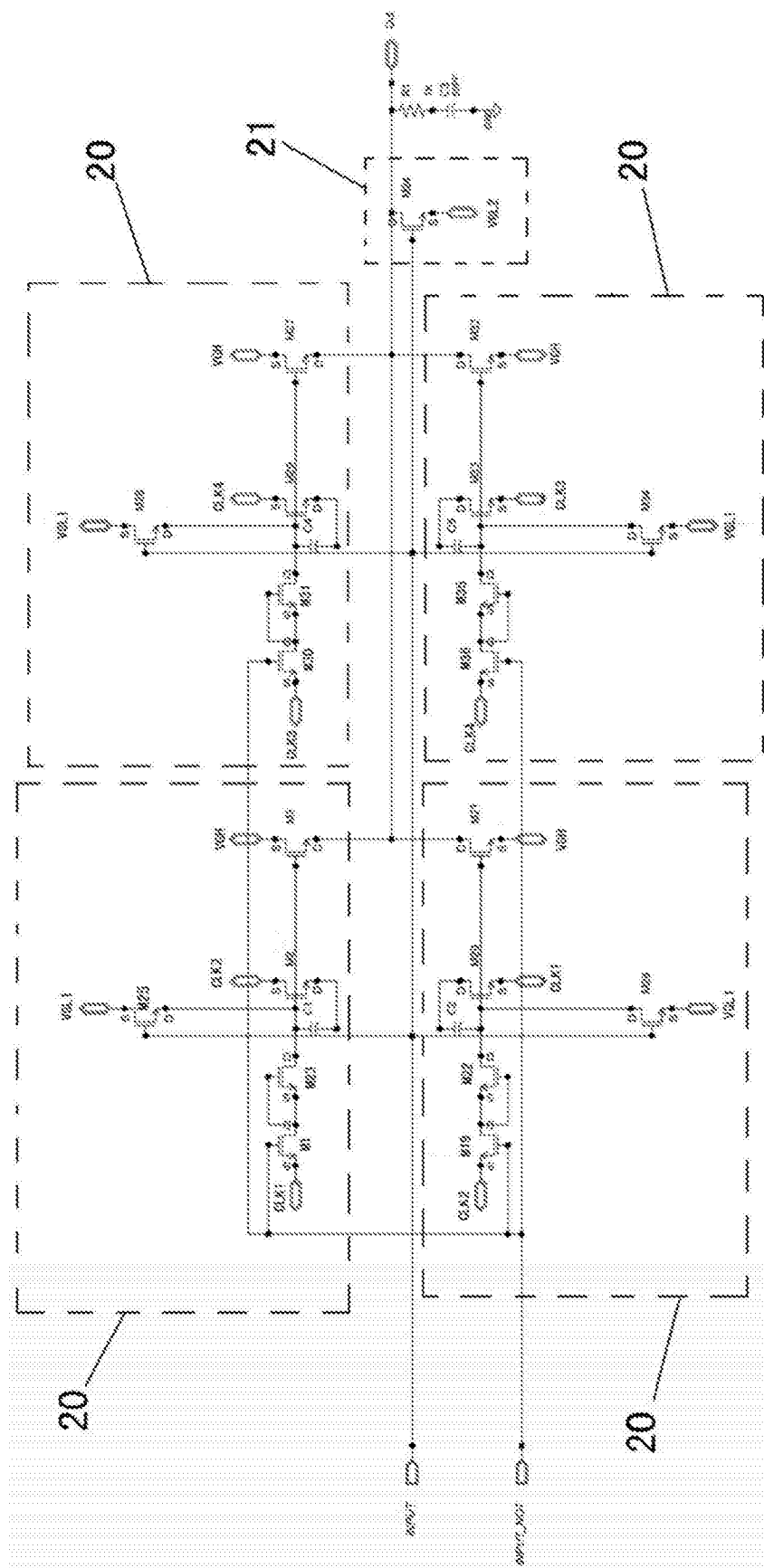


图5

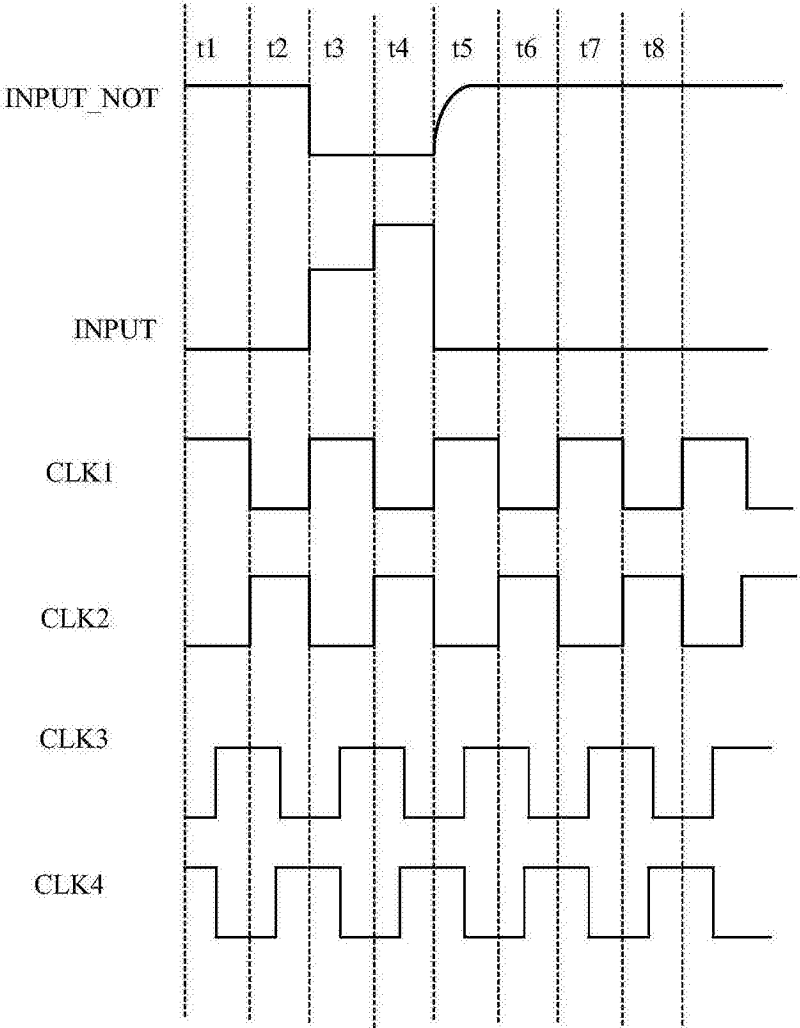


图6

专利名称(译)	栅极驱动电路及OLED显示装置		
公开(公告)号	CN104821153B	公开(公告)日	2017-06-16
申请号	CN201510289143.3	申请日	2015-05-29
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	李全虎		
发明人	李全虎		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2300/0426 G09G2310/0286 G09G2310/0291 G09G2320/0233 G11C19/28		
代理人(译)	柴亮 张天舒		
审查员(译)	李小兰		
其他公开文献	CN104821153A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种栅极驱动电路及OLED显示装置。所述栅极驱动电路包括多级移位寄存器，每级移位寄存器与一个反相器连接；移位寄存器用于向反相器提供第一信号和第二信号；反相器接收第一信号和第二信号，且其输出端与发光器件的阳极连接，用于根据第一信号和第二信号，生成发光信号，输入到所述发光器件中，驱动发光器件发光；反相器包括至少两个电流放大单元，以及外下拉单元；每个电流放大单元包括上拉模块、上拉保持模块、内下拉模块和驱动晶体管；所述外下拉单元接收第二信号，并与输出端连接；外下拉单元用于将所述发光信号的电位下拉。上述栅极驱动电路可以减少晶体管的数量，提高显示装置的开口率，同时，还可实现高电平和在大电流输出。

