



(12)实用新型专利

(10)授权公告号 CN 207425323 U

(45)授权公告日 2018.05.29

(21)申请号 201721632377.4

(22)申请日 2017.11.29

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区朝阳酒仙桥路
10号

(72)发明人 石领

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274

代理人 申健

(51)Int.Cl.

G09G 3/3258(2016.01)

(ESM)同样的发明创造已同日申请发明专利

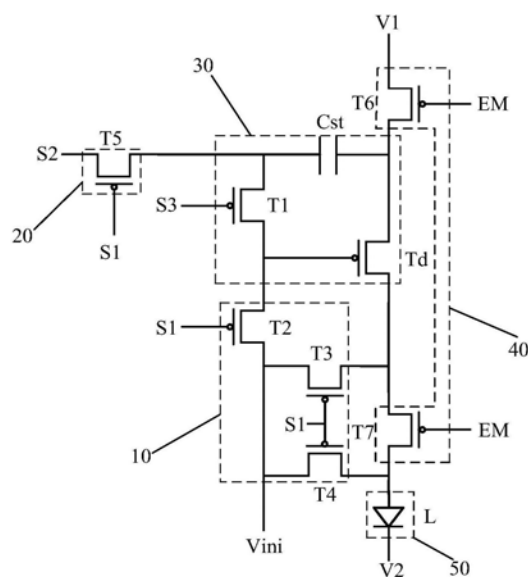
权利要求书2页 说明书10页 附图7页

(54)实用新型名称

一种OLED像素电路、显示装置

(57)摘要

本实用新型提供一种OLED像素电路、显示装置,涉及显示技术领域,可解决显示装置亮度显示不均一的问题。OLED像素电路,包括初始化与补偿模块,用于在第一信号端的控制下,根据初始电压端输入的信号对驱动模块进行初始化和阈值电压的补偿;数据写入模块,用于在第一信号端的控制下,将第二信号端的信号输入至驱动模块,以及将所述驱动模块输出的驱动信号输入至所述发光模块;所述驱动模块,还连接第三信号端,用于输出所述驱动信号;所述发光模块,还连接第二电压端,用于在所述发光控制模块输出的所述驱动信号和所述第二电压端的驱动下进行发光。



1. 一种OLED像素电路,其特征在于,包括:初始化与补偿模块、数据写入模块、驱动模块、发光控制模块以及发光模块;

所述初始化与补偿模块,分别连接所述驱动模块、所述发光控制模块、第一信号端以及初始电压端,用于在所述第一信号端的控制下,根据所述初始电压端输入的信号对所述驱动模块进行初始化和阈值电压的补偿;

所述数据写入模块,分别连接所述驱动模块、所述第一信号端以及第二信号端,用于在所述第一信号端的控制下,将所述第二信号端的信号输入至所述驱动模块;

所述发光控制模块,分别连接所述驱动模块、所述发光模块、所述初始化与补偿模块、使能信号端以及第一电压端,用于在所述使能信号端的控制下,将所述第一电压端的信号输入至所述驱动模块,以及将所述驱动模块输出的驱动信号输入至所述发光模块;

所述驱动模块,还连接第三信号端,用于在所述第三信号端和所述发光控制模块输入的信号的信号的控制下,输出所述驱动信号;

所述发光模块,还连接第二电压端,用于在所述发光控制模块输入的所述驱动信号和所述第二电压端的驱动下进行发光。

2. 根据权利要求1所述的OLED像素电路,其特征在于,所述使能信号端和所述第三信号端连接同一信号输入端。

3. 根据权利要求1所述的OLED像素电路,其特征在于,所述初始化与补偿模块,还连接所述发光模块,用于在所述第一信号端的控制下,根据所述初始电压端输入的信号对所述发光模块进行初始化。

4. 根据权利要求1-3任一项所述的OLED像素电路,其特征在于,所述驱动模块包括第一晶体管、驱动晶体管、以及存储电容;

所述存储电容的第一端连接所述数据写入模块,第二端连接所述发光控制模块;

所述第一晶体管的栅极连接所述第三信号端,第一极连接所述存储电容的第一端,第二极连接所述驱动晶体管的栅极;

所述驱动晶体管的第一极连接所述存储电容的第二端和所述发光控制模块,第二极连接所述初始化与补偿模块和所述发光控制模块。

5. 根据权利要求1-3任一项所述的OLED像素电路,其特征在于,所述初始化与补偿模块包括第二晶体管和第三晶体管;

所述第二晶体管的栅极连接所述第一信号端,第一极连接所述初始电压端,第二极连接所述驱动模块;

所述第三晶体管的栅极连接所述第一信号端,第一极连接所述第二晶体管的第一极,第二极连接所述驱动模块和所述发光控制模块。

6. 根据权利要求5所述的OLED像素电路,其特征在于,所述初始化与补偿模块还包括第四晶体管;

所述第四晶体管的栅极连接所述第一信号端,第一极连接所述初始电压端,第二极连接所述发光模块和所述发光控制模块。

7. 根据权利要求1-3任一项所述的OLED像素电路,其特征在于,所述数据写入模块包括第五晶体管;

所述第五晶体管的栅极连接所述第一信号端,第一极连接所述第二信号端,第二极连

接所述驱动模块。

8. 根据权利要求1-3任一项所述的OLED像素电路,其特征在于,所述发光控制模块包括第六晶体管和第七晶体管;

所述第六晶体管的栅极连接所述使能信号端,第一极连接所述第一电压端,第二极连接所述驱动模块;

所述第七晶体管的栅极连接所述使能信号端,第一极连接所述驱动模块,第二极连接所述发光模块。

9. 根据权利要求1-3任一项所述的OLED像素电路,其特征在于,所述驱动模块包括第一晶体管、驱动晶体管、以及存储电容;所述初始化与补偿模块包括第二晶体管和第三晶体管、以及第四晶体管;所述数据写入模块包括第五晶体管;所述发光控制模块包括第六晶体管和第七晶体管;所述发光模块包括发光器件;

所述第五晶体管的栅极连接所述第一信号端,第一极连接所述第二信号端,第二极连接所述存储电容的第一端和所述第一晶体管的第一极;

所述存储电容的第二端连接所述驱动晶体管的第一极和所述第六晶体管的第二极;所述第一晶体管的栅极连接所述第三信号端,第一极还连接所述存储电容的第一端,第二极连接所述驱动晶体管的栅极和所述第二晶体管的第二极;所述驱动晶体管的栅极还连接所述第二晶体管的第二极,第一极还连接所述第六晶体管的第二极,第二极连接所述第三晶体管的第二极和所述第七晶体管的第一极;

所述第六晶体管的栅极连接所述使能信号端,第一极连接所述第一电压端;所述第七晶体管的栅极连接所述使能信号端,第一极还连接所述第三晶体管的第二极,第二极连接所述发光器件的阳极和所述第四晶体管的第二极;

所述第二晶体管的栅极连接所述第一信号端,第一极连接所述初始电压端、所述第三晶体管的第一极和所述第四晶体管的第一极;所述第三晶体管的栅极连接所述第一信号端,第一极还连接所述初始电压端;所述第四晶体管的栅极连接所述第一信号端,第一极还连接所述初始电压端,第二极还连接所述发光器件的阳极;

所述发光器件的阴极连接所述第二电压端。

10. 一种显示装置,其特征在于,包括权利要求1-9任一项所述的OLED像素电路。

一种OLED像素电路、显示装置

技术领域

[0001] 本实用新型涉及显示技术领域,尤其涉及一种OLED像素电路、显示装置。

背景技术

[0002] 有机电致发光二极管(Organic Light Emitting Diode,OLED)显示器是目前研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED具有低能耗、自发光、宽视角及响应速度快等优点。其中,像素电路设计是OLED显示器核心技术内容,具有重要的研究意义。

[0003] 现有技术中的OLED驱动电路如图1所示,驱动电流 I_{ds} 的值可决定OLED器件所产生的亮度。驱动电流 I_{ds} 即流过驱动晶体管DT的电流,可表示为: $I_{ds} = \frac{1}{2}K(V_{gs} - V_{th})^2$;其中, k 为驱动晶体管的导电参数, V_{gs} 为驱动晶体管DT的栅极与源极的电压差, V_{th} 为驱动晶体管DT的阈值电压值。

[0004] 受薄膜晶体管制备工艺及材料的限制,显示装置各区域的薄膜晶体管的特性会存在差异,即各薄膜晶体管的 V_{th} 值会存在差异。因此,当不同区域的多个显示单元写入相同的数据信号时,将会提供给OLED器件不同的电流,导致显示装置亮度显示不均。

实用新型内容

[0005] 本实用新型的实施例提供一种OLED像素电路、显示装置,可改善显示装置亮度显示不均一的问题。

[0006] 为达到上述目的,本实用新型的实施例采用如下技术方案:

[0007] 第一方面,提供一种OLED像素电路,包括:初始化与补偿模块、数据写入模块、驱动模块、发光控制模块以及发光模块;所述初始化与补偿模块,分别连接所述驱动模块、所述发光控制模块、第一信号端以及初始电压端,用于在所述第一信号端的控制下,根据所述初始电压端输入的信号对所述驱动模块进行初始化和阈值电压的补偿;所述数据写入模块,分别连接所述驱动模块、所述第一信号端以及第二信号端,用于在所述第一信号端的控制下,将所述第二信号端的信号输入至所述驱动模块;所述发光控制模块,分别连接所述驱动模块、所述发光模块、所述初始化与补偿模块、使能信号端以及第一电压端,用于在所述使能信号端的控制下,将所述第一电压端的信号输入至所述驱动模块,以及将所述驱动模块输出的驱动信号输入至所述发光模块;所述驱动模块,还连接第三信号端,用于在所述第三信号端和所述发光控制模块输入的信号的控制下,输出所述驱动信号;所述发光模块,还连接第二电压端,用于在所述发光控制模块输入的所述驱动信号和所述第二电压端的驱动下进行发光。

[0008] 优选的,所述使能信号端和所述第三信号端连接同一信号输入端。

[0009] 优选的,所述初始化与补偿模块,还连接所述发光模块,用于在所述第一信号端的控制下,根据所述初始电压端输入的信号对所述发光模块进行初始化。

[0010] 优选的,所述驱动模块包括第一晶体管、驱动晶体管、以及存储电容;所述存储电容的第一端连接所述数据写入模块,第二端连接所述发光控制模块;所述第一晶体管的栅极连接所述第三信号端,第一极连接所述存储电容的第一端,第二极连接所述驱动晶体管的栅极;所述驱动晶体管的第一极连接所述存储电容的第二端和所述发光控制模块,第二极连接所述初始化与补偿模块和所述发光控制模块。

[0011] 优选的,所述初始化与补偿模块包括第二晶体管和第三晶体管;所述第二晶体管的栅极连接所述第一信号端,第一极连接所述初始电压端,第二极连接所述驱动模块;所述第三晶体管的栅极连接所述第一信号端,第一极连接所述第二晶体管的第一极,第二极连接所述驱动模块和所述发光控制模块。

[0012] 优选的,所述初始化与补偿模块还包括第四晶体管;所述第四晶体管的栅极连接所述第一信号端,第一极连接所述初始电压端,第二极连接所述发光模块和所述发光控制模块。

[0013] 优选的,所述数据写入模块包括第五晶体管;所述第五晶体管的栅极连接所述第一信号端,第一极连接所述第二信号端,第二极连接所述驱动模块。

[0014] 优选的,所述发光控制模块包括第六晶体管和第七晶体管;所述第六晶体管的栅极连接所述使能信号端,第一极连接所述第一电压端,第二极连接所述驱动模块;所述第七晶体管的栅极连接所述使能信号端,第一极连接所述驱动模块,第二极连接所述发光模块。

[0015] 优选的,所述驱动模块包括第一晶体管、驱动晶体管、以及存储电容;所述初始化与补偿模块包括第二晶体管和第三晶体管、以及第四晶体管;所述数据写入模块包括第五晶体管;所述发光控制模块包括第六晶体管和第七晶体管;所述发光模块包括发光器件;所述第五晶体管的栅极连接所述第一信号端,第一极连接所述第二信号端,第二极连接所述存储电容的第一端和所述第一晶体管的第一极;所述存储电容的第二端连接所述驱动晶体管的第一极和所述第六晶体管的第二极;所述第一晶体管的栅极连接所述第三信号端,第一极还连接所述存储电容的第一端,第二极连接所述驱动晶体管的栅极和所述第二晶体管的第二极;所述驱动晶体管的栅极还连接所述第二晶体管的第二极,第一极还连接所述第六晶体管的第二极,第二极连接所述第三晶体管的第二极和所述第七晶体管的第一极;所述第六晶体管的栅极连接所述使能信号端,第一极连接所述第一电压端;所述第七晶体管的栅极连接所述使能信号端,第一极还连接所述第三晶体管的第二极,第二极连接所述发光器件的阳极和所述第四晶体管的第二极;所述第二晶体管的栅极连接所述第一信号端,第一极连接所述初始电压端、所述第三晶体管的第一极和所述第四晶体管的第一极;所述第三晶体管的栅极连接所述第一信号端,第一极还连接所述初始电压端;所述第四晶体管的栅极连接所述第一信号端,第一极还连接所述初始电压端,第二极还连接所述发光器件的阳极;所述发光器件的阴极连接所述第二电压端。

[0016] 第二方面,提供一种显示装置,包括第一方面所述的OLED像素电路。

[0017] 第三方面,提供一种OLED像素电路的驱动方法,所述驱动方法包括:在一帧的第一阶段,初始化与补偿模块在第一信号端的控制下,将初始电压端输出的重置信号输入至驱动模块,对所述驱动模块进行初始化和阈值电压的补偿;数据写入模块在所述第一信号端的控制下,将第二信号端输出的数据信号输入至所述驱动模块并存储至所述驱动模块;在一帧的第二阶段,发光控制模块在使能信号端的控制下将所述第一电压端输出的电源电压

输入至所述驱动模块;所述驱动模块在第三信号端和所述发光控制模块输入的信号的控制下,输出所述驱动信号;所述发光控制模块在使能信号端的控制下将所述驱动模块输出的所述驱动信号输入至发光模块;所述发光模块在所述发光控制模块输入的驱动信号和第二电压端的驱动下进行发光。

[0018] 优选的,所述驱动模块包括第一晶体管、驱动晶体管以及存储电容;所述初始化与补偿模块包括第二晶体管和第三晶体管;所述数据写入模块包括第五晶体管;在一帧的第一阶段,所述第一信号端输入开启信号,控制所述第二晶体管、所述第三晶体管和所述第五晶体管开启,所述初始电压端输出的重置信号通过所述第二晶体管输入至所述驱动晶体管,对所述驱动晶体管进行初始化和阈值电压的补偿;所述第二信号端输出的数据信号通过所述第五晶体管输入至所述存储电容并存储至所述存储电容。

[0019] 优选的,所述初始化与补偿模块还包括第四晶体管;在一帧的第一阶段,所述方法还包括:所述第一信号端输入开启信号,控制所述第四晶体管开启,所述初始电压端输出的重置信号通过所述第四晶体管输入至所述发光模块,对所述发光模块进行初始化。

[0020] 优选的,所述发光控制模块包括第六晶体管和第七晶体管;在一帧的第二阶段,所述第三信号端输入开启信号,控制所述第一晶体管开启,所述存储电容将存储在其内部的所述数据信号经所述第一晶体管传输至所述驱动晶体管的栅极,控制所述驱动晶体管开启;所述使能信号端输入开启信号,控制所述第六晶体管和第七晶体管开启,所述第一电压端输出的电源电压经所述第六晶体管输入至所述驱动晶体管;所述驱动晶体管在所述数据信号和所述第六晶体管输入的电源电压的控制下输出所述驱动信号,所述驱动信号经所述第七晶体管传输至所述发光模块;所述发光模块在所述第七晶体管输入的驱动信号和第二电压端输入的电源电压的控制下发光。

[0021] 优选的,在一帧的第二阶段,所述第三信号端和所述使能信号端同时输入开启信号;或者,所述第三信号端先输入开启信号,所述存储电容将存储在其内部的所述数据信号经所述第一晶体管传输至所述驱动晶体管的栅极后,所述第三信号端持续输入开启信号,所述使能信号端再输入开启信号。

[0022] 本实用新型实施例提供的OLED像素电路、显示装置,通过在OLED像素电路中增加初始化与补偿模块,对驱动模块产生的阈值电压进行补偿,从而可以避免当不同区域的多个显示单元写入相同的数据信号时,因阈值电压差异的存在,使得提供给OLED器件的电流不同,导致显示装置亮度显示不均的问题。

附图说明

[0023] 为了更清楚地说明本实用新型实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1为现有技术提供的一种OLED像素电路的结构示意图;

[0025] 图2为本实用新型实施例提供的一种OLED像素电路的结构示意图一;

[0026] 图3为本实用新型实施例提供的一种OLED像素电路的结构示意图二;

[0027] 图4为图2所示OLED像素电路的各个模块的一种具体结构示意图;

- [0028] 图5为图3所示OLED像素电路的各个模块的一种具体结构示意图；
- [0029] 图6为用于驱动图4和图5所示的OLED像素电路时采用的各个信号的时序图一；
- [0030] 图7-图9为图5所示的OLED像素电路对应不同情况时的等效电路图；
- [0031] 图10为用于驱动图4和图5所示的OLED像素电路时采用的各个信号的时序图二；
- [0032] 图11为本实用新型实施例提供的一种OLED像素电路驱动方法流程示意图。
- [0033] 附图标记
- [0034] 10-初始化与补偿模块；20-数据写入模块；30-驱动模块；40-发光控制模块；50-发光模块。

具体实施方式

[0035] 下面将结合本实用新型实施例中的附图，对本实用新型实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本实用新型一部分实施例，而不是全部的实施例。基于本实用新型中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本实用新型保护的范围。

[0036] 本实用新型实施例提供一种OLED像素电路，如图2所示，包括：初始化与补偿模块10、数据写入模块20、驱动模块30、发光控制模块40以及发光模块50。

[0037] 具体的，初始化与补偿模块10，分别连接驱动模块30、发光控制模块40、第一信号端S1以及初始电压端Vini，用于在第一信号端S1的控制下，根据初始电压端Vini输入的信号对驱动模块30进行初始化和阈值电压的补偿。

[0038] 数据写入模块20，分别连接驱动模块30、第一信号端S1以及第二信号端S2，用于在第一信号端S1的控制下，将第二信号端S2的信号输入至驱动模块30。

[0039] 发光控制模块40，分别连接驱动模块30、发光模块50、初始化与补偿模块10、使能信号端EM以及第一电压端V1，用于在使能信号端EM的控制下，将第一电压端V1的信号输入至驱动模块30，以及将驱动模块30输出的驱动信号输入至发光模块50。

[0040] 驱动模块30，还连接第三信号端S3，用于在第三信号端S3和发光控制模块40输入的信号的信号的控制下，输出驱动信号。

[0041] 其中，本领域技术人员应该明白，此处的发光控制模块40输入的信号应为发光控制模块40在使能信号端EM的控制下，向驱动模块30输入的第一电压端V1的信号。

[0042] 发光模块50，还连接第二电压端V2，用于在发光控制模块40输入的驱动信号和第二电压端V2的驱动下进行发光。

[0043] 本实用新型实施例提供的OLED像素电路，通过在OLED像素电路中增加初始化与补偿模块10，对驱动模块30产生的阈值电压进行补偿，从而可以避免当不同区域的多个显示单元写入相同的数据信号时，因阈值电压差异的存在，使得提供给OLED器件的电流不同，导致显示装置亮度显示不均的问题。

[0044] 优选的，使能信号端EM和第三信号端S3连接同一信号输入端。

[0045] 通过使能信号端EM和第三信号端S3连接同一信号输入端，在保证像素补偿能力的基础上，可简化像素电路的结构，降低驱动IC(Integrated Circuit, 集成电路)的成本。

[0046] 优选的，如图3所示，初始化与补偿模块10，还连接发光模块50，用于在第一信号端S1的控制下，根据初始电压端Vini输入的信号对发光模块50进行初始化。

[0047] 本实用新型实施例通过对发光模块50进行初始化,可进一步提高显示效果的均一度。

[0048] 进一步具体的,如图4和图5所示,驱动模块30包括第一晶体管T1、驱动晶体管Td、以及存储电容Cst。

[0049] 存储电容Cst的第一端连接数据写入模块20,第二端连接发光控制模块40。

[0050] 第一晶体管T1的栅极连接第三信号端S3,第一极连接存储电容Cst的第一端,第二极连接驱动晶体管Td的栅极。

[0051] 驱动晶体管Td的第一极连接存储电容Cst的第二端和发光控制模块40,第二极连接初始化与补偿模块10和发光控制模块40。

[0052] 需要说明的是,所述驱动模块30还可以包括与驱动晶体管Td并联的多个驱动晶体管,和/或与第一晶体管T1并联的多个开关晶体管。上述仅仅是对驱动模块30的举例说明,其它与该驱动模块30功能相同的结构在此不再一一赘述,但都应当属于本实用新型的保护范围。

[0053] 如图4所示,初始化与补偿模块10包括第二晶体管T2和第三晶体管T3。

[0054] 第二晶体管T2的栅极连接第一信号端S1,第一极连接初始电压端,第二极连接驱动模块30,具体的第二极连接驱动晶体管Td的栅极。

[0055] 第三晶体管T3的栅极连接第一信号端S1,第一极连接第二晶体管T2的第一极,第二极连接驱动模块30和发光控制模块40,具体的第二极连接驱动晶体管Td的第二极和第七晶体管T7的第一极。

[0056] 需要说明的是,所述初始化与补偿模块10还可以包括与第二晶体管T2并联的多个开关晶体管、和/或与第三晶体管T3并联的多个开关晶体管。上述仅仅是对初始化与补偿模块10的举例说明,其它与初始化与补偿模块10功能相同的结构在此不再一一赘述,但都应当属于本实用新型的保护范围。

[0057] 如图5所示,初始化与补偿模块10包括第二晶体管T2、第三晶体管T3和第四晶体管T4。

[0058] 第二晶体管T2的栅极连接第一信号端S1,第一极连接初始电压端,第二极连接驱动模块30,具体的第二极连接驱动晶体管Td的栅极。

[0059] 第三晶体管T3的栅极连接第一信号端S1,第一极连接第二晶体管T2的第一极,第二极连接驱动模块30和发光控制模块40,具体的第二极连接驱动晶体管Td的第二极和第七晶体管T7的第一极。

[0060] 第四晶体管T4的栅极连接第一信号端S1,第一极连接初始电压端,第二极连接发光模块50和发光控制模块40,具体的第二极连接发光器件L的阳极和第七晶体管T7的第二极。

[0061] 需要说明的是,所述初始化与补偿模块10还可以包括与第二晶体管T2并联的多个开关晶体管、和/或与第三晶体管T3并联的多个开关晶体管、和/或与第四晶体管T4并联的多个开关晶体管。上述仅仅是对初始化与补偿模块10的举例说明,其它与初始化与补偿模块10功能相同的结构在此不再一一赘述,但都应当属于本实用新型的保护范围。

[0062] 如图4和图5所示,数据写入模块20包括第五晶体管T5。

[0063] 第五晶体管T5的栅极连接第一信号端S1,第一极连接第二信号端S2,第二极连接

驱动模块30,具体的第二极连接存储电容Cst的第一端和第一晶体管T1的第一极。

[0064] 需要说明的是,所述数据写入模块20还可以包括与第五晶体管T5并联的多个开关晶体管。上述仅仅是对数据写入模块20的举例说明,其它与数据写入模块20功能相同的结构在此不再一一赘述,但都应当属于本实用新型的保护范围。

[0065] 如图4和图5所示,发光控制模块40包括第六晶体管T6和第七晶体管T7。

[0066] 第六晶体管T6的栅极连接使能信号端,第一极连接第一电压端,第二极连接驱动模块30,具体的第二极连接驱动晶体管Td的第一极。

[0067] 第七晶体管T7的栅极连接使能信号端,第一极连接驱动模块30,具体的第一极连接驱动晶体管Td的第二极,第二极连接发光模块50,具体的第二极连接发光器件L的阳极。

[0068] 需要说明的是,所述发光控制模块40还可以包括与第六晶体管T6并联的多个开关晶体管、和/或与第七晶体管T7并联的多个开关晶体管。上述仅仅是对发光控制模块40的举例说明,其它与发光控制模块40功能相同的结构在此不再一一赘述,但都应当属于本实用新型的保护范围。

[0069] 如图5所示,发光模块50包括发光器件L,发光器件L的阳极连接初始化与补偿模块10和发光控制模块40,具体的发光器件L的阳极连接第四晶体管T4的第二极和第七晶体管T7的第二极,阴极连接第二电压端V2。

[0070] 基于上述对各模块具体电路的描述,以下结合图4-图6对上述OLED像素驱动电路的具体驱动过程进行详细的说明。

[0071] 需要说明的是,第一、本实用新型实施例对各个模块中的晶体管的类型不做限定,即上述驱动晶体管Td、第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6以及第七晶体管T7可以是N型晶体管或者P型晶体管。本实用新型实施例优选的OLED像素电路包含的晶体管均为P型晶体管。本实用新型以下实施例均是以上述晶体管均为P型晶体管为例进行的说明。

[0072] 其中,上述晶体管的第一极可以是漏极、第二极可以是源极;或者,第一极可以是源极、第二极可以是漏极。本实用新型实施例对此不作限制。

[0073] 此外,根据晶体管导电方式的不同,可以将上述像素电路中的晶体管分为增强型晶体管和耗尽型晶体管。本实用新型实施例对此不作限制。

[0074] 第二、本实用新型实施例均是以第一电压端V1输入高电平,第二电压端V2输入低电平,或将第二电压端V2接地处理为例进行的说明,并且,这里的高、低仅表示输入的电压之间的相对大小关系。

[0075] 第三,初始化与补偿模块10包括第二晶体管T2和第三晶体管T3的电路结构与初始化与补偿模块10包括第二晶体管T2、第三晶体管T3和第四晶体管T4的电路结构,在各个阶段,其他模块的开关及功能均相同,区别仅在于增加了一个第四晶体管T4。

[0076] 以初始化与补偿模块10包括第二晶体管T2、第三晶体管T3和第四晶体管T4的像素电路进行举例说明,如图6所示,该OLED像素电路的每一帧显示过程可以分为第一阶段P1、第二阶段P2。具体的:

[0077] 在一帧的第一阶段P1,第一信号端S1输入低电平开启信号,第二信号端S2、使能信号端EM输入高电平截止信号,基于此,图5所示的OLED像素电路的等效电路图如图7所示,第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5和驱动晶体管Td均开启,第一晶

体管T1、第六晶体管T6和第七晶体管T7均截止,(处于截止状态的晶体管以打“×”表示)。

[0078] 其中,第一信号端S1输入低电平开启信号,控制第二晶体管T2和第四晶体管T4开启,初始电压端Vini输出的重置信号通过第二晶体管T2输入至驱动晶体管Td的栅极,对驱动晶体管Td的栅极进行初始化;驱动晶体管Td栅极(g点)的电压为重置电压Vr,第一极(s点)的电压为第一电压端V1输入的电源电压VDD, $V_r - V_{DD} < V_{th}$,使驱动晶体管Td开启;初始电压端Vini输出的重置信号通过第四晶体管T4输入至发光器件L的阳极,对发光器件L的阳极进行初始化。为了避免发光器件L发光,重置电压Vr需满足: $V_r < V_{SS} + V_{th} + V_{oled}$, V_{oled} 为发光器件阳极上的电压, V_{SS} 为第二电压端V2输入的电源电压。

[0079] 与此同时,第一信号端S1输入低电平开启信号,控制第三晶体管T3开启,此时,驱动晶体管Td栅极(g点)和第一极(s点)电压释放,第三晶体管T3对驱动晶体管Td进行阈值电压的补偿,使得g点电压为Vr,s点电压为 $V_r - V_{th}$ 。

[0080] 与此同时,第一信号端S1输入低电平开启信号,控制第五晶体管T5开启,第二信号端S2输出的数据信号Vdata通过第五晶体管T5输出至存储电容Cst并存储至存储电容Cst,此时,存储电容Cst第一端(n点)的电压为Vdata,为确保驱动晶体管Td可打开,应满足 $V_{data} < V_r$,使驱动晶体管Td的 $V_{gs} < V_{th}$ 。

[0081] 即,第一阶段P1结束后,g点电压为Vr,s点电压为 $V_r - V_{th}$,n点电压为Vdata。

[0082] 在一帧的第二阶段P2,第三信号端S3输入低电平开启信号,第一信号端S1和使能信号端EM输入高电平截止信号,基于此,图5所示的OLED像素电路的等效电路图如图8所示,第一晶体管T1和驱动晶体管Td均开启,第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7均截止。

[0083] 其中,第三信号端S3输入低电平开启信号,控制第一晶体管T1开启,存储电容Cst将存储在其内部的数据信号经第一晶体管T1传输至驱动晶体管Td的栅极,控制驱动晶体管Td开启,完成放电过程,此时,g点电压为Vdata,其他点的电压不变。

[0084] 即,第二阶段P2的放电过程完成后,g点电压为Vdata,s点电压为 $V_r - V_{th}$,n点电压为Vdata。

[0085] 然后,第三信号端S3和使能信号端EM均输入低电平开启信号,第一信号端S1输入高电平截止信号,基于此,图5所示的OLED像素电路的等效电路图如图9所示,第一晶体管T1、驱动晶体管Td、第六晶体管T6和第七晶体管T7均开启,第二晶体管T2、第三晶体管T3、第四晶体管T4和第五晶体管T5均截止。

[0086] 其中,使能信号端EM输入低电平开启信号,控制第六晶体管T6和第七晶体管T7开启,第一电压端V1输出的电源电压经第六晶体管T6输入至驱动晶体管Td,此时,s点电压为VDD,s点的电压由 $V_r - V_{th}$ 跳变到VDD,跳变量 $\Delta V = V_{DD} - (V_r - V_{th})$;基于此,存储电容Cst第一端(n点)的电压变为 $V_{data} + \Delta V = V_{data} + V_{DD} - (V_r - V_{th})$,同时,g点电压也为 $V_{data} + V_{DD} - (V_r - V_{th})$ 。

[0087] 基于此,驱动晶体管Td输出的驱动信号经第七晶体管T7传输至发光器件L的阳极;第二电压端V2输出电源电压VSS输入到发光器件L的阴极,发光器件L在驱动晶体管Td输出的驱动电压信号和第二电压端V2输出电源电压VSS的控制下发光。即,通过驱动晶体管Td的 V_{gs} 的电压控制产生相应的电流,使发光器件发光。

[0088] 即,第二阶段P2的发光过程中,g点电压为 $V_{data} + V_{DD} - (V_r - V_{th})$,s点电压为VDD,n

点电压为 $V_{data}+VDD-(V_r-V_{th})$ 。

[0089] 为了简化像素电路的结构,降低驱动IC的成本,如图10所示,在一帧的第二阶段P2,第三信号端S3和使能信号端EM均输入低电平开启信号,第一信号端S1输入高电平截止信号,基于此,图5所示的OLED像素电路的等效电路图如图9所示,第一晶体管T1、驱动晶体管Td、第六晶体管T6和第七晶体管T7均开启,第二晶体管T2、第三晶体管T3、第四晶体管T4和第五晶体管T5均截止。

[0090] 其中,第三信号端S3输入低电平开启信号,控制第一晶体管T1开启,存储电容Cst将存储在其内部的数据信号经第一晶体管T1传输至驱动晶体管Td的栅极,控制驱动晶体管Td开启,完成放电过程。

[0091] 与此同时,使能信号端EM输入低电平开启信号,控制第六晶体管T6和第七晶体管T7开启,第一电压端V1输出的电源电压经第六晶体管T6输入至驱动晶体管Td,此时,s点电压为VDD,s点的电压由 V_r-V_{th} 跳变到VDD,跳变量 $\Delta V=VDD-(V_r-V_{th})$;基于此,存储电容Cst第一端(n点)的电压变为 $V_{data}+\Delta V=V_{data}+VDD-(V_r-V_{th})$,此时第一晶体管T1处于开启状态,因此g点电压也为 $V_{data}+VDD-(V_r-V_{th})$ 。

[0092] 基于此,驱动晶体管Td输出的驱动信号经第七晶体管T7传输至发光器件L的阳极;第二电压端V2输出电源电压VSS输入到发光器件L的阴极,发光器件L在驱动晶体管Td输出的驱动电压信号和第二电压端V2输出电源电压VSS的控制下发光。

[0093] 即,第二阶段P2的发光过程中,g点电压为 $V_{data}+VDD-(V_r-V_{th})$,s点电压为VDD,n点电压为 $V_{data}+VDD-(V_r-V_{th})$ 。

[0094] 此时,驱动晶体管Td开启后,当驱动晶体管Td的栅-源电压 V_{gs} 减去驱动晶体管Td的阈值电压 V_{th} 得到的值小于等于驱动晶体管Td的漏-源电压 V_{ds} 时,即 $V_{gs}-V_{th}\leq V_{ds}$ 时,驱动晶体管Td能够处于饱和开启状态,此时流过驱动晶体管Td的驱动电流I为:

$$I_{oled} = \frac{1}{2} k(V_{gs} - V_{th})^2$$

$$[0095] \quad = \frac{1}{2} k[V_{data} + VDD - (V_r - V_{th}) - VDD - V_{th}]^2$$

$$= \frac{1}{2} k(V_{data} - V_r)^2。$$

[0096] 其中, $K=W/L \times C \times u$,W/L为驱动晶体管Td的宽长比,C为沟道绝缘层的介电常数,u为沟道载流子迁移率。

[0097] 上述参数只与驱动晶体管Td的结构、第二信号端S2和初始电压端Vini输入的信号有关,因此,流过驱动晶体管Td的电流只与第二信号端S2输出的用于实现显示的数据电压和初始电压端Vini输出的重置电压有关,与驱动晶体管Td的阈值电压 V_{th} 无关,从而消除了驱动晶体管Td的阈值电压 V_{th} 对发光器件L发光亮度的影响,提高了发光器件L亮度的均一性。此外,流过驱动晶体管Td的电流与第一电压端V1输出的电源电压VDD也无关,从而可以消除因VDD压降造成的影响,进一步提高发光器件L亮度的均一性。

[0098] 对本实用新型实施例提供的OLED像素电路进行仿真实验,当驱动晶体管Td的 $\Delta V_{th}=1V$ 时,像素电路的均一性可达到87.6%,相对现有技术补偿电路的能力提高约5%。

[0099] 当 $\Delta VDD=0.5v$ 时,电流均一性约为94%,对VDD的压降具有较好补偿效果,有利于

面板中VDD线路的设计和布局。

[0100] 本实用新型实施例还提供一种显示装置,包括上述OLED像素电路。

[0101] 本实用新型实施例提供一种显示装置,包括如上所述的任意一种OLED像素电路。所述显示装置可以包括多个像素单元阵列,每一个像素单元包括如上所述的任意一个OLED像素电路。本实用新型实施例提供的显示装置具有与本实用新型前述实施例提供的OLED像素电路相同的有益效果,由于OLED像素电路在前述实施例中已经进行了详细说明,此处不再赘述。

[0102] 本实用新型实施例还提供一种OLED像素电路的驱动方法,如图11所示,该驱动方法包括:

[0103] S10、在一帧的第一阶段P1,初始化与补偿模块10在第一信号端S1的控制下,将初始电压端Vini输出的重置信号输入至驱动模块30,对驱动模块30进行初始化和阈值电压的补偿;数据写入模块20在第一信号端S1的控制下,将第二信号端S2输出的数据信号输入至驱动模块30并存储至驱动模块30。

[0104] 具体的,驱动模块30包括第一晶体管T1、驱动晶体管Td、以及存储电容Cst;初始化与补偿模块10包括第二晶体管T2和第三晶体管T3;数据写入模块20包括第五晶体管T5。

[0105] 第一信号端S1输入开启信号,控制第二晶体管T2、第三晶体管T3和第五晶体管T5开启,初始电压端Vini输出的重置信号通过第二晶体管T2输入至驱动晶体管Td,对驱动晶体管Td进行初始化和阈值电压的补偿;第二信号端S2输出的数据信号通过第五晶体管T5输入至存储电容Cst并存储至存储电容Cst。

[0106] 进一步的,初始化与补偿模块10还包括第四晶体管T4,方法还包括:

[0107] 第一信号端S1输入开启信号,控制第四晶体管T4开启,初始电压端Vini输出的重置信号通过第四晶体管T4输入至发光模块50,对发光模块50进行初始化。

[0108] S20、在一帧的第二阶段P2,发光控制模块40在使能信号端EM的控制下将第一电压端V1输出的电源电压输入至驱动模块30;驱动模块30在第三信号端S3和发光控制模块40输入的信号的驱动下,输出驱动信号;发光控制模块40在使能信号端EM的控制下将驱动模块30输出的驱动信号输入至发光模块50;发光模块50在发光控制模块40输入的驱动信号和第二电压端V2的驱动下进行发光。

[0109] 具体的,发光控制模块40包括第六晶体管T6和第七晶体管T7,如图10所示,第三信号端S3和使能信号端EM同时输入开启信号。

[0110] 或者,如图6所示,第三信号端S3先输入开启信号,存储电容Cst将存储在其内部的数据信号经第一晶体管T1传输至驱动晶体管Td的栅极后,第三信号端S3持续输入开启信号,使能信号端EM再输入开启信号。

[0111] 即,第三信号端S3输入开启信号,控制第一晶体管T1开启,存储电容Cst将存储在其内部的数据信号经第一晶体管T1传输至驱动晶体管Td的栅极,控制驱动晶体管Td开启。

[0112] 然后,第三信号端S3输入开启信号,控制第一晶体管T1开启,使能信号端EM输入开启信号,控制第六晶体管T6和第七晶体管T7开启,第一电压端V1输出的电源电压经第六晶体管T6输入至驱动晶体管Td;驱动晶体管Td在数据信号和第六晶体管T6输入的电源电压的控制下输出驱动信号,所述驱动信号经第七晶体管T7传输至发光模块50。

[0113] 发光模块50在第七晶体管T7输入的驱动信号和第二电压端V2输入的电源电压的

控制下发光。

[0114] 或者,第三信号端S3输入开启信号,控制第一晶体管T1开启,存储电容Cst将存储在其内部的数据信号经第一晶体管T1传输至驱动晶体管Td的栅极,控制驱动晶体管Td开启。

[0115] 同时,使能信号端EM输入开启信号,控制第六晶体管T6和第七晶体管T7开启,第一电压端V1输出的电源电压经第六晶体管T6输入至驱动晶体管Td;驱动晶体管Td在数据信号和第六晶体管T6输入的电源电压的控制下输出驱动信号,所述驱动信号经第七晶体管T7传输至发光模块50。

[0116] 发光模块50在驱动晶体管Td输出的驱动电压信号和第二电压端V2输出的电源电压的控制下发光。

[0117] 本实用新型实施例提供的OLED像素电路的驱动方法,通过在OLED像素电路中增加初始化与补偿模块10,对驱动模块30产生的阈值电压进行补偿,从而可以避免当不同区域的多个显示单元写入相同的数据信号时,因阈值电压差异的存在,使得提供给OLED器件的电流不同,导致显示装置亮度显示不均的问题。

[0118] 以上所述,仅为本实用新型的具体实施方式,但本实用新型的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本实用新型的保护范围之内。因此,本实用新型的保护范围应以权利要求要求的保护范围为准。

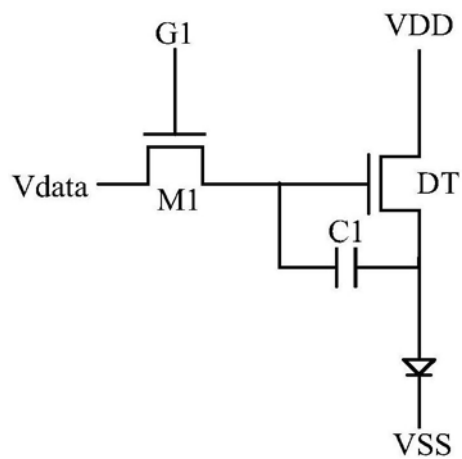


图1

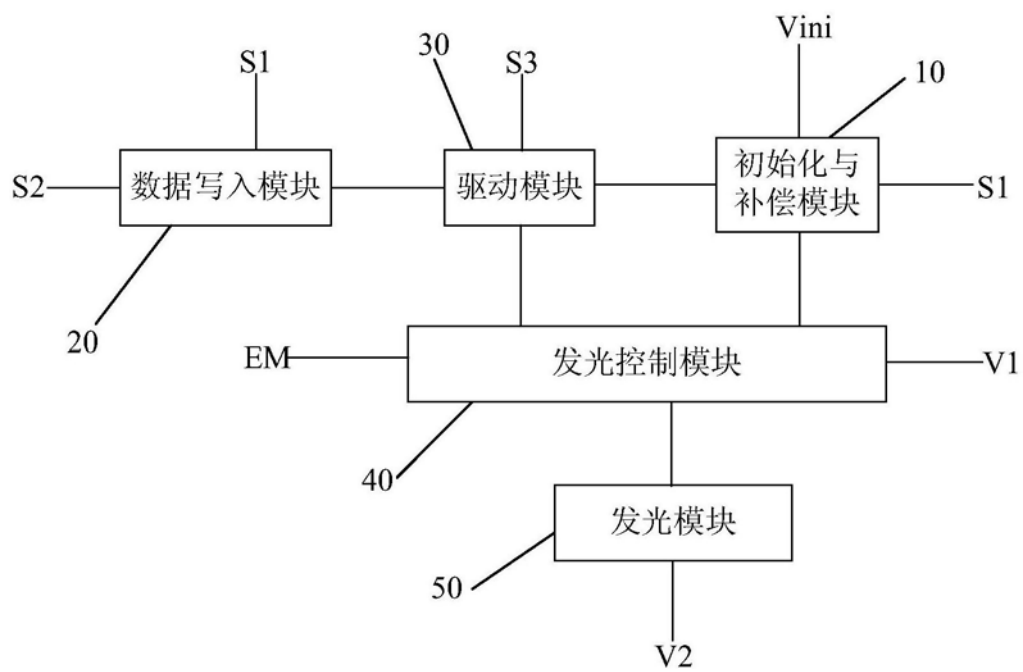


图2

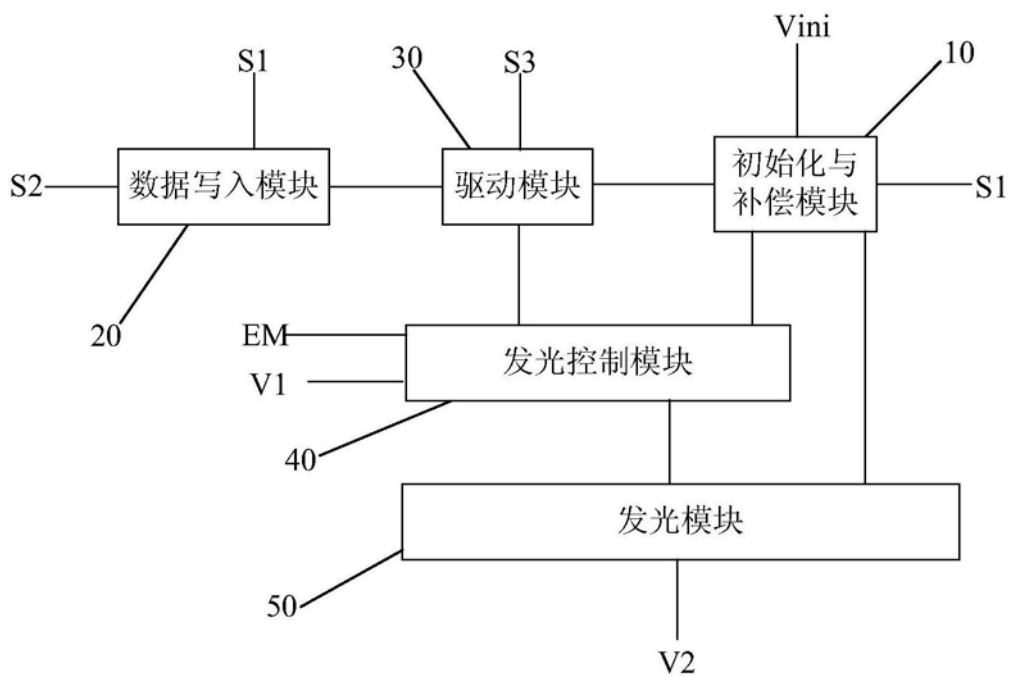


图3

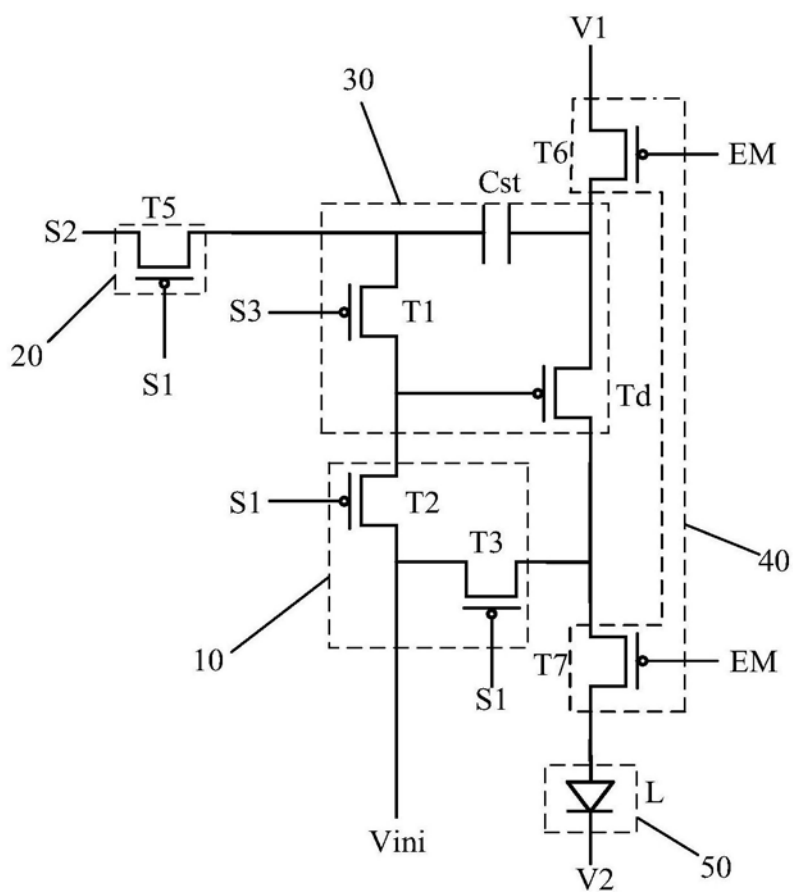


图4

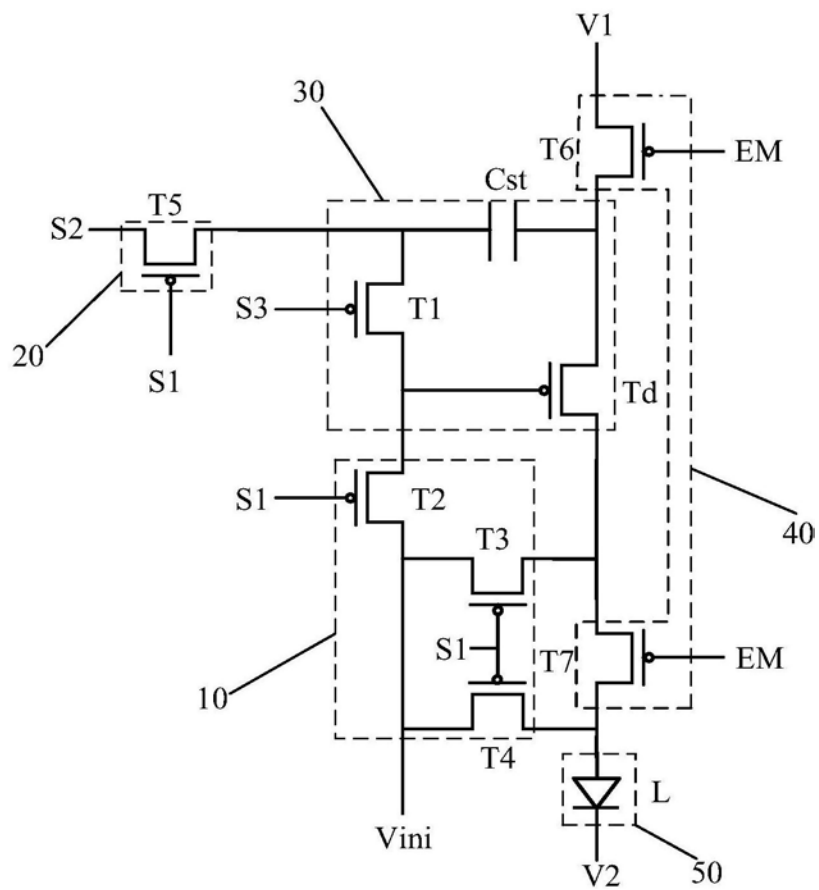


图5

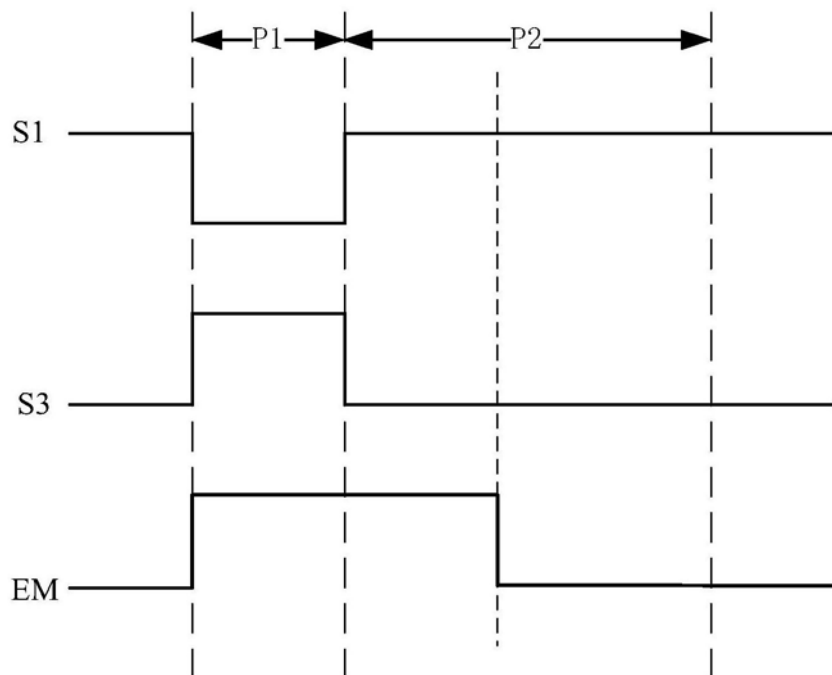


图6

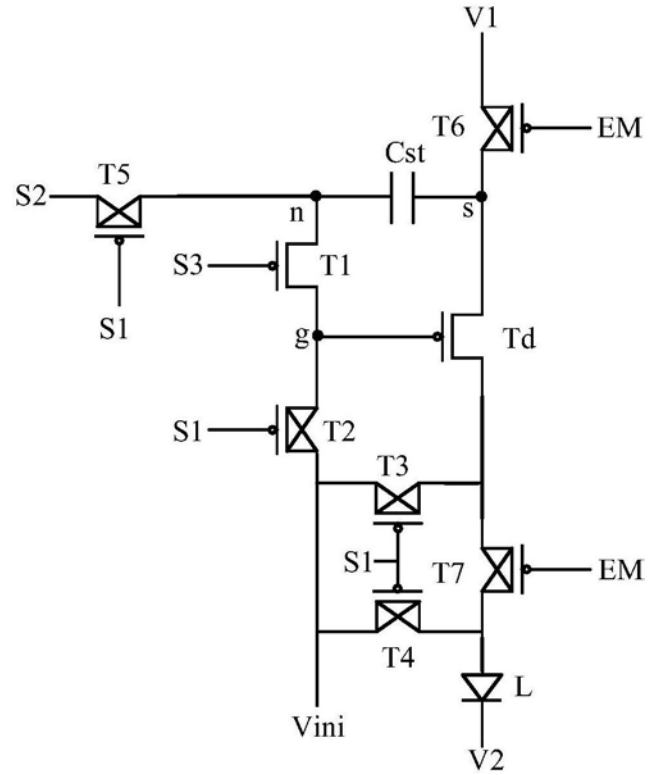


图8

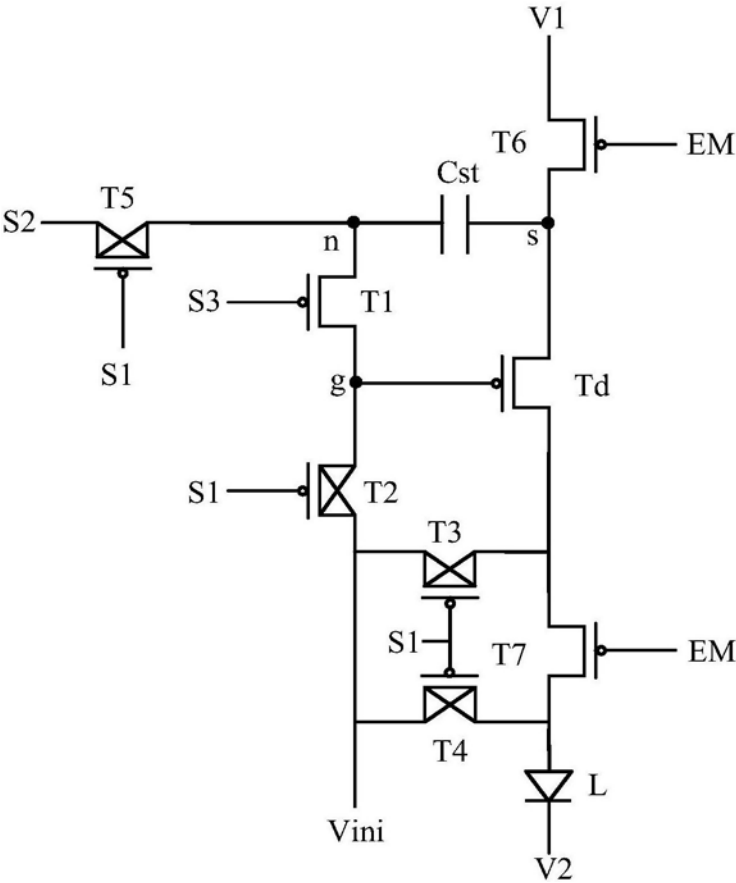


图9

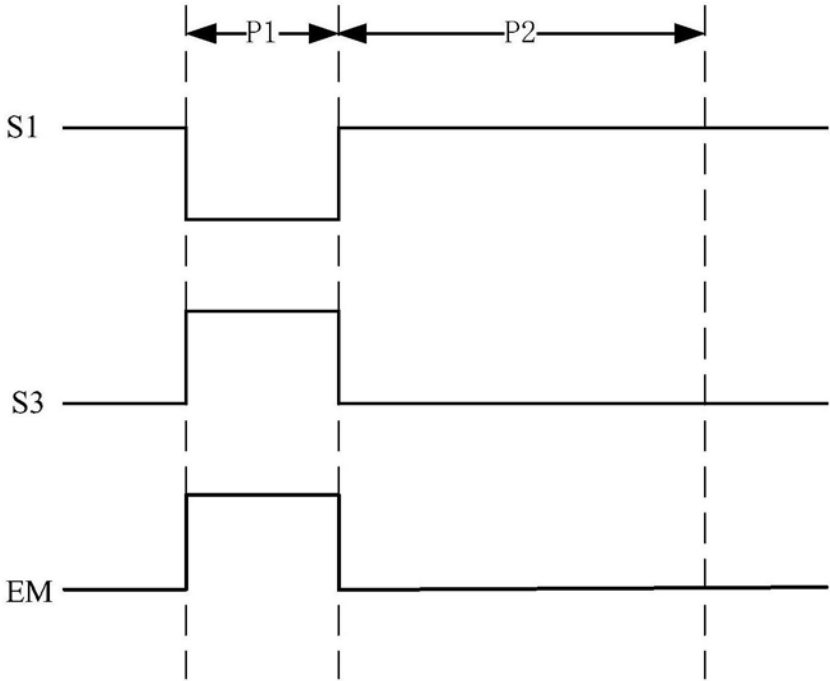


图10

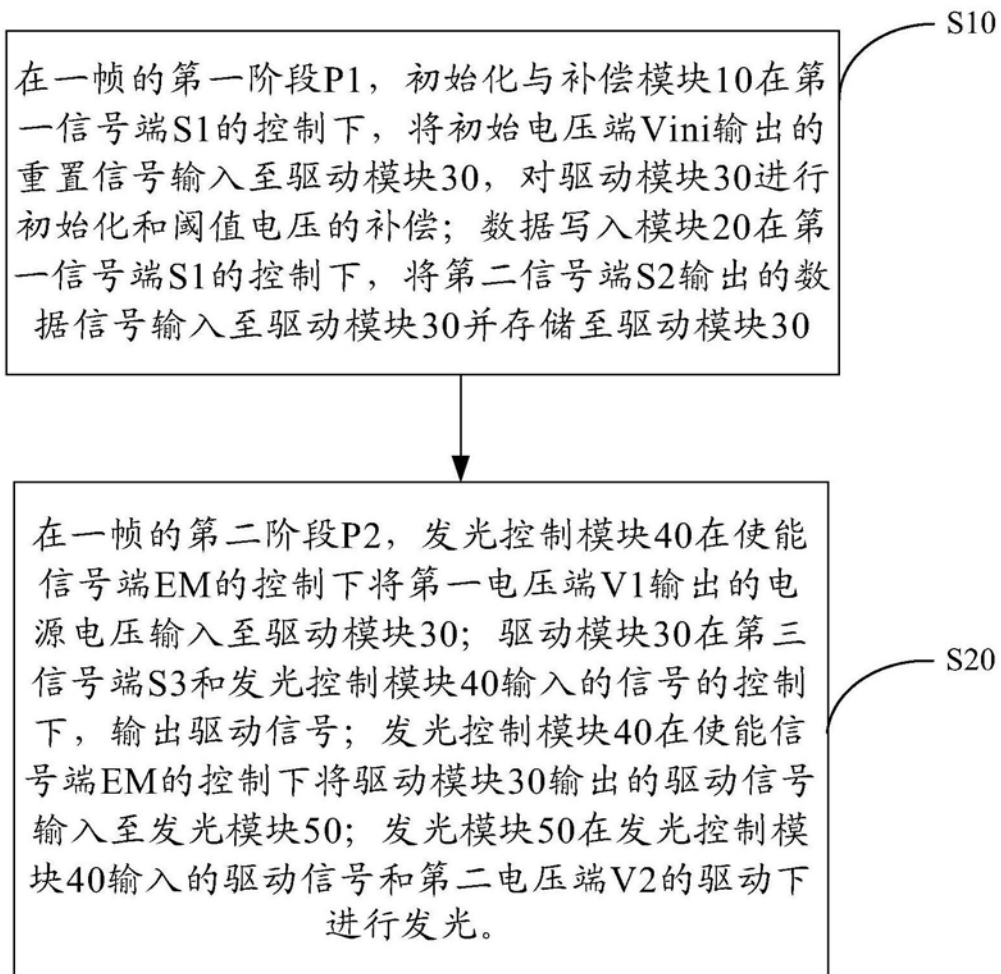


图11

专利名称(译)	一种OLED像素电路、显示装置		
公开(公告)号	CN207425323U	公开(公告)日	2018-05-29
申请号	CN201721632377.4	申请日	2017-11-29
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	石领		
发明人	石领		
IPC分类号	G09G3/3258		
代理人(译)	申健		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型提供一种OLED像素电路、显示装置，涉及显示技术领域，可解决显示装置亮度显示不均一的问题。OLED像素电路，包括初始化与补偿模块，用于在第一信号端的控制下，根据初始电压端输入的信号对驱动模块进行初始化和阈值电压的补偿；数据写入模块，用于在第一信号端的控制下，将第二信号端的信号输入至驱动模块，以及将所述驱动模块输出的驱动信号输入至所述发光模块；所述驱动模块，还连接第三信号端，用于输出所述驱动信号；所述发光模块，还连接第二电压端，用于在所述发光控制模块输出的所述驱动信号和所述第二电压端的驱动下进行发光。

