



(12)发明专利申请

(10)申请公布号 CN 111383595 A
(43)申请公布日 2020.07.07

(21)申请号 201911376406.9

(22)申请日 2019.12.27

(30)优先权数据

10-2018-0171982 2018.12.28 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道

(72)发明人 全宰贤 金智惠

(74)专利代理机构 北京德琦知识产权代理有限公司 11018

代理人 史迎雪 康泉

(51)Int.Cl.

G09G 3/3225(2016.01)

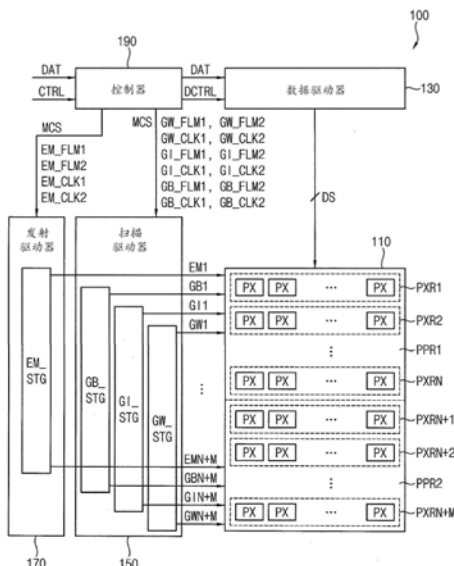
权利要求书4页 说明书18页 附图12页

(54)发明名称

支持部分驱动模式的有机发光二极管显示装置

(57)摘要

一种支持部分驱动模式的有机发光二极管显示装置包括:显示面板,包括第一和第二部分面板区域;扫描驱动器,被配置为在正常驱动模式下将扫描信号顺序地施加到第一和第二部分面板区域,并且在部分驱动模式下将扫描信号顺序地施加到第一和第二部分面板区域中的被驱动的一个;以及数据驱动器,被配置为在正常驱动模式下将数据信号施加到第一和第二部分面板区域,并且在部分驱动模式下将数据信号施加到第一和第二部分面板区域中的被驱动的一个。在部分驱动模式下,扫描驱动器被配置为将二极管初始化信号顺序地施加到第一和第二部分面板区域中的被驱动的一个,并且将二极管初始化信号并发地施加到第一和第二部分面板区域中的未被驱动中的一个。



CN 111383595 A

1. 一种有机发光二极管OLED显示装置,包括:

显示面板,包括第一部分面板区域和第二部分面板区域;

扫描驱动器,被配置为在所述第一部分面板区域和所述第二部分面板区域两者均被驱动的正常驱动模式下将扫描信号顺序地施加到所述第一部分面板区域和所述第二部分面板区域,并且在部分驱动模式下将所述扫描信号顺序地施加到所述第一部分面板区域和所述第二部分面板区域中的被驱动的一个,其中所述第一部分面板区域和所述第二部分面板区域中的所述被驱动的一个被驱动,并且所述第一部分面板区域和所述第二部分面板区域中的未被驱动的一个未被驱动;以及

数据驱动器,被配置为在所述正常驱动模式下将数据信号施加到所述第一部分面板区域和所述第二部分面板区域,并且在所述部分驱动模式下将所述数据信号施加到所述第一部分面板区域和所述第二部分面板区域中的所述被驱动的一个,

其中,在所述部分驱动模式下,所述扫描驱动器被配置为将二极管初始化信号顺序地施加到所述第一部分面板区域和所述第二部分面板区域中的所述被驱动的一个,并且将所述二极管初始化信号并发地施加到所述第一部分面板区域和所述第二部分面板区域中的所述未被驱动的一个。

2. 根据权利要求1所述的OLED显示装置,其中,在所述部分驱动模式下,响应于并发地施加的所述二极管初始化信号,所述第一部分面板区域和所述第二部分面板区域中的所述未被驱动的一个中包括的像素的OLED被初始化。

3. 根据权利要求1所述的OLED显示装置,其中,在所述部分驱动模式下,响应于并发地施加的所述二极管初始化信号,所述第一部分面板区域和所述第二部分面板区域中的所述未被驱动的一个中包括的像素形成从电源电压线到初始化电压线的泄漏电流路径。

4. 根据权利要求1所述的OLED显示装置,其中所述第一部分面板区域和所述第二部分面板区域中的每一个包括多个像素,

其中所述多个像素中的每一个像素包括二极管初始化晶体管,所述二极管初始化晶体管具有用于接收所述二极管初始化信号中的相应的一个二极管初始化信号的栅极、连接到初始化电压线的第一端子以及连接到OLED的阳极的第二端子,并且

其中,在所述部分驱动模式下,响应于并发地施加的所述二极管初始化信号,所述第一部分面板区域和所述第二部分面板区域中的所述未被驱动的一个中包括的所述多个像素的所述二极管初始化晶体管被导通。

5. 根据权利要求4所述的OLED显示装置,其中所述第一部分面板区域和所述第二部分面板区域中的所述未被驱动的一个中包括的所述多个像素的被导通的所述二极管初始化晶体管形成放电路径并且形成泄漏电流路径,所述放电路径用于使所述第一部分面板区域和所述第二部分面板区域中的所述未被驱动的一个中包括的所述多个像素的OLED的寄生电容器放电到所述初始化电压线,所述泄漏电流路径用于允许驱动晶体管的泄漏电流流到所述初始化电压线。

6. 根据权利要求1所述的OLED显示装置,其中,在所述部分驱动模式下,并发地施加到所述第一部分面板区域和所述第二部分面板区域中的所述未被驱动的一个的所述二极管初始化信号具有导通电平达至少一个水平时间。

7. 根据权利要求1所述的OLED显示装置,其中,在所述部分驱动模式下,施加到所述第

一部分面板区域和所述第二部分面板区域中的所述未被驱动的一个的所述二极管初始化信号在所述部分驱动模式的第一帧周期中顺序地具有导通电平,并被保持为所述导通电平直到所述OLED显示装置的驱动模式改变为所述正常驱动模式。

8. 根据权利要求1所述的OLED显示装置,其中所述第一部分面板区域包括第一像素行至第N像素行,所述第二部分面板区域包括第N+1像素行至第N+M像素行,并且所述扫描信号包括第一扫描信号至第N+M扫描信号,其中N和M中的每一个是大于1的整数,并且其中所述扫描驱动器包括:

第一扫描级,被配置为响应于第一扫描开始信号将所述第一扫描信号施加到所述第一像素行;

第二扫描级至第N扫描级,被配置为响应于所述第一扫描信号至第N-1扫描信号,将第二扫描信号至第N扫描信号施加到第二像素行至所述第N像素行;

扫描输入控制电路,被配置为响应于模式控制信号,选择性地输出第二扫描开始信号或所述第N扫描信号;

第N+1扫描级,被配置为响应于所述扫描输入控制电路的输出信号,将第N+1扫描信号施加到所述第N+1像素行;以及

第N+2扫描级至第N+M扫描级,被配置为响应于所述第N+1扫描信号至第N+M-1扫描信号,将第N+2扫描信号至所述第N+M扫描信号施加到第N+2像素行至所述第N+M像素行。

9. 根据权利要求8所述的OLED显示装置,其中所述扫描输入控制电路包括:

第一扫描输入控制晶体管,被配置为在所述正常驱动模式下响应于具有导通电平的所述模式控制信号,输出从所述第N扫描级接收的所述第N扫描信号;以及

第二扫描输入控制晶体管,被配置为在所述部分驱动模式下响应于具有所述导通电平的反相模式控制信号,输出所述第二扫描开始信号。

10. 根据权利要求8所述的OLED显示装置,其中,在所述正常驱动模式下,所述模式控制信号具有导通电平,所述第一扫描开始信号包括在每个帧周期中的扫描开始脉冲,并且所述第二扫描开始信号具有截止电平,

其中,在所述部分驱动模式下,当所述第一部分面板区域被驱动并且所述第二部分面板区域未被驱动时,所述模式控制信号具有所述截止电平,所述第一扫描开始信号包括在每个帧周期中的所述扫描开始脉冲,并且所述第二扫描开始信号具有所述截止电平,并且

其中,在所述部分驱动模式下,当所述第一部分面板区域未被驱动并且第二部分面板区域被驱动时,所述模式控制信号具有所述截止电平,所述第一扫描开始信号具有所述截止电平,并且所述第二扫描开始信号包括在每个帧周期中的所述扫描开始脉冲。

11. 根据权利要求1所述的OLED显示装置,其中所述第一部分面板区域包括第一像素行至第N像素行,所述第二部分面板区域包括第N+1像素行至第N+M像素行,并且所述二极管初始化信号包括第一二极管初始化信号至第N+M二极管初始化信号,其中N和M中的每一个是大于1的整数,并且其中所述扫描驱动器包括:

第一二极管初始化级,被配置为响应于第一二极管初始化开始信号,将所述第一二极管初始化信号施加到所述第一像素行;

第二二极管初始化级至第N二极管初始化级,被配置为响应于所述第一二极管初始化信号至第N-1二极管初始化信号,将第二二极管初始化信号至第N二极管初始化信号施加到

第二像素行至所述第N像素行；

二极管初始化输入控制电路，被配置为响应于模式控制信号，选择性地输出第二二极管初始化开始信号或所述第二二极管初始化信号；

第N+1二极管初始化级，被配置为响应于所述二极管初始化输入控制电路的输出信号，将第N+1二极管初始化信号施加到所述第N+1像素行；以及

第N+2二极管初始化级至第N+M二极管初始化级，被配置为响应于所述第N+1二极管初始化信号至第N+M-1二极管初始化信号，将第N+2二极管初始化信号至所述第N+M二极管初始化信号施加到第N+2像素行至所述第N+M像素行。

12. 根据权利要求11所述的OLED显示装置，其中所述二极管初始化输入控制电路包括：

第一二极管初始化输入控制晶体管，被配置为在所述正常驱动模式下响应于具有导通电平的所述模式控制信号，输出从所述第N二极管初始化级接收的所述第N二极管初始化信号；以及

第二二极管初始化输入控制晶体管，被配置为在所述部分驱动模式下响应于具有所述导通电平的反相模式控制信号，输出所述第二二极管初始化开始信号。

13. 根据权利要求11所述的OLED显示装置，其中，在所述正常驱动模式下，所述模式控制信号具有导通电平，所述第一二极管初始化开始信号包括在每个帧周期中的二极管初始化开始脉冲，并且所述第二二极管初始化开始信号具有截止电平，

其中，在所述部分驱动模式下，当所述第一部分面板区域被驱动并且所述第二部分面板区域未被驱动时，所述模式控制信号具有所述截止电平，所述第一二极管初始化开始信号包括在每个帧周期中的所述二极管初始化开始脉冲，并且所述第二二极管初始化开始信号具有所述导通电平，并且

其中，在所述部分驱动模式下，当所述第一部分面板区域未被驱动并且所述第二部分面板区域被驱动时，所述模式控制信号具有所述截止电平，所述第一二极管初始化开始信号具有所述导通电平，并且所述第二二极管初始化开始信号包括在每个帧周期中的所述二极管初始化开始脉冲。

14. 根据权利要求11所述的OLED显示装置，其中所述第一二极管初始化级至所述第N二极管初始化级响应于第一二极管初始化时钟信号和第二二极管初始化时钟信号而操作，并且所述第N+1二极管初始化级至所述第N+M二极管初始化级响应于第三二极管初始化时钟信号和第四二极管初始化时钟信号而操作，

其中，在所述正常驱动模式下，所述第一二极管初始化时钟信号和所述第二二极管初始化时钟信号分别具有与所述第三二极管初始化时钟信号和所述第四二极管初始化时钟信号的相位相同的相位，

其中，在所述部分驱动模式下，当所述第一部分面板区域被驱动并且所述第二部分面板区域未被驱动时，所述第一二极管初始化时钟信号和所述第二二极管初始化时钟信号周期性地导通电平和截止电平之间翻转，所述第三二极管初始化时钟信号和所述第四二极管初始化时钟信号具有所述导通电平，并且所述第二二极管初始化开始信号包括在所述部分驱动模式的第一帧周期中的二极管初始化开始脉冲，并且

其中，在所述部分驱动模式下，当所述第一部分面板区域未被驱动并且所述第二部分面板区域被驱动时，所述第一二极管初始化时钟信号和所述第二二极管初始化时钟信号具

有所述导通电平,所述第三二极管初始化时钟信号和所述第四二极管初始化时钟信号周期性地在此所述导通电平和所述截止电平之间翻转,并且所述第一二极管初始化开始信号包括在所述部分驱动模式的所述第一帧周期中的所述二极管初始化开始脉冲。

15. 一种有机发光二极管OLED显示装置,包括:

显示面板,包括第一部分面板区域和第二部分面板区域,所述第一部分面板区域包括第一像素行至第N像素行,所述第二部分面板区域包括第N+1像素行至第N+M像素行,其中N和M中的每一个是大于1的整数;

扫描驱动器,被配置为在所述第一部分面板区域和所述第二部分面板区域两者均被驱动的正常驱动模式下将扫描信号顺序地施加到所述第一像素行至所述第N+M像素行,并且在所述第一部分面板区域未被驱动并且所述第二部分面板区域被驱动的部分驱动模式下将所述扫描信号顺序地施加到所述第N+1像素行至所述第N+M像素行;以及

数据驱动器,被配置为在所述正常驱动模式下将数据信号施加到所述第一像素行至所述第N+M像素行,并且在所述第一部分面板区域未被驱动并且所述第二部分面板区域被驱动的所述部分驱动模式下将所述数据信号施加到所述第N+1像素行至所述第N+M像素行,

其中,在所述正常驱动模式下,所述扫描驱动器被配置为将二极管初始化信号顺序地施加到所述第一像素行至所述第N+M像素行,并且

其中,在所述第一部分面板区域未被驱动并且所述第二部分面板区域被驱动的所述部分驱动模式下,所述扫描驱动器被配置为将所述二极管初始化信号顺序地施加到所述第N+1像素行至所述第N+M像素行,并且将所述二极管初始化信号并发地施加到所述第一像素行至所述第N像素行。

16. 根据权利要求15所述的OLED显示装置,其中,在所述第一部分面板区域未被驱动并且所述第二部分面板区域被驱动的所述部分驱动模式下,所述扫描信号和所述数据信号不被施加到所述第一像素行至所述第N像素行。

17. 根据权利要求15所述的OLED显示装置,其中,在所述第一部分面板区域未被驱动并且所述第二部分面板区域被驱动的所述部分驱动模式下,响应于并发地施加的所述二极管初始化信号,所述第一部分面板区域中包括的像素的OLED被初始化。

18. 根据权利要求15所述的OLED显示装置,其中,在所述第一部分面板区域未被驱动并且所述第二部分面板区域被驱动的所述部分驱动模式下,响应于并发地施加的所述二极管初始化信号,所述第一部分面板区域中包括的像素形成从电源电压线到初始化电压线的泄露电流路径。

19. 根据权利要求15所述的OLED显示装置,其中,在所述第一部分面板区域未被驱动并且所述第二部分面板区域被驱动的所述部分驱动模式下,施加到所述第一部分面板区域的所述二极管初始化信号在所述部分驱动模式的第一帧周期中顺序地具有导通电平,并被保持为所述导通电平直到所述OLED显示装置的驱动模式改变为所述正常驱动模式。

20. 根据权利要求15所述的OLED显示装置,其中,在所述第一部分面板区域被驱动并且所述第二部分面板区域未被驱动的所述部分驱动模式下,所述扫描驱动器将所述二极管初始化信号顺序地施加到所述第一像素行至所述第N像素行,并且将所述二极管初始化信号并发地施加到所述第N+1像素行至所述第N+M像素行。

支持部分驱动模式的有机发光二极管显示装置

技术领域

[0001] 本发明构思的示例性实施例涉及显示装置,并且更具体地涉及支持部分驱动模式的有机发光二极管(OLED)显示装置。

背景技术

[0002] 因为有机发光二极管(OLED)显示装置不需要背光单元并且具有高柔性,所以对于柔性显示装置,OLED显示装置是适合的。最近,已经开发了诸如可折叠显示装置、可卷曲显示装置、可拉伸显示装置等的各种柔性显示装置。在这些各种柔性显示装置中,可折叠显示装置在其被折叠时提供了便携式便利,并且在其被展开时显示大屏幕,并且因此作为显示领域中的下一代技术引起了很多关注。

[0003] 在一些可折叠显示装置中,例如,在其中显示面板被折叠使得显示面板的一部分位于后面的向外折叠显示装置中,可以使用部分驱动模式,在部分驱动模式中,位于向外折叠显示装置的前面的部分面板区域被驱动,并且位于向外折叠显示装置的后面的另一(或剩余的)部分面板区域不被驱动。然而,即使数据信号不被施加到在部分驱动模式下未被驱动的部分面板区域,由于剩余电流或泄漏电流,未被驱动的部分面板区域也可能不期望地发光。

发明内容

[0004] 一些示例实施例提供了一种有机发光二极管(OLED)显示装置,能够防止或减小在部分驱动模式下未被驱动的部分面板区域不期望地发光。

[0005] 根据示例实施例,提供了一种OLED显示装置,包括:显示面板,包括第一部分面板区域和第二部分面板区域;扫描驱动器,被配置为在第一部分面板区域和第二部分面板区域均被驱动的正常驱动模式下将扫描信号顺序地施加到第一部分面板区域和第二部分面板区域,并且在部分驱动模式下将扫描信号顺序地施加到第一部分面板区域和第二部分面板区域中的被驱动的一个,其中第一部分面板区域和第二部分面板区域中的被驱动的一个被驱动,并且第一部分面板区域和第二部分面板区域中的未被驱动的一个未被驱动;以及数据驱动器,被配置为在正常驱动模式下将数据信号施加到第一部分面板区域和第二部分面板区域,并且在部分驱动模式下将数据信号施加到第一部分面板区域和第二部分面板区域中的被驱动的一个。在部分驱动模式下,扫描驱动器被配置为将二极管初始化信号顺序地施加到第一部分面板区域和第二部分面板区域中的被驱动的一个,并且将二极管初始化信号并发地施加到第一部分面板区域和第二部分面板区域中的未被驱动的一个。

[0006] 在示例实施例中,在部分驱动模式下,响应于并发地施加的二极管初始化信号,第一部分面板区域和第二部分面板区域中的未被驱动的一个中包括的像素的OLED可以被初始化。

[0007] 在示例实施例中,在部分驱动模式下,响应于并发地施加的二极管初始化信号,第一部分面板区域和第二部分面板区域中的未被驱动的一个中包括的像素可以形成从电源

电压线到初始化电压线的泄漏电流路径。

[0008] 在示例实施例中,第一部分面板区域和第二部分面板区域中的每一个可以包括多个像素。多个像素中的每一个像素可以包括二极管初始化晶体管,该二极管初始化晶体管具有用于接收二极管初始化信号中的相应的一个的栅极、连接到初始化电压线的第一端子以及连接到OLED的阳极的第二端子。在部分驱动模式下,响应于并发地施加的二极管初始化信号,第一部分面板区域和第二部分面板区域中的未被驱动的一个中包括的多个像素的二极管初始化晶体管可以被导通。

[0009] 在示例实施例中,第一部分面板区域和第二部分面板区域中的未被驱动的一个中包括的多个像素的被导通的二极管初始化晶体管可以形成放电路径并且可以形成泄露电流路径,该放电路径用于使第一部分面板区域和第二部分面板区域中的未被驱动的一个中包括的多个像素的OLED的寄生电容器放电到初始化电压线,该泄露电流路径用于允许驱动晶体管的泄漏电流流到初始化电压线。

[0010] 在示例实施例中,在部分驱动模式下,并发地施加到第一部分面板区域和第二部分面板区域中的未被驱动的一个的二极管初始化信号可以具有导通电平达至少一个水平时间。

[0011] 在示例实施例中,在部分驱动模式下,施加到第一部分面板区域和第二部分面板区域中的未被驱动的一个的二极管初始化信号可以在部分驱动模式的第一帧周期中顺序地具有导通电平,并且可以被保持为导通水平直到OLED显示装置的驱动模式改变为正常驱动模式。

[0012] 在示例实施例中,第一部分面板区域可以包括第一像素行至第N像素行,第二部分面板区域可以包括第N+1像素行至第N+M像素行,并且扫描信号可以包括第一扫描信号至第N+M扫描信号,其中N和M中的每一个是大于1的整数。扫描驱动器可以包括:第一扫描级,被配置为响应于第一扫描开始信号将第一扫描信号施加到第一像素行;第二扫描级至第N扫描级,其被配置为响应于第一扫描信号至第N-1扫描信号将第二扫描信号至第N扫描信号施加到第二像素行至第N像素行;扫描输入控制电路,被配置为响应于模式控制信号选择性地输出第二扫描开始信号或第N扫描信号,第N+1扫描级,被配置为响应于扫描输入控制电路的输出信号将第N+1扫描信号施加到第N+1像素行;以及第N+2扫描级至第N+M扫描级,被配置为响应于N+1扫描信号至第N+M-1扫描信号将第N+2扫描信号至第N+M扫描信号施加到第N+2像素行至第N+M像素行。

[0013] 在示例实施例中,扫描输入控制电路可以包括:第一扫描输入控制晶体管,被配置为在正常驱动模式下响应于具有导通电平的模式控制信号,输出从第N扫描级接收的第N扫描信号;以及第二扫描输入控制晶体管,被配置为在部分驱动模式下响应于具有导通电平的反相模式控制信号,输出第二扫描开始信号。

[0014] 在示例实施例中,在正常驱动模式下,模式控制信号可以具有导通电平,第一扫描开始信号可以包括在每个帧周期中的扫描开始脉冲,并且第二扫描开始信号可以具有截止电平。在部分驱动模式下,当第一部分面板区域被驱动并且第二部分面板区域未被驱动时,模式控制信号可以具有截止电平,第一扫描开始信号可以包括在每个帧周期中的扫描开始脉冲,并且第二扫描开始信号可以具有截止电平。在部分驱动模式下,当第一部分面板区域未被驱动并且第二部分面板区域被驱动时,模式控制信号可以具有截止电平,第一扫描开

始信号可以具有截止电平,并且第二扫描开始信号可以包括在每个帧周期中的扫描开始脉冲。

[0015] 在示例实施例中,第一部分面板区域可以包括第一像素行至第N像素行,第二部分面板区域可以包括第N+1像素行至第N+M像素行,并且二极管初始化信号可以包括第一二极管初始化信号至第N+M二极管初始化信号,其中N和M中的每一个是大于1的整数。扫描驱动器可以包括:第一二极管初始化级,被配置为响应于第一二极管初始化开始信号,将第一二极管初始化信号施加到第一像素行;第二二极管初始化级至第N二极管初始化级,被配置为响应于第一二极管初始化信号至第N-1二极管初始化信号,将第二二极管初始化信号至第N二极管初始化信号施加到第二像素行至第N像素行;二极管初始化输入控制电路,被配置为响应于模式控制信号,选择性地输出第二二极管初始化开始信号或第N二极管初始化信号;第N+1二极管初始化级,被配置为响应于二极管初始化输入控制电路的输出信号,将第N+1二极管初始化信号施加到第N+1像素行;以及第N+2二极管初始化级至第N+M二极管初始化级,被配置为响应于第N+1二极管初始化信号至第N+M-1二极管初始化信号将第N+2二极管初始化信号至第N+M二极管初始化信号施加到第N+2像素行至第N+M像素行。

[0016] 在示例实施例中,二极管初始化输入控制电路可以包括:第一二极管初始化输入控制晶体管,被配置为在正常驱动模式下响应于具有导通电平的模式控制信号,输出从第N二极管初始化级接收的第N二极管初始化信号,以及第二二极管初始化输入控制晶体管,被配置为在部分驱动模式下响应于具有导通电平的反相模式控制信号,输出第二二极管初始化开始信号。

[0017] 在示例实施例中,在正常驱动模式下,模式控制信号可以具有导通电平,第一二极管初始化开始信号可以包括在每个帧周期中的二极管初始化开始脉冲,并且第二二极管初始化开始信号可以具有截止水平。在部分驱动模式下,当第一部分面板区域被驱动并且第二部分面板区域未被驱动时,模式控制信号可以具有截止电平,第一二极管初始化开始信号可以包括在每个帧周期中的二极管初始化开始脉冲,并且第二二极管初始化开始信号可以具有导通电平。在部分驱动模式下,当第一部分面板区域未被驱动并且第二部分面板区域被驱动时,模式控制信号可以具有截止电平,第一二极管初始化开始信号可以具有导通电平,并且第二二极管初始化开始信号可以包括在每个帧周期中的二极管初始化开始脉冲。

[0018] 在示例实施例中,第一二极管初始化级至第N二极管初始化级可以响应于第一二极管初始化时钟信号和第二二极管初始化时钟信号而操作,并且第N+1二极管初始化级至第N+M二极管初始化级可以响应于第三二极管初始化时钟信号和第四二极管初始化时钟信号而操作。在正常驱动模式下,第一二极管初始化时钟信号和第二二极管初始化时钟信号可以分别具有与第三二极管初始化时钟信号和第四二极管初始化时钟信号的相位相同的相位。在部分驱动模式下,当第一部分面板区域被驱动并且第二部分面板区域未被驱动时,第一二极管初始化时钟信号和第二二极管初始化时钟信号可以周期性地在导通电平和截止电平之间翻转,第三二极管初始化时钟信号和第四二极管初始化时钟信号可以具有导通电平,并且第二二极管初始化开始信号可以包括在部分驱动模式的第一帧周期中的二极管初始化开始脉冲。在部分驱动模式下,当第一部分面板区域未被驱动并且第二部分面板区域被驱动时,第一二极管初始化时钟信号和第二二极管初始化时钟信号可以具有导通电

平,第三二极管初始化时钟信号和第四二极管初始化时钟信号可以周期性地在导通电平和截止电平之间翻转,并且第一二极管初始化开始信号可以包括在部分驱动模式的第一帧周期中的二极管初始化开始脉冲。

[0019] 根据示例实施例,提供了一种OLED显示装置,包括:显示面板,包括第一部分面板区域和第二部分面板区域,该第一部分面板区域包括第一像素行至第N像素行,第二部分面板区域包括第N+1像素行至第N+M像素行,其中N和M中的每一个是大于1的整数;扫描驱动器,被配置为在第一部分面板区域和第二部分面板区域两者均被驱动的正常驱动模式下将扫描信号顺序地施加到第一像素行至第N+M像素行,并且在第一部分面板区域未被驱动并且第二部分面板区域被驱动的部分驱动模式下将扫描信号顺序地施加到第N+1像素行至第N+M像素行;以及数据驱动器,被配置为在正常驱动模式下将数据信号施加到第一像素行至第N+M像素行,并且在第一部分面板区域未被驱动并且第二部分面板区域被驱动的部分驱动模式下将数据信号施加到第N+1像素行至第N+M像素行。在正常驱动模式下,扫描驱动器被配置为将二极管初始化信号顺序地施加到第一像素行至第N+M像素行。在第一部分面板区域未被驱动并且第二部分面板区域被驱动的部分驱动模式下,扫描驱动器被配置为将二极管初始化信号顺序地施加到第N+1像素行至第N+M像素行,并且将二极管初始化信号并发地施加到第一像素行至第N像素行。

[0020] 在示例实施例中,在第一部分面板区域未被驱动并且第二部分面板区域被驱动的部分驱动模式下,扫描信号和数据信号可以不被施加到第一像素行至第N像素行。

[0021] 在示例实施例中,在第一部分面板区域未被驱动并且第二部分面板区域被驱动的部分驱动模式下,响应于并发地施加的二极管初始化信号,第一部分面板区域中包括的像素的OLED可以被初始化。

[0022] 在示例实施例中,在第一部分面板区域未被驱动并且第二部分面板区域被驱动的部分驱动模式下,响应于并发地施加的二极管初始化信号,第一部分面板区域中包括的像素可以形成从电源电压线到初始化电压线的泄漏电流路径。

[0023] 在示例实施例中,在第一部分面板区域未被驱动并且第二部分面板区域被驱动的部分驱动模式下,施加到第一部分面板区域的二极管初始化信号可以在部分驱动模式的第一帧周期中顺序地具有导通电平,并且可以被保持为导通电平直到OLED显示装置的驱动模式变为正常驱动模式。

[0024] 在示例实施例中,在第一部分面板区域被驱动并且第二部分面板区域未被驱动的部分驱动模式下,扫描驱动器可以将二极管初始化信号顺序地施加到第一像素行至第N像素行,并且可以将二极管初始化信号并发地施加到第N+1像素行至第N+M像素行。

[0025] 如上所述,根据示例实施例的OLED显示装置可以将二极管初始化信号并发地施加到在部分驱动模式下未被驱动的部分面板区域,从而在未被驱动的部分面板区域的像素中形成用于使OLED的寄生电容器放电的放电路径和驱动晶体管的泄漏电流流过的泄漏电流路径。因此,可以防止或减小未被驱动的部分面板区域不期望地发光。

附图说明

[0026] 通过以下结合附图的详细描述,将更清楚地理解说明性的非限制性示例实施例。

[0027] 图1是示出根据示例实施例的有机发光二极管(OLED)显示装置的框图。

- [0028] 图2是示出图1的OLED显示装置中包括的像素的示例的电路图。
- [0029] 图3是示出图1的OLED显示装置中包括的扫描驱动器的示例的框图。
- [0030] 图4是示出图3的扫描驱动器中包括的每个级的示例的电路图。
- [0031] 图5是示出图1的OLED显示装置中包括的发射驱动器的示例的框图。
- [0032] 图6是示出图5的发射驱动器中包括的每个级的示例的电路图。
- [0033] 图7是用于描述图1的OLED显示装置在正常驱动模式下的操作的示例的时序图。
- [0034] 图8是用于描述图1的OLED显示装置在部分驱动模式下的操作的示例的时序图。
- [0035] 图9是示出根据示例实施例的OLED显示装置的框图。
- [0036] 图10是示出图9的OLED显示装置中包括的扫描驱动器的示例的框图。
- [0037] 图11是用于描述图9的OLED显示装置在部分驱动模式下的操作的示例的时序图。
- [0038] 图12是示出根据示例实施例的包括显示装置的电子装置的框图。

具体实施方式

[0039] 在下文中参考附图更充分地描述示例实施例。贯穿全文,相同或相似的附图标记指代相同或相似的元件。

[0040] 图1是示出根据示例实施例的有机发光二极管(OLED)显示装置的框图,并且图2是示出图1的OLED显示装置中包括的像素的示例的电路图。

[0041] 参照图1,根据示例实施例的OLED显示装置100可以包括显示面板110、将数据信号DS提供到显示面板110的数据驱动器130、将扫描信号GW1至GWN+M、栅极初始化信号GI1至GIN+M和二极管初始化信号GB1至GBN+M提供到显示面板110的扫描驱动器150、将发射控制信号EM1至EMN+M提供到显示面板110的发射驱动器170、以及控制数据驱动器130、扫描驱动器150和发射驱动器170的控制器190。

[0042] 显示面板110可以包括多条数据线、多条扫描线、多条栅极初始化线、多条二极管初始化线、多条发射控制线和连接到这些线的多个像素PX。显示面板110可以是在其中每个像素PX包括OLED的OLED显示面板。在一些示例实施例中,显示面板110可以是柔性显示面板,诸如可折叠显示面板、可卷曲显示面板、可拉伸显示面板等。

[0043] 在一些示例实施例中,如图2中所示,每个像素PX可以包括驱动晶体管T1、开关晶体管T2、补偿晶体管T3、栅极初始化晶体管T4、第一发射晶体管T5、第二发射晶体管T6、二极管初始化晶体管T7、存储电容器CST和有机发光二极管EL。驱动晶体管T1可以基于存储在存储电容器CST中的电压产生驱动电流。开关晶体管T2可以响应于扫描信号GW将数据信号DS传递到驱动晶体管T1的源极。补偿晶体管T3可以响应于扫描信号GW将驱动晶体管T1二极管连接。存储电容器CST可以连接在驱动晶体管T1的栅极与第一电源电压ELVDD的线ELVDDL(以下也被称作第一电源电压线ELVDDL)之间。例如,当施加扫描信号GW时,可以通过二极管连接的驱动晶体管T1将在其中驱动晶体管T1的负阈值电压被添加到数据信号DS的补偿电压施加到存储电容器CST。栅极初始化晶体管T4可以响应于栅极初始化信号GI将初始化电压VINIT施加到驱动晶体管T1的栅极和存储电容器CST。可以由通过栅极初始化晶体管T4施加的初始化电压VINIT来初始化驱动晶体管T1的栅极和存储电容器CST。第一发射晶体管T5可以响应于发射控制信号EM将第一电源电压线ELVDDL连接到驱动晶体管T1的源极,并且第二发射晶体管T6可以响应于发射控制信号EM将驱动晶体管T1的漏极连接到有机发光二极

管EL。例如,当施加发射控制信号EM时,第一发射晶体管T5和第二发射晶体管T6可以导通以形成从第一电源电压线ELVDDL通过第一发射晶体管T5、驱动晶体管T1、第二发射晶体管T6和有机发光二极管EL到第二电源电压ELVSS的线的驱动电流的路径。二极管初始化晶体管(例如,旁路晶体管)T7可以响应于二极管初始化信号(例如,旁路信号)GB将初始化电压VINIT的线VINITL(以下也被称作初始化电压线VINITL)连接到有机发光二极管EL的阳极和第二发射晶体管T6的漏极。在一些示例实施例中,二极管初始化晶体管T7可以具有用于接收二极管初始化信号GB的栅极、连接到初始化电压线VINITL的第一端子以及连接到有机发光二极管EL的阳极的第二端子。有机发光二极管EL可以连接在第二发射晶体管T6和第二电源电压ELVSS的线之间。尽管图2示出了具有包括七个晶体管T1至T7和一个电容器CST的7T1C结构的像素PX的示例,但是根据示例实施例的OLED显示装置100中包括的像素PX可以不限于7T1C结构。例如,像素PX可以具有包括二极管初始化晶体管T7的任何结构,该二极管初始化晶体管T7响应于二极管初始化信号GB将初始化电压线VINITL连接到有机发光二极管EL的阳极和第二发射晶体管T6的漏极。

[0044] 如图1中所示,显示面板110可以包括多个部分面板区域PPR1和PPR2。在正常驱动模式下,可以驱动多个部分面板区域PPR1和PPR2中的全部。在部分驱动模式下,可以驱动多个部分面板区域PPR1和PPR2中的一部分,并且可以不驱动多个部分面板区域PPR1和PPR2中的剩余部分。在一些示例实施例中,显示面板110可以包括包含第一像素行至第N像素行PXR1、PXR2、...、PXRN的第一部分面板区域PPR1以及包括第N+1像素行至第N+M像素行PXRN+1、PXRN+2、...、PXRN+M的第二部分面板区域PPR2,其中N和M中的每一个是大于1的整数。这里,每个像素行PXR1至PXRN+M可以是连接到同一扫描线(和/或同一栅极初始化线/二极管初始化线)的一系列像素PX。根据示例实施例,同一像素行中的像素PX可以沿垂直方向位于相同的位置(例如,沿栅极线方向布置),或者可以沿垂直方向位于两个或更多个位置。例如,在以菱形布置多个像素PX的情况下,同一像素行中的两个相邻像素PX可以沿垂直方向位于不同的位置。在部分驱动模式下,可以驱动第一部分面板区域PPR1和第二部分面板区域PPR2中的一个,并且可以不驱动第一部分面板区域PPR1和第二部分面板区域PPR2中的另一个。

[0045] 在示例实施例中,其中显示面板110是可折叠显示面板,并且显示面板110被折叠成使得第一部分面板区域PPR1位于OLED显示装置100的后部,在部分驱动模式下,第一部分面板区域PPR1可以不被驱动并且第二部分面板区域PPR2可以被驱动。尽管图1示出了将显示面板110划分为两个部分面板区域PPR1和PPR2的示例,但是部分面板区域的数量可以不限于此。

[0046] 数据驱动器130可以基于从控制器190接收的图像数据DAT和数据控制信号DCTRL将数据信号DS提供到多个像素PX。在一些示例实施例中,数据控制信号DCTRL可以包括但不限于水平开始信号和负载信号。在第一部分面板区域PPR1和第二部分面板区域PPR2两者均被驱动的正常驱动模式下,数据驱动器130可以将数据信号DS施加到第一部分面板区域PPR1和第二部分面板区域PPR2。在第一部分面板区域PPR1和第二部分面板区域PPR2中的一个被驱动并且第一部分面板区域PPR1和第二部分面板区域PPR2中的另一个未被驱动的部分驱动模式下,数据驱动器130可以将数据信号DS施加到第一部分面板区域PPR1和第二部分面板区域PPR2中的被驱动的一个,并且可以不将数据信号DS施加到第一部分面板区域

PPR1和第二部分面板区域PPR2中的未被驱动的一个。例如,在第一部分面板区域PPR1未被驱动并且第二部分面板区域PPR2被驱动的部分驱动模式下,数据驱动器130可以不将数据信号DS施加到第一像素行PXR1至第N像素行PXRN,并且可以将数据信号DS施加到第N+1像素行PXRN+1至第N+M像素行PXRN+M。

[0047] 扫描驱动器150可以基于从控制器190接收的扫描控制信号,在像素行的基础上顺序地提供扫描信号GW1至GWN+M、栅极初始化信号GI1至GIN+M以及二极管初始化信号GB1至GBN+M。在一些示例实施例中,扫描控制信号可以包括但不限于模式控制信号MCS、第一扫描开始信号GW_FLM1和第二扫描开始信号GW_FLM2、第一扫描时钟信号GW_CLK1和第二扫描时钟信号GW_CLK2、第一栅极初始化开始信号GI_FLM1和第二栅极初始化开始信号GI_FLM2、第一栅极初始化时钟信号GI_CLK1和第二栅极初始化时钟信号GI_CLK2、第一二极管初始化开始信号GB_FLM1和第二二极管初始化开始信号GB_FLM2、以及第一二极管初始化时钟信号GB_CLK1和第二二极管初始化时钟信号GB_CLK2。在第一部分面板区域PPR1和第二部分面板区域PPR2两者均被驱动的正常驱动模式下,扫描驱动器150可以在像素行的基础上将扫描信号GW1至GWN+M、栅极初始化信号GI1至GIN+M以及二极管初始化信号GB1至GBN+M顺序地提供到第一部分面板区域PPR1和第二部分面板区域PPR2。在第一部分面板区域PPR1和第二部分面板区域PPR2中的一个被驱动并且第一部分面板区域PPR1和第二部分面板区域PPR2中的另一个未被驱动的部分驱动模式下,扫描驱动器150可以将扫描信号(例如,GWN+1至GWN+M)、栅极初始化信号(例如,GIN+1至GIN+M)和二极管初始化信号(例如,GBN+1至GBN+M)顺序地施加到第一部分面板区域PPR1和第二部分面板区域PPR2中的被驱动的一个(例如,PPR2),并且可以不将扫描信号(例如,GW1至GWN)和栅极初始化信号(例如,GI1至GIN)施加到第一部分面板区域PPR1和第二部分面板区域PPR2中的未被驱动的一个(例如,PPR1)。然而,在部分驱动模式下,扫描驱动器150可以将二极管初始化信号(例如,GB1至GBN)并发地(例如,基本上同时地)施加到第一部分面板区域PPR1和第二部分面板区域PPR2中的未被驱动的一个(例如,PPR1)。

[0048] 在一些示例实施例中,如图1中所示,扫描驱动器150可以包括用于顺序输出扫描信号GW1至GWN+M的多个扫描级GW_STG、用于顺序输出栅极初始化信号GI1至GIN+M的多个栅极初始化级GI_STG以及用于顺序地输出二极管初始化信号GB1至GBN+M的多个二极管初始化级GB_STG。例如,基于模式控制信号MCS、第一扫描开始信号GW_FLM1和第二扫描开始信号GW_FLM2以及第一扫描时钟信号GW_CLK1和第二扫描时钟信号GW_CLK2,多个扫描级GW_STG在正常驱动模式下可以将第一扫描信号GW1至第N+M扫描信号GWN+M顺序地输出到第一像素行PXR1至第N+M像素行PXRN+M,并且在部分驱动模式下可以将第一扫描信号GW1至第N+M扫描信号GWN+M中的一部分(例如,GWN+1至GWN+M)顺序地输出到第一像素行PXR1至第N+M像素行PXRN+M中的一部分(例如,PXRN+1至PXRN+M)。基于模式控制信号MCS、第一栅极初始化开始信号GI_FLM1和第二栅极初始化开始信号GI_FLM2以及第一栅极初始化时钟信号GI_CLK1和第二栅极初始化时钟信号GI_CLK2,多个栅极初始化级GI_STG在正常驱动模式下可以将第一栅极初始化信号GI1至第N+M栅极初始化信号GIN+M顺序地输出到第一像素行PXR1至第N+M像素行PXRN+M,并且在部分驱动模式下可以将第一栅极初始化信号GI1至第N+M栅极初始化信号GIN+M中的一部分(例如,GIN+1至GIN+M)顺序地输出到第一像素行PXR1至第N+M像素行PXRN+M中的一部分(例如,PXRN+1至PXRN+M)。基于模式控制信号MCS、第一二极管初始化开

始信号GB_FLM1和第二二极管初始化开始信号GB_FLM2以及第一二极管初始化时钟信号GB_CLK1和第二二极管初始化时钟信号GB_CLK2,多个二极管初始化级GB_STG在正常驱动模式下可以将第一二极管初始化信号GB1至第N+M二极管初始化信号GBN+M顺序地输出到第一像素行PXR1至第N+M像素行PXRN+M。在部分驱动模式下,多个二极管初始化级GB_STG可以将二极管初始化信号(例如,GBN+1至GBN+M)顺序地施加到第一部分面板区域PPR1和第二部分面板区域PPR2中的被驱动的一个(例如,PPR2),并且可以将二极管初始化信号(例如,GB1至GBN)并发地(例如,基本上同时地)施加到第一部分面板区域PPR1和第二部分面板区域PPR2中的未被驱动的一个(例如,PPR1)。尽管图1示出了在其中扫描信号GW、栅极初始化信号GI和二极管初始化信号GB由不同的级GW_STG、GI_STG和GB_STG输出的示例,但是在一些示例实施例中,扫描信号GW、栅极初始化信号GI和二极管初始化信号GB中的至少两个可以由同一级输出。例如,前一像素行的扫描信号GW可以用作栅极初始化信号GI。在这种情况下,扫描驱动器150可以仅包括扫描级GW_STG和二极管初始化级GB_STG,并且可以不包括栅极初始化级GI_STG。

[0049] 发射驱动器170可以基于从控制器190接收的发射驱动器控制信号,将发射控制信号EM1至EMN+M提供到多个像素PX。在一些示例实施例中,发射驱动器控制信号可以包括但不限于模式控制信号MCS、第一发射控制开始信号EM_FLM1和第二发射控制开始信号EM_FLM2以及第一发射控制时钟信号EM_CLK1和第二发射控制时钟信号EM_CLK2。在一些示例实施例中,在正常驱动模式下,发射驱动器170可以在像素行的基础上将发射控制信号EM1至EMN+M顺序地施加到第一部分面板区域PPR1和第二部分面板区域PPR2,并且因此,第一像素行PXR1至第N+M像素行PXRN+M可以顺序地发光。在部分驱动模式下,发射驱动器170可以将发射控制信号(例如,EMN+1至EMN+M)施加到第一部分面板区域PPR1和第二部分面板区域PPR2中的被驱动的一个(例如,PPR2),并且可以不将发射控制信号(例如,EM1至EMN)施加到第一部分面板区域PPR1和第二部分面板区域PPR2中的未被驱动的一个(例如,PPR1)。在一些示例实施例中,发射驱动器170可以包括用于顺序地输出发射控制信号EM1至EMN+M的多个发射控制级EM_STG。

[0050] 尽管图1示出了在其中扫描驱动器150和发射驱动器170位于显示面板110的一侧的示例,但是在一些示例实施例中,扫描驱动器150和发射驱动器170可以位于显示面板110的两侧。

[0051] 控制器(例如,时序控制器)190可以从外部主机(例如,图形处理单元(GPU)或图形卡)接收图像数据DAT和控制信号CTRL。在一些示例实施例中,控制信号CTRL可以包括但不限于主时钟信号、垂直同步信号、水平同步信号、数据使能信号等。控制器190可以通过将图像数据DAT和数据控制信号DCTRL提供到数据驱动器130来控制数据驱动器130,可以通过将模式控制信号MCS、开始信号GW_FLM1、GW_FLM2、GI_FLM1、GI_FLM2、GB_FLM1和GB_FLM2以及时钟信号GW_CLK1、GW_CLK2、GI_CLK1、GI_CLK2、GB_CLK1和GB_CLK2提供到扫描驱动器150来控制扫描驱动器150,并且可以通过将模式控制信号MCS、第一发射控制开始信号EM_FLM1和第二发射控制开始信号EM_FLM2以及第一发射控制时钟信号EM_CLK1和第二发射控制时钟信号EM_CLK2提供到发射驱动器170来控制发射驱动器170。

[0052] 在部分驱动模式下,即使没有将数据信号DS施加到未被驱动的部分面板区域,由于剩余电流或泄漏电流,未被驱动的部分面板区域也可能不期望地发光。例如,在未被驱动

的部分面板区域的像素PX中,由在前一帧周期中的数据信号DS引起的剩余电流可能存在于有机发光二极管EL的寄生电容器COLED(例如,如图2中所示)中,并且因此,即使未驱动像素PX,像素PX也可能通过寄生电容器COLED中的剩余电流而不期望地发光。此外,即使未驱动像素PX,驱动晶体管T1(以及发射晶体管T5和T6)的泄漏电流也可能从第一电源电压线ELVDDL流到有机发光二极管EL,并且因此像素PX可能通过泄漏电流而不期望地发光。

[0053] 然而,在根据示例实施例的OLED显示装置100中,扫描驱动器150可以在部分驱动模式下将二极管初始化信号(例如,GB1至GBN)并发地(例如,基本上同时地)施加到未被驱动的部分面板区域(例如,PPR1)。在此,扫描驱动器150将二极管初始化信号(例如,GB1至GBN)并发地(例如,基本上同时地)施加到未被驱动的部分面板区域(例如,PPR1)可以意味着扫描驱动器150将并发地(例如,基本上同时地)具有导通电平(例如,低电平)超过设定时间或预定时间的二极管初始化信号(例如,GB1至GBN)施加到未被驱动的部分面板区域(例如,PPR1)。在一些示例实施例中,在部分驱动模式下,施加到未被驱动的部分面板区域(例如,PPR1)的二极管初始化信号(例如,GB1至GBN)可以并发地(例如,基本上同时地)具有导通电平达至少一个水平时间。在其他示例实施例中,在部分驱动模式下,施加到未被驱动的部分面板区域(例如,PPR1)的二极管初始化信号(例如,GB1至GBN)可以在部分驱动模式的第一帧周期中顺序地具有导通电平,并且可以保持为导通水平,直到OLED显示装置100的驱动模式改变为正常驱动模式。

[0054] 在部分驱动模式下,一旦将二极管初始化信号(例如,GB1至GBN)并发地(例如,基本上同时地)施加到未被驱动的部分面板区域(例如,PPR1),则未被驱动的部分面板区域(例如,PPR1)中的像素PX的有机发光二极管EL可以响应于并发地(例如,同时地)施加的二极管初始化信号(例如,GB1至GBN)而被初始化。此外,在部分驱动模式下,未被驱动的部分面板区域(例如,PPR1)中的像素PX可以响应于并发地(例如,同时地)施加的二极管初始化信号(例如,GB1至GBN)而形成从第一电源电压线ELVDDL到初始化电压线VINITL的泄漏电流路径LCPATH。例如,在部分驱动模式下,未被驱动的部分面板区域(例如,PPR1)中的像素PX的二极管初始化晶体管T7可以响应于并发地(例如,同时地)施加的二极管初始化信号(例如,GB1至GBN)而导通。未被驱动的部分面板区域(例如,PPR1)中的像素PX的导通的二极管初始化晶体管T7可以形成放电路径DPATH,用于将有机发光二极管EL的寄生电容器COLED放电到初始化电压线VINITL,并且可以形成泄漏电流路径LCPATH,用于允许驱动晶体管T1(以及发射晶体管T5和T6)的泄漏电流流到初始化电压线VINITL。因此,可以通过放电路径DPATH去除有机发光二极管EL的寄生电容器COLED中的剩余电流,可以通过泄露电流路径LCPATH来防止或减小驱动晶体管T1(以及发射晶体管T5和T6)的泄漏电流被施加到有机发光二极管EL,并且因此可以防止或减小由剩余电流和泄漏电流引起的未被驱动的部分面板区域(例如,PPR1)中的像素PX的不期望的发光。

[0055] 如上所述,根据示例实施例的OLED显示装置100可以在部分驱动模式下将二极管初始化信号(例如,GB1至GBN)并发地(例如,同时地)施加到未被驱动的部分面板区域(例如,PPR1),从而在未被驱动的部分面板区域(例如,PPR1)的像素PX中形成用于使有机发光二极管EL的寄生电容器COLED放电的放电路径DPATH和用于允许驱动晶体管T1的泄漏电流流动的泄漏电流路径LCPATH。因此,可以防止或减小未被驱动的部分面板区域(例如,PPR1)的不期望的发光。

[0056] 图3是示出图1的OLED显示装置中包括的扫描驱动器的示例的框图,并且图4是示出图3的扫描驱动器中包括的每个级的示例的电路图。

[0057] 参照图1和图3,扫描驱动器150可以包括第一扫描级GW_STG1至第N+M扫描级GW_STGN+M、扫描输入控制电路GWICT1和GWICT2、第一栅极初始化级GI_STG1至第N+M栅极初始化级GI_STGN+M、栅极初始化输入控制电路GIICT1和GIICT2、第一二极管初始化级GB_STG1至第N+M二极管初始化级GB_STGN+M、二极管初始化输入控制电路GBICT1和GBICT2以及输出反相模式控制信号/MCS的反相器155。

[0058] 第一扫描级GW_STG1至第N+M扫描级GW_STGN+M可以基于第一扫描开始信号GW_FLM1和第二扫描开始信号GW_FLM2以及第一扫描时钟信号GW_CLK1和第二扫描时钟信号GW_CLK2将第一扫描信号GW1至第N+M扫描信号GWN+M顺序地施加到第一像素行PXR1至第N+M像素行PXRN+M。在一些示例实施例中,第一扫描时钟信号GW_CLK1和第二扫描时钟信号GW_CLK2可以具有彼此相反的相位。在一些示例实施例中,奇数扫描级(例如,GW_STG1、GW_STGN+1等)可以响应于第二扫描时钟信号GW_CLK2输出扫描信号(例如,GW1、GWN+1等),并且偶数扫描级(例如,GW_STG2、GW_STGN、GW_STGN+2、GW_STGN+M等)可以响应于第一扫描时钟信号GW_CLK1输出扫描信号(例如,GW2、GWN、GWN+2、GWN+M等)。在一些示例实施例中,如图4中所示,第一扫描级GW_STG1至第N+M扫描级GW_STGN+M中的每个级STG可以包括第一晶体管M1至第七晶体管M7以及第一电容器C1和第二电容器C2。在图4的级STG是第一扫描级GW_STG1至第N+M扫描级GW_STGN+M中的一个的情况下,开始信号FLM可以是第一扫描开始信号GW_FLM1或第二扫描开始信号GW_FLM2,前一输出信号POUT可以是前一扫描信号,输出信号OUT可以是扫描信号,第一时钟信号CLK1可以是第一扫描时钟信号GW_CLK1,并且第二时钟信号CLK2可以是第二扫描时钟信号GW_CLK2。

[0059] 例如,在第一扫描级GW_STG1至第N+M扫描级GW_STGN+M的每个级STG中,第一晶体管M1可以响应于第一时钟信号CLK1(或者在偶数扫描级的情况下的第二时钟信号CLK2)将开始信号FLM或前一输出信号POUT传递到第一节点N1,第二晶体管M2可以响应于第二节点N2的电压将高栅极电压VGH传递到第三节点N3,第三晶体管M3可以响应于第二时钟信号CLK2(或者在偶数扫描级的情况下的第一时钟信号CLK1)将第三节点N3的电压传递到第一节点N1,第四晶体管M4可以响应于第一节点N1的电压将第一时钟信号CLK1(或者在偶数扫描级的情况下的第二时钟信号CLK2)传递到第二节点N2,第五晶体管M5可以响应于第一时钟信号CLK1(或者在偶数扫描级的情况下的第二时钟信号CLK2)将低栅极电压VGL传递到第二节点N2,第六晶体管M6可以响应于第二节点N2的电压将高栅极电压VGH作为输出信号OUT输出至输出节点N0,并且第七晶体管M7可以响应于第一节点N1的电压将第二时钟信号CLK2(或者在偶数扫描级的情况下的第一时钟信号CLK1)作为输出信号OUT输出到输出节点N0。此外,第一电容器C1可以连接在高栅极电压VGH的线和第二节点N2之间,并且第二电容器C2可以连接在第一节点N1和输出节点N0之间。尽管图4示出了每个级STG的配置的示例,但是根据示例实施例的扫描驱动器150的每个扫描级GW_STG1至GW_STGN+M可以不限于图4的配置。

[0060] 在一些示例实施例中,第一扫描级GW_STG1可以响应于第一扫描开始信号GW_FLM1将第一扫描信号GW1施加到第一像素行PXR1,并且第二扫描级GW_STG2至第N扫描级GW_STGN可以响应于前一扫描信号或第一扫描信号GW1至第N-1扫描信号GWN-1,将第二扫描信号GW2

至第N扫描信号GWN施加到第二像素行PXR2至第N像素行PXRN。

[0061] 扫描输入控制电路GWICT1和GWICT2可以响应于模式控制信号MCS选择性地输出第二扫描开始信号GW_FLM2或第N扫描信号GWN。当模式控制信号MCS表示正常驱动模式时,或者当模式控制信号MCS具有导通电平时,扫描输入控制电路GWICT1和GWICT2可以输出第N扫描信号GWN,并且当模式控制信号MCS表示部分驱动模式时,或者当模式控制信号MCS具有截止电平时,扫描输入控制电路GWICT1和GWICT2可以输出第二扫描开始信号GW_FLM2。在一些示例实施例中,扫描输入控制电路GWICT1和GWICT2可以包括在正常驱动模式下响应于具有导通电平的模式控制信号MCS输出从第N扫描级GW_STGN接收的第N扫描信号GWN的第一扫描输入控制晶体管GWICT1、以及在部分驱动模式下响应于具有导通电平的反相模式控制信号/MCS输出第二扫描开始信号GW_FLM2的第二扫描输入控制晶体管GWICT2。

[0062] 第N+1扫描级GW_STGN+1可以响应于扫描输入控制电路GWICT1和GWICT2的输出信号(即第二扫描开始信号GW_FLM2或第N扫描信号GWN)将第N+1扫描信号GWN+1施加到第N+1像素行PXRN+1。第N+2扫描级GW_STGN+2至第N+M扫描级GW_STGN+M可以响应于前一扫描信号或第N+1扫描信号GWN+1至第N+M-1扫描信号GWN+M-1,将第N+2扫描信号GWN+2至第N+M扫描信号GWN+M施加到第N+2像素行PXRN+2至第N+M像素行PXRN+M。

[0063] 在正常驱动模式下,模式控制信号MCS可以具有导通电平,第一扫描开始信号GW_FLM1可以包括在每个帧周期中的扫描开始脉冲,并且第二扫描开始信号GW_FLM2可以具有截止电平。因此,扫描输入控制电路GWICT1和GWICT2可以输出第N扫描信号GWN,并且第一扫描级GW_STG1至第N+M扫描级GW_STGN+M可以将第一扫描信号GW1至第N+M扫描信号GWN+M顺序地施加到第一像素行PXR1至第N+M像素行PXRN+M。

[0064] 在部分驱动模式下,当第一部分面板区域PPR1被驱动并且第二部分面板区域PPR2未被驱动时,模式控制信号MCS可以具有截止电平,第一扫描开始信号GW_FLM1可以包括在每个帧周期中的扫描开始脉冲,并且第二扫描开始信号GW_FLM2可以具有截止电平。在这种情况下,第一扫描级GW_STG1至第N扫描级GW_STGN可以响应于每个帧周期中的第一扫描开始信号GW_FLM1将第一扫描信号GW1至第N扫描信号GWN顺序地施加到第一像素行PXR1至第N像素行PXRN。尽管扫描输入控制电路GWICT1和GWICT2输出第二扫描开始信号GW_FLM2,但是由于第二扫描开始信号GW_FLM2具有截止电平,因此第N+1扫描级GW_STGN+1至第N+M扫描级GW_STGN+M可以不将第N+1扫描信号GWN+1至第N+M扫描信号GWN+M施加到第N+1像素行PXRN+1至第N+M像素行PXRN+M。

[0065] 在部分驱动模式下,当第一部分面板区域PPR1未被驱动并且第二部分面板区域PPR2被驱动时,模式控制信号MCS可以具有截止电平,第一扫描开始信号GW_FLM1可以具有截止电平,并且第二扫描开始信号GW_FLM2可以包括在每个帧周期中的扫描开始脉冲。在这种情况下,因为第一扫描开始信号GW_FLM1具有截止电平,所以第一扫描级GW_STG1至第N扫描级GW_STGN可以不将第一扫描信号GW1至第N扫描信号GWN施加到第一像素行PXR1至第N像素行PXRN。扫描输入控制电路GWICT1和GWICT2可以输出第二扫描开始信号GW_FLM2,并且第N+1扫描级GW_STGN+1至第N+M扫描级GW_STGN+M可以响应于每个帧周期中的第二扫描开始信号GW_FLM2,将第N+1扫描信号GWN+1至第N+M扫描信号GWN+M顺序地施加到第N+1像素行PXRN+1至第N+M像素行PXRN+M。

[0066] 第一栅极初始化级GI_STG1至第N+M栅极初始化级GI_STGN+M可以基于第一栅极初

始化开始信号GI_FLM1和第二栅极初始化开始信号GI_FLM2以及第一栅极初始化时钟信号GI_CLK1和第二栅极初始化时钟信号GI_CLK2,将第一栅极初始化信号GI1至第N+M栅极初始化信号GIN+M顺序地施加到第一像素行PXR1至第N+M像素行PXRN+M。在一些示例实施例中,第一栅极初始化时钟信号GI_CLK1和第二栅极初始化时钟信号GI_CLK2可以具有彼此相反的相位。在一些示例实施例中,奇数栅极初始化级(例如,GI_STG1、GI_STGN+1等)可以响应于第二栅极初始化时钟信号GI_CLK2输出栅极初始化信号(例如,GI1、GIN+1等),并且偶数栅极初始化级(例如GI_STG2、GI_STGN、GI_STGN+2、GI_STGN+M等)可以响应于第一栅极初始化时钟信号GI_CLK1输出栅极初始化信号(例如GI2、GIN、GIN+2、GIN+M等)。在一些示例实施例中,如图4中所示,第一栅极初始化级GI_STG1至第N+M栅极初始化级GI_STGN+M的每个级STG可以包括但不限于第一晶体管M1至第七晶体管M7以及第一电容器C1和第二电容器C2。

[0067] 栅极初始化输入控制电路GIICT1和GIICT2可以包括在正常驱动模式下响应于具有导通电平的模式控制信号MCS输出从第N栅极初始化级GI_STGN接收的第N栅极初始化信号GIN的第一栅极初始化输入控制晶体管GIICT1、以及在部分驱动模式下响应于具有导通电平的反相模式控制信号/MCS输出第二栅极初始化开始信号GI_FLM2的第二栅极初始化输入控制晶体管GIICT2。

[0068] 在正常驱动模式下,模式控制信号MCS可以具有导通电平,第一栅极初始化开始信号GI_FLM1可以包括在每个帧周期中的栅极初始化开始脉冲,并且第二栅极初始化开始信号GI_FLM2可以具有截止电平。因此,栅极初始化输入控制电路GIICT1和GIICT2可以输出第N栅极初始化信号GIN,并且第一栅极初始化级GI_STG1至第N+M栅极初始化级GI_STGN+M可以将第一栅极初始化信号GI1至第N+M栅极初始化信号GIN+M顺序地施加到第一像素行PXR1至第N+M像素行PXRN+M。

[0069] 在部分驱动模式下,当第一部分面板区域PPR1被驱动并且第二部分面板区域PPR2未被驱动时,模式控制信号MCS可以具有截止电平,第一栅极初始化开始信号GI_FLM1可以包括在每个帧周期中的栅极初始化开始脉冲,并且第二栅极初始化开始信号GI_FLM2可以具有截止电平。在这种情况下,第一栅极初始化级GI_STG1至第N栅极初始化级GI_STGN可以在每个帧周期中将第一栅极初始化信号GI1至第N栅极初始化信号GIN顺序地施加到第一像素行PXR1至第N像素行PXRN,并且第N+1栅极初始化级GI_STGN+1至第N+M栅极初始化级GI_STGN+M可以不将第N+1栅极初始化信号GIN+1至第N+M栅极初始化信号GIN+M施加到第N+1像素行PXRN+1至第N+M像素行PXRN+M。

[0070] 在部分驱动模式下,当第一部分面板区域PPR1未被驱动并且第二部分面板区域PPR2被驱动时,模式控制信号MCS可以具有截止电平,第一栅极初始化开始信号GI_FLM1可以具有截止电平,并且第二栅极初始化开始信号GI_FLM2可以包括在每个帧周期中的栅极初始化开始脉冲。在这种情况下,第一栅极初始化级GI_STG1至第N栅极初始化级GI_STGN可以不将第一栅极初始化信号GI1至第N栅极初始化信号GIN施加到第一像素行PXR1至第N像素行PXRN,并且第N+1栅极初始化级GI_STGN+1至第N+M栅极初始化级GI_STGN+M可以在每个帧周期中将第N+1栅极初始化信号GIN+1至第N+M栅极初始化信号GIN+M顺序地施加到第N+1像素行PXRN+1至第N+M像素行PXRN+M。

[0071] 第一二极管初始化级GB_STG1至第N+M二极管初始化级GB_STGN+M可以基于第一二极管初始化开始信号GB_FLM1和第二二极管初始化开始信号GB_FLM2以及第一二极管初始

化时钟信号GB_CLK1和第二二极管初始化时钟信号GB_CLK2,将第一二极管初始化信号GB1至第N+M二极管初始化信号GBN+M顺序地施加到第一像素行PXR1至第N+M像素行PXRN+M。在一些示例实施例中,第一二极管初始化时钟信号GB_CLK1和第二二极管初始化时钟信号GB_CLK2可以具有彼此相反的相位。在一些示例实施例中,奇数二极管初始化级(例如,GB_STG1、GB_STGN+1等)可以响应于第二二极管初始化时钟信号GB_CLK2输出二极管初始化信号(例如,GB1、GBN+1等),并且偶数二极管初始化级(例如,GB_STG2、GB_STGN、GB_STGN+2、GB_STGN+M等)可以响应第一二极管初始化时钟信号GB_CLK1输出二极管初始化信号(例如,GB2、GBN、GBN+2、GBN+M等)。在一些示例实施例中,如图4中所示,第一二极管初始化级GB_STG1至第N+M二极管初始化级GB_STGN+M的每个级STG可以包括但不限于第一晶体管M1至第七晶体管M7以及第一电容器C1和第二电容器C2。

[0072] 二极管初始化输入控制电路GBICT1和GBICT2可以包括在正常驱动模式下响应于具有导通电平的模式控制信号MCS输出从第N二极管初始化级GB_STGN接收的第N二极管初始化信号GBN的第一二极管初始化输入控制晶体管GBICT1、以及在部分驱动模式下响应于具有导通电平的反相模式控制信号/MCS输出第二二极管初始化开始信号GB_FLM2的第二二极管初始化输入控制晶体管GBICT2。

[0073] 在正常驱动模式下,模式控制信号MCS可以具有导通电平,第一二极管初始化开始信号GB_FLM1可以包括在每个帧周期中的二极管初始化开始脉冲,并且第二二极管初始化开始信号GB_FLM2可以具有截止电平。因此,二极管初始化输入控制电路GBICT1和GBICT2可以输出第N二极管初始化信号GBN,并且第一二极管初始化级GB_STG1至第N+M二极管初始化级GB_STGN+M可以将第一二极管初始化信号GB1至第N+M二极管初始化信号GBN+M顺序地施加到第一像素行PXR1至第N+M像素行PXRN+M。

[0074] 在部分驱动模式下,当第一部分面板区域PPR1被驱动并且第二部分面板区域PPR2未被驱动时,模式控制信号MCS可以具有截止电平,第一二极管初始化开始信号GB_FLM1可以包括在每个帧周期中的二极管初始化开始脉冲,并且第二二极管初始化开始信号GB_FLM2可以具有导通电平。在这种情况下,第一二极管初始化级GB_STG1至第N二极管初始化级GB_STGN可以在每个帧周期中将第一二极管初始化信号GB1至第N二极管初始化信号GBN顺序地施加到第一像素行PXR1至第N像素行PXRN。因为二极管初始化输入控制电路GBICT1和GBICT2输出第二二极管初始化开始信号GB_FLM2,并且第二二极管初始化开始信号GB_FLM2具有导通电平,所以第N+1二极管初始化级GB_STGN+1至第N+M二极管初始化级GB_STGN+M可以为第N+1像素行PXRN+1至第N+M像素行PXRN+M提供第N+1二极管初始化信号GBN+1至第N+M二极管初始化信号GBN+M,这些信号在部分驱动模式的第一帧周期中顺序地具有导通电平,并保持为导通电平,直到驱动模式改变为正常驱动模式。

[0075] 在部分驱动模式下,当第一部分面板区域PPR1未被驱动并且第二部分面板区域PPR2被驱动时,模式控制信号MCS可以具有截止电平,第一二极管初始化开始信号GB_FLM1可以具有导通电平,并且第二二极管初始化开始信号GB_FLM2可以包括在每个帧周期中的二极管初始化开始脉冲。在这种情况下,第一二极管初始化级GB_STG1至第N二极管初始化级GB_STGN可以为第一像素行PXR1至第N像素行PXRN提供第一二极管初始化信号GB1至第N二极管初始化信号GBN,这些信号在部分驱动模式的第一帧周期中顺序地具有导通电平,并且保持为导通电平,直到驱动模式改变为正常驱动模式。第N+1二极管初始化级GB_STGN+1

至第N+M二极管初始化级GB_STGN+M可以在每个帧周期中将第N+1二极管初始化信号GBN+1至第N+M二极管初始化信号GBN+M顺序地施加到第N+1像素行PXRN+1至第N+M像素行PXRN+M。

[0076] 图5是示出图1的OLED显示装置中包括的发射驱动器的示例的框图,并且图6是示出图5的发射驱动器中包括的每个级的示例的电路图。

[0077] 参考图1和图5,发射驱动器170可以包括第一发射控制级EM_STG1至第N+M发射控制级EM_STGN+M、发射控制输入控制电路EMICT1和EMICT2以及输出反相模式控制信号/MCS的反相器175。

[0078] 第一发射控制级EM_STG1至第N+M发射控制级EM_STGN+M可以基于第一发射控制开始信号EM_FLM1和第二发射控制开始信号EM_FLM2以及第一发射控制时钟信号EM_CLK1和第二发射控制时钟信号EM_CLK2,将第一发射控制信号EM1至第N+M发射控制信号EMN+M顺序地施加到第一像素行PXR1至第N+M像素行PXRN+M。在一些示例实施例中,第一发射控制时钟信号EM_CLK1和第二发射控制时钟信号EM_CLK2可以具有彼此相反的相位。在一些示例实施例中,每个奇数发射控制级(例如,EM_STG1、EM_STGN+1等)可以分别在第一时钟输入和第二时钟输入处接收第一发射控制时钟信号EM_CLK1和第二发射控制时钟信号EM_CLK2,并且每个偶数发射控制级(例如,EM_STG2、EM_STGN、EM_STGN+2、EM_STGN+M等)可以分别在第一时钟输入和第二时钟输入处接收第二发射控制时钟信号EM_CLK2和第一发射控制时钟信号EM_CLK1。

[0079] 在一些示例实施例中,如图6所示,第一发射控制级至第N+M发射控制级(例如EM_STG1至EM_STGN+M)的每个发射控制级EMSTG可以包括第一晶体管EMM1至第十晶体管EMM10以及第一电容器至第三电容器EMC1、EMC2和EMC3。第一晶体管EMM1可以响应于第一发射控制时钟信号EM_CLK1将发射控制开始信号EM_FLM或前一发射控制信号PEM传递到第一节点EMN1。第二晶体管EMM2可以响应于第一节点EMN1的电压将第一发射控制时钟信号EM_CLK1传递到第二节点EMN2。第三晶体管EMM3可以响应于第一发射控制时钟信号EM_CLK1将低栅极电压VGL传递到第二节点EMN2。第四晶体管EMM4和第五晶体管EMM5可以响应于第二发射控制时钟信号EM_CLK2和第二节点EMN2的电压将高栅极电压VGH传递到第一节点EMN1。第六晶体管EMM6可以响应于第二节点EMN2的电压将第二发射控制时钟信号EM_CLK2传递到第三节点EMN3。第七晶体管EMM7可以响应于第二发射控制时钟信号EM_CLK2连接第三节点EMN3和第四节点EMN4。第八晶体管EMM8可以响应于第一节点EMN1的电压将高栅极电压VGH传递到第四节点EMN4。第九晶体管EMM9可以响应于第四节点EMN4的电压将高栅极电压VGH传递到输出节点EMNO。第十晶体管EMM10可以响应于第一节点EMN1的电压将低栅极电压VGL作为发射控制信号EM传递到输出节点EMNO。第一电容器EMC1可以连接在第一节点EMN1和第二发射控制时钟信号EM_CLK2的线之间,第二电容器EMC2可以连接在第二节点EMN2和第三节点EMN3之间,并且第三电容器EMC3可以连接在高栅极电压VGH的线和第四节点EMN4之间。

[0080] 图7是用于描述图1的OLED显示装置在正常驱动模式下的操作的示例的时序图,并且图8是用于描述图1的OLED显示装置在部分驱动模式下的操作的示例的时序图。

[0081] 参照图1、图3和图7,在第一部分面板区域PPR1和第二部分面板区域PPR2两者均被驱动的正常驱动模式下,模式控制信号MCS可以具有表示正常驱动模式的导通电平(例如,低电平),第一二极管初始化开始信号GB_FLM1可以包括在每个帧周期中的二极管初始化开始脉冲DISP,第一栅极初始化开始信号GI_FLM1可以包括在每个帧周期中的栅极初始化开

始脉冲GISP,并且第一扫描开始信号GW_FLM1可以包括在每个帧周期中的扫描开始脉冲SSP。因此,可以在每个水平时间(1H)处顺序地输出第一二极管初始化信号至第N+M二极管初始化信号GB1、GB2、...、GBN+M,可以在每个1H处顺序地输出第一栅极初始化信号GI1至第N+M栅极初始化信号GIN+M,并且可以在每个1H处顺序地输出第一扫描信号GW1至第N+M扫描信号GWN+M。尽管图7示出了在其中相对于每个像素行(例如,PXR1)顺序地输出二极管初始化信号(例如,GB1)、栅极初始化信号(例如,GI1)和扫描信号(例如,GW1)的示例,但是信号的顺序可以不限于此。

[0082] 参照图1、图3和图8,在第一部分面板区域PPR1未被驱动并且第二部分面板区域PPR2被驱动的部分驱动模式下,模式控制信号MCS可以具有表示部分驱动模式的截止电平(例如,高电平),第一二极管初始化开始信号GB_FLM1可以具有导通电平,并且第一栅极初始化开始信号GI_FLM1和第一扫描开始信号GW_FLM1可以具有截止电平。基于具有导通电平的第一二极管初始化开始信号GB_FLM1,第一二极管初始化信号至第N二极管初始化信号GB1、GB2、...、GBN可以在部分驱动模式的第一帧周期FP1中顺序地具有导通电平,并且可以保持为导通电平直到驱动模式改变为正常驱动模式,或者可以保持从第二帧周期FP2到最后时间周期的时间周期。第一栅极初始化信号GI1至第N栅极初始化信号GIN以及第一扫描信号GW1至第N扫描信号GWN可以具有截止电平。

[0083] 第二二极管初始化开始信号GB_FLM2可以包括在每个帧周期中的二极管初始化开始脉冲DISP,第二栅极初始化开始信号GI_FLM2可以包括在每个帧周期中的栅极初始化开始脉冲GISP,并且第二扫描开始信号GW_FLM2可以包括在每个帧周期中的扫描开始脉冲SSP。因此,可以在每个1H处顺序地输出第N+1二极管初始化信号GBN+1至第N+M二极管初始化信号GBN+M,可以在每个1H处顺序地输出第N+1栅极初始化信号GIN+1至第N+M栅极初始化信号GIN+M,并且可以在每个1H处顺序地输出第N+1扫描信号GWN+1至第N+M扫描信号GWN+M。

[0084] 图9是示出根据示例实施例的OLED显示装置的框图,图10是示出图9的OLED显示装置中包括的扫描驱动器的示例的框图,并且图11是用于描述图9的OLED显示装置在部分驱动模式下的操作的示例的时序图。

[0085] 图9的OLED显示装置100a可以具有与图1的OLED显示装置100相似的配置和相似的操作,除了控制器190a可以进一步将第三二极管初始化时钟信号GB_CLK3和第四二极管初始化时钟信号GB_CLK4提供到扫描驱动器150a。

[0086] 参考图9和图10,第一二极管初始化级GB_STG1至第N二极管初始化级GB_STGN可以响应于第一二极管初始化时钟信号GB_CLK1和第二二极管初始化时钟信号GB_CLK2而操作,并且第N+1二极管初始化级GB_STGN+1至第N+M二极管初始化级GB_STGN+M可以响应于第三二极管初始化时钟信号GB_CLK3和第四二极管初始化时钟信号GB_CLK4而操作。

[0087] 在正常驱动模式下,第三二极管初始化时钟信号GB_CLK3可以具有与第一二极管初始化时钟信号GB_CLK1的相位相同的相位,并且第四二极管初始化时钟信号GB_CLK4可以具有与第二二极管初始化时钟信号GB_CLK2的相位相同的相位。因此,第一二极管初始化级GB_STG1至第N+M二极管初始化级GB_STGN+M可以将第一二极管初始化信号GB1至第N+M二极管初始化信号GBN+M顺序地输出到第一像素行PXR1至第N+M像素行PXRN+M。

[0088] 在第一部分面板区域PPR1未被驱动并且第二部分面板区域PPR2被驱动的部分驱动模式下,如图11所示,第一二极管初始化时钟信号GB_CLK1和第二二极管初始化时钟信号

GB_CLK2可以具有导通电平,并且第一二极管初始化开始信号GB_FLM1可以包括在部分驱动模式的第一帧周期FP1中的二极管初始化开始脉冲DISP。响应于第一二极管初始化开始信号GB_FLM1以及具有导通电平的第一二极管初始化时钟信号GB_CLK1和第二二极管初始化时钟信号GB_CLK2,第一二极管初始化级GB_STG1至第N二极管初始化级GB_STGN可以为第一像素行PXR1至第N像素行PXRN提供第一二极管初始化信号至第N二极管初始化信号GB1、GB2、...、GBN,这些信号在部分驱动模式的第一帧周期FP1中顺序地具有导通电平,并保持为导通电平直到驱动模式改变为正常驱动模式。

[0089] 第三二极管初始化时钟信号GB_CLK3和第四二极管初始化时钟信号GB_CLK4可以周期性地在导通电平和截止电平之间翻转,并且第二二极管初始化开始信号GB_FLM2可以包括在每个帧周期中的二极管初始化开始脉冲DISP。因此,第N+1二极管初始化级GB_STGN+1至第N+M二极管初始化级GB_STGN+M可以将第N+1二极管初始化信号GBN+1至第N+M二极管初始化信号GBN+M顺序地输出到第N+1像素行PXRN+1至第N+M像素行PXRN+M。

[0090] 在第一部分面板区域PPR1被驱动并且第二部分面板区域PPR2未被驱动的部分驱动模式下,第一二极管初始化时钟信号GB_CLK1和第二二极管初始化时钟信号GB_CLK2可以周期性地在导通电平和截止电平之间翻转,第三二极管初始化时钟信号GB_CLK3和第四二极管初始化时钟信号GB_CLK4可以具有导通电平,第一二极管初始化开始信号GB_FLM1可以包括在每个帧周期中的二极管初始化开始脉冲DISP,并且第二二极管初始化开始信号GB_FLM2可以包括在部分驱动模式的第一帧周期FP1中的二极管初始化开始脉冲DISP。因此,第一二极管初始化级GB_STG1至第N二极管初始化级GB_STGN可以将第一二极管初始化信号GB1至第N二极管初始化信号GBN顺序地输出到第一像素行PXR1至第N像素行PXRN,并且N+1二极管初始化级GB_STGN+1至第N+M二极管初始化级GB_STGN+M可以为第N+1像素行PXRN+1至第N+M像素行PXRN+M提供第N+1二极管初始化信号GBN+1至第N+M二极管初始化信号GBN+M,这些信号在部分驱动模式的第一帧周期FP1中顺序地具有导通电平,并且保持为导通电平直到驱动模式改变为正常驱动模式。

[0091] 图12是示出根据示例实施例的包括显示装置的电子装置的框图。

[0092] 参考图12,电子装置1100可以包括处理器1110、存储器装置1120、储存装置1130、输入/输出(I/O)装置1140、电源1150和OLED显示装置1160。电子装置1100还可以包括用于与视频卡、声卡、存储器卡、通用串行总线(USB)装置、其他电子装置等通信的多个端口。

[0093] 处理器1110可以执行各种计算功能或任务。处理器1110可以是应用处理器(AP)、微处理器、中央处理单元(CPU)等。处理器1110可以经由地址总线、控制总线、数据总线等联接到其他部件。此外,在一些示例实施例中,处理器1110还可以联接到诸如外围部件互连(PCI)总线的扩展总线。

[0094] 存储器装置1120可以存储用于电子装置1100的操作的数据。例如,存储器装置1120可以包括至少一个非易失性存储器装置(诸如可擦除可编程只读存储器(EPROM)装置、电可擦可编程只读存储器(EEPROM)装置、闪存装置、相变随机存取存储器(PRAM)装置、电阻随机存取存储器(RRAM)装置、纳米浮动栅极存储器(NFGM)装置、聚合物随机存取存储器(PoRAM)装置、磁性随机存取存储器(MRAM)装置、铁电随机存取存储器(FRAM)装置等)和/或至少一个易失性存储器装置(诸如动态随机存取存储器(DRAM)装置、静态随机存取存储器(SRAM)装置、移动动态随机存取存储器(移动DRAM)装置等)。

[0095] 储存装置1130可以是固态驱动器(SSD)装置、硬盘驱动器(HDD)装置、CD-ROM装置等。I/O装置1140可以是输入装置(诸如键盘、小键盘、鼠标、触摸屏等)和/或输出装置(诸如打印机、扬声器等)。电源1150可以为电子装置1100的操作提供电力。

[0096] OLED显示装置1160可以将二极管初始化信号并发地(例如,同时地)施加到在部分驱动模式下未被驱动的部分面板区域,从而在未被驱动的部分面板区域的像素中形成用于使OLED的寄生电容器放电的放电路径和驱动晶体管的泄漏电流流过的泄漏电流路径。因此,可以防止或减小未被驱动的部分面板区域不期望地发光。

[0097] 在一些示例实施例中,电子装置1100是包括OLED显示装置1160的任何电子装置,例如蜂窝电话、智能电话、平板计算机、可穿戴装置、虚拟现实(VR)装置、个人数字助理(PDA)、便携式多媒体播放器(PMP)、数字相机、音乐播放器、便携式游戏机、导航系统、数字电视、3D电视、个人计算机(PC)、家用电器、笔记本电脑等。

[0098] 将理解,尽管在本文中可以使用术语“第一”、“第二”、“第三”等描述各种元件、部件、区域、层和/或区段,但是这些元件、部件、区域、层和/或区段不应受到这些术语的限制。这些术语仅用于将一个元件、部件、区域、层或区段与另一元件、部件、区域、层或区段区分。因此,在不脱离本发明构思的精神和范围的情况下,本文中讨论的第一元件、第一部件、第一区域、第一层或第一区段可以被称为第二元件、第二部件、第二区域、第二层或第二区段。

[0099] 为了便于描述,在本文中可以使用空间上相对的术语,例如“下面”、“下方”、“低于”、“之下”、“上方”、“高于”等来描述一个元件或特征与另一个元件或特征的关系,如图中所示。将理解,除了附图中描绘的方位之外,这样的空间相对术语还意在涵盖装置在使用或操作中的不同方位。例如,如果附图中的装置被翻转,则被描述为在其他元件或特征“下方”、“下面”或“之下”的元件将被定位为在其他元件或特征“上方”。因此,示例术语“下方”和“之下”可以涵盖上方和下方两种方位。装置可以以另外的方式定位(例如,旋转90度或在其他方位),并且应当相应地解释本文所使用的空间上相对的描述符。另外,还将理解,当层被称为在两层“之间”时,该层可以是两层之间的唯一层,或者也可以存在一个或多个中间层。

[0100] 本文所使用的术语仅用于描述一些示例实施例的方面的目的,并且不旨在限制本发明构思。如本文中所使用的,术语“基本上”、“大约”和类似术语被用作近似术语而不是程度术语,并且旨在考虑本领域技术人员公认的在测量的或计算的值中的固有偏差。

[0101] 如本文中所使用的,单数形式“一”和“该”旨在也包括复数形式,除非上下文另外明确指出。还将理解,当在本说明书中使用术语“包括”和/或“包含”指定了所陈述的特征、整数、步骤、操作、元件和/或部件的存在,但不排除存在或添加一个或多个其他特征、整数、步骤、操作、元件、部件和/或其组。如本文所使用的,术语“和/或”包括一个或多个相关联的所列项目的任何和所有组合。诸如“……中的至少一个”的表达在元件列表之后时,修饰整个元件列表并且不修饰列表的各个元件。此外,当描述本发明构思的实施例时,“可以”的使用是指“本发明的一个或多个实施例”。同样,术语“示例性”旨在表示示例或说明。如本文所使用的,术语“使用”、“使用中”和“被使用”可分别被认为与术语“利用”、“利用中”和“被利用”同义。

[0102] 将理解,当元件或层被称为在另一元件或层“上”、“连接到”另一元件或层、“联接到”另一元件或层或“邻近”另一元件或层时,该元件或层可以直接在另一元件或层上、直接

连接到另一元件或层、直接联接到另一元件或层或直接邻近另一元件或层,或者可以存在一个或多个中间元件或层。相反,当元件或层被称为“直接”在另一元件或层“上”、“直接连接到”另一元件或层、“直接联接到”另一元件或层或“紧密地邻近”另一元件或层时,则不存在中间元件或层。

[0103] 前述内容是示例实施例的说明,并且不应解释为对示例实施例的限制。尽管已经描述了一些示例实施例,但是本领域技术人员将容易理解,在实质上不脱离本发明构思的新颖教导和优点的情况下,可以对示例实施例进行许多修改。因此,所有这样的修改旨在被包括在如权利要求中所限定的本发明构思的范围内。因此,应当理解,前述内容是各种示例实施例的说明,并且不应解释为限于所公开的特定示例实施例,并且对所公开的示例实施例的修改以及其他示例实施例旨在被包括在所附权利要求书及其等同物的范围内。

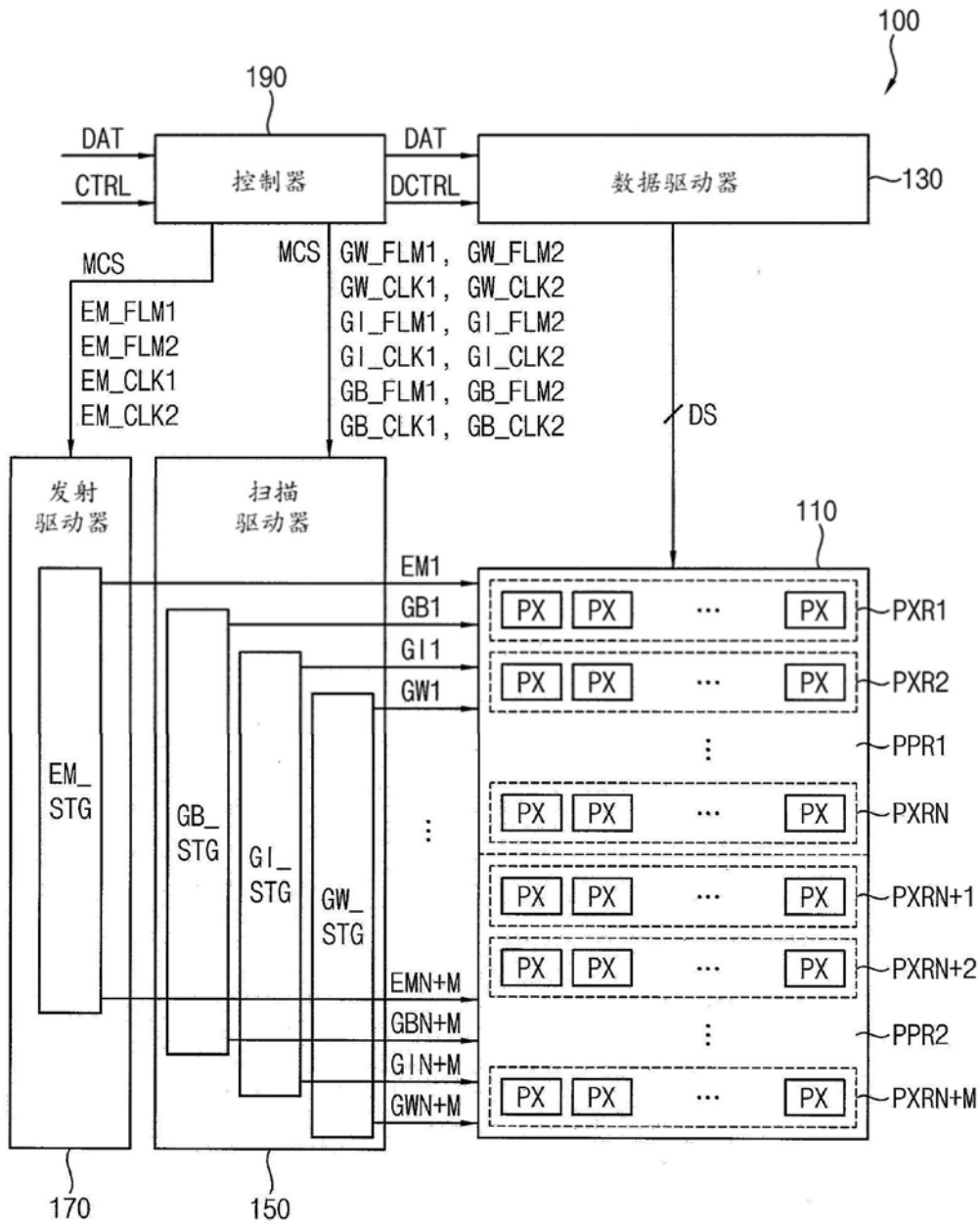


图1

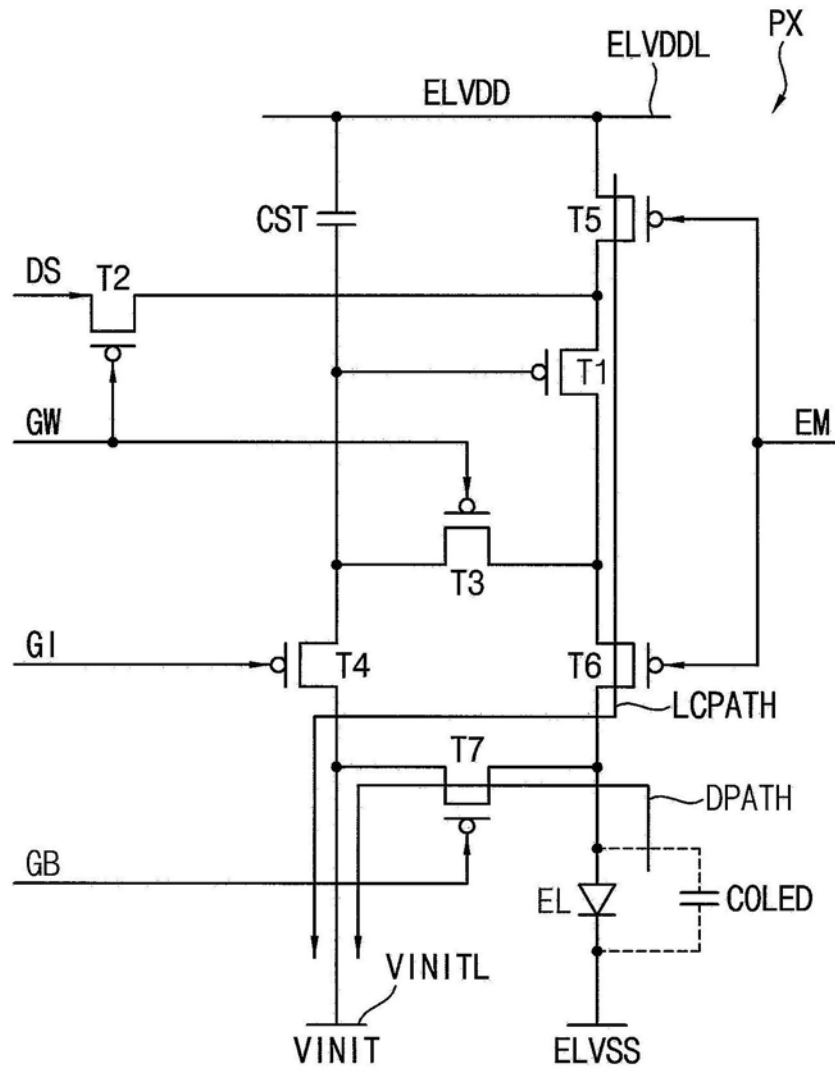


图2

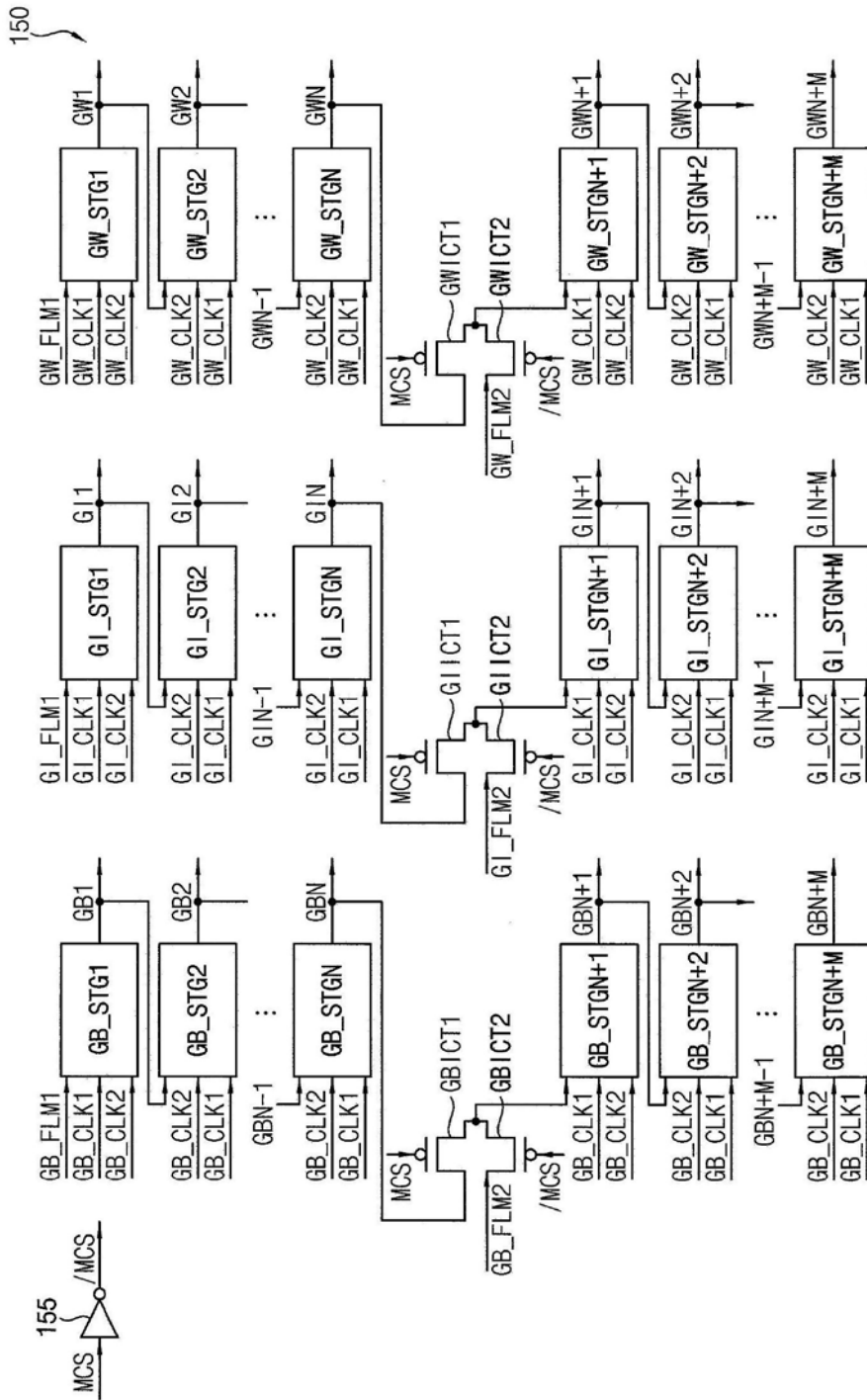


图3

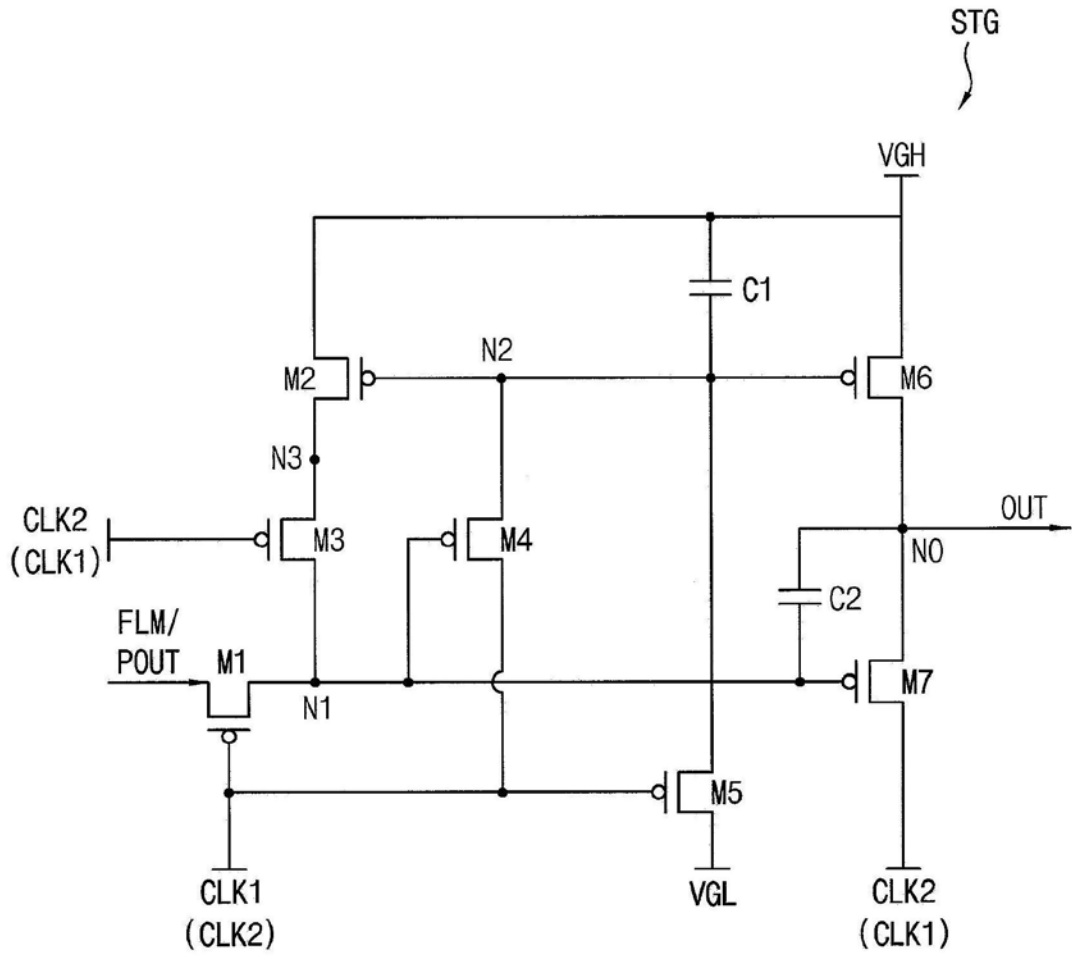


图4

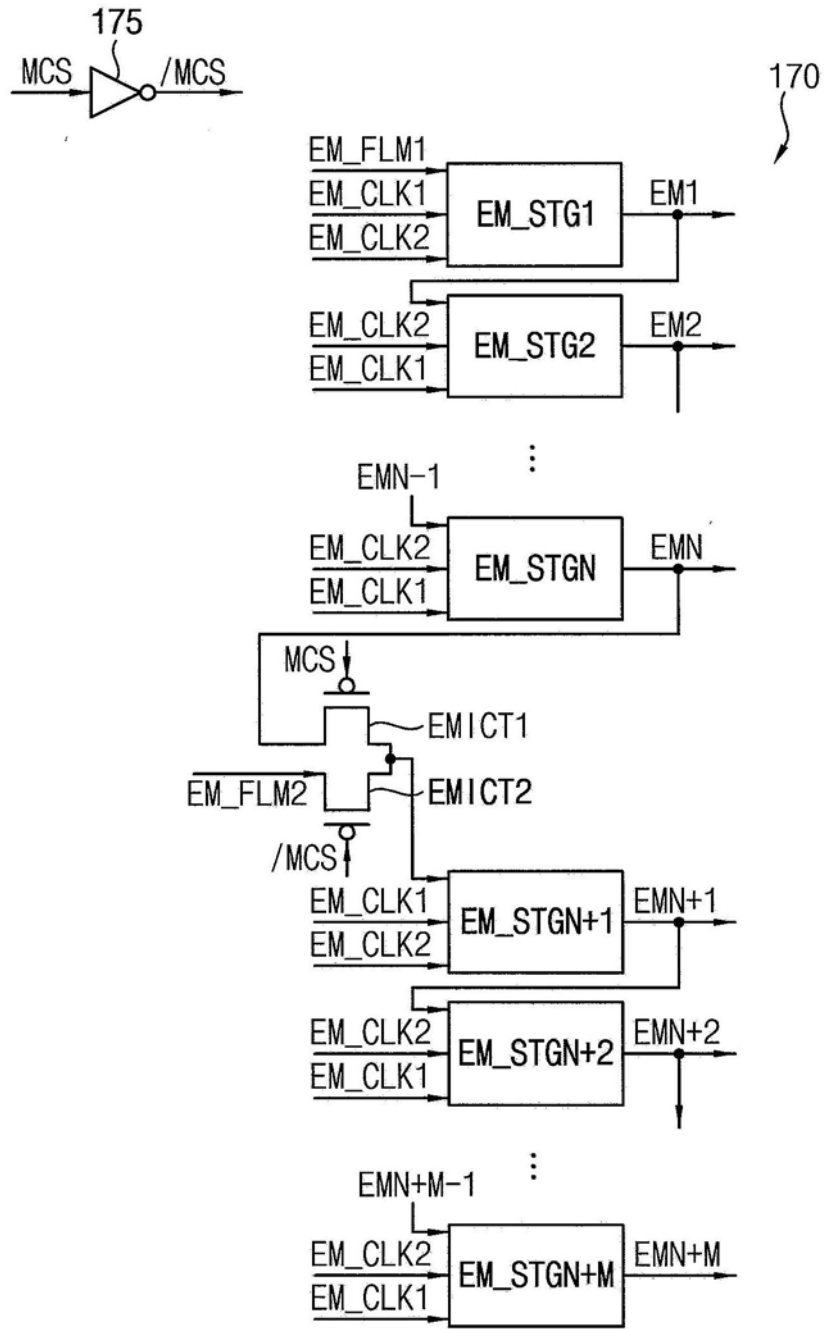


图5

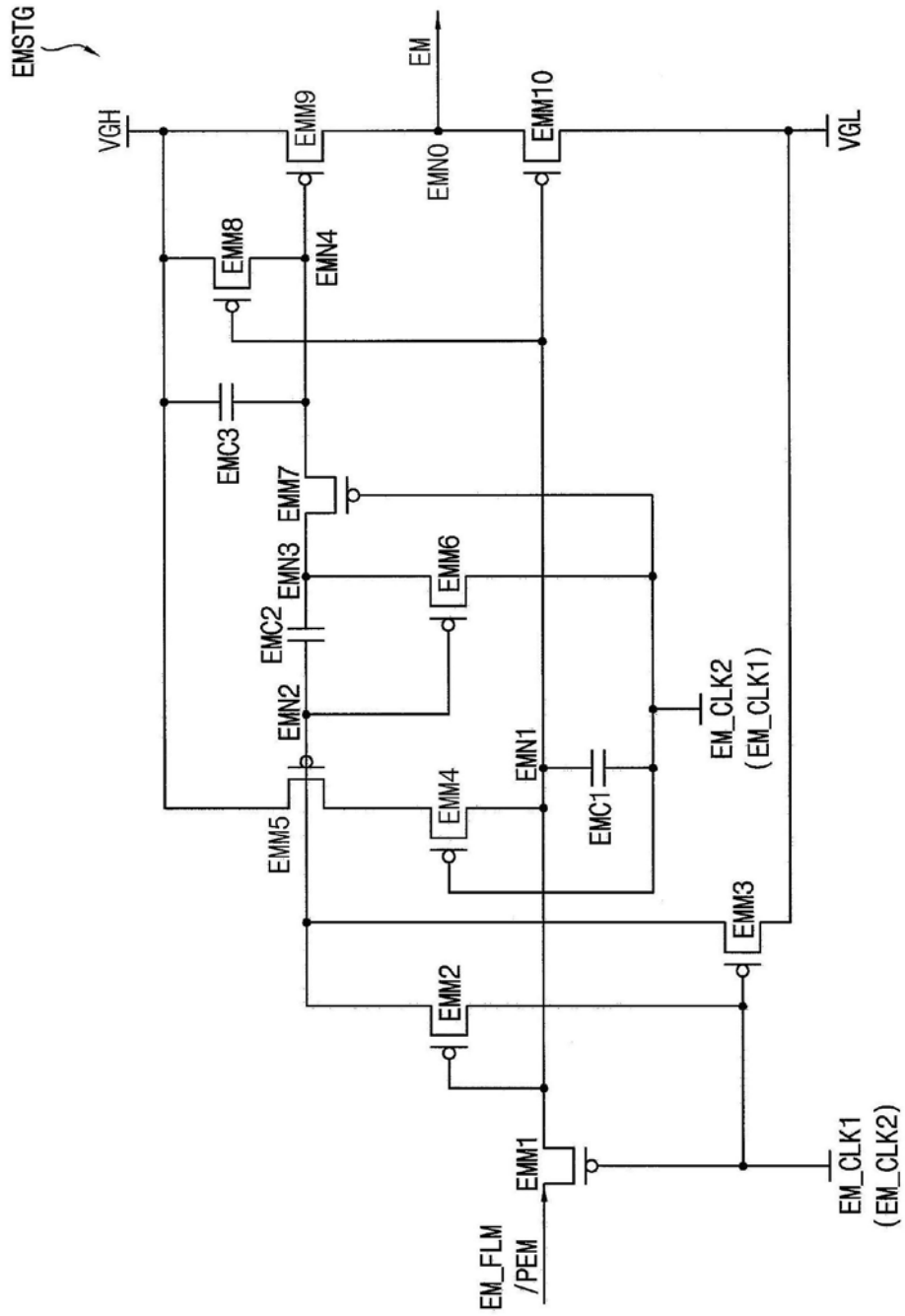


图6

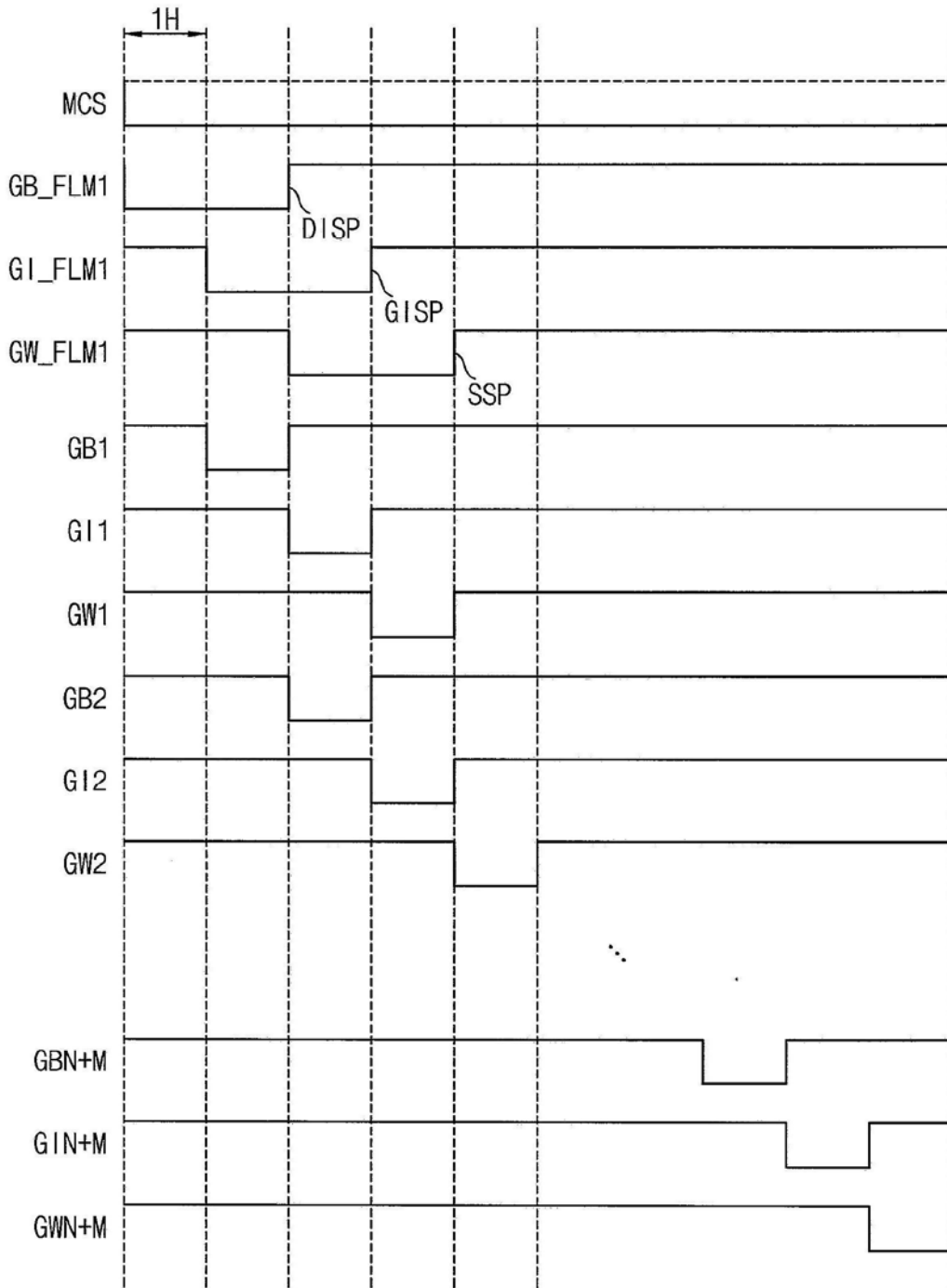


图7

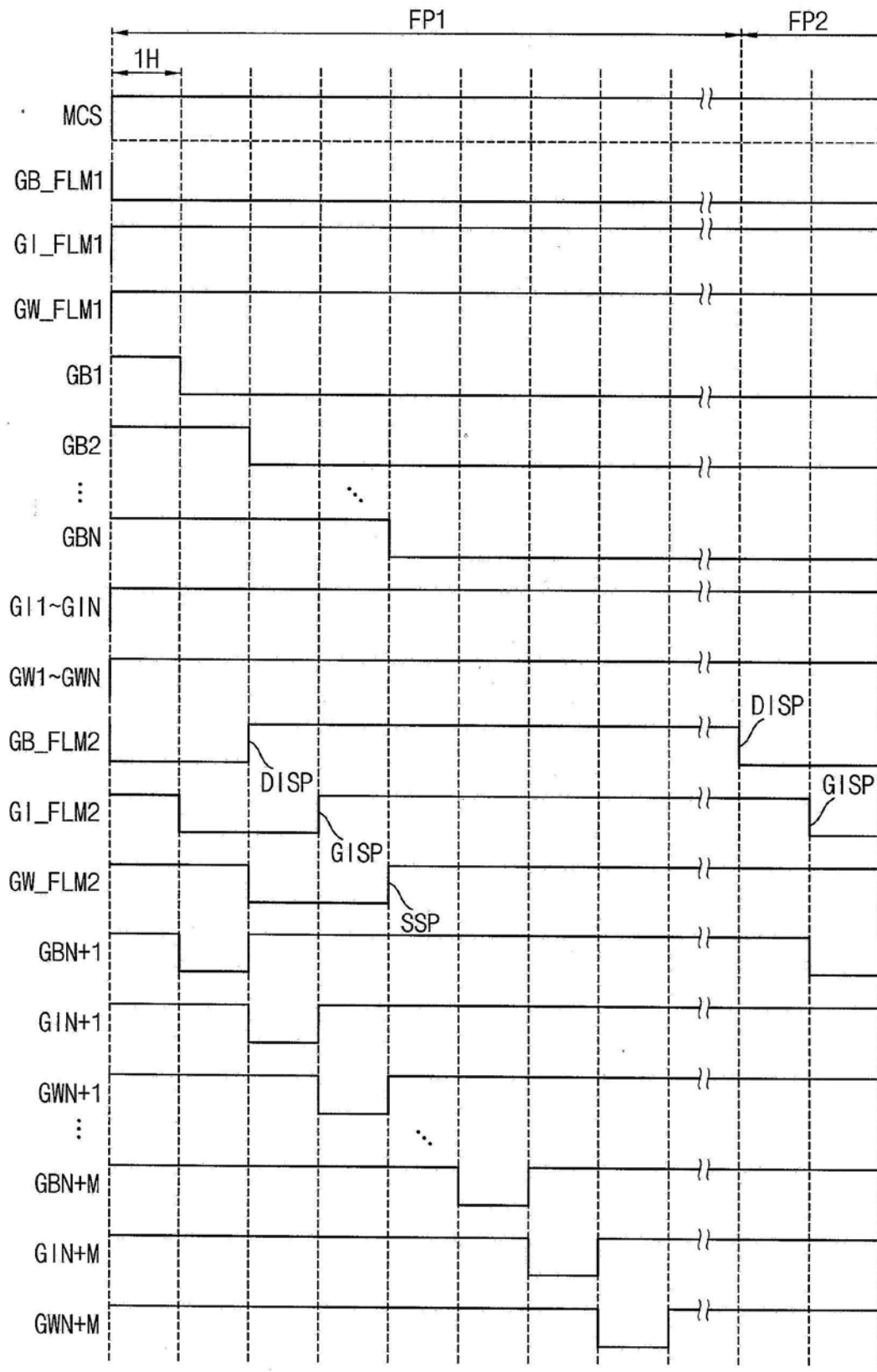


图8

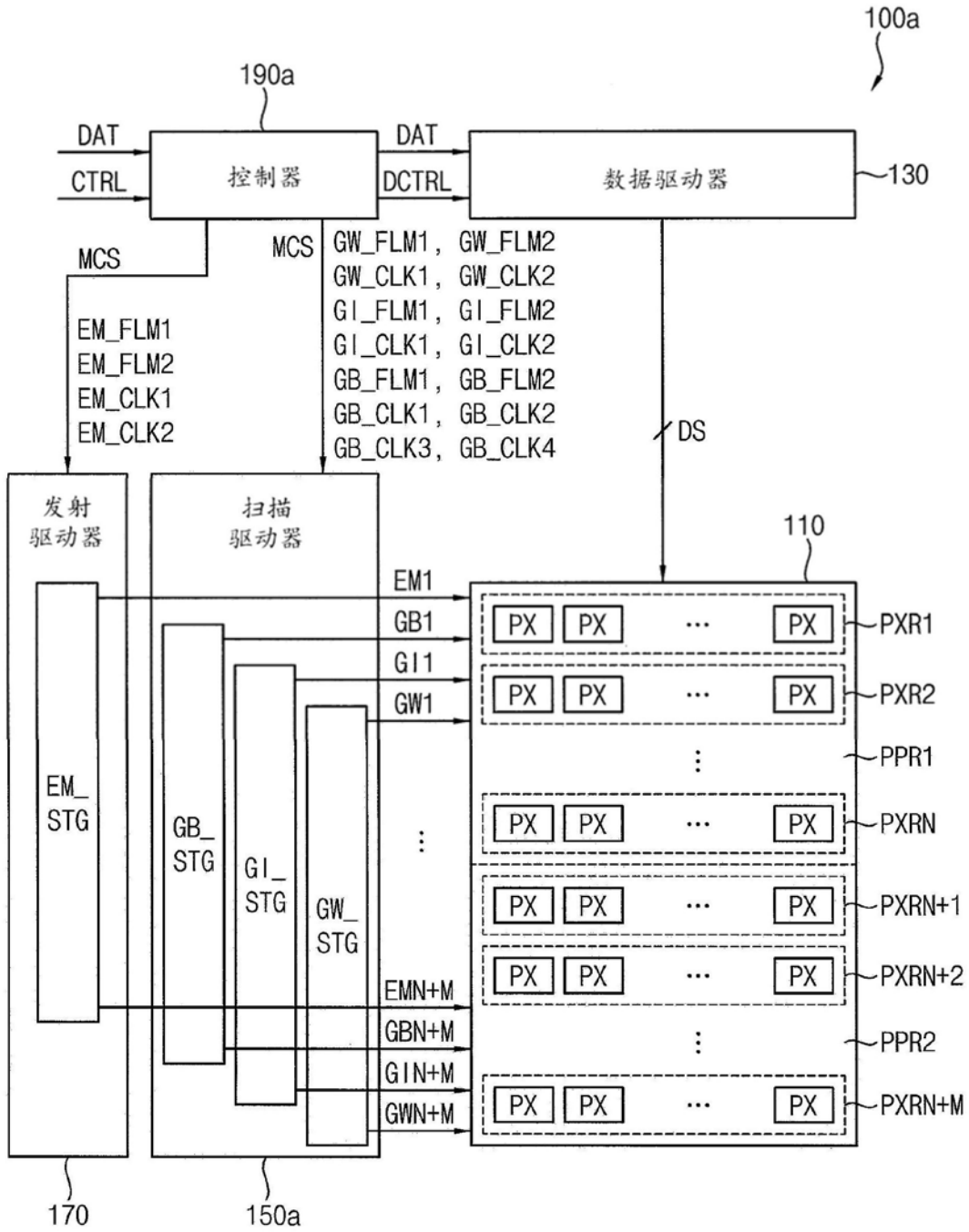


图9

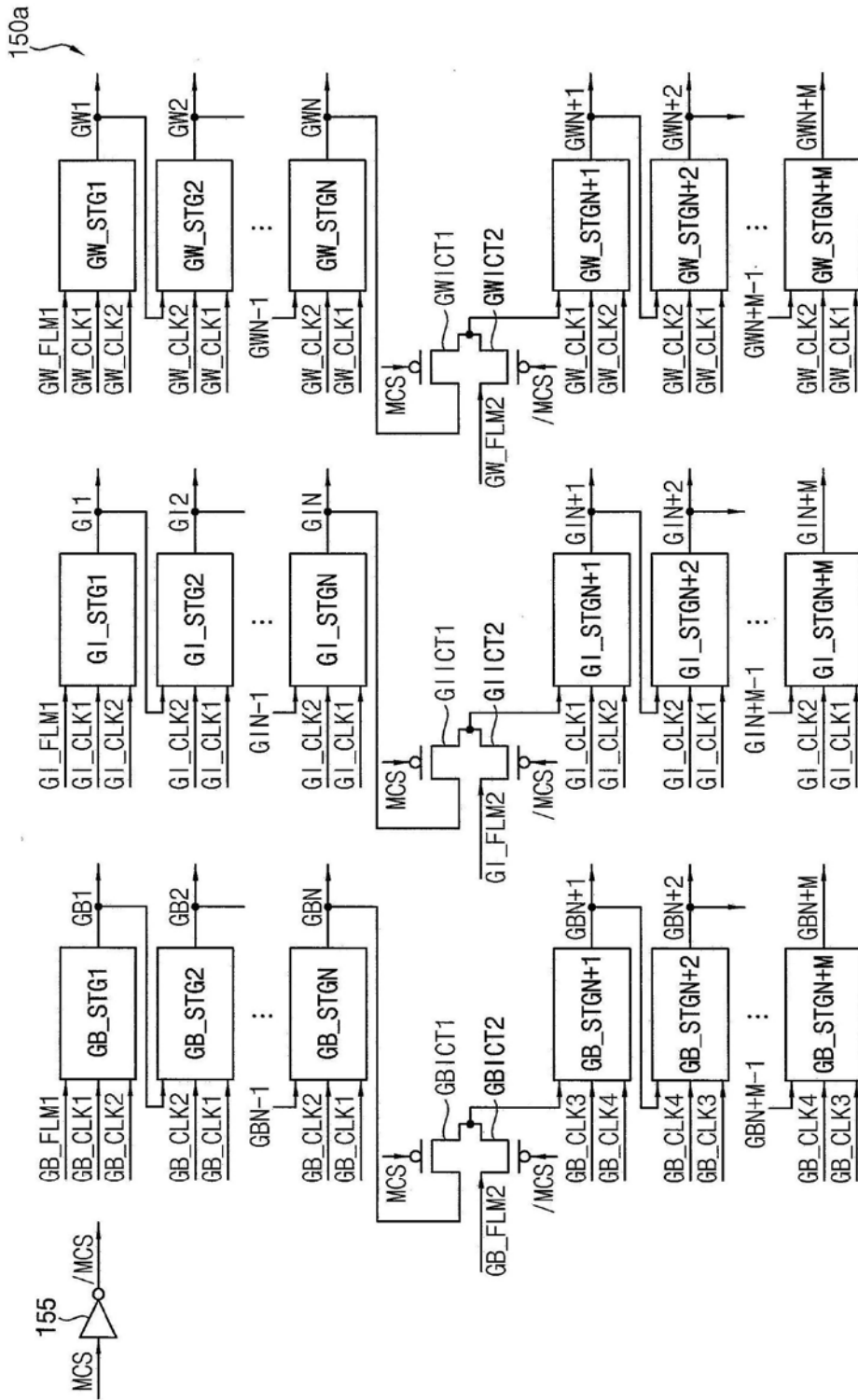


图10

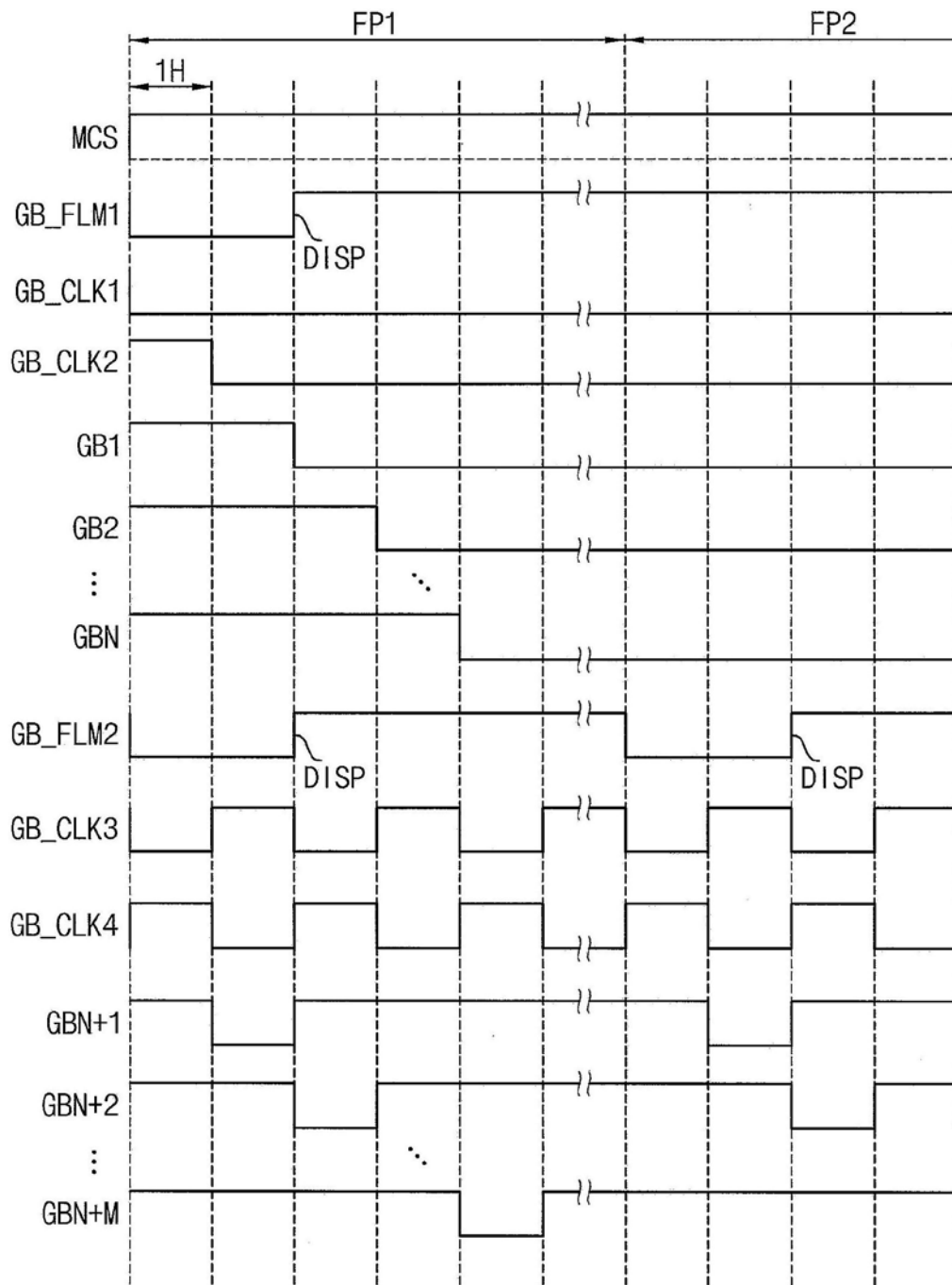


图11

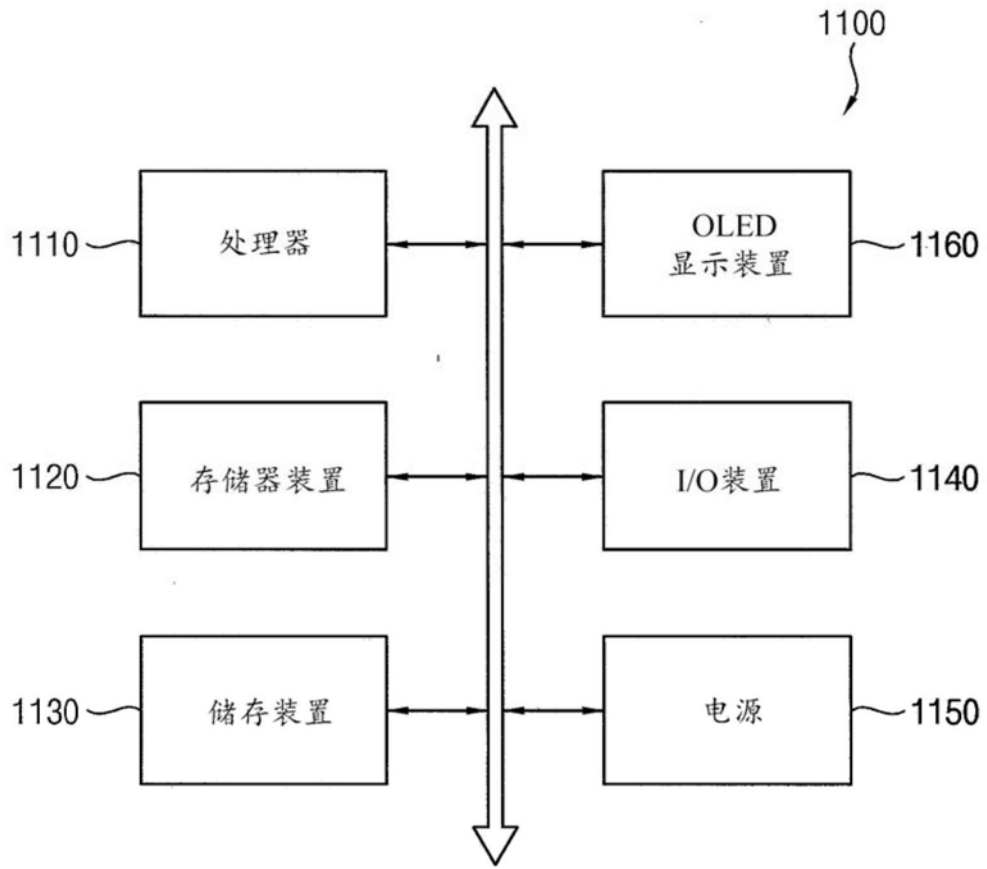


图12

专利名称(译)	支持部分驱动模式的有机发光二极管显示装置		
公开(公告)号	CN111383595A	公开(公告)日	2020-07-07
申请号	CN201911376406.9	申请日	2019-12-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	全宰贤 金智惠		
发明人	全宰贤 金智惠		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3266 G09G3/3275 G09G2310/0202 G09G2320/02		
优先权	1020180171982 2018-12-28 KR		
外部链接	Espacenet SIPO		

摘要(译)

一种支持部分驱动模式的有机发光二极管显示装置包括：显示面板，包括第一和第二部分面板区域；扫描驱动器，被配置为在正常驱动模式下将扫描信号顺序地施加到第一和第二部分面板区域，并且在部分驱动模式下将扫描信号顺序地施加到第一和第二部分面板区域中的被驱动的一个；以及数据驱动器，被配置为在正常驱动模式下将数据信号施加到第一和第二部分面板区域，并且在部分驱动模式下将数据信号施加到第一和第二部分面板区域中的被驱动的一个。在部分驱动模式下，扫描驱动器被配置为将二极管初始化信号顺序地施加到第一和第二部分面板区域中的被驱动的一个，并且将二极管初始化信号并发地施加到第一和第二部分面板区域中的未被驱动中的一个。

