



(12)发明专利申请

(10)申请公布号 CN 109390351 A

(43)申请公布日 2019.02.26

(21)申请号 201710650543.1

(22)申请日 2017.08.02

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 肖丽 玄明花 杨盛际 陈小川

王磊 付杰 卢鹏程 刘冬妮

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 27/32(2006.01)

H01L 21/84(2006.01)

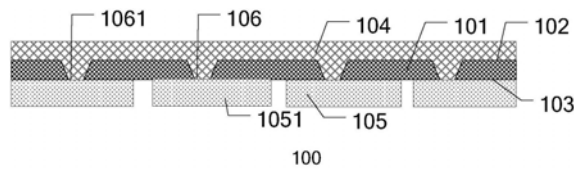
权利要求书1页 说明书10页 附图4页

(54)发明名称

布线结构及其制备方法、OLED阵列基板、显示装置

(57)摘要

一种布线结构及其制备方法、有机发光二极管(OLED)阵列基板以及显示装置,该布线结构包括:衬底基板,该衬底基板包括彼此相对的第一表面和第二表面;设置在所述衬底基板的所述第一表面上的第一导电图案和设置在所述衬底基板的所述第二表面上的第二导电图案;其中,所述第一导电图案和所述第二导电图案通过贯穿所述衬底基板的通孔图案连接。第一导电图案和第二导电图案通过贯穿衬底基板的通孔图案连接可以减小第一导电图案的电阻,将该布线结构应用于有机发光二极管(OLED)阵列基板中时,可以改善显示的均一性。



1. 一种布线结构, 包括:
衬底基板, 包括彼此相对的第一表面和第二表面;
设置在所述衬底基板的所述第一表面上的第一导电图案和设置在所述衬底基板的所述第二表面上的第二导电图案;
其中, 所述第一导电图案和所述第二导电图案通过贯穿所述衬底基板的通孔图案连接。
2. 根据权利要求1所述的布线结构, 其中, 所述第二导电图案包括相互间隔的多个第二子导电图案, 所述通孔图案包括多个通孔, 所述第一导电图案与各个所述第二子导电图案分别通过所述通孔连接。
3. 根据权利要求2所述的布线结构, 其中, 相邻的所述通孔等间距排列。
4. 根据权利要求2所述的布线结构, 其中, 所述第二子导电图案具有网格状结构。
5. 一种有机发光二极管 (OLED) 阵列基板, 包括权利要求1-4中任一项所述的布线结构。
6. 根据权利要求5所述的有机发光二极管 (OLED) 阵列基板, 其中, 所述第一导电图案和所述第二导电图案被配置为所述OLED阵列基板的电源走线。
7. 根据权利要求6所述的有机发光二极管 (OLED) 阵列基板, 其中, 所述阵列基板包括阵列设置的像素结构, 每个所述像素结构均与所述第一导电图案连接。
8. 一种显示装置, 包括权利要求5-7中任一项所述的有机发光二极管 (OLED) 阵列基板。
9. 根据权利要求8所述的显示装置, 还包括驱动电路, 其中, 所述第一导电图案连接至所述驱动电路, 所述多个第二子导电图案分别连接至所述驱动电路。
10. 一种布线结构的制备方法, 包括:
提供衬底基板;
形成贯穿所述衬底基板的通孔图案;
在所述衬底基板的第一表面形成第一导电图案;
在所述衬底基板的第二表面形成第二导电图案; 其中,
所述第一导电图案和所述第二导电图案通过所述通孔图案连接。
11. 根据权利要求10所述的制备方法, 其中, 通过激光照射的方法形成所述通孔图案。
12. 根据权利要求10所述的制备方法, 包括: 先形成贯穿所述衬底基板的所述通孔图案, 然后在所述衬底基板的第一表面上形成所述第一导电图案。
13. 根据权利要求10所述的制备方法, 包括: 先在所述衬底基板的第一表面上形成所述第一导电图案, 然后形成贯穿所述衬底基板的所述通孔图案。

布线结构及其制备方法、OLED阵列基板、显示装置

技术领域

[0001] 本公开的实施例涉及一种布线结构及其制备方法、有机发光二极管 (OLED) 阵列基板以及显示装置。

背景技术

[0002] 有机发光二极管 (Organic Light-Emitting Diode, OLED) 是一种采用电激发荧光体或磷光体有机化合物实现发光的器件。有机发光二极管 (OLED) 因其具有自发光、全固态、宽视角、响应快等诸多优点而被认为在显示领域中有着巨大的应用前景。有机发光二极管已被广泛地应用于手机、数码摄像机、个人数字助理 (PDA) 以及笔记本电脑中。

[0003] 有机发光二极管 (OLED) 阵列基板包括多个像素单元, 每个像素单元可以包括开关晶体管、驱动晶体管和 OLED 显示器件。OLED 是电流型发光器件, 其主要包括阳极、阴极以及有机材料功能层。OLED 主要的工作原理是: 有机材料功能层在阳极和阴极形成的电场的驱动下, 通过载流子注入和复合而发光。与 OLED 的阳极或者阴极电连接的驱动晶体管起着限流的作用, 如果驱动晶体管的电极材料的电阻率太大或者电源走线的电阻太大, 则会出现很大的电压降或者电压升, 而且对于不同位置处的像素单元的影响不同, 从而对显示的均匀性产生不利影响。

发明内容

[0004] 本公开至少一实施例提供一种布线结构, 该布线结构包括: 衬底基板, 包括彼此相对的第一表面和第二表面; 设置在所述衬底基板的所述第一表面上的第一导电图案和设置在所述衬底基板的所述第二表面上的第二导电图案; 其中, 所述第一导电图案和所述第二导电图案通过贯穿所述衬底基板的通孔图案连接。

[0005] 例如, 在本公开至少一实施例提供的布线结构中, 所述第二导电图案包括相互间隔的多个第二子导电图案, 所述通孔图案包括多个通孔, 所述第一导电图案与各个所述第二子导电图案分别通过所述通孔连接。

[0006] 例如, 在本公开至少一实施例提供的布线结构中, 相邻的所述通孔等间距排列。

[0007] 例如, 在本公开至少一实施例提供的布线结构中, 所述第二子导电图案具有网格状结构。

[0008] 本公开至少一实施例还提供一种有机发光二极管 (OLED) 阵列基板, 包括上述任一所述的布线结构。

[0009] 例如, 在本公开至少一实施例提供的 OLED 阵列基板中, 所述第一导电图案和所述第二导电图案被配置为所述 OLED 阵列基板的电源走线。

[0010] 例如, 在本公开至少一实施例提供的 OLED 阵列基板中, 所述阵列基板包括阵列设置的像素结构, 每个所述像素结构均与所述第一导电图案连接。

[0011] 本公开至少一实施例还提供一种显示装置, 包括上述任一所述的有机发光二极管 (OLED) 阵列基板。

[0012] 例如,本公开至少一实施例提供的显示装置,还包括驱动电路,所述第一导电图案连接至所述驱动电路,所述多个第二子导电图案分别连接至所述驱动电路。

[0013] 本公开至少一实施例还提供一种布线结构的制备方法,包括:提供衬底基板;形成贯穿所述衬底基板的通孔图案;在所述衬底基板的第一表面形成第一导电图案;在所述衬底基板的第二表面形成第二导电图案;其中,所述第一导电图案和所述第二导电图案通过所述通孔图案连接。

[0014] 例如,在本公开至少一实施例提供的制备方法中,通过激光照射的方法形成所述通孔图案。

[0015] 例如,本公开至少一实施例提供的制备方法包括:先形成贯穿所述衬底基板的所述通孔图案,然后在所述衬底基板的第一表面上形成所述第一导电图案。

[0016] 例如,本公开至少一实施例提供的制备方法包括:先在所述衬底基板的第一表面上形成所述第一导电图案,然后形成贯穿所述衬底基板的所述通孔图案。

[0017] 例如,在本公开至少一实施例提供的制备方法中,形成所述通孔图案包括形成多个通孔。

[0018] 例如,在本公开至少一实施例提供的制备方法中,所述第二导电图案包括相互间隔的多个第二子导电图案,所述第一导电图案与各个所述第二子导电图案分别通过所述通孔连接。

[0019] 例如,在本公开至少一实施例提供的制备方法中,相邻的所述通孔等间距排列。

[0020] 例如,在本公开至少一实施例提供的制备方法中,所述第二子导电图案具有网格状结构。

附图说明

[0021] 为了更清楚地说明本公开实施例的技术方案,下面将对实施例的附图作简单地介绍,显而易见地,下面描述中的附图仅仅涉及本公开的一些实施例,而非对本公开的限制。

[0022] 图1A-1B为本公开一实施例提供的一种布线结构的截面结构示意图;

[0023] 图2为本公开一实施例提供的一种布线结构的包括第一表面的部分结构示意图;

[0024] 图3为本公开再一实施例提供的一种布线结构的包括第一表面的部分结构示意图;

[0025] 图4为本公开一实施例提供的一种布线结构的包括第二表面的部分结构示意图;

[0026] 图5为本公开再一实施例提供的一种布线结构的包括第二表面的部分结构示意图;

[0027] 图6为本公开一实施例提供的一种有机发光二极管(OLED)阵列基板的平面结构示意图;

[0028] 图7A-7B为本公开一实施例提供的2T1C像素电路的示意图;以及

[0029] 图8为本公开一实施例提供的一种布线结构的制备方法的流程图。

[0030] 附图标记:

[0031] 100-布线结构;101,201-衬底基板;102-第一表面;103-第二表面;104-第一导电图案;105-第二导电图案;1051,1051a,1051b,1051c,1051d-第二子导电图案;106-通孔图案;1061-通孔;110-驱动电路层;202-电源走线;203-栅线;204-数据线;205-像素结构;

206-开关晶体管;207-驱动晶体管;208-OLED器件;210-第一过孔结构。

具体实施方式

[0032] 为使本公开实施例的目的、技术方案和优点更加清楚,下面将结合本公开实施例的附图,对本公开实施例的技术方案进行清楚、完整地描述。显然,所描述的实施例是本公开的一部分实施例,而不是全部的实施例。基于所描述的本公开的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本公开保护的范围。

[0033] 除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

[0034] 本公开的实施例所涉及的布线结构以及OLED阵列基板中各图案的尺寸在实际产品中通常为微米或更小量级,为了清楚起见,本发明实施例的附图中各结构的尺寸均被放大,除非另有说明,不代表实际尺寸与比例。

[0035] 研究发现,在目前的OLED阵列基板的结构中,VDD走线或者VSS走线自身具有电阻,当有电流通过VDD走线或者VSS走线时,VDD走线上的电压降或者VSS走线上的电压升会对发光电流产生影响,这样会导致VDD信号或者VSS信号的幅值有一定的差异。考虑到薄膜晶体管(TFT)的特性并非理想(饱和区电流不仅和 V_{gs} 有关,还和 V_{ds} 有关),VDD走线上的电压降或者VSS走线上的电压升会影响 V_{ds} ,因此不同位置的OLED子像素输出的电流会因为VDD电压或者VSS电压的变化而变化,从而造成显示不均匀,所以要尽量地减小VDD走线以及VSS走线的电阻,进而减小VDD走线上的电压降以及VSS走线上的电压升。

[0036] 本公开至少一实施例提供一种布线结构,该布线结构包括:衬底基板,该衬底基板包括彼此相对的第一表面和第二表面;设置在衬底基板的第一表面上的第一导电图案和设置在衬底基板的第二表面上的第二导电图案,该第一导电图案和第二导电图案通过贯穿衬底基板的通孔图案连接。

[0037] 将该布线结构应用于OLED阵列基板中时,第一导电图案即为VDD走线或者VSS走线的图案,由于第一导电图案和第二导电图案通过贯穿衬底基板的通孔图案连接,这样可以减小VDD走线或者VSS走线的电阻,从而可以减小VDD走线上的电压降以及VSS走线上的电压升,进而可以改善显示的均一性。

[0038] 下面通过几个实施例进行说明。

[0039] 实施例一

[0040] 本实施例提供一种布线结构,例如,图1A和1B为本实施例提供的一种布线结构的截面结构示意图,如图1A和1B所示,该布线结构100包括:衬底基板101,该衬底基板101包括彼此相对的第一表面102和第二表面103;设置在该衬底基板101的第一表面102上的第一导电图案104和设置在该衬底基板101的第二表面103上的第二导电图案105,该第一导电图案

104和该第二导电图案105通过贯穿衬底基板101的通孔图案106连接。

[0041] 例如,该衬底基板101是绝缘基板,其材料可以是玻璃、石英、具有一定硬度的树脂材料或其他适合的材料。

[0042] 例如,该第一导电图案104和第二导电图案105的材料可以为铜基金属,例如,铜(Cu)、铜钼合金(Cu/Mo)、铜钛合金(Cu/Ti)、铜钼钛合金(Cu/Mo/Ti)、铜钼钨合金(Cu/Mo/W)、铜钼铌合金(Cu/Mo/Nb)等;也可以为铬基金属,例如,铬钼合金(Cr/Mo)、铬钛合金(Cr/Ti)、铬钼钛合金(Cr/Mo/Ti)等或者其他适合的导电金属材料。

[0043] 例如,相较于单层结构的第一导电图案104,第一导电图案104和第二导电图案105连接形成双层结构后,第一导电图案104的电阻会大大地减小。

[0044] 例如,第一导电图案104为由相互交叉的金属线(条)形成的网格状结构,由此形成多个网孔,该网格状结构可以进一步地减小电阻。

[0045] 例如,该第一导电图案104为由金属网格形成的面状结构(而非单个条状或线状),将该面状的第一导电图案应用于显示面板中时,可以减小第一导电图案的电压降(IR drop)或者电压升(IR rising),从而可以降低显示面板的能耗。需要说明的是,面状结构的导电图案是指导电图案在宽度和长度方向上均有一定的尺寸和延伸范围。

[0046] 例如,如图1A和1B所示,第二导电图案105包括相互间隔的多个第二子导电图案1051,通孔图案106包括多个通孔1061,第一导电图案104与各个第二子导电图案1051分别通过通孔1061连接。

[0047] 例如,可以通过激光照射等打孔技术形成通孔图案106。例如,激光照射的能量为700~900mJ,时间为6~10秒,在一个示例中,激光照射的能量为800mJ,时间为10秒;在另一个示例中,激光照射的能量为850mJ,时间为9秒。

[0048] 例如,如图1B所示的布线结构用于显示装置的显示基板,例如用于OLED显示装置的显示基板,在第二导电图案105一侧形成用于驱动OLED像素阵列的驱动电路层110。此时,第一导电图案104和第二导电图案105可以被配置为像素阵列的阴极(例如公共阴极)、阳极(例如公共阳极)、电源线中的一种等。

[0049] 例如,图2为本实施例提供的一种布线结构的包括第一表面的部分结构示意图。如图2所示,该第一导电图案104为矩形的网格状结构,在该矩形的网格状结构的两侧分别有一个输入端,该输入端分别与IC或FPC相连。衬底基板上的通孔图案106与矩形的网格状结构的金属材料而非网孔相对应。如图2所示,该通孔图案106包括4个通孔1061,该4个通孔1061分别对应于布线结构的第一表面上横纵交叉的金属线(条)的交汇处,这样可以确保第一导电图案104和后续形成的第二导电图案电连通。例如,如图2所示,相邻的两个通孔1061在横向和纵向上的间距相等,等间距设置的通孔可以排除线路长短不一致带来的输入的电信号差异较大的问题,以更精确的控制输入至各个第二子导电图案1051上的电信号。

[0050] 例如,图3为本实施例提供的再一种布线结构的包括第一表面的结构示意图。如图3所示,该通孔图案包括的通孔1061的个数为8个,需要说明的是,该通孔1061的个数不限于图2中的4个和图3中的8个,还可以是2个、3个或者5个等。当然,通孔1061的个数为1个时也可以达到减小第一导电图案的电阻的效果,但在提高显示的均一性上效果不明显。

[0051] 例如,在图3所示的结构中,形成有8个通孔1061从而形成8个连接通道,这样可以进一步地减小第一导电图案的电阻。例如,如图3所示,通孔1061可以是非等间距分布的,通

孔还可以仅设置在对应于横向的金属线(条)的位置处,或者仅设置在对应于纵向的金属线(条)的位置处。

[0052] 需要说明的是,该网状结构不限于矩形,还可以是圆形、正多边形、梯形或者不规则多边形等。

[0053] 例如,在一个示例中,可以为每一列像素结构(亚像素)对应设置一个网格状的第一导电图案,这样可以继续将多个网格状的第一导电图案相连以形成一体的结构,可以使得第一导电图案的面积更大,进而使得第一导电图案的电压降(IR drop)或者电压升(IR rising)进一步降低,将该布线结构用于显示面板时,可以提高显示的均一性,同时减少显示面板的功耗。

[0054] 例如,在另一个示例中,还可以为多个像素结构(亚像素)对应设置一个面状的第一导电图案,即第一导电图案对应整个像素结构的区域。

[0055] 例如,图4为本实施例提供的一种布线结构的包括第二表面的部分结构示意图。图4中布线结构的第二表面的结构可以与图2中布线结构的第一表面的结构相结合以形成布线结构。如图4所示,4个第二子导电图案1051(包括1051a,1051b,1051c,1051d)相互间隔,即4个第二子导电图案1051在布线结构的第二表面上没有电连通。如图4所示,每个第二子导电图案1051都对应至少一个贯穿衬底基板的通孔1061,这样各个第二子导电图案1051可以分别通过通孔1061与第一导电图案(未示出)电连接。

[0056] 例如,图5为本实施例提供的一种布线结构的包括第二表面的部分结构示意图。图5中布线结构的第二表面的结构可以与图3中布线结构的第一表面的结构相结合以形成布线结构。各个第二子导电图案1051可以在不同的位置处对应多个通孔1061,如图5所示,每个第二子导电图案1051对应于两个通孔1061,每个第二子导电图案1051在两个不同的位置处与第一导电图案电连接,这样可以进一步地减小第一导电图案104的电阻。

[0057] 例如,第二子导电图案1051具有网格状结构,各个第二子导电图案1051的形状可以相同或者不同,例如,该第二子导电图案1051的形状不限于矩形,还可以是圆形、正多边形、梯形或者不规则多边形等。

[0058] 例如,将图3中的第一导电图案104与相互间隔的各个第二子导电图案1051分别通过通孔1061连接,这样可以通过单独控制一个第二子导电图案1051的输入电压来调整小区内第一导电图案104与一个第二子导电图案1051连接处的电压,这样通过单独控制小区内输入的电压即可实现第一导电图案104中的电压升或者电压降的值基本接近于零。这样,将该布线结构应用于显示面板中时可以提高显示的均匀性。

[0059] 在使用时,本公开一实施例提供的一种布线结构连接至驱动电路,例如可以是第一导电图案通过输入端连接至驱动电路,每个第二子导电图案分别通过各自的输入端连接至驱动电路。以图2中所示的第一表面的第一导电图案和图4所示的第二表面的第二子导电图案相结合构成的布线结构为例加以说明,假定输入第一导电图案104中的电压值为 V_0 ,检测第一导电图案104和第二子导电图案1051a连接处的电压为 V_1' ,如果 V_0 与 V_1' 相等或者基本相等,则不用对第二子导电图案1051a施加电压;如果 V_0 与 V_1' 相差较大,则需要对第二子导电图案1051a施加电压,以使 V_0 与 V_1' 相等或者基本相等,对第二子导电图案1051a施加电压例如为 V_1 。

[0060] 类似地,假定输入第一导电图案104中的电压值为 V_0 ,检测第一导电图案和第二子

导电图案1051b、第二子导电图案1051c以及第二子导电图案1051d连接处的电压分别为V2'、V3'以及V4'，如果V0与V2'、V3'或者V4'相等或者基本相等，则不用对第二子导电图案1051b、第二子导电图案1051c或第二子导电图案1051d施加电压；如果V0与V2'、V3'和/或V4'相差较大，则需要对第二子导电图案1051b、第二子导电图案1051c和/或第二子导电图案1051d施加电压，以使V0与V2'、V3'和/或V4'相等或者基本相等，对第二子导电图案1051b、第二子导电图案1051c和/或第二子导电图案1051d施加电压例如可以分别为V2、V3以及V4。

[0061] 除此之外，在布线结构的周边可能存在大量的静电，在衬底基板101的第二表面形成的具有网格状结构第二导电图案105可以起到静电屏蔽的作用，这样可以避免外界的静电对设置在衬底基板101的第一表面102上的第一导电图案104的电信号产生干扰，同时也可以避免静电击穿的发生。

[0062] 例如，该布线结构可以应用于机发光二极管(OLED)阵列基板中。薄膜晶体管液晶显示器(TFT-LCD)利用稳定的电压来控制显示亮度，与TFT-LCD不同的是，OLED阵列基板属于电流驱动，当电源电压走线(例如，VDD或者VSS)的电阻较大时，会在VDD上产生较大的电压降，或者，在VSS上产生较大的电压升，这样会使得电流不均匀而导致显示不均匀。本公开中第一导电图案和第二导电图案形成的连接结构可以被配置为OLED阵列基板中的电源走线。

[0063] 实施例二

[0064] 本实施例提供一种有机发光二极管(OLED)阵列基板，图6为本实施例提供的一种有机发光二极管(OLED)阵列基板的平面结构示意图，如图6所示，该有机发光二极管(OLED)阵列基板包括衬底基板201、设置在衬底基板201的第一表面和第二表面上的电源走线202、栅线203和数据线204，设置在栅线203和数据线204交叉限定的区域内的像素结构205，例如，该电源走线202为实施例一中任意一种布线结构中的第一导电图案104和第二导电图案105形成的连接结构。第一导电图案为有机发光二极管(OLED)阵列基板中与电源端连接的电源走线构成的图案。

[0065] 例如，第一导电图案被配置为OLED阵列基板的电源走线，阵列基板包括阵列设置的像素结构，每个像素结构均与第一导电图案连接。

[0066] 该像素结构205包括开关晶体管206、驱动晶体管207和OLED器件208，且开关晶体管206连接到栅线203和数据线204，驱动晶体管207连接到开关晶体管206、电源走线202和OLED器件208；电源走线202中的第一导电图案104设置在像素结构205的下方且与像素结构205至少部分重叠；在电源走线202中的第一导电图案104与像素结构205之间设置有绝缘层(图1A和1B中未示出)，该绝缘层中设置有第一过孔结构210，电源走线202中的第一导电图案104通过第一过孔结构210与驱动晶体管207连接。开关晶体管206和驱动晶体管207的位置参见相应的虚线框。电源走线202中的第二导电图案通过贯穿衬底基板201的通孔与第一导电图案连接。

[0067] 例如，图6中虽然仅示出了四个彼此并列的像素结构，且分别用于发出白光(W)、红光(R)、绿光(G)和蓝光(B)，但是本领的普通技术人员应该理解，本公开实施例的阵列基板所包括的像素结构不限于所示出的四个，而是可以包括更多。

[0068] 每个像素结构中还包括存储电容，该存储电容包括彼此相对设置的第一电极和第

二电极,且二者之间设置有由绝缘材料形成的介电层。例如,第一电极与驱动晶体管207的栅极连接,而第二电极与第一导电图案104连接。

[0069] 例如,该OLED阵列基板包括显示区域和显示区域之外的外围区域,其中显示区域又称为AA(Active Area)区,一般用于实现显示,外围区域可用于设置驱动电路进行显示面板的封装等。上述像素结构、栅线和数据线均位于显示区域。例如,在该OLED阵列基板中除了栅线、数据线等导线外,还可以包括连接像素单元与检测集成电路的检测补偿线,该检测补偿线也可以位于显示区域。

[0070] 例如,考虑到栅线所在区域和驱动晶体管、存储电容的区域相距很近,可以将电源走线设置成更宽的区域与驱动晶体管所在区域、存储电容所在区域在垂直于OLED阵列基板的方向上交叠。

[0071] 例如,在一个示例中,电源线(第一导电图案和第二导电图案形成的连接结构)的与像素结构、栅线和数据线对应的区域可以设置有镂空结构。需要说明的是,该镂空结构的尺寸与像素结构、栅线和数据线的尺寸相对应,该镂空结构的尺寸大于上述金属网格中网孔的尺寸。电源线与像素结构对应的区域设置成镂空结构主要是为了防止采用金属材质的电源线影响光线的透过率,即在像素结构对应的区域设置镂空结构可以增大光线的透过率,对入射光线进行充分的利用;电源线与栅线、数据线对应的区域设置成镂空结构,主要是为了防止电源线与栅线、数据线之间形成电容。镂空结构可以包括多个非连续的子镂空结构(即多个子镂空结构彼此间间隔开),这样相当于把电源线分割成多个连接的区域,同样可以大幅度的减小电源线的电压降。

[0072] 例如,在OLED阵列基板中,对于亚像素限定区还可以设置彩膜层,例如,对于红色亚像素、蓝色亚像素以及绿色亚像素,可以通过组合白光OLED器件以及相应的红色彩膜层、蓝色彩膜层以及绿色彩膜层得到。该彩膜层可以为滤光片或者光转换层(例如荧光层)。又例如,在彩膜层上还可以设置平坦层。

[0073] 例如,图7A-7B为本实施例提供的2T1C像素电路的示意图。结合图6和图7A可以看出,该2T1C像素电路包括开关晶体管T1、驱动晶体管T2以及存储电容Cs。例如,该开关晶体管T1的栅极连接栅线(扫描线)以接收扫描信号(Scan),例如源极连接到数据线以接收数据信号(Vdata),漏极连接到驱动晶体管T2的栅极;驱动晶体管T2的源极连接到第一电源端(Vdd,高压端),漏极连接到OLED的正极端;存储电容Cs的一端连接到开关晶体管T1的漏极以及驱动晶体管T2的栅极,另一端连接到驱动晶体管T2的源极以及第一电源端;OLED的负极连接到第二电源端(Vss,低压端),例如接地。该2T1C像素电路的驱动方式是将像素的明暗(灰阶)经由两个TFT和存储电容Cs来控制。当通过栅线施加扫描信号Scan以开启开关晶体管T1时,数据驱动电路通过数据线送入的数据电压(Vdata)将经由开关晶体管T1对存储电容Cs充电,由此将数据电压存储在存储电容Cs中,且此存储的数据电压控制驱动晶体管T2的导通程度,由此控制流过驱动晶体管以驱动OLED发光的电流大小,即此电流决定该像素发光的灰阶。在图7A所示的2T1C像素电路中,开关晶体管T1为N型晶体管而驱动晶体管T2为P型晶体管。

[0074] 如图7B所示,又一种2T1C像素电路也包括开关晶体管T1、驱动晶体管T2以及存储电容Cs,但是其连接方式略有改变,且驱动晶体管T2为N型晶体管。更具体而言,图7B的像素电路相对于图7A的变化之处包括:OLED的正极端连接到第一电源端(Vdd,高压端)而负极端

连接到驱动晶体管T2的漏极,驱动晶体管T2的源极连接到第二电源端(V_{ss},低压端),例如接地。存储电容C_s的一端连接到开关晶体管T1的漏极以及驱动晶体管T2的栅极,另一端连接到驱动晶体管T2的源极以及第二电源端。

[0075] 此外,对于图7A和图7B所示的像素电路,开关晶体管T1不限于N型晶体管,也可以为P型晶体管,由此控制其导通或截止的扫描信号(Scan)的极性进行相应地改变即可。

[0076] 可以理解的是,第一导电图案为有机发光二极管(OLED)阵列基板中与第一电源端连接的信号线构成的图案或者,第一导电图案为有机发光二极管(OLED)阵列基板中与第二电源端连接的信号线构成的图案。

[0077] 例如,在本公开的实施例中,像素电路还可以为3T1C、4T2C等,除上述开关晶体管和驱动晶体管之外,还可以包括补偿晶体管、复位晶体管等,在此不做限制。

[0078] 实施例三

[0079] 本实施例提供一种显示装置,包括实施例二中的任一有机发光二极管(OLED)阵列基板,并且还可以包括栅极驱动电路、数据驱动电路以及电源等,栅线与栅极驱动电路连接,数据线 with 数据驱动电路连接,电源布线与电源连接。该显示装置可以为OLED面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0080] 本实施例的显示装置所包括的有机发光二极管(OLED)阵列基板与上述任一有机发光二极管(OLED)阵列基板的结构相同,其技术效果与实现原理相同,在此不再赘述。需要说明的是,根据需要,不限于实施例二中的层结构,也可以包括其他的层结构。

[0081] 该显示装置还包括驱动电路,其中,第一导电图案连接至驱动电路,多个第二子导电图案分别连接至驱动电路。

[0082] 另外,该显示装置可以采用底发射或者顶发射模式,还可以采用两面发射模式。

[0083] 实施例四

[0084] 本实施例提供一种布线结构的制备方法,图8为本实施例提供的布线结构的制备方法的流程图,如图8所示,该制备方法包括如下步骤:

[0085] 步骤101、提供衬底基板。

[0086] 例如,该衬底基板是绝缘基板,其材料可以是玻璃、石英、具有一定硬度的树脂材料或其他适合的材料。

[0087] 步骤102、形成贯穿该衬底基板的通孔图案。

[0088] 例如,通过激光照射的方法形成所述通孔图案,该激光照射的能量为700~900mJ,时间为6~10秒,在一个示例中,激光照射的能量为800mJ,时间为7秒,在另一个示例中,激光照射的能量为850mJ,时间为9秒。

[0089] 步骤103、在该衬底基板的第一表面形成第一导电图案。

[0090] 例如,可以通过沉积金属薄膜,在通过涂覆光刻胶、曝光、显影、刻蚀等工艺步骤形成第一导电图案。

[0091] 步骤104、在该衬底基板的第二表面形成第二导电图案,该第一导电图案和第二导电图案通过该通孔图案连接。

[0092] 例如,通过涂覆光刻胶、曝光、显影、刻蚀等工艺步骤形成第一导电图案。

[0093] 例如,第一导电图案和第二导电图案的材料可以参见实施例一中的相关描述,在

此不再赘述。

[0094] 例如,上述步骤102和步骤103的先后顺序不限,包含两种方式。第一种方式:先形成贯穿衬底基板的通孔图案,然后在衬底基板的第一表面上形成第一导电图案,这样可以保证第一导电图案的完整性以及电连接的可靠性;第二种方式:先在衬底基板的第一表面上形成第一导电图案,再形成贯穿衬底基板的通孔图案,这样可以确保形成的通孔图案是位于第一导电图案上的,可以确保激光打孔的定位精准。

[0095] 例如,该通孔图案包括个通孔,多个通孔分别对应于布线结构的第一表面上纵横交叉的金属线(条)的交汇处,这样可以确保第一导电图案和第二导电图案连通。例如,相邻的通孔在横向和纵向上的间距相等,等间距设置的通孔可以排除线路长短不一致带来的输入的电信号差异较大的问题,以更精确的控制输入至各个第二子导电图案的电信号。

[0096] 例如,该通孔图案包括的通孔的个数可以为1个、2个、3个、4个、8个或更多个,在此不作限定。

[0097] 例如,通孔的个数越多形成的连接的通道越多,这样可以进一步地减小第一导电图案的电阻。例如,通孔可以是非等间距分布的,通孔可以仅设置在对应于横向的金属线(条)的位置处,或者仅设置在对应于纵向的金属线(条)的位置处。

[0098] 例如,多个第二子导电图案相互间隔,即多个第二子导电图案在布线结构的第二表面上没有电连通。每个第二子导电图案都对应至少一个贯穿衬底基板的通孔,这样各个第二子导电图案可以分别通过通孔与第一导电图案电连接。例如,各个第二子导电图案可以在不同的位置处对应多个通孔,每个第二子导电图案在不同的位置处分别与第一导电图案电连接,这样可以进一步地减小第一导电图案的电阻。

[0099] 例如,第二子导电图案具有网格状结构,各个第二子导电图案的形状可以相同或者不同,例如,该第二子导电图案的形状不限于矩形,还可以是圆形、正多边形、梯形或者不规则多边形等。

[0100] 本公开的实施例提供一种布线结构及其制备方法、有机发光二极管(OLED)阵列基板以及显示装置具有以下至少一项有益效果:

[0101] (1) 在本公开至少一实施例提供的布线结构中,第一导电图案和第二导电图案通过贯穿衬底基板的通孔图案电连接可以减小第一导电图案的电阻,从而减小第一导电图案上的电压降。

[0102] (2) 在本公开至少一实施例提供的布线结构中,第一导电图案与相互间隔的各个第二子导电图案分别通过通孔连接,这样可以单独控制一个第二子导电图案的输入电压来调整小区域内的电压。

[0103] (3) 在本公开至少一实施例提供的布线结构中,具有网格状结构第二导电图案可以起到静电屏蔽的作用,这样可以避免外界的静电对设置在衬底基板的第一表面上的第一导电图案的电信号进行干扰,同时也可以避免静电击穿的发生。

[0104] (4) 在本公开至少一实施例提供的OLED阵列基板中,通过单独控制小区域中的输入电压即可实现第一导电图案中的电压升或者电压降的值基本接近于零,从而保证显示的均一性。

[0105] 有以下几点需要说明:

[0106] (1) 本公开实施例附图只涉及到与本公开实施例涉及到的结构,其他结构可参考

通常设计。

[0107] (2) 为了清晰起见,在用于描述本公开的实施例的附图中,层或区域的厚度被放大或缩小,即这些附图并非按照实际的比例绘制。可以理解,当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时,该元件可以“直接”位于另一元件“上”或“下”,或者可以存在中间元件。

[0108] (3) 在不冲突的情况下,本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

[0109] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,本公开的保护范围应以所述权利要求的保护范围为准。

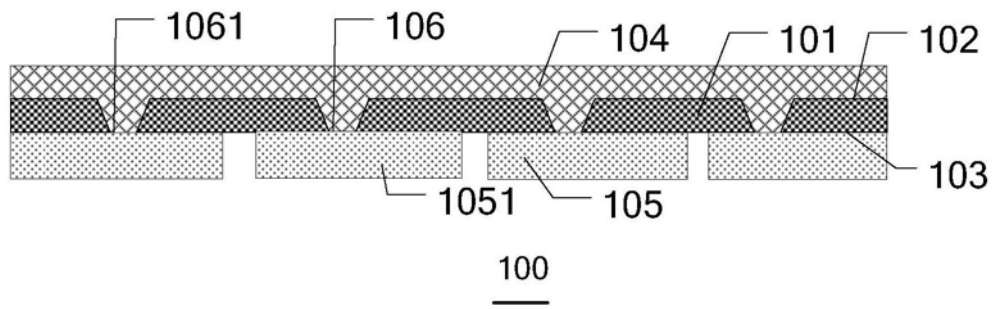


图1A

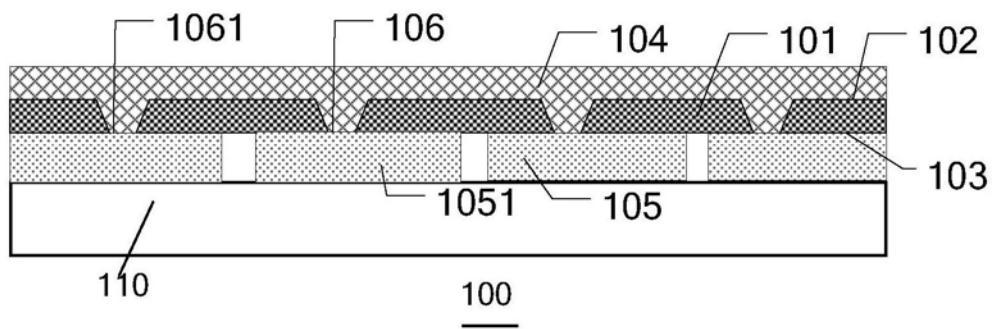


图1B

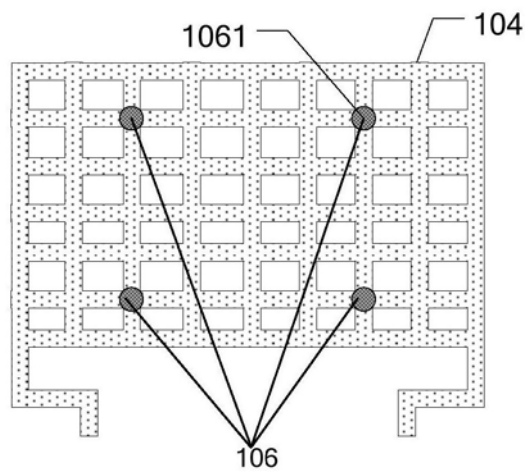


图2

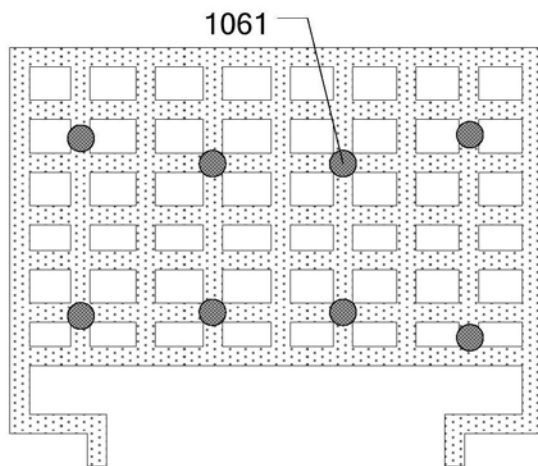


图3

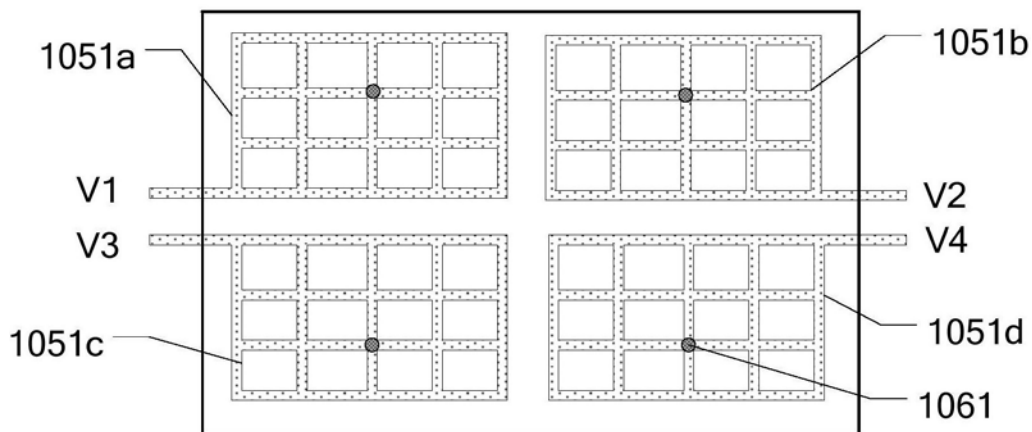


图4

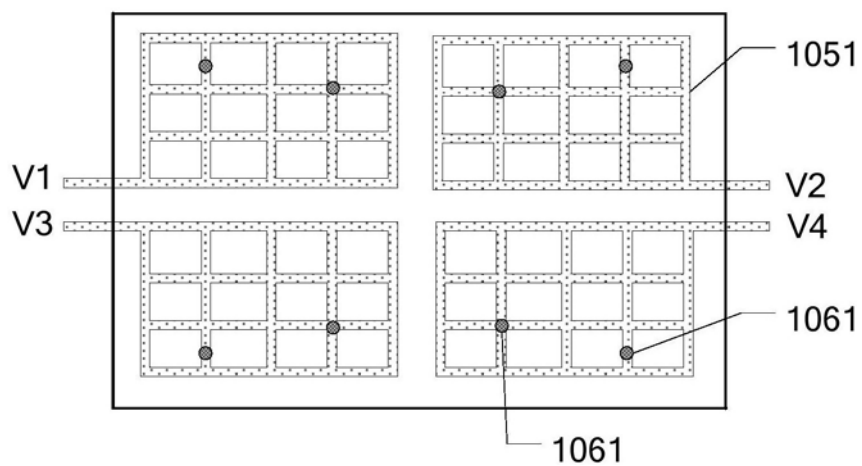


图5

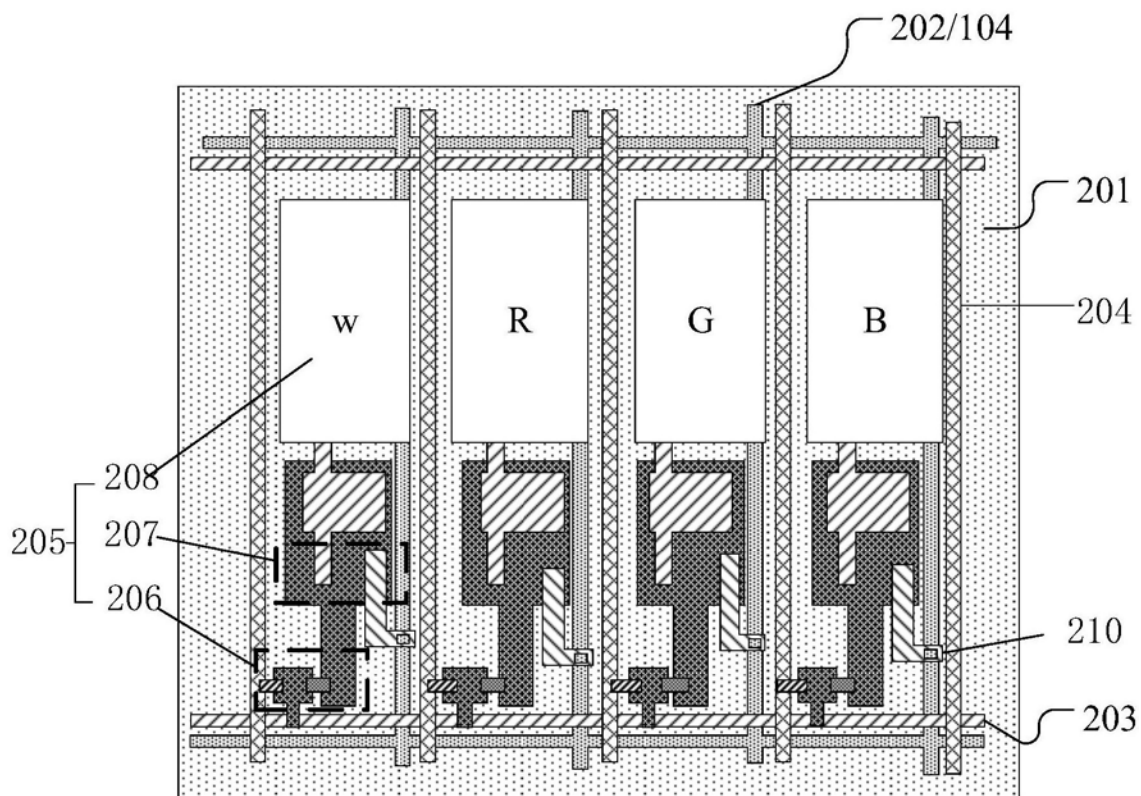


图6

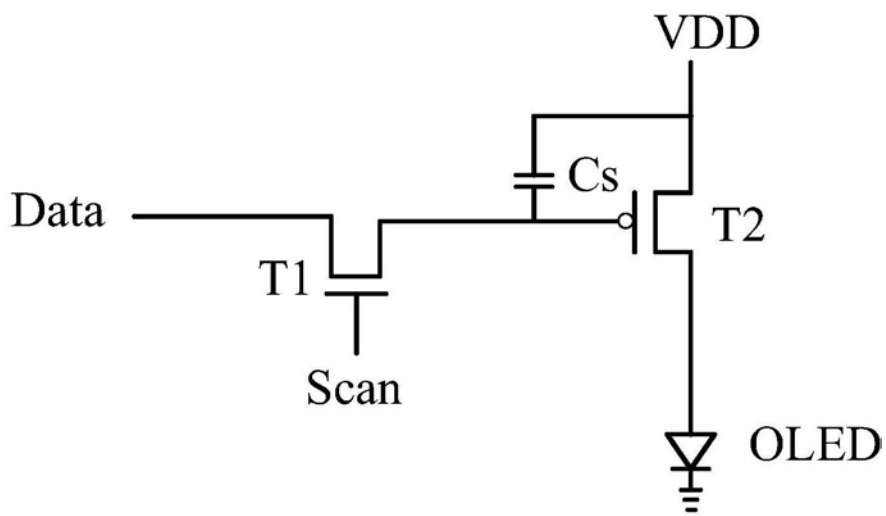


图7A

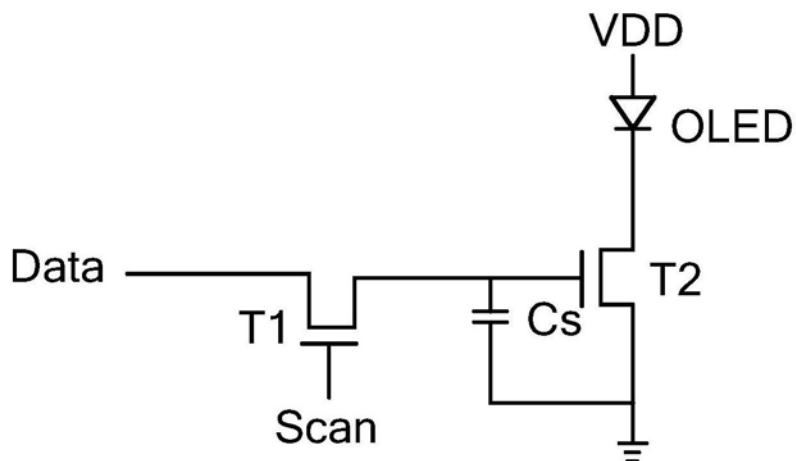


图7B

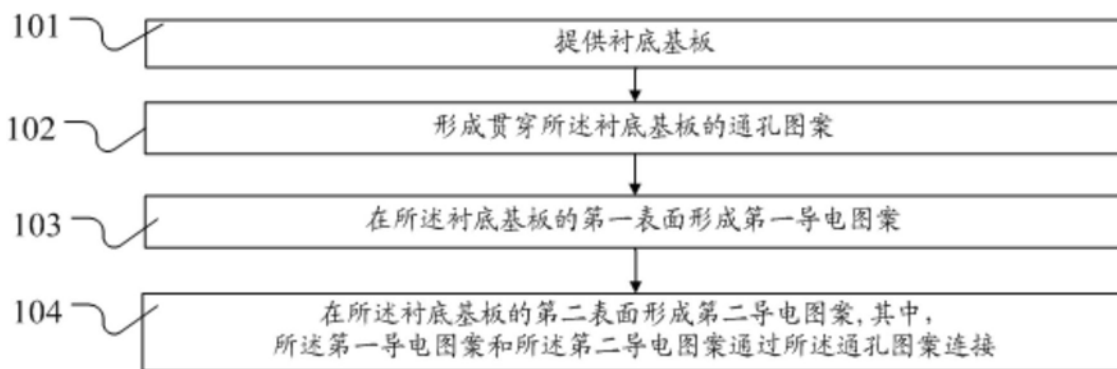


图8

专利名称(译)	布线结构及其制备方法、OLED阵列基板、显示装置		
公开(公告)号	CN109390351A	公开(公告)日	2019-02-26
申请号	CN201710650543.1	申请日	2017-08-02
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	肖丽 玄明花 杨盛际 陈小川 王磊 付杰 卢鹏程 刘冬妮		
发明人	肖丽 玄明花 杨盛际 陈小川 王磊 付杰 卢鹏程 刘冬妮		
IPC分类号	H01L27/12 H01L27/32 H01L21/84		
CPC分类号	H01L27/124 H01L27/1259 H01L27/3279 H01L2227/323 H01L27/3213 H01L27/3276 H01L21/84 H01L27/12		
外部链接	Espacenet SIPO		

摘要(译)

一种布线结构及其制备方法、有机发光二极管(OLED)阵列基板以及显示装置，该布线结构包括：衬底基板，该衬底基板包括彼此相对的第一表面和第二表面；设置在所述衬底基板的所述第一表面上的第一导电图案和设置在所述衬底基板的所述第二表面上的第二导电图案；其中，所述第一导电图案和所述第二导电图案通过贯穿所述衬底基板的通孔图案连接。第一导电图案和第二导电图案通过贯穿衬底基板的通孔图案连接可以减小第一导电图案的电阻，将该布线结构应用于有机发光二极管(OLED)阵列基板中时，可以改善显示的均一性。

