



(12)发明专利

(10)授权公告号 CN 108682393 B

(45)授权公告日 2020.07.07

(21)申请号 201810495058.6

(22)申请日 2018.05.22

(65)同一申请的已公布的文献号

申请公布号 CN 108682393 A

(43)申请公布日 2018.10.19

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 杨盛际 董学 陈小川 王辉

卢鹏程 于芳 刘伟

(74)专利代理机构 北京三高永信知识产权代理

有限责任公司 11138

代理人 杨广宇

(51)Int.Cl.

G09G 3/3233(2016.01)

G09G 3/3291(2016.01)

(56)对比文件

CN 102855863 A,2013.01.02

CN 106548738 A,2017.03.29

CN 104900199 A,2015.09.09

CN 106533410 A,2017.03.22

审查员 顾健健

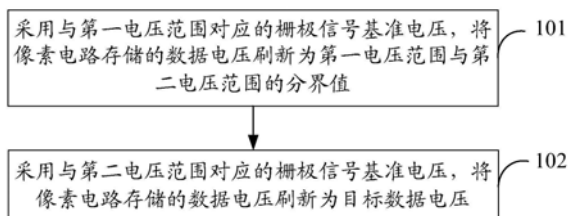
权利要求书3页 说明书11页 附图2页

(54)发明名称

像素电路的驱动方法及装置

(57)摘要

本公开提供了一种像素电路的驱动方法及装置,属于显示领域。在像素电路的当前数据电压处于第一电压范围内,且像素电路的目标数据电压处于第二电压范围内时,所述驱动方法包括:采用与第一电压范围对应的栅极信号基准电压,将像素电路存储的数据电压刷新为第一电压范围与第二电压范围的分界值;采用与第二电压范围对应的栅极信号基准电压,将像素电路存储的数据电压刷新为目标数据电压;其中,目标数据电压和当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,第一电压范围与第二电压范围分别将分界值作为最大值端点和最小值端点中的一个。本公开有助于实现OLED产品在低压制程下的高对比度显示。



1. 一种像素电路的驱动方法,其特征在于,所述像素电路被配置为在栅极信号的控制下刷新所存储的数据电压;在所述像素电路的当前数据电压处于第一电压范围内,且所述像素电路的目标数据电压处于第二电压范围内时,所述驱动方法包括:

采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值;

采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压;

其中,所述目标数据电压和所述当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,所述第一电压范围与所述第二电压范围分别将所述分界值作为最大值端点和最小值端点中的一个。

2. 根据权利要求1所述的驱动方法,其特征在于,所述像素电路通过栅线接收所述栅极信号,所述像素电路通过数据线接收所述数据电压;

所述采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值,包括:

向所述栅线提供以第一电压为基准的栅极信号,向所述数据线提供电压值为所述分界值的电压,以使所述像素电路存储的数据电压被刷新为所述分界值;

相对应地,所述采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压,包括:

向所述栅线提供以第二电压为基准的栅极信号,向所述数据线提供所述目标数据电压,以使所述像素电路存储的数据电压被刷新为所述目标数据电压;

其中,所述第一电压是与所述第一电压范围对应的栅极信号基准电压,所述第二电压是与所述第二电压范围对应的栅极信号基准电压。

3. 根据权利要求1或2所述的驱动方法,其特征在于,所述栅极信号包括发光控制信号和栅极驱动信号,

所述像素电路包括数据信号端,所述像素电路被配置为在接收到所述栅极驱动信号时按照所述数据信号端处的电压刷新所存储的数据电压,

所述像素电路还被配置为在接收到所述发光控制信号时按照所存储的数据电压输出发光电流,所述发光电流的电流值与所述数据电压的电压值正相关。

4. 根据权利要求3所述的驱动方法,其特征在于,所述像素电路包括:

开关控制单元,所述开关控制单元被配置为在接收到所述发光控制信号时导通所述发光电流的输出通路;

驱动单元,所述驱动单元被配置为按照控制端处的电压调节所述发光电流的电流值,以使所述发光电流的电流值与所述控制端处的电压值正相关;

存储单元,所述存储单元被配置为存储所述数据电压并提供给所述驱动单元的控制端;

数据写入单元,所述数据写入单元被配置为在接收到所述栅极驱动信号时按照所述数据信号端处的电压刷新所述存储单元存储的数据电压。

5. 根据权利要求4所述的驱动方法,其特征在于,所述栅极驱动信号包括第一栅极驱动信号和第二栅极驱动信号,所述数据写入单元包括第一N型晶体管和第一P型晶体管,

所述第一N型晶体管的栅极连接提供所述第一栅极驱动信号的信号线,所述第一N型晶体管的源极和漏极各自连接所述数据信号端和所述存储单元中的一个,

所述第一P型晶体管的栅极连接提供所述第二栅极驱动信号的信号线,所述第一P型晶体管的源极和漏极各自连接所述数据信号端和所述存储单元中的一个。

6. 根据权利要求4所述的驱动方法,其特征在于,所述像素电路还包括发光电源端和电流输出端,所述像素电路被配置为在所述发光电源端的电能供应下向所述电流输出端输出所述发光电流;

所述驱动单元包括驱动晶体管,所述驱动晶体管的栅极连接所述数据写入单元以及所述存储单元,所述驱动晶体管的源极和漏极各自连接所述开关控制单元和所述电流输出端中的一个,

所述存储单元包括第一电容,所述第一电容的第一端连接所述数据写入单元以及所述驱动单元,所述第一电容的第二端连接公共电压线;

所述开关控制单元包括第一晶体管,所述第一晶体管的栅极连接提供所述发光控制信号的信号线,源极和漏极各自连接所述发光电源端和所述驱动单元中的一个。

7. 根据权利要求6所述的驱动方法,其特征在于,所述栅极信号还包括初始化信号,所述像素电路还包括初始化模块,

所述初始化模块被配置为在接收到所述初始化信号时将所述电流输出端处的电压置为初始化电压。

8. 根据权利要求7所述的驱动方法,其特征在于,所述初始化模块包括第二晶体管,所述第二晶体管的栅极连接提供所述初始化信号的信号线,所述第二晶体管的源极和漏极各自连接所述电流输出端和公共电压线中的一个。

9. 一种像素电路的驱动装置,其特征在于,所述像素电路被配置为在栅极信号的控制下刷新所存储的数据电压;所述驱动装置包括:

第一刷新模块,被配置为在所述像素电路的当前数据电压处于第一电压范围内,且所述像素电路的目标数据电压处于第二电压范围内时,采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值;

第二刷新模块,被配置为在所述像素电路存储的数据电压被刷新为所述分界值之后,采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压;

其中,所述目标数据电压和所述当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,所述第一电压范围与所述第二电压范围分别将所述分界值作为最大值端点和最小值端点中的一个。

10. 一种像素电路的驱动装置,其特征在于,所述像素电路被配置为在栅极信号的控制下刷新所存储的数据电压;所述驱动装置包括:

处理器;

用于存储处理器可执行的指令的存储器;

其中,所述处理器被配置为:

在所述像素电路的当前数据电压处于第一电压范围内,且所述像素电路的目标数据电

压处于第二电压范围内时,采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值;

在所述像素电路存储的数据电压被刷新为所述分界值之后,采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压;

其中,所述目标数据电压和所述当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,所述第一电压范围与所述第二电压范围分别将所述分界值作为最大值端点和最小值端点中的一个。

像素电路的驱动方法及装置

技术领域

[0001] 本公开涉及显示领域,特别涉及一种像素电路的驱动方法及装置。

背景技术

[0002] 有机发光二极管(Organic Light-Emitting Diode,OLED)显示器是主要利用有机电致发光二极管制成的显示产品,凭借其亮度高、色彩丰富、数据电压低、响应速度快、功耗低的优点,已成为目前的主流显示产品之一。OLED是一种全固态型器件,抗震性能好,而且工作温度范围宽,因而适合于军事和特殊应用;其亦属于自发光器件,不需要背光源,视角范围大,厚度薄,有利于减小系统体积,尤其适用于近眼显示系统。

[0003] 而在例如近眼显示系统的一些应用场景中,OLED产品中薄膜晶体管的尺寸和规格受到一定限制,比如某些低压制程下薄膜晶体管任意两极之间的电压差不能超过6V,这使得发光器件两端电压的最大值与最小值之差也受到相应的限制,表现为所能实现的对比度存在上限,无法实现高对比度显示。

发明内容

[0004] 本公开提供一种像素电路的驱动方法及装置,有助于实现OLED产品在低压制程下的高对比度显示。

[0005] 第一方面,本公开提供了一种像素电路的驱动方法,所述像素电路被配置为在栅极信号的控制下刷新所存储的数据电压;在所述像素电路的当前数据电压处于第一电压范围内,且所述像素电路的目标数据电压处于第二电压范围内时,所述驱动方法包括:

[0006] 采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值;

[0007] 采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压;

[0008] 其中,所述目标数据电压和所述当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,所述第一电压范围与所述第二电压范围分别将所述分界值作为最大值端点和最小值端点中的一个。

[0009] 在一种可能的实现方式中,所述像素电路通过栅线接收所述栅极信号,所述像素电路通过数据线接收所述数据电压;

[0010] 所述采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值,包括:

[0011] 向所述栅线提供以第一电压为基准的栅极信号,向所述数据线提供电压值为所述分界值的电压,以使所述像素电路存储的数据电压被刷新为所述分界值;

[0012] 相对应地,所述采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压,包括:

[0013] 向所述栅线提供以第二电压为基准的栅极信号,向所述数据线提供所述目标数据

电压,以使所述像素电路存储的数据电压被刷新为所述目标数据电压;

[0014] 其中,所述第一电压是与所述第一电压范围对应的栅极信号基准电压,所述第二电压是与所述第二电压范围对应的栅极信号基准电压。

[0015] 在一种可能的实现方式中,所述栅极信号包括发光控制信号和栅极驱动信号,

[0016] 所述像素电路包括数据信号端,所述像素电路被配置为在接收到所述栅极驱动信号时按照所述数据信号端处的电压刷新所存储的数据电压,

[0017] 所述像素电路还被配置为在接收到所述发光控制信号时按照所存储的数据电压输出发光电流,所述发光电流的电流值与所述数据电压的电压值正相关。

[0018] 在一种可能的实现方式中,所述像素电路包括:

[0019] 开关控制单元,所述开关控制单元被配置为在接收到所述发光控制信号时导通所述发光电流的输出通路;

[0020] 驱动单元,所述驱动单元被配置为按照控制端处的电压调节所述发光电流的电流值,以使所述发光电流的电流值与所述控制端处的电压值正相关;

[0021] 存储单元,所述存储单元被配置为存储所述数据电压并提供给所述驱动单元的控制端;

[0022] 数据写入单元,所述数据写入单元被配置为在接收到所述栅极驱动信号时按照所述数据信号端处的电压刷新所述存储单元存储的数据电压。

[0023] 在一种可能的实现方式中,所述栅极驱动信号包括第一栅极驱动信号和第二栅极驱动信号,所述数据写入单元包括第一N型晶体管和第一P型晶体管,

[0024] 所述第一N型晶体管的栅极连接提供所述第一栅极驱动信号的信号线,所述第一N型晶体管的源极和漏极各自连接所述数据信号端和所述存储单元中的一个,

[0025] 所述第一P型晶体管的栅极连接提供所述第二栅极驱动信号的信号线,所述第一P型晶体管的源极和漏极各自连接所述数据信号端和所述存储单元中的一个。

[0026] 在一种可能的实现方式中,所述像素电路还包括发光电源端和电流输出端,所述像素电路被配置为在所述发光电源端的电能供应下向所述电流输出端输出所述发光电流;

[0027] 所述驱动单元包括驱动晶体管,所述驱动晶体管的栅极连接所述数据写入单元以及所述存储单元,所述驱动晶体管的源极和漏极各自连接所述开关控制单元和所述电流输出端中的一个,

[0028] 所述存储单元包括第一电容,所述第一电容的第一端连接所述数据写入单元以及所述驱动单元,所述第一电容的第二端连接公共电压线;

[0029] 所述开关控制单元包括第一晶体管,所述第一晶体管的栅极连接提供所述发光控制信号的信号线,源极和漏极各自连接所述发光电源端和所述驱动单元中的一个。

[0030] 在一种可能的实现方式中,所述栅极信号还包括初始化信号,所述像素电路还包括初始化模块,

[0031] 所述初始化模块被配置为在接收到所述初始化信号时将电流输出端处的电压置为初始化电压。

[0032] 在一种可能的实现方式中,所述初始化模块包括第二晶体管,所述第二晶体管的栅极连接提供所述初始化信号的信号线,所述第二晶体管的源极和漏极各自连接所述电流输出端和公共电压线中的一个。

[0033] 第二方面,本公开还提供了一种像素电路的驱动装置,所述像素电路被配置为在栅极信号的控制下刷新所存储的数据电压;所述驱动装置包括:

[0034] 第一刷新模块,被配置为在所述像素电路的当前数据电压处于第一电压范围内,且所述像素电路的目标数据电压处于第二电压范围内时,采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值;

[0035] 第二刷新模块,被配置为在所述像素电路存储的数据电压被刷新为所述分界值之后,采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压;

[0036] 其中,所述目标数据电压和所述当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,所述第一电压范围与所述第二电压范围分别将所述分界值作为最大值端点和最小值端点中的一个。

[0037] 第三方面,本公开还提供了一种像素电路的驱动装置,所述像素电路被配置为在栅极信号的控制下刷新所存储的数据电压;所述驱动装置包括:

[0038] 处理器;

[0039] 用于存储处理器可执行的指令的存储器;

[0040] 其中,所述处理器被配置为:

[0041] 在所述像素电路的当前数据电压处于第一电压范围内,且所述像素电路的目标数据电压处于第二电压范围内时,采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值;

[0042] 在所述像素电路存储的数据电压被刷新为所述分界值之后,采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压;

[0043] 其中,所述目标数据电压和所述当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,所述第一电压范围与所述第二电压范围分别将所述分界值作为最大值端点和最小值端点中的一个。

[0044] 由上述技术方案可知,本公开通过分别采用对应的栅极信号基准电压来对每个电压范围内的数据电压进行分段写入,使得每个电压范围的写入过程都能在器件能够承受的范围内进行,由此可以扩大数据电压的容许写入的电压范围,进而扩大发光器件在显示时的亮度范围,有助于提升显示对比度和/或显示亮度,提高低压制程下OLED产品的显示性能。

附图说明

[0045] 为了更清楚地说明本公开实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,这些附图的合理变型也都涵盖在本公开的保护范围内。

[0046] 图1是本公开一个实施例提供的像素电路的驱动方法的流程示意图;

[0047] 图2是本公开一个实施例提供的像素电路的电路结构图;

[0048] 图3是本公开一个实施例提供的像素电路的电路时序图;

[0049] 图4是本公开一个实施例提供的像素电路的驱动装置的结构框图。

具体实施方式

[0050] 为使本公开的目的、技术方案和优点更加清楚,下面将结合附图对本公开实施方式作进一步地详细描述。显然,所描述的实施例是本公开的一部分实施例,而不是全部的实施例。基于所描述的本公开的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本公开保护的范围。除非另外定义,本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,且该连接可以是直接的或间接的。

[0051] 图1是本公开一个实施例提供的像素电路的驱动方法的流程示意图,所述像素电路被配置为在栅极信号的控制下刷新所存储的数据电压。参见图1,在所述像素电路的当前数据电压处于第一电压范围内,且所述像素电路的目标数据电压处于第二电压范围内时,所述驱动方法包括:

[0052] 步骤101、采用与第一电压范围对应的栅极信号基准电压,将像素电路存储的数据电压刷新为第一电压范围与第二电压范围的分界值。

[0053] 步骤102、采用与第二电压范围对应的栅极信号基准电压,将像素电路存储的数据电压刷新为目标数据电压。

[0054] 其中,所述目标数据电压和所述当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,所述第一电压范围与所述第二电压范围分别将所述分界值作为最大值端点和最小值端点中的一个。

[0055] 应理解的是,所述像素电路的驱动方法可以由任何一个能够控制提供给像素电路的栅极信号和数据电压的装置或装置组合来执行,例如包括时序控制器(Time Controller, TCON)、图形处理器(Graphics Processing Unit, GPU)、直流电压转换器(DC-DC Converter)、电源管理单元(Power Management IC, PMIC)中的至少一个,并可以不仅限于此。

[0056] 还应理解的是,所述像素电路具备存储数据电压的功能,并具备在栅极信号的控制下刷新所存储的数据电压的功能。其中所述栅极信号可以是单个信号或者多个信号的组合,所述数据电压指的是像素电路内部决定像素显示状态的电压参量。在一个示例中,某个显示帧内一个所述像素电路所存储的数据电压依照上一帧的显示画面和本帧的显示画面需要从2V的数据电压刷新为3V的数据电压,从而此时该像素电路的目标数据电压为3V,当前数据电压为2V。可以理解的是,所述目标数据电压和当前数据电压都可以是由所需要显示的画面确定的,并可以随着时间的变化而变化。

[0057] 在一个示例中,所述第一电压范围是(1V, 5V],所述第二电压范围是(5V, 9V),分界值为5V。可以看出,分界值5V是第一电压范围的最大值端点,并是第二电压范围的最小值端点,而且端点数值可以包含或者不包含在电压范围中,例如上述第一电压范围还可以设置

为(1V,5V)、[1V,5V]或者[1V,5V],均可以依照对电压范围的限制条件来设定。

[0058] 在一个示例中,对电压范围的限制条件来源于低压制程下针对于薄膜晶体管任意两极之间的电压差的限制。例如,在薄膜晶体管任意两极之间的电压差不能超过6V的限制条件下,以漏极电压作为0V的参考电压,考虑到数据电压可能等于薄膜晶体管的源极与漏极之间的电压差,而薄膜晶体管的栅极电压的最大值与最小值分别是4V和1V,那么源极处的数据电压最大不能高于6V(源极与漏极之间电压差为最大的6V),最小不能低于-2V(源极与栅极之间的电压差为最大的6V)。由此,在相关技术中,数据电压的数值范围被限制在-2V到6V的范围内,显示画面的最亮点与最暗点所对应的数据电压也只能在-2V到6V的范围内取得,因此显示对比度存在一个相对应的上限,即无法实现高对比度。

[0059] 而在本公开实施例中,分别采用对应的栅极信号基准电压来对每个电压范围内的数据电压进行了分段写入,使得每个电压范围的写入过程都能在器件能够承受的范围内进行,由此可以扩大数据电压的容许写入的电压范围。

[0060] 在一个示例中,第一电压范围(1V,5V]所对应的栅极信号基准电压为0V,第二电压范围(5V,9V)所对应的栅极信号基准电压为4V。即,栅极信号基准电压为0V时数据电压在第一电压范围(1V,5V]内的变化均可以满足限制条件,而栅极信号基准电压为4V时数据电压在第一电压范围(5V,9V)内的变化均可以满足限制条件。在此基础之上,如果数据电压的变化范围需要跨越边界值5V,比如上述当前数据电压和上述目标数据电压分别为2V和8V,那么数据电压的刷新可以分两次进行——首先,在栅极信号基准电压为0V将数据电压从当前数据电压2V刷新为边界值5V,该过程中数据电压的变化显然是满足限制条件的;然后,将栅极信号基准电压调整为4V,并将数据电压从边界值的5V刷新为目标数据电压8V,该过程中数据电压的变化显然也是满足限制条件的。由此可见,按照本公开实施例所提供的方法,原本只能在一个电压范围内的变化的数据电压可以在多个电压范围之间变化。同理,可以依照不同栅极信号基准电压下数据电压的容许范围设置多个电压范围,并在数据电压在不同电压范围之间切换时按照上述方式进行分段写入,从而可以扩大数据电压的数值范围。

[0061] 可以理解的是,在例如将数据电压的数值范围从-2V~6V扩大到-6V~10V时,显示画面的最亮点与最暗点所对应的数据电压的取得范围也可以突破-2V到6V这一范围的限制,从而能够提升显示画面中单个像素的最高亮度和/或降低显示画面中单个像素的最低亮度,有助于提升显示对比度和/或显示亮度,提高低压制程下OLED产品的显示性能。

[0062] 图2是本公开一个实施例提供的像素电路的电路结构图。参加图2,本实施例的像素电路分别通过四条栅线接收四个栅极信号——第一栅极驱动信号Gate1、第二栅极驱动信号Gate2(第一和第二栅极驱动信号统称栅极驱动信号)、发光控制信号EM和初始化信号SI(均以栅极信号基准电压为参考零点),本实施例的像素电路通过与数据线相连的数据信号端Data接收数据电压。像素电路中,包括开关控制单元11、驱动单元12、存储单元13、数据写入单元14,整个像素电路被配置为在接收到栅极驱动信号时按照数据信号端Data处的电压刷新所存储的数据电压,并被配置为在接收到发光控制信号EM时按照所存储的数据电压输出发光电流Id,发光电流Id的电流值与数据电压的电压值正相关。具体地,像素电路还包括发光电源端Vdd和电流输出端Q1,像素电路被配置为在发光电源端Vdd的电供应下向电流输出端Q1输出发光电流Id。此外,所述电流输出端Q1连接发光器件D1的正极,发光器件D1的负极连接发光电源公共端Vss,由此发光器件D1可以接收像素电路所输出的发光电流Id

以按照与电流值对应的亮度发光。示例性地,该发光器件D1可以是有机发光二极管或者量子点发光二极管。

[0063] 需要说明的是,上述像素电路连接发光电源端Vdd,并且像素电路被配置为从发光器件的正极提供发光电流仅为一种示例。示例性地,上述发光电源端Vdd可以被发光电源公共端Vss所替代,从而像素电路被配置为从发光器件的负极向其提供发光电流;此时,发光器件的正极直接连接发光电源端Vdd,发光器件的负极连接像素电路,发光电流Id的输出通路自电源正极开始依次经过发光器件的正极、发光器件的负极和像素电路到达电源负极。

[0064] 参见图2,本实施例中,像素电路包括:

[0065] 开关控制单元11,与提供发光控制信号EM的栅线相连,开关控制单元11被配置为在接收到发光控制信号EM时导通发光电流Id的输出通路;

[0066] 驱动单元12,设置在发光电流Id的输出通路中,驱动单元12被配置为按照控制端Q1处的电压调节发光电流Id的电流值,以使发光电流Id的电流值与控制端Q1处的电压值正相关;

[0067] 存储单元13,与驱动单元12的控制端Q1相连,存储单元13被配置为存储数据电压并提供给驱动单元12的控制端Q1;

[0068] 数据写入单元14,与提供栅极驱动信号的栅线相连,数据写入单元14被配置为在接收到栅极驱动信号时按照数据信号端Data处的电压刷新存储单元13存储的数据电压;

[0069] 初始化模块15,与提供初始化信号SI的栅线相连,初始化模块15被配置为在接收到初始化信号SI时将电流输出端Q1处的电压置为初始化电压。

[0070] 作为一种示例,图2中,开关控制单元11包括一个第一晶体管T1,第一晶体管T1的栅极连接提供发光控制信号EM的栅线,源极和漏极各自连接发光电源端Vdd和驱动单元12中的一个。示例性地,第一晶体管T1可以为P型晶体管,上文所述的接收到发光控制信号EM的时段为发光控制信号EM处为低电平的时段,该时段内第一晶体管T1开启从而发光电流Id的输出通路导通,该时段外第一晶体管T1关闭从而发光电流Id的输出通路断开,上述开关控制单元11的功能得以实现。需要说明的是,根据晶体管具体类型的不同,可以设置其源极和漏极分别所具有的连接关系,以与流过晶体管的电流的方向相匹配;在晶体管具有源极与漏极对称的结构时,源极和漏极可以视为不作特别区分的两个电极。

[0071] 作为一种示例,图2中,驱动单元12包括驱动晶体管Td,存储单元13包括第一电容C1,驱动晶体管Td的栅极连接数据写入单元14以及存储单元13,驱动晶体管Td的源极和漏极各自连接开关控制单元11和电流输出端Q1中的一个,第一电容C1的第一端连接数据写入单元14以及驱动单元12的控制端Q2,第一电容C1的第二端连接公共电压线Vcom。示例性地,驱动晶体管Td可以是N型晶体管,从而第一电容C1所存储的数据电压(即驱动晶体管Td的栅极电压)可以控制驱动晶体管Td的源漏电流的电流值,并且数据电压越高,驱动晶体管Td的源漏电流的电流值越大。从而,上述驱动单元12和上述存储单元13的功能得以实现。需要说明的是,上述数据电压的数值可以是偏离参考电压的幅值,从而即便采用P型晶体管实现驱动单元12,发光电流Id的电流值仍可以与控制端Q2处的电压值正相关。

[0072] 作为一种示例,上述第一栅极驱动信号Gate1和第二栅极驱动信号Gate2可以分别是正相的栅极驱动信号和反相的栅极驱动信号,上述数据写入单元14可以包括第一N型晶体管N1和第一P型晶体管P1,第一N型晶体管N1的栅极连接提供第一栅极驱动信号Gate1的

栅线,第一N型晶体管N1的源极和漏极各自连接数据信号端Data和存储单元13中的一个,第一P型晶体管P1的栅极连接提供第二栅极驱动信号Gate2的栅线,第一P型晶体管P1的源极和漏极各自连接数据信号端Data和存储单元13中的一个。如此,上文所述的接收到栅极驱动信号的时段即第一栅极驱动信号Gate1为高电平且第二栅极驱动信号Gate2为低电平的时段,该时段内第一N型晶体管N1和第一P型晶体管P1均开启,从而数据信号端Data处电压可以写入到电流源模块内部以刷新存储单元13所存储的数据电压;该时段外第一N型晶体管N1和第一P型晶体管P1均关闭,数据信号端Data处电压与存储单元13所存储的数据电压可以互不影响。由此,上述数据写入单元14的功能得以实现。此外由于第一N型晶体管N1和第一P型晶体管P1可以分别用来导通高电压和低电压,因此相比于使用单个晶体管来说更有利于扩大所写入电压的电压范围。

[0073] 作为一种示例,该初始化模块15可以在每次刷新数据电压之前将电流输出端Q1处的电压置为初始化电压,由此可以帮助减小前后帧数据电压的相互影响,有助于改善高频驱动下动态模糊(motion blur)的问题。图2中,初始化模块15包括第二晶体管T2,第二晶体管T2的栅极连接提供初始化信号SI的栅线,第二晶体管T2的源极和漏极各自连接电流输出端Q1和公共电压线Vcom中的一个。示例性地,第二晶体管T2可以是N型晶体管,初始化信号SI处的高电平时段可以设置在每个接收到栅极驱动信号的时段之前,如此第二晶体管T2可以在每次刷新存储单元13所存储的数据电压之前将节点Q1处的电压置为公共电压,实现上述初始化模块15的功能。可替代地,上述初始化电压除了可以采用公共电压之外,也可以在可能范围内采用例如栅极低电平电平(VGL)或者发光电源低电压(ELVSS)等等,可依照应用需求进行配置。

[0074] 图3是本公开一个实施例提供的像素电路的电路时序图。参见图3,图3示出了像素电路的两个工作周期,像素电路的每个工作周期内均包括初始化阶段I、第一数据写入阶段II、第二数据写入阶段III和发光阶段VI。为叙述方便,本示例中所述第一电压范围是(1V, 5V],所述第二电压范围是(5V, 9V),分界值为5V;第一个工作周期内的当前数据电压为2V,目标数据电压为8V;第二个工作周期内的当前数据电压为8V,目标数据电压为3V。参见图2和图3,在第一个工作周期内:

[0075] 初始化阶段I:提供第二栅极驱动信号Gate2的栅线、提供发光控制信号EM的栅线、提供初始化信号SI的栅线处均为高电平,提供第一栅极驱动信号Gate1的栅线处为低电平,从而第二晶体管T2开启,第一N型晶体管N1、第一P型晶体管P1和第一晶体管T1关闭。此时,公共电压线Vcom上的公共电压会写入到电流输出端Q1处,并通过第一晶体管T1将发光器件D1的正极处置为公共电压,由此完成像素电路的初始化。该阶段内,控制端Q2处的电压会被保持为第一电容C1先前所存储的数据电压,从而驱动晶体管Td可能是开启的;但由于关闭的第一晶体管T1断开了发光电流的输出通路,因此可能没有电流通过发光器件D1,发光器件D1可以处于例如反偏状态的不发光状态。

[0076] 第一数据写入阶段II:提供第一栅极驱动信号Gate1的栅线和提供发光控制信号EM的栅线处均为高电平,提供第二栅极驱动信号Gate2的栅线和提供初始化信号SI的栅线处均为低电平,从而第一N型晶体管N1和第一P型晶体管P1开启,第一晶体管T1和第二晶体管T2关闭。此时,数据信号端Data的电压为第一电压范围与第二电压范围之间的分界值5V,从而第一电容C1会充电或放电至节点Q2的电压大致上等于该分界值5V为止,即将所存储的

数据电压由当前数据电压刷新为所述分界值。可以预见的是此后第一N型晶体管N1和第一P型晶体管P1关闭后第一电容C1可以使节点Q2处的电压保持不变,即实现了数据电压的存储。该阶段中第一晶体管T1仍为关闭状态,没有发光电流供应的发光器件D1仍然处于不发光状态。

[0077] 第二数据写入阶段III:该阶段的开始时刻,栅极信号基准电压按照箭头所指示的方向和幅度发生了变化,即四条栅线的基准电位同时上升了相同幅度,使得其高电平和低电位的电位发生了变化——变化后的低电位的电位与变化前的高电位的电位相同,变化后的高电平比原先的高电平具有更高的电位。按照变化后的基准电位,提供第一栅极驱动信号Gate1的栅线和提供发光控制信号EM的栅线处均为高电平,提供第二栅极驱动信号Gate2的栅线和提供初始化信号SI的栅线处均为低电平。能够看出第二数据写入阶段III中各栅线的高电平与低电平的状态与第一数据写入阶段II实际是相同的,但其在图3中的实际电位均随着栅极信号基准电压的升高上升了相同的幅度。因此,第一N型晶体管N1和第一P型晶体管P1开启,第一晶体管T1和第二晶体管T2关闭,从而节点Q2的电压会从第一数据写入阶段II的5V变化到数据信号端Data处的电压8V,即将所存储的数据电压由所述分界值刷新为所述目标数据电压。该阶段中第一晶体管T1仍为关闭状态,没有发光电流供应的发光器件D1仍然处于不发光状态。

[0078] 发光阶段VI:提供第二栅极驱动信号Gate2的栅线处为高电平,提供第一栅极驱动信号Gate1的栅线、提供发光控制信号EM的栅线以及提供初始化信号SI的栅线处均为低电平,从而第一N型晶体管N1、第一P型晶体管P1和第二晶体管T2关闭,第一晶体管T1和驱动晶体管Td均开启,发光电流的输出通路导通。按照驱动晶体管Td的特征,发光电流的电流值由节点Q2处存储的数据电压8V决定,如此发光器件D1可以按照像素电路所存储的数据电压8V以相对应的亮度发光,直至像素电路的当前工作周期的结束。

[0079] 在第一周期阶段结束后,参见图2和图3第二工作周期内:

[0080] 初始化阶段I:依照第一工作周期内发生过变化的栅极信号基准电压,提供第二栅极驱动信号Gate2的栅线、提供发光控制信号EM的栅线、提供初始化信号SI的栅线处均为高电平,提供第一栅极驱动信号Gate1的栅线处为低电平,从而第二晶体管T2开启,第一N型晶体管N1、第一P型晶体管P1和第一晶体管T1关闭。此时,公共电压线Vcom上的公共电压会写入到电流输出端Q1处,并通过第一晶体管T1将发光器件D1的正极处置为公共电压,由此完成像素电路的初始化。该阶段内,控制端Q2处的电压会被保持为第一电容C1先前所存储的数据电压,从而驱动晶体管Td可能是开启的;但由于关闭的第一晶体管T1断开了发光电流的输出通路,因此可能没有电流通过发光器件D1,发光器件D1可以处于例如反偏状态的不发光状态。

[0081] 第一数据写入阶段II:提供第一栅极驱动信号Gate1的栅线和提供发光控制信号EM的栅线处均为高电平,提供第二栅极驱动信号Gate2的栅线和提供初始化信号SI的栅线处均为低电平,从而第一N型晶体管N1和第一P型晶体管P1开启,第一晶体管T1和第二晶体管T2关闭。此时,数据信号端Data的电压为第一电压范围与第二电压范围之间的分界值5V,从而第一电容C1会充电或放电至节点Q2的电压大致上等于该分界值5V为止,即将所存储的数据电压由当前数据电压刷新为所述分界值。可以预见的是此后第一N型晶体管N1和第一P型晶体管P1关闭后第一电容C1可以使节点Q2处的电压保持不变,即实现了数据电压的存

储。该阶段中第一晶体管T1仍为关闭状态,没有发光电流供应的发光器件D1仍然处于不发光状态。

[0082] 第二数据写入阶段III:该阶段的开始时刻,栅极信号基准电压按照箭头所指示的方向和幅度发生了变化,即四条栅线的基准电位同时下降了相同幅度,使得其高电平和低电平的电位变回了第一工作周期之前的状态。按照变化后的基准电位,提供第一栅极驱动信号Gate1的栅线和提供发光控制信号EM的栅线处均为高电平,提供第二栅极驱动信号Gate2的栅线和提供初始化信号SI的栅线处均为低电平。能够看出第二数据写入阶段III中各栅线的高电平与低电平的状态与第一数据写入阶段II实际是相同的,但其在图3中的实际电位均随着栅极信号基准电压的降低而下降了相同的幅度。因此,第一N型晶体管N1和第一P型晶体管P1开启,第一晶体管T1和第二晶体管T2关闭,从而节点Q2的电压会从第一数据写入阶段II的5V变化到数据信号端Data处的电压3V,即将所存储的数据电压由所述分界值刷新为所述目标数据电压。该阶段中第一晶体管T1仍为关闭状态,没有发光电流供应的发光器件D1仍然处于不发光状态。

[0083] 发光阶段VI:提供第二栅极驱动信号Gate2的栅线处为高电平,提供第一栅极驱动信号Gate1的栅线、提供发光控制信号EM的栅线以及提供初始化信号SI的栅线处均为低电平,从而第一N型晶体管N1、第一P型晶体管P1和第二晶体管T2关闭,第一晶体管T1和驱动晶体管Td均开启,发光电流的输出通路导通。按照驱动晶体管Td的特征,发光电流的电流值由节点Q2处存储的数据电压3V决定,如此发光器件D1可以按照像素电路所存储的数据电压3V以相对应的亮度发光,直至像素电路的当前工作周期的结束。

[0084] 以上述像素电路在第一和第二工作周期内的工作流程为例,在一种可能的实现方式中,上述步骤101可以具体包括:向所述栅线提供以第一电压为基准的栅极信号,向所述数据线提供电压值为所述分界值的电压,以使所述像素电路存储的数据电压被刷新为所述分界值;而上述步骤102可以具体包括:向所述栅线提供以第二电压为基准的栅极信号,向所述数据线提供所述目标数据电压,以使所述像素电路存储的数据电压被刷新为所述目标数据电压。其中,所述第一电压是与所述第一电压范围对应的栅极信号基准电压,所述第二电压是与所述第二电压范围对应的栅极信号基准电压。如此,可以在显示区域外通过控制栅线和数据线上的信号来实现上述驱动方法。

[0085] 可以看出的是,相比于发光器件D1只能在(1V,5V]或是(5V,9V)范围内的数据电压以相对应的亮度发光的相关技术,本公开实施例显然能够有助于实现更高的亮度和/或对比度。应理解的是,还可以参照上述示例设置其他形式的至少两个电压范围以及每个电压范围所对应的栅极信号基准电压,以按照应用需求实现所需要的更高的显示亮度和/或显示对比度。

[0086] 基于同样的发明构思,图4是本公开一个实施例提供的像素电路的驱动装置的结构框图,所述像素电路被配置为在栅极信号的控制下刷新所存储的数据电压。参见图4,所述驱动装置包括:

[0087] 第一刷新模块41,被配置为在所述像素电路的当前数据电压处于第一电压范围内,且所述像素电路的目标数据电压处于第二电压范围内时,采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值;

[0088] 第二刷新模块42,被配置为在所述像素电路存储的数据电压被刷新为所述分界值之后,采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压;

[0089] 其中,所述目标数据电压和所述当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,所述第一电压范围与所述第二电压范围分别将所述分界值作为最大值端点和最小值端点中的一个。

[0090] 应理解的是,根据上文所描述的驱动过程,该驱动装置可以依照与驱动过程相对应的结构实现上述像素电路的驱动方法,具体细节不再赘述。

[0091] 基于同样的发明构思,本公开的又一个实施例提供一种像素电路的驱动装置,所述像素电路被配置为在栅极信号的控制下刷新所存储的数据电压。本实施例中,所述驱动装置包括:

[0092] 处理器;

[0093] 用于存储处理器可执行的指令的存储器;

[0094] 其中,所述处理器被配置为:

[0095] 在所述像素电路的当前数据电压处于第一电压范围内,且所述像素电路的目标数据电压处于第二电压范围内时,采用与所述第一电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述第一电压范围与所述第二电压范围的分界值;

[0096] 在所述像素电路存储的数据电压被刷新为所述分界值之后,采用与所述第二电压范围对应的栅极信号基准电压,将所述像素电路存储的数据电压刷新为所述目标数据电压;

[0097] 其中,所述目标数据电压和所述当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压,所述第一电压范围与所述第二电压范围分别将所述分界值作为最大值端点和最小值端点中的一个。

[0098] 应理解的是,处理器可以包括通用中央处理器(CPU),微处理器,特定应用集成电路(Application-Specific Integrated Circuit,ASIC),数字信号处理器(DSP)、数字信号处理设备(DSPD)、可编程逻辑器件(PLD)、现场可编程门阵列(FPGA)、控制器、微控制器,或者多个用于控制程序执行的集成电路。存储器可以包括只读存储器(Read-Only Memory, ROM)或可存储静态信息和指令的其他类型的静态存储设备,随机存取存储器(Random Access Memory, RAM)或者可存储信息和指令的其他类型的动态存储设备,也可以包括电可擦可编程只读存储器(Electrically Erasable Programmable Read-Only Memory, EEPROM)、只读光盘(Compact Disc Read-Only Memory, CD-ROM)或其他光盘存储、光碟存储(包括压缩光碟、激光碟、光碟、数字通用光碟、蓝光光碟等)、磁盘存储介质或者其他磁存储设备、或者能够用于携带或存储具有指令或数据结构形式的期望的程序代码并能够由计算机存取的任何其他介质,但不限于此。存储器可以是独立设置的,也可以和处理器集成在一起。

[0099] 在一个示例中,上述处理器可以存储与上述任意一种像素电路的驱动方法对应的可执行的指令,从而使得所述驱动装置能通过处理器执行该指令实现上述任意一种像素电路的驱动方法,在此不再赘述。

[0100] 以上所述仅为本公开的较佳实施例,并不用以限制本公开,凡在本公开的精神和

原则之内,所作的任何修改、等同替换、改进等,均应包含在本公开的保护范围之内。

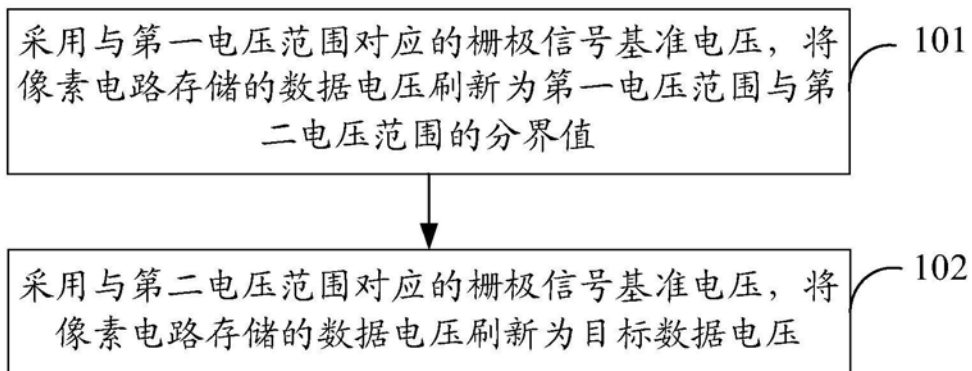


图1

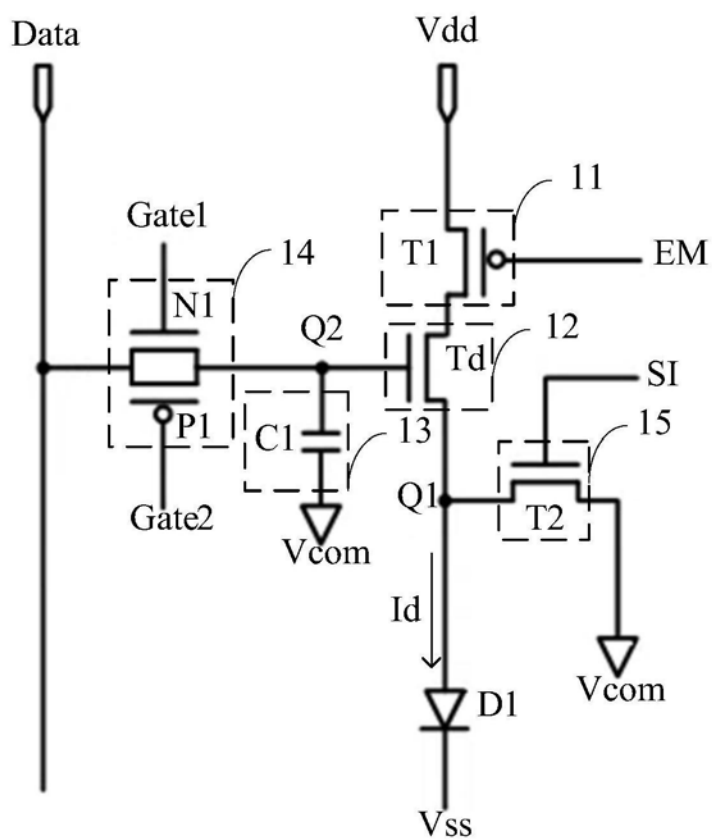


图2

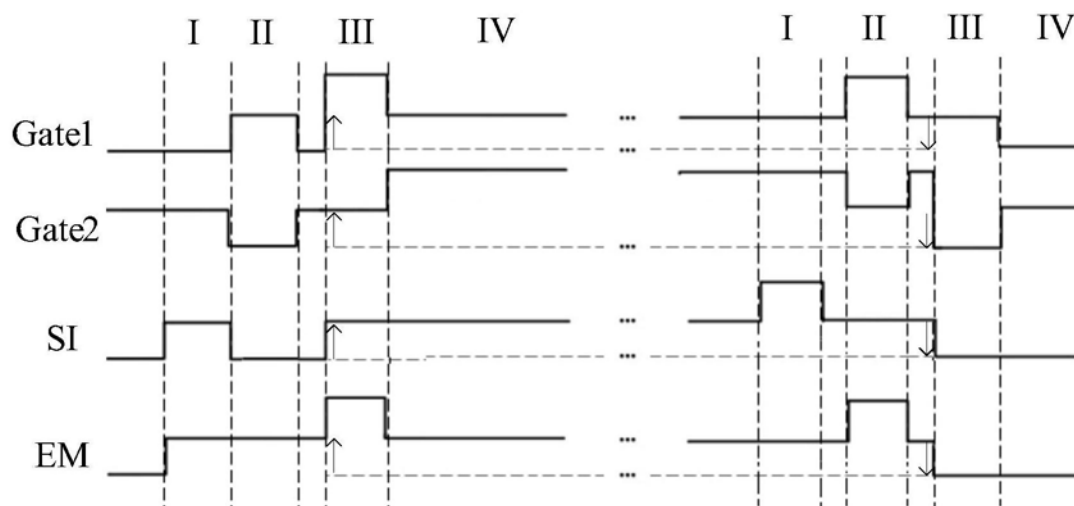


图3

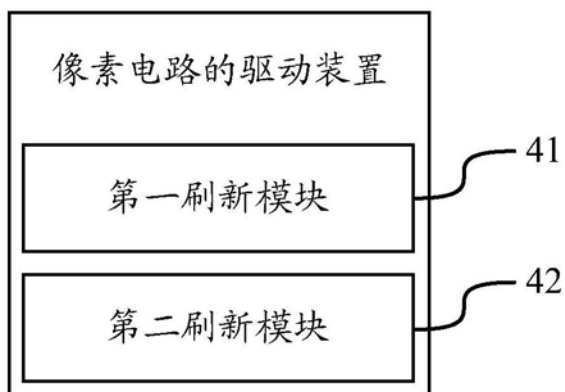


图4

专利名称(译)	像素电路的驱动方法及装置		
公开(公告)号	CN108682393B	公开(公告)日	2020-07-07
申请号	CN201810495058.6	申请日	2018-05-22
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	杨盛际 董学 陈小川 王辉 卢鹏程 于芳 刘伟		
发明人	杨盛际 董学 陈小川 王辉 卢鹏程 于芳 刘伟		
IPC分类号	G09G3/3233 G09G3/3291		
CPC分类号	G09G3/3233 G09G3/3291		
代理人(译)	杨广宇		
其他公开文献	CN108682393A		
外部链接	Espacenet SIPO		

摘要(译)

本公开提供了一种像素电路的驱动方法及装置，属于显示领域。在像素电路的当前数据电压处于第一电压范围内，且像素电路的目标数据电压处于第二电压范围内时，所述驱动方法包括：采用与第一电压范围对应的栅极信号基准电压，将像素电路存储的数据电压刷新为第一电压范围与第二电压范围的分界值；采用与第二电压范围对应的栅极信号基准电压，将像素电路存储的数据电压刷新为目标数据电压；其中，目标数据电压和当前数据电压分别是一次刷新过程中的刷新后和刷新前的数据电压，第一电压范围与第二电压范围分别将分界值作为最大值端点和最小值端点中的一个。本公开有助于实现OLED产品在低压制程下的高对比度显示。

