



# (12)发明专利申请

(10)申请公布号 CN 110956930 A

(43)申请公布日 2020.04.03

(21)申请号 201911047782.3

(22)申请日 2019.10.30

(71)申请人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区  
龙腾路1号4幢

(72)发明人 许骥 侯亚辉 朱杰

(74)专利代理机构 广东君龙律师事务所 44470

代理人 丁建春

(51)Int.Cl.

G09G 3/3233(2016.01)

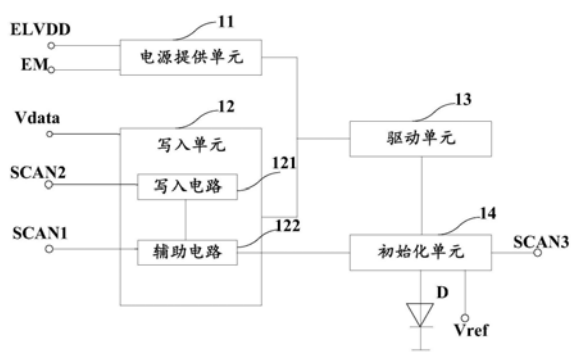
权利要求书2页 说明书6页 附图3页

## (54)发明名称

OLED像素电路及显示装置

## (57)摘要

本申请提供一种OLED像素电路及显示装置，包括多个阵列分布的像素单元，像素单元包括：电源提供单元、写入单元、驱动单元及初始化单元。电源提供单元接收发光使能信号并为像素单元的发光二极管提供电源信号；写入单元接收第一扫描信号及第二扫描信号，并写入驱动信号；驱动单元连接写入单元和电源提供单元，根据驱动信号利用电源信号生成驱动电流，从而驱动发光二极管；初始化单元接收第三扫描信号及参考信号，对驱动单元及发光二极管进行初始化。在写入阶段，写入电路接收驱动信号，藉由辅助电路将驱动信号写入驱动单元，在初始化阶段，初始化单元接收参考信号，藉由辅助电路将参考信号传递至驱动单元以进行初始化。进而减小版图面积。



1. 一种OLED像素电路,其特征在于,包括多个阵列分布的像素单元,每个所述像素单元分别包括:

电源提供单元,接收发光使能信号,并根据所述发光使能信号而为所述像素单元的发光二极管提供电源信号;

写入单元,接收第一扫描信号及第二扫描信号,并在第一扫描信号及第二扫描信号的驱动下写入驱动信号;

驱动单元,连接所述写入单元和所述电源提供单元,以根据写入的所述驱动信号而利用所述电源信号生成匹配所述驱动信号的驱动电流,从而利用所述驱动电流驱动所述发光二极管;

初始化单元,接收第三扫描信号,以在所述第三扫描信号的驱动下而接收所述参考信号,并利用所述参考信号对所述驱动单元及所述发光二极管进行初始化;

其中,所述写入单元包括:

辅助电路,接收第一扫描信号;

写入电路,接收第二扫描信号;

其中,所述初始化单元藉由所述辅助电路而连接至所述驱动单元,且所述第一扫描信号的使能阶段具有与所述第三扫描信号的使能阶段重叠的第一部分和与所述第二扫描信号的使能阶段重叠的第二部分;

当所述第三扫描信号处于使能阶段时,所述初始化单元导通接收所述参考信号并藉由导通的所述辅助电路而将所述参考信号传递至所述驱动单元以对所述驱动单元进行初始化;当所述第二扫描信号处于使能阶段时,所述写入电路导通接收所述驱动信号并藉由导通的所述辅助电路而将所述驱动信号写入至所述驱动单元。

2. 根据权利要求1所述的像素电路,其特征在于,每个所述像素单元分别进一步包括:

误差补偿单元,连接所述驱动单元并接收所述发光使能信号,以藉由所述发光使能信号而生成补偿信号,从而消除所述驱动单元中写入的所述驱动信号的误差;

其中,所述发光使能信号的使能阶段的初始点不早于所述第一扫描信号的使能阶段的结束点。

3. 根据权利要求1所述的像素电路,其特征在于,所述电源提供单元包括:

第一晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第一晶体管的所述控制端连接发光使能信号线以接收所述发光使能信号,所述第一通路端连接电源信号线以接收电源信号,所述第二通路端连接至所述驱动单元,其中,所述第二通路端与所述驱动单元的连接点定义为第二节点;

第二晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第二晶体管的所述控制端连接发光使能信号线以接收所述发光使能信号,所述第一通路端连接所述驱动单元,所述第二通路端连接所述发光二极管,其中,所述第一通路端与所述驱动单元的连接点定义为第三节点,所述第二通路端与所述发光二极管的连接点定义为第四节点。

4. 根据权利要求3所述的像素电路,其特征在于,所述驱动单元包括:

第三晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第三晶体管的所述控制端连接所述电源提供单元,所述第三晶体管的所述第一通路端连接所述第二节点,所述第二通路端连接所述第三节点,其中,所述第三晶体管的所述控制端与所述电源提供单

元的连接点定义为第一节点。

5. 根据权利要求4所述的像素电路,其特征在于,所述辅助电路包括:

第四晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第四晶体管的所述控制端连接第一扫描信号线以接收第一扫描信号,所述第一通路端连接所述第一节点,所述第二通路端连接所述第三节点。

6. 根据权利要求4所述的像素电路,其特征在于,所述写入电路包括:

第五晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第五晶体管的所述控制端连接第二扫描信号线以接收第二扫描信号,所述第一通路端连接驱动信号线以接收所述驱动信号,所述第二通路端连接所述第二节点。

7. 根据权利要求3所述的像素电路,其特征在于,所述初始化单元包括:

第六晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第六晶体管的所述控制端连接第三扫描信号线以接收第三扫描信号,所述第一通路端连接参考信号线而接收所述参考信号,所述第二通路端连接所述第三节点;

第七晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第七晶体管的所述控制端连接第三扫描信号线以接收第三扫描信号,所述第一通路端连接参考信号线而接收所述参考信号,所述第二通路端连接所述第四节点。

8. 根据权利要求2所述的像素电路,其特征在于,所述误差补偿单元包括:

第八晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第八晶体管的所述控制端连接发光使能信号线以接收所述发光使能信号,所述第一通路端连接所述驱动单元,所述第二通路端悬空。

9. 根据权利要求1所述的像素电路,其特征在于,所述像素单元还包括:

存储电容,其包括第一通路端及第二通路端,其中,所述第一通路端连接电源信号线以接收电源信号,所述第二通路端连接所述驱动单元。

10. 一种显示装置,其特征在于,其包括如权利要求1-9任意一项所述的OLED像素电路。

## OLED像素电路及显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种OLED像素电路及显示装置。

### 背景技术

[0002] 有源(主动)矩阵有机发光二极管(Active-matrix Organic Light Emitting Diode, AMOLED)电路的制造过程中,采用低温多晶硅薄膜晶体管的AMOLED屏体,由于薄膜晶体管的阈值电压的工艺波动,会导致显示器亮度不均匀的问题,一般采用带补偿功能的像素电路以减轻亮度不均匀的问题,进而提升显示效果,常用的像素补偿电路为7T1C 电路,驱动晶体管的栅极电位的稳定行对驱动电流影响很大,为了减少薄膜晶体管的漏电流,一般将与驱动薄膜晶体管的栅极连接的两T1C 个薄膜晶体管设计成双栅薄膜晶体管,在数据写入阶段及阈值电压补偿阶段会发生阈值电压补偿错误的问题,目前通过8T2C电路来改善该问题,但是会增加版图面积,存在布局面积较大,不利于实现的问题。

### 发明内容

[0003] 本发明主要解决的技术问题是提供一种OLED像素电路及显示装置,以实现减小薄膜晶体管的数目,减小版图面积的目的。

[0004] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种 OLED像素电路,包括多个阵列分布的像素单元,每个像素单元分别包括:电源提供单元,接收发光使能信号,并根据发光使能信号而为像素单元的发光二极管提供电源信号;写入单元,接收第一扫描信号及第二扫描信号,并在第一扫描信号及第二扫描信号的驱动下写入驱动信号;驱动单元,连接写入单元和电源提供单元,以根据写入的驱动信号而利用电源信号生成匹配驱动信号的驱动电流,从而利用驱动电流驱动发光二极管;初始化单元,接收第三扫描信号,以在第三扫描信号的驱动下而接收参考信号,并利用参考信号对驱动单元及发光二极管进行初始化;其中,写入单元包括:辅助电路,接收第一扫描信号;写入电路,接收第二扫描信号;其中,初始化单元藉由辅助电路而连接至驱动单元,且第一扫描信号的使能阶段具有与第三扫描信号的使能阶段重叠的第一部分和与第二扫描信号的使能阶段重叠的第二部分;当第三扫描信号处于使能阶段时,初始化单元导通接收参考信号并藉由导通的辅助电路而将参考信号传递至驱动单元以对驱动单元进行初始化;当第二扫描信号处于使能阶段时,写入电路导通接收驱动信号并藉由导通的辅助电路而将驱动信号写入至驱动单元。

[0005] 其中,每个像素单元分别进一步包括:误差补偿单元,连接驱动单元并接收发光使能信号,以藉由发光使能信号而生成补偿信号,从而消除驱动单元中写入的驱动信号的误差;其中,发光使能信号的使能阶段的初始点不早于第一扫描信号的使能阶段的结束点。

[0006] 其中,电源提供单元包括:第一晶体管,其包括控制端、第一通路端和第二通路端,其中,第一晶体管的控制端连接发光使能信号线以接收发光使能信号,第一通路端连接电源信号线以接收电源信号,第二通路端连接至驱动单元,其中,第二通路端与驱动单元的连接点定义为第二节点;第二晶体管,其包括控制端、第一通路端和第二通路端,其中,第二晶

体管的控制端连接发光使能信号线以接收发光使能信号,第一通路端连接驱动单元,第二通路端连接发光二极管,其中,第一通路端与驱动单元的连接点定义为第三节点,第二通路端与发光二极管的连接点定义为第四节点。

[0007] 其中,驱动单元包括:第三晶体管,其包括控制端、第一通路端和第二通路端,其中,第三晶体管的控制端连接电源提供单元,第三晶体管的第一通路端连接第二节点,第二通路端连接第三节点,其中,第三晶体管的控制端与电源提供单元的连接点定义为第一节点。

[0008] 其中,辅助电路包括:第四晶体管,其包括控制端、第一通路端和第二通路端,其中,第四晶体管的控制端连接第一扫描信号线以接收第一扫描信号,第一通路端连接第一节点,第二通路端连接第三节点。

[0009] 其中,写入电路包括:第五晶体管,其包括控制端、第一通路端和第二通路端,其中,第五晶体管的控制端连接第二扫描信号线以接收第二扫描信号,第一通路端连接驱动信号线以接收驱动信号,第二通路端连接第二节点。

[0010] 其中,初始化单元包括:第六晶体管,其包括控制端、第一通路端和第二通路端,其中,第六晶体管的控制端连接第三扫描信号线以接收第三扫描信号,第一通路端连接参考信号线而接收参考信号,第二通路端连接第三节点;第七晶体管,其包括控制端、第一通路端和第二通路端,其中,第七晶体管的控制端连接第三扫描信号线以接收第三扫描信号,第一通路端连接参考信号线而接收参考信号,第二通路端连接第四节点。

[0011] 其中,误差补偿单元包括:第八晶体管,其包括控制端、第一通路端和第二通路端,其中,第八晶体管的控制端连接发光使能信号线以接收发光使能信号,第一通路端连接驱动单元,第二通路端悬空。

[0012] 其中,像素单元还包括:存储电容,其包括第一通路端及第二通路端,其中,第一通路端连接电源信号线以接收电源信号,第二通路端连接驱动单元。

[0013] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种显示装置,显示装置包括上述任意一项所述的OLED像素电路。

[0014] 本发明的有益效果是:区别于现有技术的情况,本发明通过将写入单元设置为辅助电路及写入电路,通过辅助电路接收第一扫描信号,通过写入电路接收第二扫描信号,初始化单元接收第三扫描信号,且通过辅助电路与驱动单元连接,第一扫描信号的使能阶段具有与第三扫描信号的使能阶段重叠的第一部分和与第二扫描信号的使能阶段重叠的第二部分;当第三扫描信号处于使能阶段时,初始化单元接收参考信号并藉由导通的辅助电路将参考信号传递至驱动单元以对驱动单元进行初始化;当第二扫描信号处于使能阶段时,写入电路导通接收驱动信号并藉由导通的辅助电路而将驱动信号写入至驱动单元。以此实现在OLED 像素电路中,不使用双栅薄膜晶体管,进而减小版图面积。

## 附图说明

[0015] 图1是本发明OLED像素电路的第一实施例的结构示意图;

[0016] 图2是本发明OLED像素电路的第二实施例的结构示意图;

[0017] 图3是本发明OLED像素电路的第三实施例的结构示意图;

[0018] 图4是本发明OLED像素电路的时序波形图;

[0019] 图5是本发明显示装置的第一实施例的结构示意图。

### 具体实施方式

[0020] 下面结合附图和实施例对本发明进行详细的说明。

[0021] 请参见图1,为本发明OLED像素电路的第一实施例的结构示意图。包括多个阵列分布的像素单元,其中,每个像素单元分别包括:电源提供单元11、写入单元12、驱动单元13及初始化单元14。其中,电源提供单元11连接发光使能信号线及电源信号线,接收发光使能信号EM,并根据发光使能信号EM而为像素单元的发光二极管D提供电源信号 ELVDD。写入单元12连接驱动信号线、第一扫描信号线及第二扫描信号线以接收第一扫描信号SCAN1及第二扫描信号SCAN2,并在第一扫描信号SCAN1及第二扫描信号SCAN2的驱动下写入驱动信号Vdata。驱动单元13连接写入单元12和电源提供单元11,以根据写入单元12 写入的驱动信号Vdata,而利用电源信号ELVDD生成匹配驱动信号 Vdata的驱动电流,从而利用驱动电流驱动发光二极管D,使发光二极管D发光。初始化单元14连接第三扫描信号线及参考信号线,接收第三扫描信号SCAN3,并在第三扫描信号SCAN3的驱动下而接收参考信号Vref,并利用参考信号Vref对驱动单元13及发光二极管D进行初始化。

[0022] 其中,写入单元12包括辅助电路122及写入电路121。辅助电路 122连接第一扫描信号线以接收第一扫描信号SCAN1,写入电路121连接第二扫描信号线以接收第二扫描信号SCAN2。

[0023] 其中,初始化单元14藉由辅助电路122而连接至驱动单元13。第一扫描信号SCAN1的使能阶段具有与第三扫描信号SCAN3的使能阶段重叠的第一部分和与第二扫描信号SCAN2的使能阶段重叠的第二部分。具体地,第一扫描信号SCAN1的使能阶段在初始化阶段与第三扫描信号SCAN3的使能阶段重叠,即在初始化阶段,第一扫描信号SCAN1及第三扫描信号SCAN3均处于使能阶段;第一扫描信号SCAN1的使能阶段在写入阶段与第二扫描信号SCAN2的使能阶段重叠,即在写入阶段,第一扫描信号SCAN1及第二扫描信号SCAN2均处于使能阶段。

[0024] 在一具体实施例中,当第三扫描信号SCAN3处于使能阶段时,初始化单元14导通并接收参考信号Vref,藉由导通的辅助电路122而将参考信号Vref传递至驱动单元13以对驱动单元13进行初始化。当第二扫描信号SCAN2处于使能阶段时,写入电路12导通接收驱动信号Vdata 并藉由导通的辅助电路122而将驱动信号Vdata写入至驱动单元13。

[0025] 在一实施例中,使能阶段为对应的薄膜晶体管导通的阶段。

[0026] 在本实施例中,通过上述OLED像素电路,像素单元中的用于驱动发光二极管D发光的各个薄膜晶体管均不采用双栅薄膜晶体管,以此能够减少版图面积,有利于布局。

[0027] 请参见图2,为本发明OLED像素电路的第二实施例的结构示意图。与上述图1所示的第一实施例相比,区别在于:还包括误差补偿单元15。误差补偿单元15连接驱动单元13及发光使能信号线,以接收发光使能信号EM,藉由发光使能信号EM而生成补偿信号,从而消除驱动单元 13中写入的驱动信号Vdata的误差。

[0028] 其中,发光使能信号EM的使能阶段的初始点不早于第一扫描信号 SCAN1的使能阶段的结束点。具体地,在发光阶段,发光使能信号EM 为使能阶段,第一扫描信号SCAN1为非使能阶段,且在发光阶段之前发光使能信号EM及第一扫描信号SCAN1均为非使能阶段。

[0029] 在本实施例中,通过形成与驱动单元13及发光使能信号线连接的误差补偿单元15,以在阈值补偿的过程中避免补偿错误的问题。即通过本实施例所示的OLED像素电路,一方面能够避免使用双栅薄膜晶体管,实现减少版图面积的目的;另一方面通过形成误差补偿单元15,能够在阈值补偿的过程中避免补偿错误的问题。

[0030] 请参见图3,为本发明OLED像素电路的第三实施例的结构示意图。具体地,在本实施例中,电源提供单元11包括:第一晶体管M1及第二晶体管M2。其中,第一晶体管M1包括控制端、第一通路端和第二通路端,第一晶体管M1的控制端连接发光使能信号线以接收发光使能信号EM,第一通路端连接电源信号线以接收电源信号ELVDD,第二通路端连接至驱动单元13。其中,第二通路端与驱动单元13的连接点定义为第二节点n2。第二晶体管M2包括控制端、第一通路端和第二通路端,第二晶体管M2的控制端连接发光使能信号线以接收发光使能信号EM,第一通路端连接驱动单元13,第二通路端连接发光二极管D。其中,第一通路端与驱动单元13的连接点定义为第三节点n3,第二通路端与发光二极管D的连接点定义为第四节点n4。

[0031] 其中,驱动单元13包括:第三晶体管M3。第三晶体管M3包括控制端、第一通路端和第二通路端。第三晶体管M3的控制端连接电源提供单元11,第三晶体管M3的第一通路端连接第二节点n2,第二通路端连接第三节点n3。其中,第三晶体管M3的控制端与电源提供单元11的连接点定义为第一节点n1。

[0032] 其中,写入单元12的辅助电路122包括:第四晶体管M4。第四晶体管M4包括控制端、第一通路端和第二通路端。第四晶体管M4的控制端连接第一扫描信号线以接收第一扫描信号SCAN1,第一通路端连接第一节点n1,第二通路端连接第三节点n3。

[0033] 其中,写入单元12的写入电路121包括:第五晶体管M5。第五晶体管M5包括控制端、第一通路端和第二通路端。第五晶体管M5的控制端连接第二扫描信号线以接收第二扫描信号SCAN2,第一通路端连接驱动信号线以接收驱动信号Vdata,第二通路端连接第二节点n2。

[0034] 其中,初始化单元14包括:第六晶体管M6及第七晶体管M7。其中,第六晶体管M6包括控制端、第一通路端和第二通路端。第六晶体管M6的控制端连接第三扫描信号线以接收第三扫描信号SCAN3,第一通路端连接参考信号线而接收参考信号Vref,第二通路端连接第三节点n3。第七晶体管M7包括控制端、第一通路端和第二通路端。第七晶体管M7的控制端连接第三扫描信号线以接收第三扫描信号SCAN3,第一通路端连接参考信号线而接收参考信号Vref,第二通路端连接第四节点n4。

[0035] 其中,误差补偿单元15包括:第八晶体管M8。第八晶体管M8包括控制端、第一通路端和第二通路端。第八晶体管M8的控制端连接发光使能信号线以接收发光使能信号EM,第一通路端连接驱动单元13,第二通路端悬空。具体地,第八晶体管M8的第一通路端连接驱动单元13的第三晶体管M3的控制端,即第一节点n1。

[0036] 其中,像素单元还包括:存储电容C。存储电容C包括第一通路端及第二通路端。第一通路端连接电源信号线以接收电源信号ELVDD,第二通路端连接驱动单元13。具体地,存储电容C的第二通路端连接驱动单元13的第三晶体管M3的控制端(第一节点n1)。

[0037] 在一实施例中,上述所述的第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7及第八晶体管M8均不采用双栅薄膜晶体管,以实现减小版图面积的目的。

[0038] 进一步地,上述所述的第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7及第八晶体管M8均为P型薄膜晶体管。具体地,第一晶体管 M1至第八晶体管M8均在低电平时导通,在高电平时截止,即在使能阶段时导通,在非使能阶段时截止。

[0039] 在本实施例中,通过本申请的8T1C电路,既能避免使用双栅薄膜晶体管,减少版图面积,又能通过误差补偿单元15(第八晶体管M8)在阈值补偿过程中避免补偿错误的问题。

[0040] 请参见图4,为本发明OLED像素电路的时序波形图。具体地,本发明所示的OLED像素电路在工作时,包括初始化阶段t1、写入阶段t2 及发光阶段t3。

[0041] 进一步地,在初始化阶段t1时,第一扫描信号SCAN1为低电平,第四晶体管M4导通;第二扫描信号SCAN2为高电平,第五晶体管M5 截止;第三扫描信号SCAN3为低电平,第六晶体管M6及第七晶体管 M7导通;发光使能信号EM为高电平,第一晶体管M1及第二晶体管 M2截止。参考信号Vref通过第六晶体管M6及第四晶体管M4对第一节点n1处的电压进行初始化,为写入阶段做准备。参考信号Vref通过第七晶体管M7对发光二极管D的阳极(第四节点n4)的电压进行初始化,清除残余电位,有利于提高对比度。此时第一节点n1及第四节点 n4的电压均为参考信号Vref,即 $V_{n1}=V_{ref}$ , $V_{n4}=V_{ref}$ 。

[0042] 在写入阶段t2时,第一扫描信号SCAN1为低电平,第四晶体管 M4导通;第二扫描信号SCAN2为低电平,第五晶体管M5导通;第三扫描信号SCAN3为高电平,第六晶体管M6及第七晶体管M7截止;发光使能信号EM为高电平,第一晶体管M1及第二晶体管M2截止。在初始化阶段t1完成后,第一节点n1的电压为 $V_{n1}=V_{ref}$ ,此时第三晶体管M3开启,驱动信号Vdata通过第一晶体管M1、第二晶体管M2及第四晶体管M4写入到第一节点n1,当第一节点n1的电压由参考信号Vref 变为驱动信号Vdata与阈值电压Vth之和时,第三晶体管M3关闭,此时第一节点n1的电压为 $V_{n1}=V_{data}+V_{th}$ 。

[0043] 在发光阶段t3时,第一扫描信号SCAN1为高电平,第四晶体管 M4截止;第二扫描信号SCAN2为高电平,第五晶体管M5截止;第三扫描信号SCAN3为高电平,第六晶体管M6及第七晶体管M7截止;发光使能信号EM为低电平,第一晶体管M1及第二晶体管M2导通。电源信号ELVDD到接地端GND通路导通,因为第一节点n1的电压为  $V_{n1}=V_{data}+V_{th}$ ,此时,流经第三晶体管M3的电流为:

$$[0044] \quad I_{ds} = \frac{W}{2L} \mu C_{ox} (V_{gs} - V_{th})^2 = \frac{W}{2L} \mu C_{ox} (V_{data} + |V_{th}| - ELVDD - V_{th})^2 = \frac{W}{2L} \mu C_{ox} (ELVDD - V_{data})^2$$

[0045] 可以看出流经第三晶体管M3的电流 $I_{ds}$ 由电源信号ELVDD及驱动信号 Vdata控制,阈值电压Vth被补偿。

[0046] 在发光阶段t3之前,即发光使能信号EM跳变为低电平之前,第一扫描信号SCAN1从低电平跳变到高电平,此时第一扫描信号SCAN1的信号通过第四晶体管M4耦合到第一节点n1,导致第三晶体管M3控制端的电位(第一节点n1)被由 $V_{n1}=V_{data}+V_{th}$ 被拉高 $V_{n1}=V_{data}+V_{th}+\Delta V$ ,会导致补偿效果降低。在发光使能信号EM跳变为低电平时,第八晶体管M8导通,在跳变过程中引入下降的误差,将第一节点n1的电压拉低,由于发光使能信号EM与第一扫描信号SCAN1高低电平相同,故而此时第一节点n1的电压为 $V_{n1}=V_{data}+V_{th}+\Delta V-\Delta V=V_{data}+V_{th}$ 。上升的 $\Delta V$  与下降的 $\Delta V$ 相互抵消,以解决在对阈值电压漂移补偿的过程中产生补偿错误的问题。



[0047] 请参见图5,为本发明显示装置的结构示意图。显示装置401包括上述任一实施例中的OLED像素电路402。显示装置401的其他器件及功能与现有显示装置401的器件及功能相同,在此不再赘述。

[0048] 具体的,显示装置401可以为双面显示装置、柔性显示装置、全面屏显示装置中任一种。柔性显示装置可以应用于弯曲的电子设备;双面显示装置可以应用于为使显示装置两侧的人员都能看到显示内容的装置;全面屏显示装置可以应用于全面屏手机或其他装置,在此不做限定。

[0049] 本发明的显示装置401具体可以应用于手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于显示装置的其他必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0050] 在本发明各实施例中,OLED像素电路只描述了部分相关电路,其他结构与现有技术中的OLED像素电路的结构相同,在此不再赘述。

[0051] 本发明所述的OLED像素电路,通过设置电源提供单元、写入单元、驱动单元及初始化单元,并且将写入单元分为写入电路及辅助电路。在写入阶段时,写入电路接收驱动信号,并藉由辅助电路将驱动信号写入驱动单元,在初始化阶段时,初始化单元接收参考信号,并藉由辅助电路将参考信号传递至驱动单元以对驱动单元进行初始化。其中,电源提供单元包括第一晶体管及第二晶体管,辅助电路包括第四晶体管,写入电路包括第五晶体管,驱动单元包括第三晶体管,初始化单元包括第六晶体管及第七晶体管,以此可使OLED像素电路的第一晶体管至第八晶体管均不采用双栅薄膜晶体管,进而减小版图面积。另外,本申请提供的OLED像素电路还包括误差补偿单元,其连接驱动单元并接收发光使能信号,以藉由发光使能信号而生成补偿信号,从而消除驱动单元中写入的驱动信号的误差,以此在阈值补偿过程中避免补偿错误的问题。

[0052] 以上仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

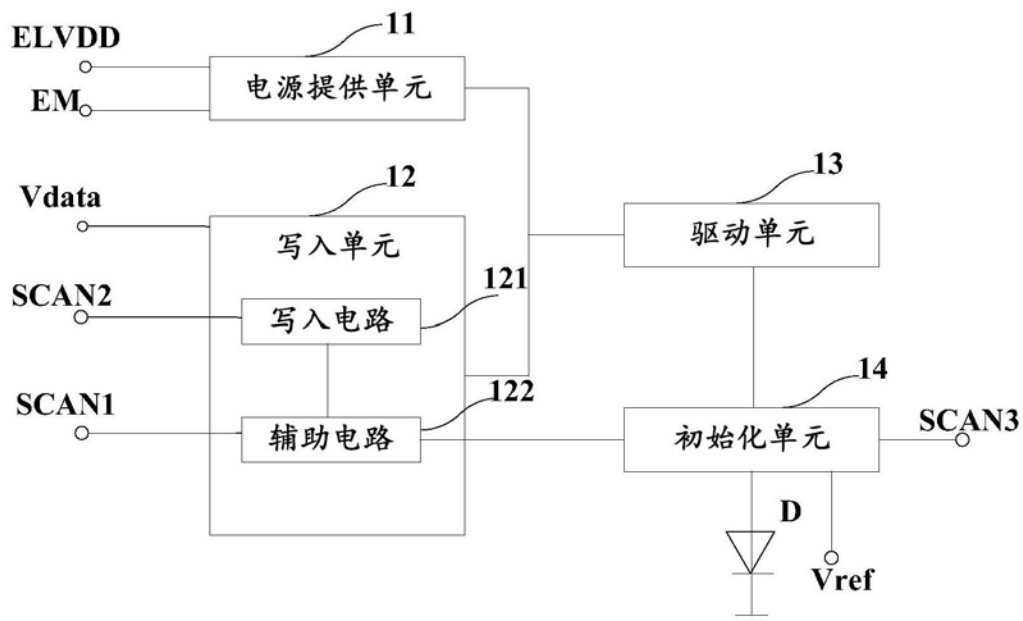


图1

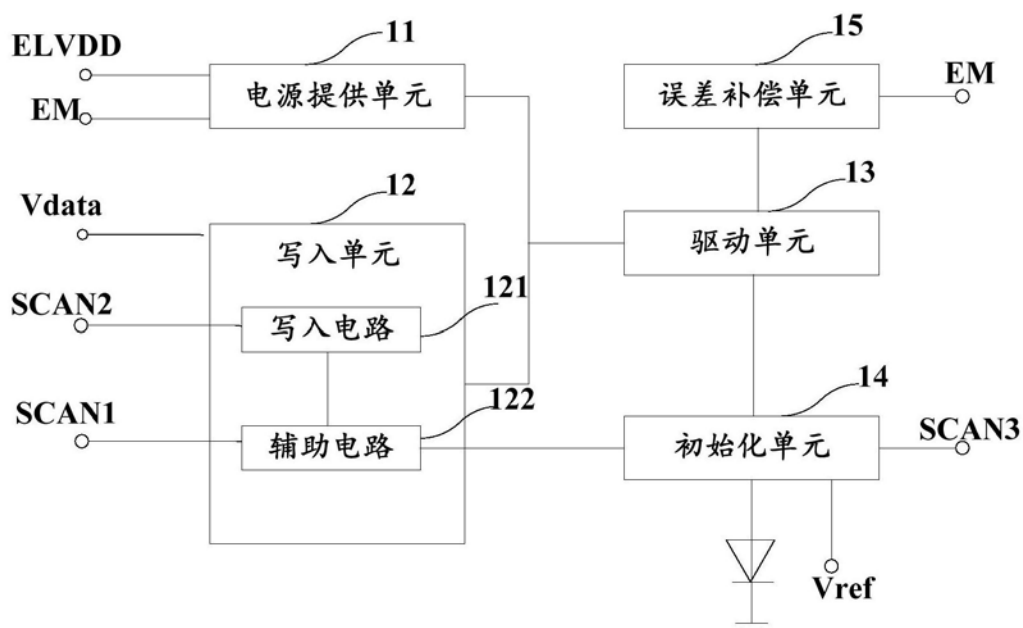


图2

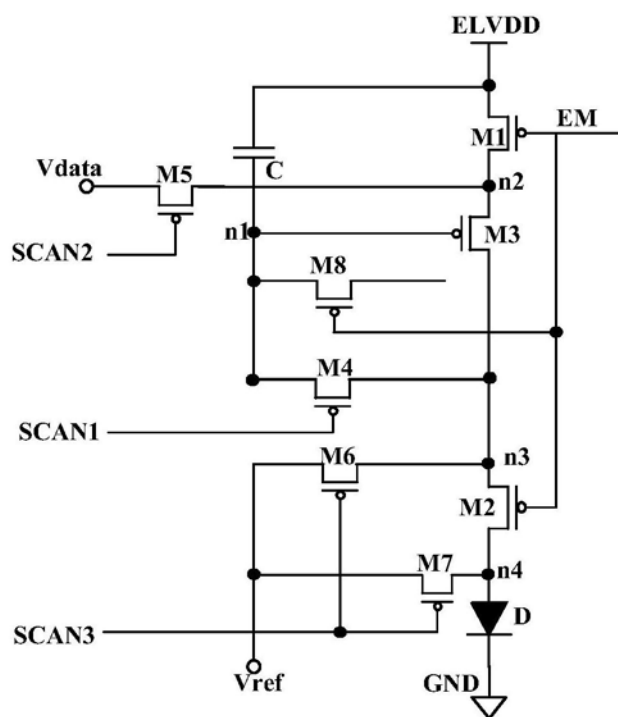


图3

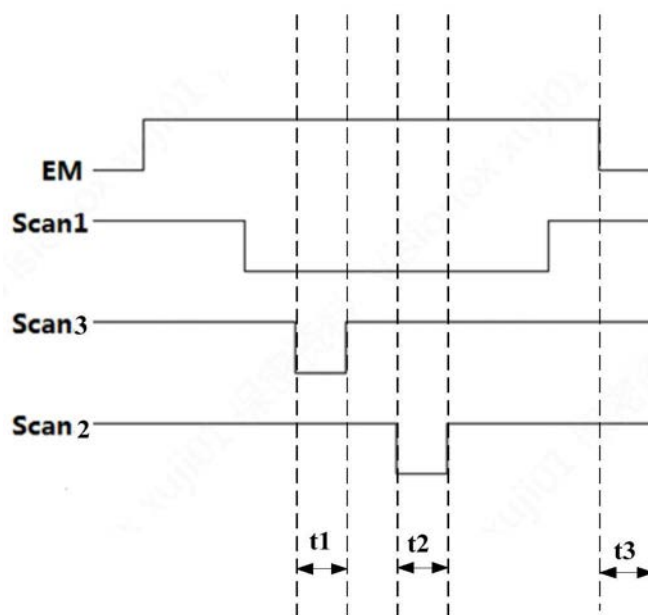


图4



图5

专利名称(译)	OLED像素电路及显示装置		
公开(公告)号	<a href="#">CN110956930A</a>	公开(公告)日	2020-04-03
申请号	CN201911047782.3	申请日	2019-10-30
[标]申请(专利权)人(译)	昆山国显光电有限公司		
申请(专利权)人(译)	昆山国显光电有限公司		
当前申请(专利权)人(译)	昆山国显光电有限公司		
[标]发明人	许骥 侯亚辉 朱杰		
发明人	许骥 侯亚辉 朱杰		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233		
代理人(译)	丁建春		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

#### 摘要(译)

本申请提供一种OLED像素电路及显示装置，包括多个阵列分布的像素单元，像素单元包括：电源提供单元、写入单元、驱动单元及初始化单元。电源提供单元接收发光使能信号并为像素单元的发光二极管提供电源信号；写入单元接收第一扫描信号及第二扫描信号，并写入驱动信号；驱动单元连接写入单元和电源提供单元，根据驱动信号利用电源信号生成驱动电流，从而驱动发光二极管；初始化单元接收第三扫描信号及参考信号，对驱动单元及发光二极管进行初始化。在写入阶段，写入电路接收驱动信号，藉由辅助电路将驱动信号写入驱动单元，在初始化阶段，初始化单元接收参考信号，藉由辅助电路将参考信号传递至驱动单元以进行初始化。进而减小版图面积。

