



(12)发明专利

(10)授权公告号 CN 105895028 B

(45)授权公告日 2018.12.14

(21)申请号 201610509888.0

审查员 勒海

(22)申请日 2016.06.30

(65)同一申请的已公布的文献号

申请公布号 CN 105895028 A

(43)申请公布日 2016.08.24

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 成都京东方光电科技有限公司

(72)发明人 童振霄 韦东梅

(74)专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 李桦

(51)Int.Cl.

G09G 3/3291(2016.01)

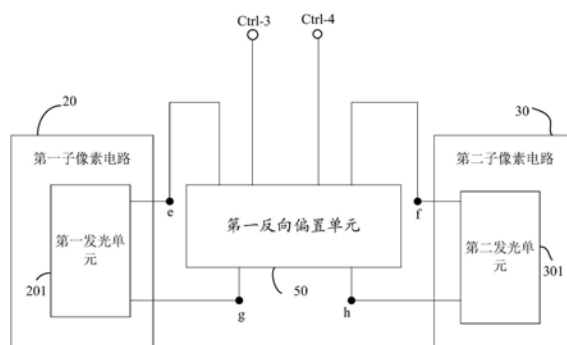
权利要求书7页 说明书29页 附图15页

(54)发明名称

一种像素电路及驱动方法和显示设备

(57)摘要

本发明提供了一种像素电路及驱动方法和显示设备,涉及显示技术领域,解决现有技术中OLED长期处于直流偏置易衰老的问题。一种像素电路,包括:第一反向偏置单元,以及相邻的第一子像素电路和第二子像素电路,第一子像素电路包括第一发光单元;第二子像素电路包括第二发光单元。本发明实施例用于OLED显示设备的制造。



1. 一种像素电路,其特征在于,包括:第一反向偏置单元,以及相邻的第一子像素电路和第二子像素电路,所述第一子像素电路包括第一发光单元;所述第二子像素电路包括第二发光单元;其中,所述第一发光单元连接第五节点和第七节点,所述第二发光单元连接第六节点和第八节点;所述第一反向偏置单元连接所述第五节点、所述第六节点、所述第七节点、所述第八节点、第三控制端和第四控制端;

所述第一发光单元用于在第一驱动信号的控制下发光,并将所述第一驱动信号输出至所述第五节点;所述第一反向偏置单元用于在所述第三控制端的控制下将所述第五节点的所述第一驱动信号输出至所述第八节点;所述第八节点向所述第二发光单元提供反向偏置电压;

或者,

所述第二发光单元用于在第二驱动信号的控制下发光,并将所述第二驱动信号输出至所述第七节点;所述第一反向偏置单元还用于在所述第四控制端的控制下将所述第六节点的所述第二驱动信号输出至所述第七节点;所述第七节点向所述第一发光单元提供反向偏置电压。

2. 根据权利要求1所述的像素电路,其特征在于,所述第一子像素电路还包括:第一数据输入单元、第一存储电容;

所述第一数据输入单元连接第一数据端、第一扫描端和第一节点;所述第一数据输入单元用于在所述第一扫描端的信号控制下将所述第一数据端的第一数据信号输出至所述第一节点;

所述第一存储电容连接所述第一节点和第一电压端,所述第一存储电容用于存储所述第一节点和所述第一电压端之间的电平;

所述第一发光单元还连接所述第一节点、第三节点,所述第一发光单元用于在所述第一节点、所述第三节点和所述第七节点的信号控制下,向所述第五节点输出所述第一驱动信号。

3. 根据权利要求2所述的像素电路,其特征在于,所述像素电路还包括:发光控制单元;所述发光控制单元连接所述第一电压端、第一控制端、所述第三节点;所述发光控制单元用于在所述第一控制端的控制下将所述第一电压端的电平输出至所述第三节点。

4. 根据权利要求1所述的像素电路,其特征在于,所述第二子像素电路还包括:第二数据输入单元、第二存储电容;

所述第二数据输入单元连接第二数据端、第一扫描端和第二节点;所述第二数据输入单元用于在所述第一扫描端的信号控制下将所述第二数据端的所述第二数据信号输出至所述第二节点;

所述第二存储电容连接所述第二节点和第一电压端,所述第二存储电容用于存储所述第二节点和所述第一电压端之间的电平;

所述第二发光单元还用于在所述第二节点、第四节点和所述第八节点的信号控制下,向所述第六节点输出所述第二驱动信号。

5. 根据权利要求4所述的像素电路,其特征在于,所述像素电路还包括:发光控制单元;所述发光控制单元连接所述第一电压端、第二控制端、所述第四节点;所述发光控制单元用于在所述第二控制端的控制下将所述第一电压端的电平输出至所述第四节点。

6. 根据权利要求1所述的像素电路,其特征在于,所述第七节点和所述第八节点连接第二电压端;

或者,

所述像素电路还包括:第二反向偏置单元;

所述第二反向偏置单元连接所述第七节点、所述第八节点、第一控制端、第二控制端和所述第二电压端;所述第二反向偏置单元用于在所述第一控制端的控制下将所述第二电压端的电平输出至所述第七节点;所述第二反向偏置单元还用于在所述第二控制端的控制下将所述第二电压端的电平输出至所述第八节点。

7. 根据权利要求2所述的像素电路,其特征在于,所述第一数据输入单元包含第三晶体管,所述第三晶体管的栅极连接所述第一扫描端,所述第三晶体管的第一端连接所述第一数据端,所述第三晶体管的第二端连接所述第一节点。

8. 根据权利要求3所述的像素电路,其特征在于,所述发光控制单元,包括:第一晶体管,所述第一晶体管的栅极连接所述第一控制端,所述第一晶体管的第一端连接所述第一电压端,所述第一晶体管的第二端连接所述第三节点。

9. 根据权利要求4所述的像素电路,其特征在于,所述第二数据输入单元包含第四晶体管,所述第四晶体管的栅极连接所述第一扫描端,所述第四晶体管的第一端连接所述第二数据端,所述第四晶体管的第二端连接所述第二节点。

10. 根据权利要求5所述的像素电路,所述发光控制单元,包括:第二晶体管,所述第二晶体管的栅极连接所述第二控制端,所述第二晶体管的第一端连接所述第一电压端,所述第二晶体管的第二端连接所述第四节点。

11. 根据权利要求1所述的像素电路,其特征在于,所述第一反向偏置单元包含第七晶体管和第八晶体管,所述第七晶体管的栅极连接所述第三控制端,所述第七晶体管的第一端连接所述第五节点,所述第七晶体管的第二端连接所述第八节点;

所述第八晶体管的栅极连接所述第四控制端,所述第八晶体管的第一端连接所述第六节点,所述第八晶体管的第二端连接所述第七节点;

所述第三控制端与所述第四控制端连接相同的信号控制线。

12. 根据权利要求6所述的像素电路,其特征在于,所述第二反向偏置单元包含第九晶体管和第十晶体管,所述第九晶体管的栅极连接所述第一控制端,所述第九晶体管的第一端连接所述第七节点,所述第九晶体管的第二端连接所述第二电压端;

所述第十晶体管的栅极连接所述第二控制端,所述第十晶体管的第一端连接所述第八节点,所述第十晶体管的第二端连接所述第二电压端。

13. 根据权利要求12所述的像素电路,其特征在于,所述第九晶体管和所述第十晶体管为同类型的晶体管,所述第一控制端和第二控制端连接不同的信号控制线;

或者,

所述第九晶体管和所述第十晶体管为不同类型的晶体管,所述第一控制端和第二控制端连接同一信号控制线。

14. 根据权利要求1所述的像素电路,其特征在于,所述第一发光单元包含第五晶体管,第一有机发光二极管,所述第五晶体管的栅极连接第一节点,所述第五晶体管的第一端连接第三节点,所述第五晶体管的第二端连接所述第五节点和所述第一有机发光二极管的阳

极,所述第一有机发光二极管的阴极连接所述第七节点。

15. 根据权利要求1所述的像素电路,其特征在于,所述第二发光单元包含第六晶体管,第二有机发光二极管,所述第六晶体管的栅极连接第二节点,所述第六晶体管的第一端连接第四节点,所述第六晶体管的第二端连接所述第六节点和所述第二有机发光二极管的阳极,所述第二有机发光二极管的阴极连接所述第八节点。

16. 一种显示设备,其特征在于,包括权利要求1-15任一项所述的像素电路。

17. 一种如权利要求1-15任一项所述的像素电路的驱动方法,其特征在于,

在第N帧的第一时间段执行如下方法:

所述第一驱动信号控制所述第一子像素电路的第一发光单元发光;

所述第三控制端控制所述第一反向偏置单元,将所述第五节点与所述第八节点之间导通,并将所述第五节点的所述第一驱动信号传输至所述第八节点;

所述第四控制端控制所述第一反向偏置单元,将所述第六节点与所述第七节点之间导通;

在第N帧的第二时间段执行如下方法:

所述第一驱动信号控制所述第一子像素电路的第一发光单元发光;

所述第二驱动信号控制所述第二子像素电路的第二发光单元发光;

所述第三控制端控制所述第一反向偏置单元,将所述第五节点与所述第八节点之间断开;所述第四控制端控制所述第一反向偏置单元,将所述第六节点与所述第七节点之间断开;

在第N+1帧的第一时间段执行如下方法:

所述第二驱动信号控制所述第二子像素电路的第二发光单元发光;

所述第四控制端控制所述第一反向偏置单元,将所述第六节点与所述第七节点之间导通,并将所述第六节点的所述第二驱动信号传输至所述第七节点;

所述第三控制端控制所述第一反向偏置单元,将所述第五节点与所述第八节点之间导通;

在第N+1帧的第二时间段执行如下方法:

所述第一驱动信号控制所述第一子像素电路的第一发光单元发光;

所述第二驱动信号控制所述第二子像素电路的第二发光单元发光;

所述第三控制端控制所述第一反向偏置单元,将所述第五节点与所述第八节点之间断开;所述第四控制端控制所述第一反向偏置单元,将所述第六节点与所述第七节点之间断开。

18. 一种如权利要求17所述的像素电路的驱动方法,其特征在于,所述第一子像素电路还包括:第一数据输入单元、第一存储电容;

在第N帧的第一时间段还执行如下方法:

第一扫描端的信号控制所述第一数据输入单元,将第一数据端与第一节点之间导通,并将所述第一数据端的第一数据信号传输至所述第一节点;

所述第一存储电容用于存储所述第一节点与第一电压端的电平;

在第N帧的第二时间段还执行如下方法:

所述第一扫描端的信号控制所述第一数据输入单元,将所述第一数据端与所述第一节

点之间导通,并将所述第一数据端的第一数据信号传输至所述第一节点;

所述第一存储电容用于存储所述第一节点与所述第一电压端的电平;

在第N+1帧的第一时间段还执行如下方法:

所述第一扫描端的信号控制所述第一数据输入单元,将所述第一数据端与所述第一节点之间导通,并将所述第一数据端的第一数据信号传输至所述第一节点;

所述第一存储电容用于存储所述第一节点与所述第一电压端的电平;

在第N+1帧的第二时间段还执行如下方法:

所述第一扫描端的信号控制所述第一数据输入单元,将所述第一数据端与所述第一节点之间导通,并将所述第一数据端的第一数据信号传输至所述第一节点;

所述第一存储电容用于存储所述第一节点与所述第一电压端的电平。

19.一种如权利要求17所述的像素电路的驱动方法,其特征在于,所述像素电路还包括:发光控制单元;并且所述发光控制单元连接第一电压端、第一控制端、第三节点时;

在第N帧的第一时间段还执行如下方法:

所述第一控制端的信号控制所述发光控制单元,将所述第一电压端与所述第三节点之间导通,并将所述第一电压端的电平输出至所述第三节点;

在第N帧的第二时间段还执行如下方法:

所述第一控制端的信号控制所述发光控制单元,将所述第一电压端与所述第三节点之间导通,并将所述第一电压端的电平输出至所述第三节点;

在第N+1帧的第一时间段还执行如下方法:

所述第一控制端的信号控制所述发光控制单元,将所述第一电压端与所述第三节点之间断开;

在第N+1帧的第二时间段还执行如下方法:

所述第一控制端的信号控制所述发光控制单元,将所述第一电压端与所述第三节点之间导通,并将所述第一电压端的电平输出至所述第三节点。

20.一种如权利要求17所述的像素电路的驱动方法,其特征在于,所述第二子像素电路还包括:第二数据输入单元、第二存储电容;

在第N帧的第一时间段还执行如下方法:

第一扫描端的信号控制所述第二数据输入单元,将第二数据端与第二节点之间导通,并将所述第二数据端的第二数据信号传输至所述第二节点;

所述第二存储电容用于存储所述第二节点与第一电压端的电平;

在第N帧的第二时间段还执行如下方法:

所述第一扫描端的信号控制所述第二数据输入单元,将所述第二数据端与所述第二节点之间导通,并将所述第二数据端的第二数据信号传输至所述第二节点;

所述第二存储电容用于存储所述第二节点与所述第一电压端的电平;

在第N+1帧的第一时间段还执行如下方法:

所述第一扫描端的信号控制所述第二数据输入单元,将所述第二数据端与所述第二节点之间导通,并将所述第二数据端的所述第二数据信号传输至所述第二节点;

所述第二存储电容用于存储所述第二节点与所述第一电压端的电平;

在第N+1帧的第二时间段还执行如下方法:

所述第一扫描端的信号控制所述第二数据输入单元,将所述第二数据端与所述第二节点之间导通,并将所述第二数据端的第二数据信号传输至所述第二节点;

所述第二存储电容用于存储所述第二节点与所述第一电压端的电平。

21.一种如权利要求17所述的像素电路的驱动方法,其特征在于,所述像素电路还包括:发光控制单元;并且所述发光控制单元连接第一电压端、第二控制端、第四节点时:

在第N帧的第一时间段还执行如下方法:

所述第二控制端的信号控制所述发光控制单元,将所述第一电压端与所述第四节点之间断开;

在第N帧的第二时间段还执行如下方法:

所述第二控制端的信号控制所述发光控制单元,将所述第一电压端与所述第四节点之间导通,并将所述第一电压端的电平输出至所述第四节点;

在第N+1帧的第一时间段还执行如下方法:

所述第二控制端的信号控制所述发光控制单元,将所述第一电压端与所述第四节点之间导通,并将所述第一电压端的电平输出至所述第四节点;

在第N+1帧的第二时间段还执行如下方法:

所述第二控制端的信号控制所述发光控制单元,将所述第一电压端与所述第四节点之间导通,并将所述第一电压端的电平输出至所述第四节点。

22.一种如权利要求17所述的像素电路的驱动方法,其特征在于,所述像素电路还包括:第二反向偏置单元;并且所述第二反向偏置单元连接第七节点、第八节点、第一控制端、第二控制端和第二电压端时:

在第N帧的第一时间段还执行如下方法:

所述第一控制端的信号控制所述第二反向偏置单元,将所述第二电压端与所述第七节点之间导通,并将所述第二电压端的电平输出至所述第七节点;

所述第二控制端的信号控制所述第二反向偏置单元,将所述第二电压端与所述第八节点之间断开;

在第N帧的第二时间段还执行如下方法:

所述第一控制端的信号控制所述第二反向偏置单元,将所述第二电压端与所述第七节点之间导通,并将所述第二电压端的电平输出至所述第七节点;

所述第二控制端的信号控制所述第二反向偏置单元,将所述第二电压端与所述第八节点之间导通,并将所述第二电压端的电平输出至所述第八节点;

在第N+1帧的第一时间段还执行如下方法:

所述第一控制端的信号控制所述第二反向偏置单元,将所述第二电压端与所述第七节点之间断开;

所述第二控制端的信号控制所述第二反向偏置单元,将所述第二电压端与所述第八节点之间导通,并将所述第二电压端的电平输出至所述第八节点;

在第N+1帧的第二时间段还执行如下方法:

所述第一控制端的信号控制所述第二反向偏置单元,将所述第二电压端与所述第七节点之间导通,并将所述第二电压端的电平输出至所述第七节点;

所述第二控制端的信号控制所述第二反向偏置单元,将所述第二电压端与所述第八节

点之间导通,并将所述第二电压端的电平输出至所述第八节点。

23. 一种如权利要求1-15任一项所述的像素电路的驱动方法,其特征在于,
在第N帧的第一时间段执行如下方法:

所述第一驱动信号控制所述第一子像素电路的第一发光单元发光;

所述第三控制端控制所述第一反向偏置单元,将所述第五节点与所述第八节点之间导通,并将所述第五节点的所述第一驱动信号传输至所述第八节点;

所述第四控制端控制所述第一反向偏置单元,将所述第六节点与所述第七节点之间导通;

在第N帧的第二时间段执行如下方法:

所述第二驱动信号控制所述第二子像素电路的第二发光单元发光;

所述第四控制端控制所述第一反向偏置单元,将所述第六节点与所述第七节点之间导通,并将所述第六节点的所述第二驱动信号传输至所述第七节点;

所述第三控制端控制所述第一反向偏置单元,将所述第五节点与所述第八节点之间导通。

24. 一种如权利要求23所述的像素电路的驱动方法,其特征在于,所述第一子像素电路还包括:第一数据输入单元、第一存储电容;

在第N帧的第一时间段还执行如下方法:

第一扫描端的信号控制所述第一数据输入单元,将第一数据端与第一节点之间导通,并将所述第一数据端的第一数据信号传输至所述第一节点;

所述第一存储电容用于存储所述第一节点与第一电压端的电平;

在第N帧的第二时间段还执行如下方法:

所述第一扫描端的信号控制所述第一数据输入单元,将所述第一数据端与所述第一节点之间导通,并将所述第一数据端的第一数据信号传输至所述第一节点;

所述第一存储电容用于存储所述第一节点与所述第一电压端的电平。

25. 一种如权利要求23所述的像素电路的驱动方法,其特征在于,所述像素电路还包括:发光控制单元;并且所述发光控制单元连接第一电压端、第一控制端、第三节点时;

在第N帧的第一时间段还执行如下方法:

所述第一控制端的信号控制所述发光控制单元,将所述第一电压端与所述第三节点之间导通,并将所述第一电压端的电平输出至所述第三节点;

在第N帧的第二时间段还执行如下方法:

所述第一控制端的信号控制所述发光控制单元,将所述第一电压端与所述第三节点之间断开。

26. 一种如权利要求23所述的像素电路的驱动方法,其特征在于,所述第二子像素电路还包括:第二数据输入单元、第二存储电容;

在第N帧的第一时间段还执行如下方法:

第一扫描端的信号控制所述第二数据输入单元,将第二数据端与第二节点之间导通,并将所述第二数据端的第二数据信号传输至所述第二节点;

所述第二存储电容用于存储所述第二节点与第一电压端的电平;

在第N帧的第二时间段还执行如下方法:

所述第一扫描端的信号控制所述第二数据输入单元,将所述第二数据端与所述第二节点之间导通,并将所述第二数据端的第二数据信号传输至所述第二节点;

所述第二存储电容用于存储所述第二节点与所述第一电压端的电平。

27.一种如权利要求23所述的像素电路的驱动方法,其特征在于,所述像素电路还包括:发光控制单元;并且所述发光控制单元连接第一电压端、第二控制端、第四节点时:

在第N帧的第一时间段还执行如下方法:

所述第二控制端的信号控制所述发光控制单元,将所述第一电压端与所述第四节点之间断开;

在第N帧的第二时间段还执行如下方法:

所述第二控制端的信号控制所述发光控制单元,将所述第一电压端与所述第四节点之间导通,并将所述第一电压端的电平输出至所述第四节点。

一种像素电路及驱动方法和显示设备

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素电路及驱动方法和显示设备。

背景技术

[0002] 有机发光二极管(英文全称:Organic Light-Emitting Diode,简称:OLED)显示具有轻薄、宽视角、低功耗、响应速度快等特性,因此受到广泛的关注,并作为新一代的显示方式,已开始逐渐取代传统的液晶显示器(英文全称:Liquid Crystal Display,简称:LCD),被广泛应用于手机屏幕、电脑显示器、全彩电视等。根据驱动方式的不同,OLED可分为无源矩阵有机发光二极管(Passive matrix OLED,简称:PMOLED)和有源矩阵有机发光二极管(Active-matrix OLED,简称:AMOLED)两种。

[0003] 其中,AMOLED最简单的像素电路由两个具有开关功能的薄膜晶体管(英文全称:Thin Film Transistor,简称:TFT)和一个储存电荷的电容(英文全称:Capacitor,简称:C)组成,根据TFT与C的数量,把该像素电路简称为2T1C像素驱动电路,即AMOLED中的一个子像素单元。以最简单的AMOLED的像素电路图为例,图1所示像素驱动电路即为2T1C像素驱动电路,包括数据输入开关管1、驱动管2、存储电容3和OLED 4,其中,图1采用的TFT都为P型管,Vscan为扫描电压,Vdata为数据电压,VDD为像素电路最高参考电压,VSS为像素电路最低参考电压;现有的显示技术,通过外接一个反向偏置电压装置对OLED加载不同的直流驱动电压,使得OLED在不同的灰阶值下显示所需要的亮度和色彩,当Vscan为低电平时,数据输入开关管1打开,数据电压Vdata接入到驱动管2,存储在存储电容3上;存储电容3上的电压使得驱动管2一直处于开启的状态,驱动管2始终对OLED 4进行直流偏置,由于OLED 4长时间处于直流偏置的状态,内部的离子极化,形成内建电场,导致OLED 4的阈值电压不断增大,OLED 4的发光亮度不断降低,缩短了OLED 4的寿命;由于不同灰阶下OLED 4的直流偏置电压不同,每个子像素OLED 4的衰老程度不同,使得屏幕显示画面不均,影响显示效果。

发明内容

[0004] 本发明的实施例提供一种像素电路及驱动方法和显示设备,解决现有技术中OLED长期处于直流偏置易衰老的问题。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 第一方面,本发明实施例提供一种像素电路,包括:第一反向偏置单元,以及相邻的第一子像素电路和第二子像素电路,第一子像素电路包括第一发光单元;第二子像素电路包括第二发光单元;其中,第一发光单元连接第五节点和第七节点,第二发光单元连接第六节点和第八节点;第一反向偏置单元连接第五节点、第六节点、第七节点、第八节点、第三控制端和第四控制端;

[0007] 第一发光单元用于在第一驱动信号的控制下发光,并将第一驱动信号输出至第五节点;第一反向偏置单元用于在第三控制端的控制下将第五节点的第一驱动信号输出至第八节点;第八节点向第二发光单元提供反向偏置电压;

[0008] 或者,

[0009] 第二发光单元用于在第二驱动信号的控制下发光,并将第二驱动信号输出至第七节点;第一反向偏置单元还用于在第四控制端的控制下将第六节点的第二驱动信号输出至第七节点;第七节点向第一发光单元提供反向偏置电压。

[0010] 具体的,第一子像素电路还包括:第一数据输入单元、第一存储电容;

[0011] 第一数据输入单元连接第一数据端、第一扫描端和第一节点;第一数据输入单元用于在第一扫描端的信号控制下将第一数据端的第一数据信号输出至第一节点;

[0012] 第一存储电容连接第一节点和第一电压端,第一存储电容用于存储第一节点和第一电压端之间的电平;

[0013] 第一发光单元还连接第一节点、第三节点,第一发光单元用于在第一节点、第三节点和第七节点的信号控制下,向第五节点输出第一驱动信号。

[0014] 具体的,像素电路还包括:发光控制单元;发光控制单元连接第一电压端、第一控制端、第三节点;发光控制单元用于在第一控制端的控制下将第一电压端的电平输出至第三节点。

[0015] 具体的,第二子像素电路还包括:第二数据输入单元、第二存储电容;

[0016] 第二数据输入单元连接第二数据端、第一扫描端和第二节点;第二数据输入单元用于在第一扫描端的信号控制下将第二数据端的第二数据信号输出至第二节点;

[0017] 第二存储电容连接第二节点和第一电压端,第二存储电容用于存储第二节点和第一电压端之间的电平;

[0018] 第二发光单元还用于在第二节点、第四节点和第八节点的信号控制下,向第六节点输出第二驱动信号。

[0019] 具体的,像素电路还包括:发光控制单元;发光控制单元连接第一电压端、第二控制端、第四节点;发光控制单元用于在第二控制端的控制下将第一电压端的电平输出至第四节点。

[0020] 具体的,第七节点和第八节点连接第二电压端;

[0021] 或者,

[0022] 像素电路还包括:第二反向偏置单元;

[0023] 第二反向偏置单元连接第七节点、第八节点、第一控制端、第二控制端和第二电压端;第二反向偏置单元用于在第一控制端的控制下将第二电压端的电平输出至第七节点;第二反向偏置单元还用于在第二控制端的控制下将第二电压端的电平输出至第八节点。

[0024] 具体的,第一数据输入单元包含第三晶体管,第三晶体管的栅极连接第一扫描端,第三晶体管的第一端连接第一数据端,第三晶体管的第二端连接第一节点。

[0025] 具体的,发光控制单元,包括:第一晶体管,第一晶体管的栅极连接第一控制端,第一晶体管的第一端连接第一电压端,第一晶体管的第二端连接第三节点。

[0026] 具体的,第二数据输入单元包含第四晶体管,第四晶体管的栅极连接第一扫描端,第四晶体管的第一端连接第二数据端,第四晶体管的第二端连接第二节点。

[0027] 具体的,发光控制单元,包括:第二晶体管,第二晶体管的栅极连接第二控制端,第二晶体管的第一端连接第一电压端,第二晶体管的第二端连接第四节点。

[0028] 具体的,第一反向偏置单元包含第七晶体管和第八晶体管,第七晶体管的栅极连

接第三控制端,第七晶体管的第一端连接第五节点,第七晶体管的第二端连接第八节点;

[0029] 第八晶体管的栅极连接第四控制端,第八晶体管的第一端连接第六节点,第八晶体管的第二端连接第七节点;

[0030] 第三控制端与第四控制端连接相同的信号控制线。

[0031] 具体的,第二反向偏置单元包含第九晶体管和第十晶体管,第九晶体管的栅极连接第一控制端,第九晶体管的第一端连接第七节点,第九晶体管的第二端连接第二电压端;

[0032] 第十晶体管的栅极连接第二控制端,第十晶体管的第一端连接第八节点,第十晶体管的第二端连接第二电压端。

[0033] 具体的,第九晶体管和第十晶体管为同类型的晶体管,第一控制端和第二控制端连接不同的信号控制线;

[0034] 或者,

[0035] 第九晶体管和第十晶体管为不同类型的晶体管,第一控制端和第二控制端连接同一信号控制线。

[0036] 具体的,第一发光单元包含第五晶体管,第一有机发光二极管,第五晶体管的栅极连接第一节点,第五晶体管的第一端连接第三节点,第五晶体管的第二端连接第五节点和第一有机发光二极管的阳极,第一有机发光二极管的阴极连接第七节点。

[0037] 具体的,第二发光单元包含第六晶体管,第二有机发光二极管,第六晶体管的栅极连接第二节点,第六晶体管的第一端连接第四节点,第六晶体管的第二端连接第六节点和第二有机发光二极管的阳极,第二有机发光二极管的阴极连接第八节点。

[0038] 第二方面,本发明实施例提供一种如第一方面提供的任一像素电路的驱动方法,

[0039] 在第N帧的第一时间段执行如下方法:

[0040] 第一驱动信号控制第一子像素电路的第一发光单元发光;

[0041] 第三控制端控制第一反向偏置单元,将第五节点与第八节点之间导通,并将第五节点的第一驱动信号传输至第八节点;

[0042] 第四控制端控制第一反向偏置单元,将第六节点与第七节点之间导通;

[0043] 在第N帧的第二时间段执行如下方法:

[0044] 第一驱动信号控制第一子像素电路的第一发光单元发光;

[0045] 第二驱动信号控制第二子像素电路的第二发光单元发光;

[0046] 第三控制端控制第一反向偏置单元,将第五节点与第八节点之间断开;第四控制端控制第一反向偏置单元,将第六节点与第七节点之间断开;

[0047] 在第N+1帧的第一时间段执行如下方法:

[0048] 第二驱动信号控制第二子像素电路的第二发光单元发光;

[0049] 第四控制端控制第一反向偏置单元,将第六节点与第七节点之间导通,并将第六节点的第二驱动信号传输至第七节点;

[0050] 第三控制端控制第一反向偏置单元,将第五节点与第八节点之间导通;

[0051] 在第N+1帧的第二时间段执行如下方法:

[0052] 第一驱动信号控制第一子像素电路的第一发光单元发光;

[0053] 第二驱动信号控制第二子像素电路的第二发光单元发光;

[0054] 第三控制端控制第一反向偏置单元,将第五节点与第八节点之间断开;第四控制

端控制第一反向偏置单元,将第六节点与第七节点之间断开。

[0055] 具体的,第一子像素电路还包括:第一数据输入单元、第一存储电容;

[0056] 在第N帧的第一时间段还执行如下方法:

[0057] 第一扫描端的信号控制第一数据输入单元,将第一数据端与第一节点之间导通,并将第一数据端的第一数据信号传输至第一节点;

[0058] 第一存储电容用于存储第一节点与第一电压端的电平;

[0059] 在第N帧的第二时间段还执行如下方法:

[0060] 第一扫描端的信号控制第一数据输入单元,将第一数据端与第一节点之间导通,并将第一数据端的第一数据信号传输至第一节点;

[0061] 第一存储电容用于存储第一节点与第一电压端的电平;

[0062] 在第N+1帧的第一时间段还执行如下方法:

[0063] 第一扫描端的信号控制第一数据输入单元,将第一数据端与第一节点之间导通,并将第一数据端的第一数据信号传输至第一节点;

[0064] 第一存储电容用于存储第一节点与第一电压端的电平;

[0065] 在第N+1帧的第二时间段还执行如下方法:

[0066] 第一扫描端的信号控制第一数据输入单元,将第一数据端与第一节点之间导通,并将第一数据端的第一数据信号传输至第一节点;

[0067] 第一存储电容用于存储第一节点与第一电压端的电平。

[0068] 具体的,像素电路还包括:发光控制单元;并且发光控制单元连接第一电压端、第一控制端、第三节点时;

[0069] 在第N帧的第一时间段还执行如下方法:

[0070] 第一控制端的信号控制发光控制单元,将第一电压端与第三节点之间导通,并将第一电压端的电平输出至第三节点;

[0071] 在第N帧的第二时间段还执行如下方法:

[0072] 第一控制端的信号控制发光控制单元,将第一电压端与第三节点之间导通,并将第一电压端的电平输出至第三节点;

[0073] 在第N+1帧的第一时间段还执行如下方法:

[0074] 第一控制端的信号控制发光控制单元,将第一电压端与第三节点之间断开;

[0075] 在第N+1帧的第二时间段还执行如下方法:

[0076] 第一控制端的信号控制发光控制单元,将第一电压端与第三节点之间导通,并将第一电压端的电平输出至第三节点。

[0077] 具体的,第二子像素电路还包括:第二数据输入单元、第二存储电容;

[0078] 在第N帧的第一时间段还执行如下方法:

[0079] 第一扫描端的信号控制第二数据输入单元,将第二数据端与第二节点之间导通,并将第二数据端的第二数据信号传输至第二节点;

[0080] 第二存储电容用于存储第二节点与第一电压端的电平;

[0081] 在第N帧的第二时间段还执行如下方法:

[0082] 第一扫描端的信号控制第二数据输入单元,将第二数据端与第二节点之间导通,并将第二数据端的第二数据信号传输至第二节点;

- [0083] 第二存储电容用于存储第二节点与第一电压端的电平；
- [0084] 在第N+1帧的第一时间段还执行如下方法：
- [0085] 第一扫描端的信号控制第二数据输入单元，将第二数据端与第二节点之间导通，并将第二数据端的第二数据信号传输至第二节点；
- [0086] 第二存储电容用于存储第二节点与第一电压端的电平；
- [0087] 在第N+1帧的第二时间段还执行如下方法：
- [0088] 第一扫描端的信号控制第二数据输入单元，将第二数据端与第二节点之间导通，并将第二数据端的第二数据信号传输至第二节点；
- [0089] 第二存储电容用于存储第二节点与第一电压端的电平。
- [0090] 具体的，像素电路还包括：发光控制单元；并且发光控制单元连接第一电压端、第二控制端、第四节点时：
- [0091] 在第N帧的第一时间段还执行如下方法：
- [0092] 第二控制端的信号控制发光控制单元，将第一电压端与第四节点之间断开；
- [0093] 在第N帧的第二时间段还执行如下方法：
- [0094] 第二控制端的信号控制发光控制单元，将第一电压端与第四节点之间导通，并将第一电压端的电平输出至第四节点；
- [0095] 在第N+1帧的第一时间段还执行如下方法：
- [0096] 第二控制端的信号控制发光控制单元，将第一电压端与第四节点之间导通，并将第一电压端的电平输出至第四节点；
- [0097] 在第N+1帧的第二时间段还执行如下方法：
- [0098] 第二控制端的信号控制发光控制单元，将第一电压端与第四节点之间导通，并将第一电压端的电平输出至第四节点。
- [0099] 具体的，像素电路还包括：第二反向偏置单元；并且第二反向偏置单元连接第七节点、第八节点、第一控制端、第二控制端和第二电压端时：
- [0100] 在第N帧的第一时间段还执行如下方法：
- [0101] 第一控制端的信号控制第二反向偏置单元，将第二电压端与第七节点之间导通，并将第二电压端的电平输出至第七节点；
- [0102] 第二控制端的信号控制第二反向偏置单元，将第二电压端与第八节点之间断开；
- [0103] 在第N帧的第二时间段还执行如下方法：
- [0104] 第一控制端的信号控制第二反向偏置单元，将第二电压端与第七节点之间导通，并将第二电压端的电平输出至第七节点；
- [0105] 第二控制端的信号控制第二反向偏置单元，将第二电压端与第八节点之间导通，并将第二电压端的电平输出至第八节点；
- [0106] 在第N+1帧的第一时间段还执行如下方法：
- [0107] 第一控制端的信号控制第二反向偏置单元，将第二电压端与第七节点之间断开；
- [0108] 第二控制端的信号控制第二反向偏置单元，将第二电压端与第八节点之间导通，并将第二电压端的电平输出至第八节点；
- [0109] 在第N+1帧的第二时间段还执行如下方法：
- [0110] 第一控制端的信号控制第二反向偏置单元，将第二电压端与第七节点之间导通，

并将第二电压端的电平输出至第七节点；

[0111] 第二控制端的信号控制第二反向偏置单元，将第二电压端与第八节点之间导通，并将第二电压端的电平输出至第八节点。

[0112] 第三方面，本发明实施例提供另一种如第一方面提供的任一像素电路的驱动方法，

[0113] 在第N帧的第一时间段执行如下方法：

[0114] 第一驱动信号控制第一子像素电路的第一发光单元发光；

[0115] 第三控制端控制第一反向偏置单元，将第五节点与第八节点之间导通，并将第五节点的第一驱动信号传输至第八节点；

[0116] 第四控制端控制第一反向偏置单元，将第六节点与第七节点之间导通；

[0117] 在第N帧的第二时间段执行如下方法：

[0118] 第二驱动信号控制第二子像素电路的第二发光单元发光；

[0119] 第四控制端控制第一反向偏置单元，将第六节点与第七节点之间导通，并将第六节点的第二驱动信号传输至第七节点；

[0120] 第三控制端控制第一反向偏置单元，将第五节点与第八节点之间导通。

[0121] 具体的，第一子像素电路还包括：第一数据输入单元、第一存储电容；

[0122] 在第N帧的第一时间段还执行如下方法：

[0123] 第一扫描端的信号控制第一数据输入单元，将第一数据端与第一节点之间导通，并将第一数据端的第一数据信号传输至第一节点；

[0124] 第一存储电容用于存储第一节点与第一电压端的电平；

[0125] 在第N帧的第二时间段还执行如下方法：

[0126] 第一扫描端的信号控制第一数据输入单元，将第一数据端与第一节点之间导通，并将第一数据端的第一数据信号传输至第一节点；

[0127] 第一存储电容用于存储第一节点与第一电压端的电平。

[0128] 具体的，像素电路还包括：发光控制单元；并且发光控制单元连接第一电压端、第一控制端、第三节点时；

[0129] 在第N帧的第一时间段还执行如下方法：

[0130] 第一控制端的信号发光控制单元，将第一电压端与第三节点之间导通，并将第一电压端的电平输出至第三节点；

[0131] 在第N帧的第二时间段还执行如下方法：

[0132] 第一控制端的信号控制发光控制单元，将第一电压端与第三节点之间断开。

[0133] 具体的，第二子像素电路还包括：第二数据输入单元、第二存储电容；

[0134] 在第N帧的第一时间段还执行如下方法：

[0135] 第一扫描端的信号控制第二数据输入单元，将第二数据端与第二节点之间导通，并将第二数据端的第二数据信号传输至第二节点；

[0136] 第二存储电容用于存储第二节点与第一电压端的电平；

[0137] 在第N帧的第二时间段还执行如下方法：

[0138] 第一扫描端的信号控制第二数据输入单元，将第二数据端与第二节点之间导通，并将第二数据端的第二数据信号传输至第二节点；

- [0139] 第二存储电容用于存储第二节点与第一电压端的电平。
- [0140] 具体的,像素电路还包括:发光控制单元;并且发光控制单元连接第一电压端、第二控制端、第四节点时:
- [0141] 在第N帧的第一时间段还执行如下方法:
- [0142] 第二控制端的信号控制发光控制单元,将第一电压端与第四节点之间断开;
- [0143] 在第N帧的第二时间段还执行如下方法:
- [0144] 第二控制端的信号控制发光控制单元,将第一电压端与第四节点之间导通,并将第一电压端的电平输出至第四节点。
- [0145] 第四方面,本发明实施例提供一种显示设备,包括第一方面提供的任一像素电路。
- [0146] 本发明实施例提供一种像素电路包括第一反向偏置单元以及相邻的第一子像素电路与第二子像素电路,其中第一子像素电路包括第一发光单元、第二子像素电路包括第二发光单元;在一帧画面中,通过第一驱动信号的控制将第一子像素电路中的第一发光单元驱动发光,并通过第一反向偏置单元将第一驱动信号作为第二子像素电路中的第二发光单元的反向偏置电压或者通过第二驱动信号的控制将第二子像素电路中的第二发光单元驱动发光,并通过第一反向偏置单元将第二驱动信号作为第一子像素电路中的第一发光单元的反向偏置电压;从而实现了第一子像素电路的第一驱动信号对第二子像素电路中的第二发光单元进行反向偏置或者第二子像素电路的第二驱动信号对第一子像素电路中的第一发光单元进行反向偏置,使得第一发光单元或者第二发光单元不用长期的处于直流偏置的条件下,减缓了第一发光单元和第二发光单元的衰老,增加了第一发光单元和第二发光单元的使用时间;由于本发明实施例提供的像素电路并未外接其它的反向偏置电压,而是利用第一子像素电路与第二子像素电路的第一驱动信号或者第二驱动信号,作为第二子像素电路中的第二发光单元或第一子像素电路中的第一发光单元的反向偏置电压,在不影响AMOLED显示效果的情况下起到了减缓第一发光单元和第二发光单元电路衰老的效果,同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

附图说明

- [0147] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。
- [0148] 图1为现有技术中AMOLED的2T1C像素驱动电路结构示意图;
- [0149] 图2为本发明实施例提供的一种像素电路的结构示意图;
- [0150] 图3为本发明实施例提供的一种像素电路的具体结构示意图;
- [0151] 图4为本发明实施例提供的另一种像素电路的具体结构示意图;
- [0152] 图5为本发明实施例提供的一种具体像素电路的结构示意图;
- [0153] 图6为本发明实施例提供的另一种具体像素电路的结构示意图;
- [0154] 图7为本发明实施例提供的一种像素电路的电路时序示意图;
- [0155] 图8为本发明实施例提供的一种像素电路的等效结构示意图;
- [0156] 图9为本发明实施例提供的另一种像素电路的等效结构示意图;

- [0157] 图10为本发明实施例提供的又一种像素电路的等效结构示意图；
- [0158] 图11为本发明实施例提供的再一种像素电路的等效结构示意图；
- [0159] 图12为本发明实施例提供的又一种具体像素电路的结构示意图；
- [0160] 图13为本发明实施例提供的再一种具体像素电路的结构示意图；
- [0161] 图14为本发明实施例提供的一种像素电路的电路时序示意图；
- [0162] 图15为本发明实施例提供的一种像素电路的等效结构示意图；
- [0163] 图16为本发明实施例提供的又一种像素电路的等效结构示意图。
- [0164] 附图标记：
- [0165] 像素电路-10；
- [0166] 第一子像素电路-20；第一发光单元-201；第一数据输入单元-202；第一存储电容-CS1；第一有机发光二极管-OLED1；第一扫描端-Vscan；第一数据端-Vdata1；
- [0167] 第二子像素电路-30；第二发光单元-301；第二数据输入单元-302；第二存储电容-CS2；第二有机发光二极管-OLED2；第二数据端-Vdata2；
- [0168] 发光控制单元-40；
- [0169] 第一反向偏置单元-50；
- [0170] 第二反向偏置单元-60；
- [0171] 第一节点-a；第二节点-b；第三节点-c；第四节点-d；第五节点-e；第六节点-f；第七节点-g；第八节点-h；
- [0172] 第一控制端-Ctrl-1；第二控制端-Ctrl-2；第三控制端-Ctrl-3；第四控制端-Ctrl-4；
- [0173] 第一电压端-VDD；第二电压端-VSS；
- [0174] 第一晶体管-T1；第二晶体管-T2；第三晶体管-T3；第四晶体管-T4；第五晶体管-T5；第六晶体管-T6；第七晶体管-T7；第八晶体管-T8；第九晶体管-T9；第十晶体管-T10。

具体实施方式

[0175] 本发明所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，根据在电路中的作用本发明的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本发明实施例中，为区分晶体管除栅极之外的两极，将其中源极称为第一端，漏极称为第二端。按附图中的形态规定晶体管的中间端为栅极、输入信号端为源极、输出信号端为漏极。此外本发明实施例所采用的开关晶体管包括P型开关晶体管和N型开关晶体管两种，其中，P型开关晶体管在栅极为低电平时导通，在栅极为高电平时断开，N型开关晶体管为在栅极为高电平时导通，在栅极为低电平时断开；驱动晶体管包括P型和N型，其中P型驱动晶体管在栅极电压为低电平（栅极电压小于源极电压），且栅极源极的压差的绝对值大于阈值电压时处于放大状态或饱和状态；其中N型驱动晶体管的栅极电压为高电平（栅极电压大于源极电压），且栅极源极的压差的绝对值大于阈值电压时处于放大状态或饱和状态。

[0176] 需要说明的是，需要说明的是，本申请中的“第一”、“第二”等字样仅仅是为了对功能和作用基本相同的相同项或相似项进行区分，“第一”、“第二”等字样并不是在对数量和执行次序进行限定，例如同一个实施例中可能出现“第一晶体管”、“第二晶体管”、“第三晶体

管”而没有出现“第三晶体管”，则“第一”、“第二”、“第四”仅可以理解为对不同晶体管的区分，而不能理解为该实施例中还包括“第三晶体管”；反向偏置是指电路中某点施以一定电压，使该点电位从零电位偏移至预定相反的正电位或负电位。

[0177] 本发明实施例提供一种像素电路包括第一反向偏置单元以及相邻的第一子像素电路与第二子像素电路，其中第一子像素电路包括第一发光单元、第二子像素电路包括第二发光单元；在一帧画面中，通过第一驱动信号的控制将第一子像素电路中的第一发光单元驱动发光，并通过第一反向偏置单元将第一驱动信号作为第二子像素电路中的第二发光单元的反向偏置电压或者通过第二驱动信号的控制将第二子像素电路中的第二发光单元驱动发光，并通过第一反向偏置单元将第二驱动信号作为第一子像素电路中的第一发光单元的反向偏置电压；从而实现了第一子像素电路的第一驱动信号对第二子像素电路中的第二发光单元进行反向偏置或者第二子像素电路的第二驱动信号对第一子像素电路中的第一发光单元进行反向偏置，使得第一发光单元或者第二发光单元不用长期的处于直流偏置的条件下，减缓了第一发光单元和第二发光单元的衰老，增加了第一发光单元和第二发光单元的使用时间；由于本发明实施例提供的像素电路并未外接其它的反向偏置电压，而是利用第一子像素电路与第二子像素电路的第一驱动信号或者第二驱动信号，作为第二子像素电路中的第二发光单元或第一子像素电路中的第一发光单元的反向偏置电压，在不影响 AMOLED 显示效果的情况下起到了减缓第一发光单元和第二发光单元电路衰老的效果，同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

[0178] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0179] 实施例一，参照图2所示，本发明实施例提供一种像素电路10，包括：第一反向偏置单元50，以及相邻的第一子像素电路20和第二子像素电路30，第一子像素电路20包括第一发光单元201；第二子像素电路30包括第二发光单元301；其中，第一发光单元201连接第五节点e和第七节点g，第二发光单元301连接第六节点f和第八节点h；第一反向偏置单元50连接第五节点e、第六节点f、第七节点g、第八节点h、第三控制端Ctrl-3和第四控制端Ctrl-4；

[0180] 第一发光单元201用于在第一驱动信号的控制下发光，并将第一驱动信号输出至第五节点e；第一反向偏置单元50用于在第三控制端Ctrl-3的控制下将第五节点e的第一驱动信号输出至第八节点h；第八节点h向第二发光单元301提供反向偏置电压；

[0181] 或者，

[0182] 第二发光单元301用于在第二驱动信号的控制下发光，并将第二驱动信号输出至第七节点g；第一反向偏置单元50还用于在第四控制端Ctrl-4的控制下将第六节点f的第二驱动信号输出至第七节点g；第七节点g向第一发光单元201提供反向偏置电压。

[0183] 上述方案中，像素电路包含相邻的第一子像素电路与第二子像素电路，其中第一子像素电路包括第一发光单元、第二子像素电路包括第二发光单元；在一帧画面中，通过第一驱动信号的控制将第一子像素电路中的第一发光单元驱动发光，并通过第一反向偏置单元将第一驱动信号作为第二子像素电路中的第二发光单元的反向偏置电压或者通过第二驱动信号的控制将第二子像素电路中的第二发光单元驱动发光，并通过第一反向偏置单元

将第二驱动信号作为第一子像素电路中的第一发光单元的反向偏置电压；从而实现了第一子像素电路的第一驱动信号对第二子像素电路中的第二发光单元进行反向偏置或者第二子像素电路的第二驱动信号对第一子像素电路中的第一发光单元进行反向偏置，使得第一发光单元或者第二发光单元不用长期的处于直流偏置的条件下，减缓了第一发光单元和第二发光单元的衰老，增加了第一发光单元和第二发光单元的使用时间；由于本发明实施例提供的像素电路并未外接其它的反向偏置电压，而是利用第一子像素电路与第二子像素电路的第一驱动信号或者第二驱动信号，作为第二子像素电路中的第二发光单元或第一子像素电路中的第一发光单元的反向偏置电压，在不影响AMOLED显示效果的情况下起到了减缓第一发光单元和第二发光单元电路衰老的效果，同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

[0184] 实施例二，参照图3、图4、图5和图6所示，本发明实施例提供一种像素电路10，具体的实现方式如下：

[0185] 情景一，如图3和图5所示本发明实施例提供一种像素电路10，其中像素电路10中的第一子像素电路20还包括：第一数据输入单元202、第一存储电容CS1；

[0186] 第一数据输入单元202连接第一数据端Vdata1、第一扫描端Vscan和第一节点a；第一数据输入单元202用于在第一扫描端Vscan的信号控制下将第一数据端Vdata1的第一数据信号输出至第一节点a；

[0187] 第一存储电容CS1连接第一节点a和第一电压端VDD，第一存储电容CS1用于存储第一节点a和第一电压端VDD之间的电平；

[0188] 第一发光单元201还连接第一节点a、第三节点c，第一发光单元201用于在第一节点a、第三节点c和第七节点g的信号控制下，向第五节点e输出第一驱动信号。

[0189] 像素电路10还包括：发光控制单元40；发光控制单元40连接第一电压端VDD、第一控制端Ctrl-1、第三节点c；发光控制单元40用于在第一控制端Ctrl-1的控制下将第一电压端VDD的电平输出至第三节点c。

[0190] 像素电路10中的第二子像素电路30还包括：第二数据输入单元302、第二存储电容CS2；

[0191] 第二数据输入单元302连接第二数据端Vdata2、第一扫描端Vscan和第二节点b；第二数据输入单元302用于在第一扫描端Vscan的信号控制下将第二数据端Vdata2的第二数据信号输出至第二节点b；

[0192] 第二存储电容CS2连接第二节点b和第一电压端VDD，第二存储电容CS2用于存储第二节点b和第一电压端VDD之间的电平；

[0193] 第二发光单元301还用于在第二节点b、第四节点d和第八节点h的信号控制下，向第六节点f输出第二驱动信号。

[0194] 像素电路10还包括：发光控制单元40；发光控制单元40连接第一电压端VDD、第二控制端Ctrl-2、第四节点d；发光控制单元40用于在第二控制端Ctrl-2的控制下将第一电压端VDD的电平输出至第四节点d。

[0195] 其中像素电路10中的第七节点g和第八节点h连接第二电压端；

[0196] 其中，如图3和图5所示，第一数据输入单元202包含第三晶体管T3，第三晶体管T3的栅极连接第一扫描端Vscan，第三晶体管T3的第一端连接第一数据端Vdata1，第三晶体管

T3的第二端连接第一节点a。

[0197] 像素电路10中的发光控制单元40,包括:第一晶体管T1,第一晶体管T1的栅极连接第一控制端Ctrl-1,第一晶体管T1的第一端连接第一电压端VDD,第一晶体管T1的第二端连接第三节点c。

[0198] 像素电路10中的第二数据输入单元302包含第四晶体管T4,第四晶体管T4的栅极连接第一扫描端Vscan,第四晶体管T4的第一端连接第二数据端Vdata2,第四晶体管T4的第二端连接第二节点b。

[0199] 像素电路10中的发光控制单元40,包括:第二晶体管T2,第二晶体管T2的栅极连接第二控制端Ctrl-2,第二晶体管T2的第一端连接第一电压端VDD,第二晶体管T2的第二端连接第四节点d。

[0200] 像素电路10中的第一反向偏置单元50包含第七晶体管T7和第八晶体管T8,第七晶体管T7的栅极连接第三控制端Ctrl-3,第七晶体管T7的第一端连接第五节点e,第七晶体管T7的第二端连接第八节点h;

[0201] 第八晶体管T8的栅极连接第四控制端Ctrl-4,第八晶体管T8的第一端连接第六节点f,第八晶体管T8的第二端连接第七节点g;

[0202] 第三控制端Ctrl-3与第四控制端Ctrl-4连接相同的信号控制线。

[0203] 像素电路10中的第一发光单元201包含第五晶体管T5,第一有机发光二极管OLED1,第五晶体管T5的栅极连接第一节点a,第五晶体管T5的第一端连接第三节点c,第五晶体管T5的第二端连接第五节点e和第一有机发光二极管OLED1的阳极,第一有机发光二极管OLED1的阴极连接第七节点g。

[0204] 像素电路10中的第二发光单元301包含第六晶体管T6,第二有机发光二极管OLED2,第六晶体管T6的栅极连接第二节点b,第六晶体管T6的第一端连接第四节点d,第六晶体管T6的第二端连接第六节点f和第二有机发光二极管OLED2的阳极,第二有机发光二极管OLED2的阴极连接第八节点h。

[0205] 需要说明的是,第一控制端输入第一控制信号;第二控制端输入第二控制信号;其中,第一控制信号与第二控制信号相位差为0度或者180度;

[0206] 第三控制端输入第三控制信号;第四控制端输入第四控制信号;其中,第三控制信号与第四控制信号相位差为0度。

[0207] 上述方案中,像素电路包含相邻的第一子像素电路与第二子像素电路,其中,第一子像素电路包含OLED1、第二子像素电路包含OLED2、发光控制单元、第一数据输入单元、第二数据输入单元、第一反向偏置单元及第二反向偏置单元;在一帧画面中,通过第一扫描端对第一数据输入单元与第二数据输入单元的控制,以及第一控制端、第二控制端、第三控制端与第四控制端的时序信号对发光控制单元、第一反向偏置单元以及第二反向偏置单元的控制,从而实现了第一子像素电路的第一驱动信号对第二子像素电路的OLED2进行反向偏置或者第二子像素电路的第二驱动信号对第一子像素电路的OLED1进行反向偏置,使得第一子像素电路的OLED1或者第二子像素电路的OLED2不用长期的处于直流偏置的条件下,减缓了第一子像素电路的OLED1和第二子像素电路的OLED2的衰老,增加了第一子像素电路的OLED1和第二子像素电路的OLED2的使用时间;由于本发明实施例提供的像素电路并未外接其它的反向偏置电压,而是利用第一子像素电路与第二子像素电路的第一驱动信

号或者其二驱动信号,作为第二子像素电路的OLED2或第一子像素电路的OLED1的反向偏置电压,在不影响AMOLED显示效果的情况下起到了减缓第一子像素电路的OLED1和第二子像素电路的OLED2衰老的效果,同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

[0208] 情景二,如图4和图6所示本发明实施例提供一种像素电路10,其中像素电路10中的第一子像素电路20还包括:第一数据输入单元202、第一存储电容CS1;

[0209] 第一数据输入单元202连接第一数据端Vdata1、第一扫描端Vscan和第一节点a;第一数据输入单元202用于在第一扫描端Vscan的信号控制下将第一数据端Vdata的第一数据信号输出至第一节点a;

[0210] 第一存储电容CS1连接第一节点a和第一电压端VDD,第一存储电容CS1用于存储第一节点a和第一电压端VDD之间的电平;

[0211] 第一发光单元201还连接第一节点a、第三节点c,第一发光单元201用于在第一节点a、第三节点c和第七节点g的信号控制下,向第五节点e输出第一驱动信号。

[0212] 像素电路10还包括:发光控制单元40;发光控制单元40连接第一电压端VDD、第一控制端Ctrl-1、第三节点c;发光控制单元40用于在第一控制端Ctrl-1的控制下将第一电压端VDD的电平输出至第三节点c。

[0213] 像素电路10中的第二子像素电路30还包括:第二数据输入单元302、第二CS2;

[0214] 第二数据输入单元302连接第二数据端Vdata2、第一扫描端Vscan和第二节点b;第二数据输入单元302用于在第一扫描端Vscan的信号控制下将第二数据端Vdata2的第二数据信号输出至第二节点b;

[0215] 第二存储电容CS2连接第二节点b和第一电压端VDD,第二存储电容CS2用于存储第二节点b和第一电压端VDD之间的电平;

[0216] 第二发光单元301还用于在第二节点b、第四节点d和第八节点h的信号控制下,向第六节点f输出第二驱动信号。

[0217] 像素电路10还包括:发光控制单元40;发光控制单元40连接第一电压端VDD、第二控制端Ctrl-2、第四节点d;发光控制单元40用于在第二控制端Ctrl-2的控制下将第一电压端VDD的电平输出至第四节点d。

[0218] 像素电路10还包括:第二反向偏置单元60;第二反向偏置单元30连接第七节点g、第八节点h、第一控制端Ctrl-1、第二控制端Ctrl-2和第二电压端VSS;第二反向偏置单元60用于在第一控制端Ctrl-1的控制下将第二电压端VSS的电平输出至第七节点g;第二反向偏置单元60还用于在第二控制端Ctrl-2的控制下将第二电压端VSS的电平输出至第八节点h。

[0219] 其中,如图4和图6所示,第一数据输入单元202包含第三晶体管T3,第三晶体管T3的栅极连接第一扫描端Vscan,第三晶体管T3的第一端连接第一数据端Vdata1,第三晶体管T3的第二端连接第一节点a。

[0220] 像素电路10中的发光控制单元40,包括:第一晶体管T1,第一晶体管T1的栅极连接第一控制端Ctrl-1,第一晶体管T1的第一端连接第一电压端VDD,第一晶体管T1的第二端连接第三节点c。

[0221] 像素电路10中的第二数据输入单元302包含第四晶体管T4,第四晶体管T4的栅极连接第一扫描端Vscan,第四晶体管T4的第一端连接第二数据端Vdata2,第四晶体管T4的第

二端连接第二节点b。

[0222] 像素电路10中的发光控制单元40包括：第二晶体管T2，第二晶体管T2的栅极连接第二控制端Ctrl-2，第二晶体管T2的第一端连接第一电压端VDD，第二晶体管T2的第二端连接第四节点d。

[0223] 像素电路10中的第一反向偏置单元50包含第七晶体管T7和第八晶体管T8，第七晶体管T7的栅极连接第三控制端Ctrl-3，第七晶体管T7的第一端连接第五节点e，第七晶体管T7的第二端连接第八节点h；

[0224] 第八晶体管T8的栅极连接第四控制端Ctrl-4，第八晶体管T8的第一端连接第六节点f，第八晶体管T8的第二端连接第七节点g；

[0225] 第三控制端Ctrl-3与第四控制端Ctrl-4连接相同的信号控制线。

[0226] 像素电路10中的第二反向偏置单元60包含第九晶体管T9和第十晶体管T10，第九晶体管T9的栅极连接第一控制端Ctrl-1，第九晶体管T9的第一端连接第七节点g，第九晶体管T9的第二端连接第二电压端VSS；

[0227] 第十晶体管T10的栅极连接第二控制端Ctrl-2，第十晶体管T10的第一端连接第八节点h，第十晶体管T10的第二端连接第二电压端VSS。

[0228] 其中，第九晶体管T9和第十晶体管T10为同类型的晶体管，第一控制端Ctrl-1和第二控制端Ctrl-2连接不同的信号控制线；

[0229] 或者，

[0230] 第九晶体管T9和第十晶体管T10为不同类型的晶体管，第一控制端Ctrl-1和第二控制端Ctrl-2连接同一信号控制线。

[0231] 像素电路10中的第一发光单元201包含第五晶体管T5，第一有机发光二极管OLED1，第五晶体管T5的栅极连接第一节点a，第五晶体管T5的第一端连接第三节点c，第五晶体管T5的第二端连接第五节点e和第一有机发光二极管OLED1的阳极，第一有机发光二极管OLED1的阴极连接第七节点g。

[0232] 像素电路10中的第二发光单元301包含第六晶体管T6，第二有机发光二极管OLED2，第六晶体管T6的栅极连接第二节点b，第六晶体管T6的第一端连接第四节点d，第六晶体管T6的第二端连接第六节点f和第二有机发光二极管OLED2的阳极，第二有机发光二极管OLED2的阴极连接第八节点h。

[0233] 需要说明的是，第一控制端输入第一控制信号；第二控制端输入第二控制信号；其中，第一控制信号与第二控制信号相位差为0度或者180度；

[0234] 第三控制端输入第三控制信号；第四控制端输入第四控制信号；其中，第三控制信号与第四控制信号相位差为0度。

[0235] 上述方案中，像素电路包含相邻的第一子像素电路与第二子像素电路，其中第一子像素电路包含OLED1、第二子像素电路包含OLED2、通过设置发光控制单元、第一数据输入单元、第二数据输入单元、第一反向偏置单元；在一帧画面中，通过第一扫描端对第一数据输入单元与第二数据输入单元的控制、第一控制端与第二控制端时序信号对发光控制单元的控制和第三控制端与第四控制端时序信号对第一反向偏置单元的控制，从而实现了第一子像素电路的第一驱动信号对第二子像素电路的OLED2进行反向偏置或者第二子像素电路的第二驱动信号对第一子像素电路的OLED1进行反向偏置，使得第一子像素电路的

OLED1或者第二子像素电路的OLED2不用长期的处于直流偏置的条件下,减缓了第一子像素电路的OLED1和第二子像素电路的OLED2的衰老,增加了第一子像素电路的OLED1和第二子像素电路的OLED2的使用时间;由于本发明实施例提供的像素电路并未外接其它的反向偏置电压,而是利用第一子像素电路与第二子像素电路的第一驱动信号或者其二驱动信号,作为第二子像素电路的OLED2或第一子像素电路的OLED1的反向偏置电压,在不影响AMOLED显示效果的情况下起到了减缓第一子像素电路的OLED1和第二子像素电路的OLED2衰老的效果,同时减少了像素电路的走线难度以及偏置电压线对其它信号线的串扰。

[0236] 实施例三,参照图3、图5、图7、图8、图9、图10及图11所示,本发明实施例提供一种像素电路10的驱动方法,

[0237] 以像素电路10中的第一晶体管T1、第二晶体管T1、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7和第八晶体管T8为同类型晶体管为例:其中,以像素电路10中的所有晶体管为P型晶体管,第三控制端Ctrl-3与第四控制端Ctrl-4连接相同的信号控制线进行说明;第一时间段t1与第二时间段t2共同构成一帧画面,t1与t2的时间可以用以调整第一发光单元201与第二发光单元301的反向偏置的时间,对应电路的时序图如图7所示。

[0238] 需要说明的是,第一控制端Ctrl-1输入第一控制信号,第二控制端Ctrl-2输入第二控制信号;其中,第一控制信号与第二控制信号相位差为180度;第三控制端Ctrl-3输入第三控制信号,第四控制端Ctrl-4输入第四控制信号;其中,第三控制信号与第四控制信号相位差为0度;图7中VGL是指低电平,VGH是指高电平,Vgrayscale指灰阶电压;本发明实施例中提供的像素电路10,采用第一发光单元201或者第二发光单元301的驱动信号作为第一发光单元201的OLED1或第二发光单元301的OLED2的反向偏置电压,其中VSS的电压值一般为-6V左右,第一发光单元201或者第二发光单元301的驱动信号的范围一般为0-5V,在低灰阶下,第一发光单元201或者第二发光单元301的驱动信号相对于VSS也是高电压,可以对第一发光单元201的OLED1或第二发光单元301的OLED2进行反向偏置。

[0239] 本发明实施例提供的像素电路10在第N帧及第N+1帧的画面中,像素电路10会重复运行第N帧的第一时间段t2、第N帧的第二时间段、第N+1帧的第一时间段、第N+1帧的第二时间段t1,在相邻两帧画面的时间内,第一发光单元201的OLED1与第二发光单元301的OLED2分别在像素电路10运行第N帧的第一时间段t1与第N+1帧的第一时间段t1的t1时间内进行反向偏置或者直流充电;第一发光单元201的OLED1与第二发光单元301的OLED2分别在像素电路10运行第N帧的第二时间段t2与第N+1帧的第二时间段t2的t2时间内进行直流充电。

[0240] 情景一,如图3、图5、图7和图8所示,在第N帧的第一时间段t1执行如下方法:

[0241] 在第N帧的第一时间段执行如下方法:

[0242] 第一驱动信号控制第一子像素电路20的第一发光单元201发光;

[0243] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间导通,并将第五节点e的第一驱动信号传输至第八节点h;

[0244] 第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间导通;

[0245] 其中,

[0246] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;

[0247] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;

[0248] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点C之间导通,并将第一电压端vdd的电平输出至第三节点C;

[0249] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;

[0250] 第二存储电容CS2用于存储第二节点b与第一电压端VDD的电平;

[0251] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间断开;

[0252] 将第二电压端VSS的电平传输至第七节点g与第八节点h;

[0253] 此时,如图3和图5所示,像素电路10中的第一晶体管T1处于导通状态;第二晶体管T2处于断开状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于导通状态;第一有机发光二极管OLED1处于发光状态;第六晶体管T6处于断开状态;第二有机发光二极管OLED2处于反向偏置状态;第七晶体管T7处于导通状态;第八晶体管T8处于导通状态。

[0254] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N帧画面的第一时间段t1时,结合图5,图7可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为低电平,由于T1为P型晶体管,所以此时T1导通;Ctrl-2为高电平,由于T2为P型晶体管,所以此时T2断开;Ctrl-3为低电平,由于T7为P型晶体管,所以此时T7导通;Ctrl-4为低电平,由于T8为P型晶体管,所以此时T8导通;此时等效电路如图8所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T1将VDD的数据信号传输至c;VSS的数据信号传输至g和h;此时在a、c、g的作用下,T5向e输出第一驱动信号,驱动OLED1发光,处于时常为t1的直流充电状态;同时T7将e处的第一驱动信号传输至OLED2的阴极,由于第一驱动信号相对于VSS是高电压,所以此时OLED2处于时常为t1的反向偏置状态,而由于T2此时处于断开状态,所以不会对OLED2进行直流偏置。

[0255] 情景二,如图3、图5、图7和图9所示,在第N帧的第二时间段t2执行如下方法;

[0256] 在第N帧的第二时间段执行如下方法:

[0257] 第一驱动信号控制第一子像素电路20的第一发光单元201发光;

[0258] 第二驱动信号控制第二子像素电路30的第二发光单元301发光;

[0259] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间断开;第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间断开;

[0260] 其中,

[0261] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;

[0262] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;

[0263] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点c之间导通,并将第一电压端VDD的电平输出至第三节点c;

[0264] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;

[0265] 第二存储电容CS2用于存储第二节点b与第一电压端VDD的电平;

[0266] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间导通,并将第一电压端VDD的电平输出至第四节点d。

[0267] 此时,如图3和图5所示,像素电路10中的第一晶体管T1和第二晶体管T2处于导通状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于导通状态;第一有机发光二极管OLED1处于发光状态;第六晶体管T6处于断开状态;第二有机发光二极管OLED2处于反向偏置状态;第七晶体管T7处于断开状态;第八晶体管T8处于断开状态。

[0268] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N帧画面的第一时间段T2时,结合图5,图7可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为低电平,由于T1为P型晶体管,所以此时T1导通;Ctrl-2为低电平,由于T2为P型晶体管,所以此时T2导通;Ctrl-3为高电平,由于T7为P型晶体管,所以此时T7断开;Ctrl-4为高电平,由于T8为P型晶体管,所以此时T8断开;此时等效电路如图9所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T1将VDD的数据信号传输至c;T2将VDD的数据信号传输至d;VSS的数据信号传输至g与h;此时在a、c、g的作用下,T5向e输出第一驱动信号,驱动OLED1发光,处于时常为t2的直流充电状态;在b、d、h的作用下,T6向f输出第二驱动信号,驱动OLED2发光,处于时常为t2的直流充电状态;由于T7与T8处于断开状态,不会使得T5的驱动信号对OLED2进行反向偏置或者T6的驱动信号对OLED1进行反向偏置,而OLED1与OLED2本身是在T5与T6产生的第一驱动信号与第二驱动信号的驱动下发光。

[0269] 情景三,如图3、图5、图7和图10所示,在第N+1帧的第一时间段执行如下方法:

[0270] 在第N+1帧的第一时间段执行如下方法:

[0271] 第二驱动信号控制第二子像素电路30的第二发光单元301发光;

[0272] 第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间导通,并将第六节点f的第二驱动信号传输至第七节点g;

[0273] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间导通;

[0274] 其中,

[0275] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;

[0276] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;

[0277] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点c之间断开;

[0278] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;

[0279] 第二存储电容CS2用于存储第二节点c与第一电压端VDD的电平;

[0280] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间导通,并将第一电压端VDD的电平输出至第四节点d;

[0281] 将第二电压端VSS的电平传输至第七节点g与第八节点h;

[0282] 此时,参见图3和图5所示,像素电路10中的第一晶体管T1处于断开状态;第二晶体管T2处于导通状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于断开状态;第一有机发光二极管OLED1处于反向偏置状态;第六晶体管T6处于导通状态;第二有机发光二极管OLED2处于发光状态;第七晶体管T7处于导通状态;第八晶体管T8处于导通状态。

[0283] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N+1帧画面的第一时间段t1时,结合图5,图7可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为高电平,由于T1为P型晶体管,所以此时T1断开;Ctrl-2为低电平,由于T2为P型晶体管,所以此时T2导通;Ctrl-3为低电平,由于T7为P型晶体管,所以此时T7导通;Ctrl-4为低电平,由于T8为P型晶体管,所以此时T8导通;此时等效电路如图10所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T2将VDD的数据信号传输至d;此时在b、d、h的作用下,T6向f输出第二驱动信号,驱动OLED2发光,处于时常为t1的直流充电状态;同时T8将f处的第二驱动信号传输至OLED1的阴极,由于第二驱动信号相对于VSS是高电压,所以此时OLED1处于时常为t1的反向偏置状态,而由于T1此时处于断开状态,所以不会对OLED1进行直流偏置。

[0284] 情景四,如图3、图5、图7和图11所示,在第N+1帧的第二时间段t2执行如下方法:

[0285] 在第N帧的第二时间段执行如下方法:

[0286] 第一驱动信号控制第一子像素电路20的第一发光单元201发光;

[0287] 第二驱动信号控制第二子像素电路30的第二发光单元301发光;

[0288] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间断开;第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间断开;

[0289] 其中,

[0290] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;

[0291] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;

[0292] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点c之间导通,并将第一电压端VDD的电平输出至第三节点c;

[0293] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;

[0294] 第二存储电容CS2用于存储第二节点b与第一电压端VDD的电平;

[0295] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间导通,并将第一电压端VDD的电平输出至第四节点d;

[0296] 此时,如图3和图5所示,像素电路10中的第一晶体管T1和第二晶体管T2处于导通状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于导通状态;第一有机发光二极管OLED1处于发光状态;第六晶体管T6处于断开状态;第二有机发光

二极管OLED2处于反向偏置状态；第七晶体管T7处于断开状态；第八晶体管T8处于断开状态。

[0297] 由上述方案可知，当像素电路中包含相邻的第一子像素电路与第二子像素电路，处于第N帧画面的第一时间段T2时，结合图5，图7可知，第一扫描端Vscan为低电平时，由于T3与T4为P型晶体管，所以此时T3与T4导通；Ctrl-1为低电平，由于T1为P型晶体管，所以此时T1导通；Ctrl-2为低电平，由于T2为P型晶体管，所以此时T2导通；Ctrl-3为高电平，由于T7为P型晶体管，所以此时T7断开；Ctrl-4为高电平，由于T8为P型晶体管，所以此时T8断开；此时等效电路如图11所示，Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点，此时CS1进行存储a与VDD之间的电平，CS2进行存储b与VDD之间的电平；T1将VDD的数据信号传输至c；T2将VDD的数据信号传输至d；VSS的数据信号传输至g与h；此时在a、c、g的作用下，T5向e输出第一驱动信号，驱动OLED1发光，处于时常为t2的直流充电状态；在b、d、h的作用下，T6向f输出第二驱动信号，驱动OLED2发光，处于时常为t2的直流充电状态；由于T7与T8处于断开状态，不会使得T5的驱动信号对OLED2进行反向偏置或者T6的驱动信号对OLED1进行反向偏置，而OLED1与OLED2本身是在T5与T6产生的第一驱动信号与第二驱动信号的驱动下发光。

[0298] 实施例四，参照图4、图6、图7、图8、图9、图10及图11所示，本发明实施例提供一种像素电路10的驱动方法，

[0299] 以像素电路10中的第一晶体管T1、第二晶体管T1、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9及第十晶体管T10为同类型晶体管为例：其中，以像素电路10中的所有晶体管为P型晶体管，第三控制端Ctrl-3与第四控制端Ctrl-4连接相同的信号控制线进行说明；第一时间段t1与第二时间段t2共同构成一帧画面，t1与t2的时间可以用以调整第一发光单元201与第二发光单元301的反向偏置的时间，对应电路的时序图如图7所示。

[0300] 需要说明的是，第一控制端Ctrl-1输入第一控制信号，第二控制端Ctrl-2输入第二控制信；其中，第一控制信号与第二控制信号相位差为180度；第三控制端Ctrl-3输入第三控制信号，第四控制端Ctrl-4输入第四控制信号；其中，第三控制信号与第四控制信号相位差为0度；图7中VGL是指低电平，VGH是指高电平，Vgrayscale指灰阶电压；本发明实施例中提供的像素电路10，采用第一发光单元201或者第二发光单元301的驱动信号作为第一发光单元201的OLED1或第二发光单元301的OLED2的反向偏置电压，其中VSS的电压值一般为-6V左右，第一发光单元201或者第二发光单元301的驱动信号的范围一般为0-5V，在低灰阶下，第一发光单元201或者第二发光单元301的驱动信号相对于VSS也是高电压，可以对第一发光单元201的OLED1或第二发光单元301的OLED2进行反向偏置。

[0301] 本发明实施例提供的像素电路10在第N帧及第N+1帧的画面中，像素电路10会重复运行第N帧的第一时间段t2、第N帧的第二时间段、第N+1帧的第一时间段、第N+1帧的第二时间段t1，在相邻两帧画面的时间内，第一发光单元201的OLED1与第二发光单元301的OLED2分别在像素电路10运行第N帧的第一时间段t1与第N+1帧的第一时间段t1的t1时间内进行反向偏置或者直流充电；第一发光单元201的OLED1与第二发光单元301的OLED2分别在像素电路10运行第N帧的第二时间段t2与第N+1帧的第二时间段t2的t2时间内进行直流充电。

- [0302] 情景一,如图4、图6、图7和图8所示,在第N帧的第一时间段t1执行如下方法:
- [0303] 在第N帧的第一时间段执行如下方法:
- [0304] 第一驱动信号控制第一子像素电路20的第一发光单元201发光;
- [0305] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间导通,并将第五节点e的第一驱动信号传输至第八节点h;
- [0306] 第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间导通;
- [0307] 其中,
- [0308] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;
- [0309] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;
- [0310] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点C之间导通,并将第一电压端vdd的电平输出至第三节点C;
- [0311] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;
- [0312] 第二存储电容CS2用于存储第二节点b与第一电压端VDD的电平;
- [0313] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间断开;
- [0314] 第一控制端Ctrl-1的信号控制第二反向偏置单元60,将第二电压端VSS与第七节点g之间导通,并将第二电压端VSS的电平输出至第七节点g;
- [0315] 第二控制端Ctrl-2的信号控制第二反向偏置单元60,将第二电压端VSS与第八节点h之间断开;
- [0316] 此时,如图4和图6所示,像素电路10中的第一晶体管T1处于导通状态;第二晶体管T2处于断开状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于导通状态;第一有机发光二极管OLED1处于发光状态;第六晶体管T6处于断开状态;第二有机发光二极管OLED2处于反向偏置状态;第七晶体管T7处于导通状态;第八晶体管T8处于导通状态;第九晶体管T9处于导通状态;第十晶体管T10处于断开状态。
- [0317] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N帧画面的第一时间段t1时,结合图6,图7可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为低电平,由于T1与T9为P型晶体管,所以此时T1与T9导通;Ctrl-2为高电平,由于T2与T10为P型晶体管,所以此时T2与T10断开;Ctrl-3为低电平,由于T7为P型晶体管,所以此时T7导通;Ctrl-4为低电平,由于T8为P型晶体管,所以此时T8导通;此时等效电路如图8所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T1将VDD的数据信号传输至c;T9将VSS的数据信号传输至g;此时在a、c、g的作用下,T5向e输出第一驱动信号,驱动OLED1发光,处于时常为t1的直流充电状态;同时T7将e处的第一驱动信号传输至OLED2的阴极,由于第一驱动信号相对于VSS是高电压,所以此时OLED2处于时常为t1的反向偏置状态,而由于T2此时处于断开状态,所以不会对OLED2进行直流偏置。

[0318] 情景二,如图4、图6、图7和图9所示,在第N帧的第二时间段t2执行如下方法;

[0319] 在第N帧的第二时间段执行如下方法:

[0320] 第一驱动信号控制第一子像素电路20的第一发光单元201发光;

[0321] 第二驱动信号控制第二子像素电路30的第二发光单元301发光;

[0322] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间断开;第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间断开;

[0323] 其中,

[0324] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;

[0325] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;

[0326] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点c之间导通,并将第一电压端VDD的电平输出至第三节点c;

[0327] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;

[0328] 第二存储电容CS2用于存储第二节点b与第一电压端VDD的电平;

[0329] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间导通,并将第一电压端VDD的电平输出至第四节点d。

[0330] 第一控制端Ctrl-1的信号控制第二反向偏置单元60,将第二电压端VSS与第七节点g之间导通,并将第二电压端VSS的电平输出至第七节点g;

[0331] 第二控制端Ctrl-2的信号控制第二反向偏置单元60,将第二电压端VSS与第八节点h之间导通,并将第二电压端VSS的电平输出至第八节点h;

[0332] 此时,如图4和图6所示,像素电路10中的第一晶体管T1和第二晶体管T2处于导通状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于导通状态;第一有机发光二极管OLED1处于发光状态;第六晶体管T6处于断开状态;第二有机发光二极管OLED2处于反向偏置状态;第七晶体管T7处于断开状态;第八晶体管T8处于断开状态;第九晶体管T9处于导通状态;第十晶体管T10处于断开状态。

[0333] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N帧画面的第一时间段T2时,结合图6,图7可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为低电平,由于T1与T9为P型晶体管,所以此时T1与T9导通;Ctrl-2为低电平,由于T2与T10为P型晶体管,所以此时T2与T10导通;Ctrl-3为高电平,由于T7为P型晶体管,所以此时T7断开;Ctrl-4为高电平,由于T8为P型晶体管,所以此时T8断开;此时等效电路如图9所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T1将VDD的数据信号传输至c;T2将VDD的数据信号传输至d;T9将VSS的数据信号传输至g;T10将VSS的数据信号传输至h;此时在a、c、g的作用下,T5向e输出第一驱动信号,驱动OLED1发光,处于时常为t2的直流充电状态;在b、d、h的作用下,T6向f输出第二驱动信号,驱动OLED2发光,处于时常为t2的直流充电状态;由于T7与T8处于断开状态,不会使得T5的驱动信号对OLED2进行反向偏置或者T6的驱动信号对OLED1进行反向偏置,而OLED1与OLED2本身是在T5与T6产生的第一驱动信号与第二驱动信号的驱动下驱动发光。

- [0334] 情景三,如图4、图6、图7和图10所示,在第N+1帧的第一时间段执行如下方法:
- [0335] 在第N+1帧的第一时间段执行如下方法:
- [0336] 第二驱动信号控制第二子像素电路30的第二发光单元301发光;
- [0337] 第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间导通,并将第六节点f的第二驱动信号传输至第七节点g;
- [0338] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间导通;
- [0339] 其中,
- [0340] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;
- [0341] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;
- [0342] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点c之间断开;
- [0343] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;
- [0344] 第二存储电容CS2用于存储第二节点c与第一电压端VDD的电平;
- [0345] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间导通,并将第一电压端VDD的电平输出至第四节点d;
- [0346] 第一控制端Ctrl-1的信号控制第二反向偏置单元60,将第二电压端VSS与第七节点g之间断开;第二控制端Ctrl-2的信号控制第二反向偏置单元60,将第二电压端VSS与第八节点h之间导通,并将第二电压端VSS的电平输出至第八节点h;
- [0347] 此时,参见图4和图6所示,像素电路10中的第一晶体管T1处于断开状态;第二晶体管T2处于导通状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于断开状态;第一有机发光二极管OLED1处于反向偏置状态;第六晶体管T6处于导通状态;第二有机发光二极管OLED2处于发光状态;第七晶体管T7处于导通状态;第八晶体管T8处于导通状态;第九晶体管T9处于断开状态;第十晶体管T10处于导通状态。
- [0348] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N+1帧画面的第一时间段t1时,结合图6,图7可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为高电平,由于T1与T9为P型晶体管,所以此时T1与T9断开;Ctrl-2为低电平,由于T2与T10为P型晶体管,所以此时T2与T10导通;Ctrl-3为低电平,由于T7为P型晶体管,所以此时T7导通;Ctrl-4为低电平,由于T8为P型晶体管,所以此时T8导通;此时等效电路如图10所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T2将VDD的数据信号传输至d;此时在b、d、h的作用下,T6向f输出第二驱动信号,驱动OLED2发光,处于时常为t1的直流充电状态;同时T8将f处的第二驱动信号传输至OLED1的阴极,由于第二驱动信号相对于VSS是高电压,所以此时OLED1处于时常为t1的反向偏置状态,而由于T1此时处于断开状态,所以不会对OLED1进行直流偏置。
- [0349] 情景四,如图4、图6、图7和图11所示,在第N+1帧的第二时间段t2执行如下方法:
- [0350] 在第N+1帧的第二时间段执行如下方法:

- [0351] 第一驱动信号控制第一子像素电路20的第一发光单元201发光;
- [0352] 第二驱动信号控制第二子像素电路30的第二发光单元301发光;
- [0353] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间断开;第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间断开;
- [0354] 其中,
- [0355] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;
- [0356] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;
- [0357] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点c之间导通,并将第一电压端VDD的电平输出至第三节点c;
- [0358] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;
- [0359] 第二存储电容CS2用于存储第二节点b与第一电压端VDD的电平;
- [0360] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间导通,并将第一电压端VDD的电平输出至第四节点d。
- [0361] 第一控制端Ctrl-1的信号控制第二反向偏置单元60,将第二电压端VSS与第七节点g之间导通,并将第二电压端VSS的电平输出至第七节点g;
- [0362] 第二控制端Ctrl-2的信号控制第二反向偏置单元60,将第二电压端VSS与第八节点h之间导通,并将第二电压端VSS的电平输出至第八节点h;
- [0363] 此时,如图4和图6所示,像素电路10中的第一晶体管T1和第二晶体管T2处于导通状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于导通状态;第一有机发光二极管OLED1处于发光状态;第六晶体管T6处于断开状态;第二有机发光二极管OLED2处于反向偏置状态;第七晶体管T7处于断开状态;第八晶体管T8处于断开状态;第九晶体管T9处于导通状态;第十晶体管T10处于断开状态。
- [0364] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N帧画面的第一时间段T2时,结合图6,图7可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为低电平,由于T1为P型晶体管,所以此时T1导通;Ctrl-2为低电平,由于T2为P型晶体管,所以此时T2导通;Ctrl-3为高电平,由于T7为P型晶体管,所以此时T7断开;Ctrl-4为高电平,由于T8为P型晶体管,所以此时T8断开;此时等效电路如图11所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T1将VDD的数据信号传输至c;T2将VDD的数据信号传输至d;VSS的数据信号传输至g与h;此时在a、c、g的作用下,T5向e输出第一驱动信号,驱动OLED1发光,处于时常为t2的直流充电状态;在b、d、h的作用下,T6向f输出第二驱动信号,驱动OLED2发光,处于时常为t2的直流充电状态;由于T7与T8处于断开状态,不会使得T5的驱动信号对OLED2进行反向偏置或者T6的驱动信号对OLED1进行反向偏置,而OLED1与OLED2本身是在T5与T6产生的第一驱动信号与第二驱动信号的驱动下驱动发光。
- [0365] 结合上述实施例三中情景一、二、三、四与实施例四中情景一、二、三、四可知,本发明实施例提供的像素电路10,包含第一子像素电路与第二子像素电路,像素电路10中的晶

体管均为P型晶体管,由于第一控制端Ctrl-1与第二控制端Ctrl-2输入的控制信号相位差为180度;而第三控制端Ctrl-3与第四控制端Ctrl-4输入的控制信号相位差为0度,即第三控制端Ctrl-3与第四控制端Ctrl-4连接同一根控制线,无需连接两根控制线就可以实现对T7与T8的控制减少数据线的数量,降低了像素电路10的走线难度,同时,在同一帧画面中的t1与t2时刻,通过第一扫描端Vscan、第一控制端Ctrl-1、第二控制端Ctrl-2、第三控制端Ctrl-3以及第四控制端Ctrl-4的控制,使得第二子像素电路30的OLED2在第一子像素电路20的第一驱动信号的驱动下处于反向偏置状态,反向偏置状态的时长为t1或者第一子像素电路20的OLED1在第二子像素电路30的第二驱动信号的驱动下处于反向偏置状态,反向偏置状态的时长为t1;并可以使得第一子像素电路20的OLED1在第N帧的第一时间段t1、第N帧的第二时间段t2与第N+1帧的第二时间段t2进行直流充电,处于直流充电状态的时长为t1+2*t2;第二子像素电路30的OLED1在第N帧的第一时间段t2、第N+1帧的第二时间段t1与第N+1帧的第二时间段t2进行直流充电,处于直流充电状态的时长为t1+2*t2;而第一子像素电路20的OLED1或者第二子像素电路30的OLED2不用长期的处于直流偏置的条件下,减缓了第一子像素电路20的OLED1和第二子像素电路30的OLED2的衰老,增加了第一子像素电路20的OLED1和第二子像素电路30的OLED2的使用时间;由于本发明实施例提供的像素电路10并未外接其它的反向偏置电压,而是利用第一子像素电路20与第二子像素电路30的第一驱动信号或者第二驱动信号,作为第二子像素电路30的OLED2或第一子像素电路20的OLED1的反向偏置电压,在不影响AMOLED显示效果的情况下起到了减缓第一子像素电路20的OLED1和第二子像素电路30的OLED2衰老的效果,同时减少了像素电路10的走线难度以及偏置电压线对其它信号线的串扰。

[0366] 实施例五,参照图3、图4、图12、图13、图14、图15和图16所示,本发明实施例提供一种像素电路10的驱动方法,以像素电路的第一晶体管T1、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8与第二晶体管T2为不同类型的晶体管为例:其中,以像素电路10中以第一晶体管T1、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7和第八晶体管T8为P型晶体管,第二晶体管T2为N型晶体管,第一控制端Ctrl-1与第二控制端Ctrl-2连接相同的信号控制线,第三控制端Ctrl-3与第四控制端Ctrl-4连接相同的信号控制线进行说明;第一时间段t1与第二时间段t2共同构成一帧画面,t1与t2的时间可以用以调整第一发光单元201与第二发光单元107的反向偏置的时间,对应电路的时序图如图14所示。

[0367] 需要说明的是,需要说明的是,第一控制端Ctrl-1输入第一控制信号;第二控制端Ctrl-2输入第二控制信;其中,第一控制信号与第二控制信号相位差为0度;第三控制端Ctrl-3输入第三控制信号;第四控制端Ctrl-4输入第四控制信号;其中,第三控制信号与第四控制信号相位差为0度;第一控制端Ctrl-1和第二控制端Ctrl-2与第三控制端Ctrl-3和第四控制端Ctrl-4所连接的信号线不是同一条信号线。

[0368] 本发明实施例提供的像素电路10在第N帧画面中,像素电路10会重复运行第N帧的第一时间段t1与第N帧的第二时间段t2;第一发光发单元106的OLED1在像素电路10运行第N帧的第一时间段t1进行直流充电、在第N帧的第二时间段t2进行反向偏置;第二发光发单元107的OLED2在像素电路10运行第N帧的第一时间段t1进行反向偏置、在第N帧的第二时间段t2进行直流充电;其中,t1与t2的时间可以调整用以调节OLED1与OLED2的反向偏置时间。

- [0369] 情景一,如图3、图12、图14和图15所示,在第N帧的第一时间段t1执行如下方法:
- [0370] 在第N帧的第一时间段执行如下方法:
- [0371] 第一驱动信号控制第一子像素电路20的第一发光单元201发光;
- [0372] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间导通,并将第五节点e的第一驱动信号传输至第八节点h;
- [0373] 第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间导通;
- [0374] 其中,
- [0375] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;
- [0376] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;
- [0377] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点C之间导通,并将第一电压端vdd的电平输出至第三节点C;
- [0378] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;
- [0379] 第二存储电容CS2用于存储第二节点b与第一电压端VDD的电平;
- [0380] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间断开;
- [0381] 将第二电压端VSS的电平传输至第七节点g与第八节点h;
- [0382] 此时,结合图3与图12所示,像素电路10中的第一晶体管T1处于导通状态;第二晶体管T2处于断开状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于导通状态;第一有机发光二极管OLED1处于发光状态;第六晶体管T6处于断开状态;第二有机发光二极管OLED2处于反向偏置状态;第七晶体管T7处于导通状态;第八晶体管T8处于导通状态。
- [0383] 由上述方案可知,当像素电路包含,第一子像素电路与第二子像素电路,处于第N帧画面的第一时间段t1时,结合图13,图14可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为低电平,由于T1为P型晶体管,所以此时T1导通;Ctrl-2为低电平,由于T2为N型晶体管,所以此时T2断开;Ctrl-3为低电平,由于T7为P型晶体管,所以此时T7导通;Ctrl-4为低电平,由于T8为P型晶体管,所以此时T8导通;此时等效电路如图15所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T1将VDD的数据信号传输至c;此时在a、c、g的作用下,T5向e输出第一驱动信号,驱动OLED1发光,处于时常为t1的直流充电状态;同时T7将e处的第一驱动信号传输至OLED2的阴极,由于第一驱动信号相对于VSS是高电压,所以此时OLED2处于时常为t1的反向偏置状态,而由于T2此时处于断开状态,所以不会对OLED2进行直流偏置。
- [0384] 情景二,如图3、图12、图14和图16所示,在第N帧的第二时间段t2执行如下方法:
- [0385] 在第N+1帧的第一时间段执行如下方法:
- [0386] 第二驱动信号控制第二子像素电路30的第二发光单元301发光;
- [0387] 第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间导

通,并将第六节点f的第二驱动信号传输至第七节点g;

[0388] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间导通;

[0389] 其中,

[0390] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;

[0391] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;

[0392] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点c之间断开;

[0393] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;

[0394] 第二存储电容CS2用于存储第二节点c与第一电压端VDD的电平;

[0395] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间导通,并将第一电压端VDD的电平输出至第四节点d;

[0396] 将第二电压端VSS的电平传输至第七节点g与第八节点h;

[0397] 此时,参照图3与图12所示,像素电路10中的第一晶体管T1处于断开状态;第二晶体管T2处于导通状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于断开状态;第一有机发光二极管OLED1处于反向偏置状态;第六晶体管T6处于导通状态;第二有机发光二极管OLED2处于发光状态;第七晶体管T7处于导通状态;第八晶体管T8处于导通状态。

[0398] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N帧画面的第一时间段t2时,结合图12,图14可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为高电平,由于T1为P型晶体管,所以此时T1断开;Ctrl-2为高电平,由于T2为N型晶体管,所以此时T2导通;Ctrl-3为低电平,由于T7为P型晶体管,所以此时T7导通;Ctrl-4为低电平,由于T8为P型晶体管,所以此时T8导通;此时等效电路如图16所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T2将VDD的数据信号传输至d;此时在b、d、h的作用下,T6向f输出第二驱动信号,驱动OLED2发光,处于时常为t2的直流充电状态;同时T8将f处的第二驱动信号传输至OLED1的阴极,由于第二驱动信号相对于VSS是高电压,所以此时OLED1处于时常为t2的反向偏置状态,而由于T1此时处于断开状态,所以不会对OLED1进行直流偏置。

[0399] 实施例六,参照图4、图13、图14、图15和图16所示,本发明实施例提供一种像素电路10的驱动方法,

[0400] 以像素电路的第一晶体管T1、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9与第二晶体管T2和第十晶体管T10为不同类型的晶体管为例:其中,以像素电路10中以第一晶体管T1、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8及第九晶体管T9为P型晶体管,第二晶体管T2与第十晶体管T10为N型晶体管,第一控制端Ctrl-1与第二控制端Ctrl-2连接相同的信号控制线,第三控制端Ctrl-3与第四控制端Ctrl-4连接相同的信号控

制线进行说明;第一时间段t1与第二时间段t2共同构成一帧画面,t1与t2的时间可以用以调整第一子像素电路20与第二子像素电路30的反向偏置的时间,对应电路的时序图如图14所示。

[0401] 需要说明的是,需要说明的是,第一控制端Ctrl-1输入第一控制信号;第二控制端Ctrl-2输入第二控制信;其中,第一控制信号与第二控制信号相位差为0度;第三控制端Ctrl-3输入第三控制信号;第四控制端Ctrl-4输入第四控制信号;其中,第三控制信号与第四控制信号相位差为0度;第一控制端Ctrl-1和第二控制端Ctrl-2与第三控制端Ctrl-3和第四控制端Ctrl-4所连接的信号线不是同一条信号线。

[0402] 本发明实施例提供的像素电路10在第N帧画面中,像素电路10会重复运行第N帧的第一时间段t1与第N帧的第二时间段t2;第一发光发单元106的OLED1在像素电路10运行第N帧的第一时间段t1进行直流充电、在第N帧的第二时间段t2进行反向偏置;第二发光发单元107的OLED2在像素电路10运行第N帧的第一时间段t1进行反向偏置、在第N帧的第二时间段t2进行直流充电;其中,t1与t2的时间可以调整用以调节OLED1与OLED2的反向偏置时间。

[0403] 情景一,如图4、图13、图14和图15所示,在第N帧的第一时间段t1执行如下方法:

[0404] 在第N帧的第一时间段执行如下方法:

[0405] 第一驱动信号控制第一子像素电路20的第一发光单元201发光;

[0406] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间导通,并将第五节点e的第一驱动信号传输至第八节点h;

[0407] 第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间导通;

[0408] 其中,

[0409] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;

[0410] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;

[0411] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点C之间导通,并将第一电压端vdd的电平输出至第三节点C;

[0412] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;

[0413] 第二存储电容CS2用于存储第二节点b与第一电压端VDD的电平;

[0414] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间断开;

[0415] 第一控制端Ctrl-1的信号控制第二反向偏置单元60,将第二电压端VSS与第七节点g之间导通,并将第二电压端VSS的电平输出至第七节点g;

[0416] 第二控制端Ctrl-2的信号控制第二反向偏置单元60,将第二电压端VSS与第八节点h之间断开;

[0417] 此时,按照图4与图13所示,像素电路10中的第一晶体管T1处于导通状态;第二晶体管T2处于断开状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于导通状态;第一有机发光二极管OLED1处于发光状态;第六晶体管T6处于断开状态;第二有机发光二极管OLED2处于反向偏置状态;第七晶体管T7处于导通状态;第八晶体

管T8处于导通状态;第九晶体管T9处于导通状态;第十晶体管T10处于断开状态。

[0418] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N帧画面的第一时间段t1时,结合图13,图14可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为低电平,由于T1与T9为P型晶体管,所以此时T1与T9导通;Ctrl-2为低电平,由于T2与T10为N型晶体管,所以此时T2与T10断开;Ctrl-3为低电平,由于T7为P型晶体管,所以此时T7导通;Ctrl-4为低电平,由于T8为P型晶体管,所以此时T8导通;此时等效电路如图15所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T1将VDD的数据信号传输至c;T9将VSS的数据信号传输至g;此时在a、c、g的作用下,T5向e输出第一驱动信号,驱动OLED1发光,处于时常为t1的直流充电状态;同时T7将e处的第一驱动信号传输至OLED2的阴极,由于第一驱动信号相对于VSS是高电压,所以此时OLED2处于时常为t1的反向偏置状态,而由于T2此时处于断开状态,所以不会对OLED2进行直流偏置。

[0419] 情景二,如图4、图13、图14和图16所示,在第N帧的第二时间段t2执行如下方法:

[0420] 在第N+1帧的第一时间段执行如下方法:

[0421] 第二驱动信号控制第二子像素电路30的第二发光单元301发光;

[0422] 第四控制端Ctrl-4控制第一反向偏置单元50,将第六节点f与第七节点g之间导通,并将第六节点f的第二驱动信号传输至第七节点g;

[0423] 第三控制端Ctrl-3控制第一反向偏置单元50,将第五节点e与第八节点h之间导通;

[0424] 其中,

[0425] 第一扫描端Vscan的信号控制第一数据输入单元202,将第一数据端Vdata1与第一节点a之间导通,并将第一数据端Vdata1的第一数据信号传输至第一节点a;

[0426] 第一存储电容CS1用于存储第一节点a与第一电压端VDD的电平;

[0427] 第一控制端Ctrl-1的信号控制发光控制单元40,将第一电压端VDD与第三节点c之间断开;

[0428] 第一扫描端Vscan的信号控制第二数据输入单元302,将第二数据端Vdata2与第二节点b之间导通,并将第二数据端Vdata2的第二数据信号传输至第二节点b;

[0429] 第二存储电容CS2用于存储第二节点c与第一电压端VDD的电平;

[0430] 第二控制端Ctrl-2的信号控制发光控制单元40,将第一电压端VDD与第四节点d之间导通,并将第一电压端VDD的电平输出至第四节点d;

[0431] 第一控制端Ctrl-1的信号控制第二反向偏置单元60,将第二电压端VSS与第七节点g之间断开;第二控制端Ctrl-2的信号控制第二反向偏置单元60,将第二电压端VSS与第八节点h之间导通,并将第二电压端VSS的电平输出至第八节点h;

[0432] 此时,参照图4与图13所示,像素电路10中的第一晶体管T1处于断开状态;第二晶体管T2处于导通状态;第三晶体管T3处于导通状态;第四晶体管T4处于导通状态;第五晶体管T5处于断开状态;第一有机发光二极管OLED1处于反向偏置状态;第六晶体管T6处于导通状态;第二有机发光二极管OLED2处于发光状态;第七晶体管T7处于导通状态;第八晶体管T8处于导通状态;第九晶体管T9处于断开状态;第十晶体管T10处于导通状态。

[0433] 由上述方案可知,当像素电路中包含相邻的第一子像素电路与第二子像素电路,处于第N帧画面的第一时间段 t_2 时,结合图13,图14可知,第一扫描端Vscan为低电平时,由于T3与T4为P型晶体管,所以此时T3与T4导通;Ctrl-1为高电平,由于T1与T9为P型晶体管,所以此时T1与T9断开;Ctrl-2为高电平,由于T2与T10为N型晶体管,所以此时T2与T10导通;Ctrl-3为低电平,由于T7为P型晶体管,所以此时T7导通;Ctrl-4为低电平,由于T8为P型晶体管,所以此时T8导通;此时等效电路如图16所示,Vdata1与Vdata2分别输入第一数据信号与第二数据信号至第一节点与第二节点,此时CS1进行存储a与VDD之间的电平,CS2进行存储b与VDD之间的电平;T2将VDD的数据信号传输至d;此时在b、d、h的作用下,T6向f输出第二驱动信号,驱动OLED2发光,处于时常为 t_2 的直流充电状态;同时T8将f处的第二驱动信号传输至OLED1的阴极,由于第二驱动信号相对于VSS是高电压,所以此时OLED1处于时常为 t_2 的反向偏置状态,而由于T1此时处于断开状态,所以不会对OLED1进行直流偏置。

[0434] 结合上述实施例五中情景一、二与实施例六中情景一、二可知,本发明实施例提供的像素电路10,包含相邻的第一子像素电路与第二子像素电路,第一控制端Ctrl-1与第二控制端Ctrl-2输入的控制信号的相位差为0度,即第一控制端Ctrl-1与第二控制端Ctrl-2连接相同的控制线就可以实现在同一帧画面内的不同时刻控制T1与T2的通断;第三控制端Ctrl-3与第四控制端Ctrl-4输入的控制信号的相位差为0度,即第三控制端Ctrl-3与第四控制端Ctrl-4连接相同的控制线就可以实现在同一帧画面内的不同时刻控制T7与T8的通断,从而使得信号线的数量减少降低了像素电路10的走线难度,使得像素电路10在第二子像素电路30的OLED2在第一子像素电路20的第一驱动信号的驱动下处于反向偏置状态,反向偏置状态的时长为 t_1 或者第一子像素电路20的OLED1在第二子像素电路30的第二驱动信号的驱动下处于反向偏置状态,反向偏置状态的时长为 t_2 ;并且可以对第一子像素电路20的OLED1进行直流充电,直流充电时长为 t_1 ,对第二子像素电路30的OLED2进行直流充电,直流充电的时长为 t_2 ;由于第一子像素电路20的OLED1或者第二子像素电路30的OLED2不用长期的处于直流偏置的条件下,减缓了第一子像素电路20的OLED1和第二子像素电路30的OLED2的衰老,增加了第一子像素电路20的OLED1和第二子像素电路30的OLED2的使用时间;本发明实施例提供的像素电路10并未外接其它的反向偏置电压,而是利用第一子像素电路20与第二子像素电路30的第一驱动信号或者第二驱动信号,作为第二子像素电路30的OLED2或第一子像素电路20的OLED1的反向偏置电压,在不影响AMOLED显示效果的情况下起到了减缓第一子像素电路20的OLED1和第二子像素电路30的OLED2衰老的效果,同时减少了像素电路10的走线难度以及偏置电压线对其它信号线的串扰。

[0435] 实施例七,本发明实施例提供一种显示设备,包括实施例一、实施例二提供的任一像素电路10。

[0436] 需要说明的是,本发明实施例提供的像素电路,由于像素电路在对第一子像素电路20的OLED1进行反向偏置或对第二子像素电路30的OLED2进行反向偏置时,第一数据端Vdata1及第二数据端Vdata2的数据信号同时对第一存储电容CS1及第二存储电容CS2进行充电,并没有减少第一存储电容CS1及第二存储电容CS2的充电时间,所以本发明实施例提供的像素电路10可以适用于高分辨率的屏幕。

[0437] 另外,显示设备可以为:电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0438] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

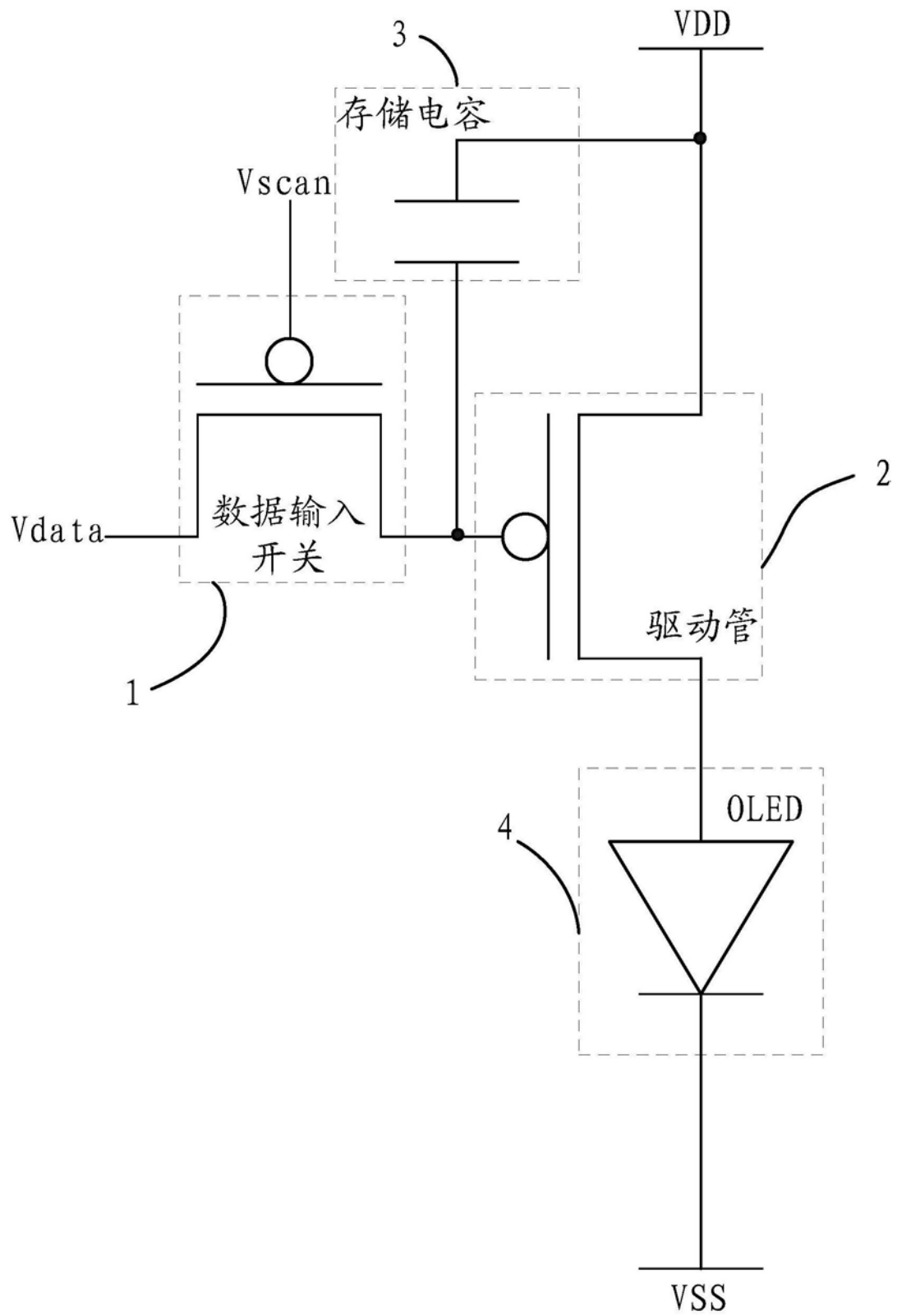


图1

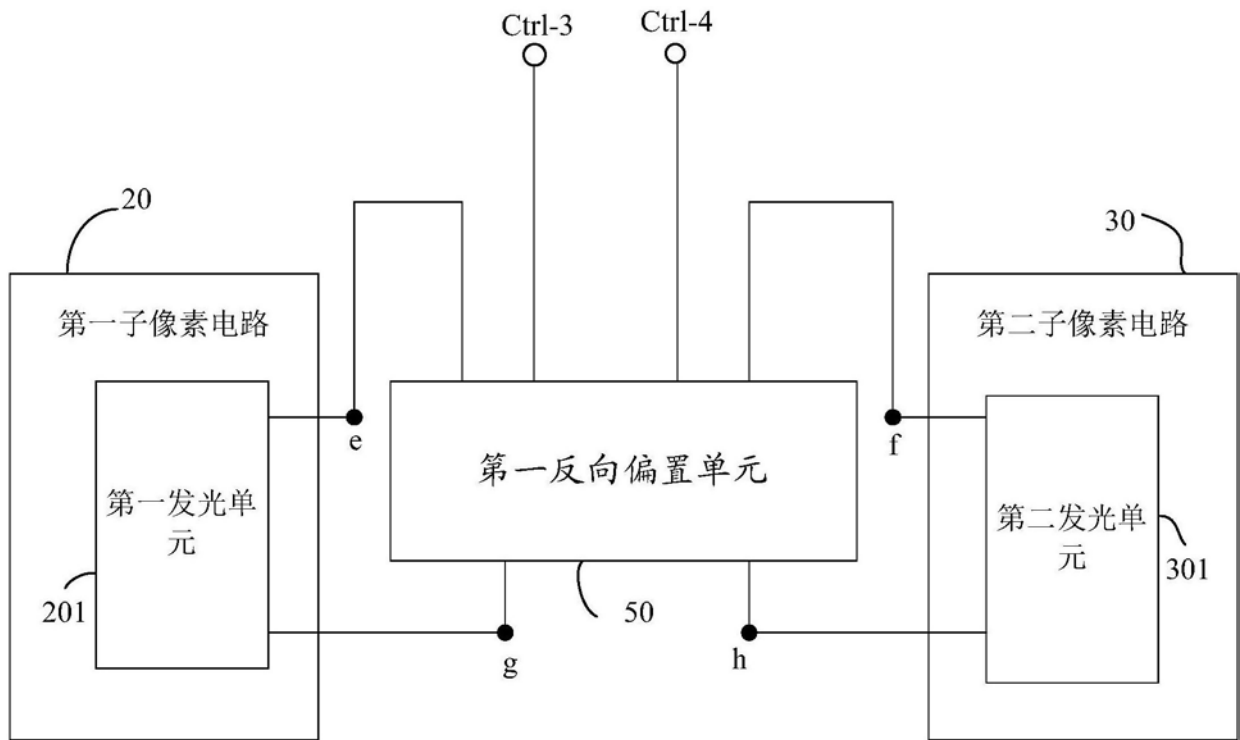


图2

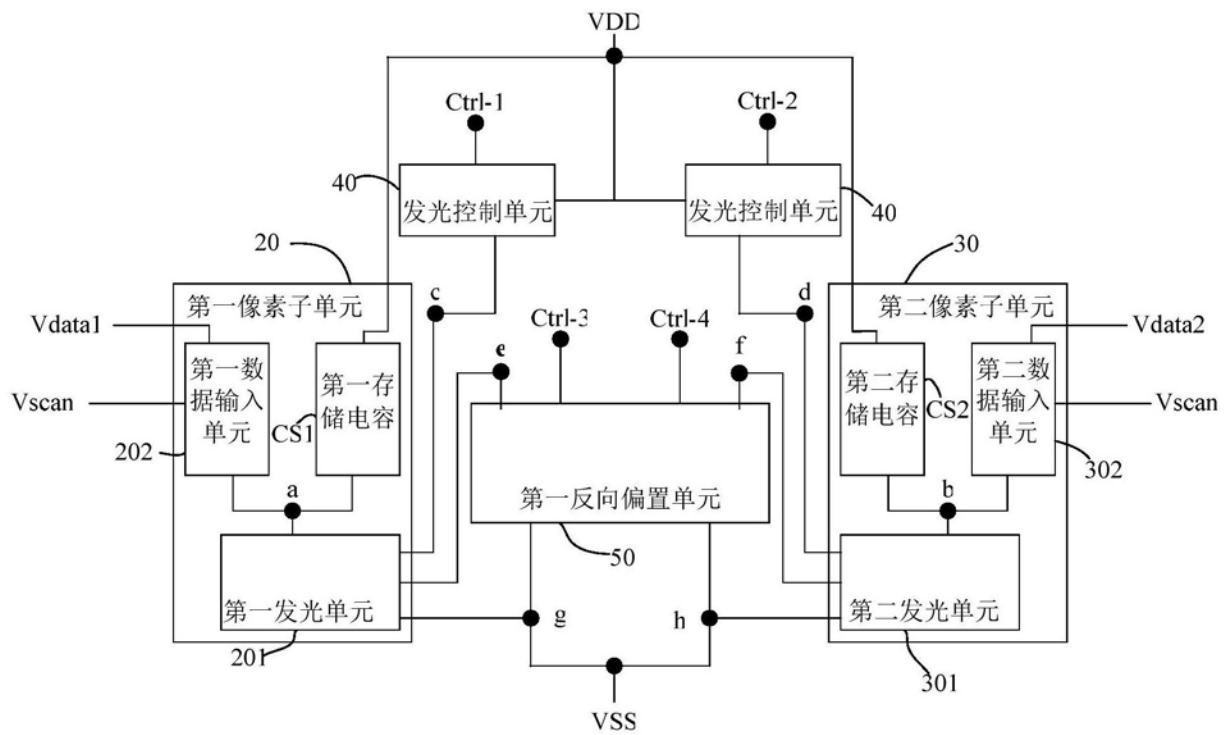


图3

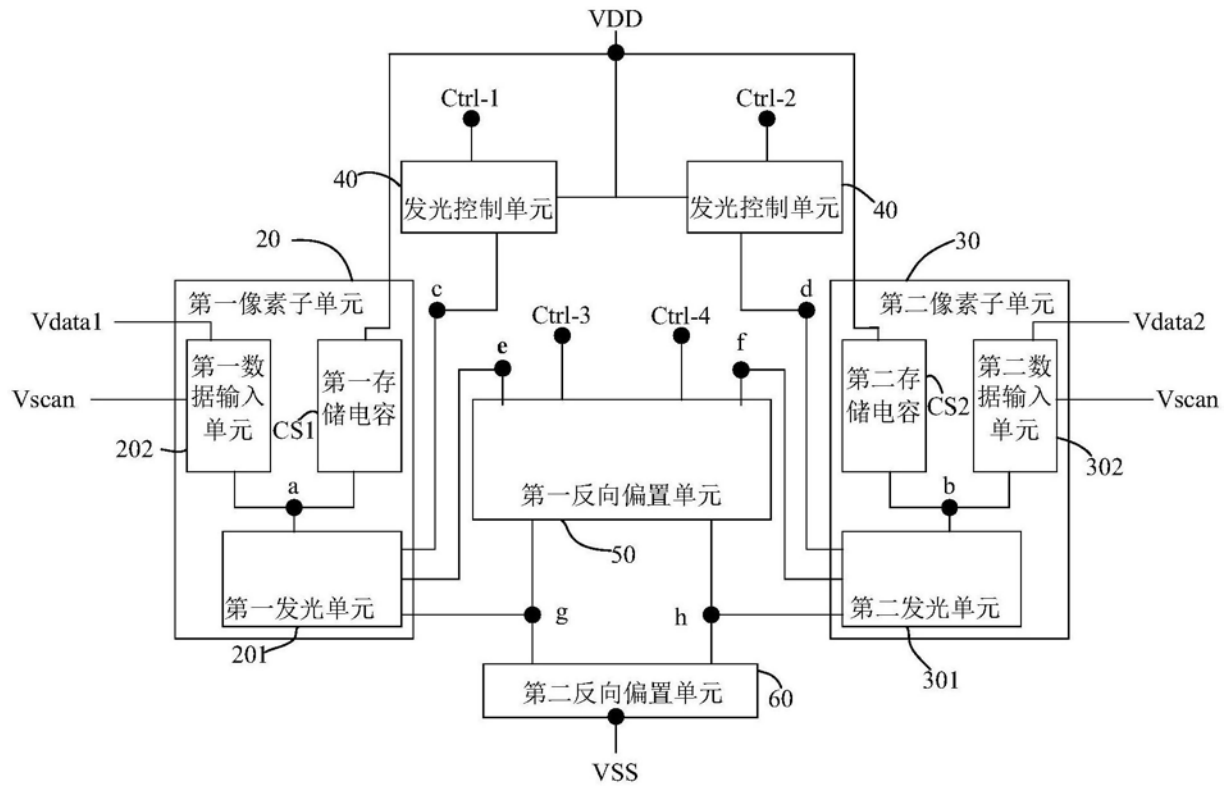


图4

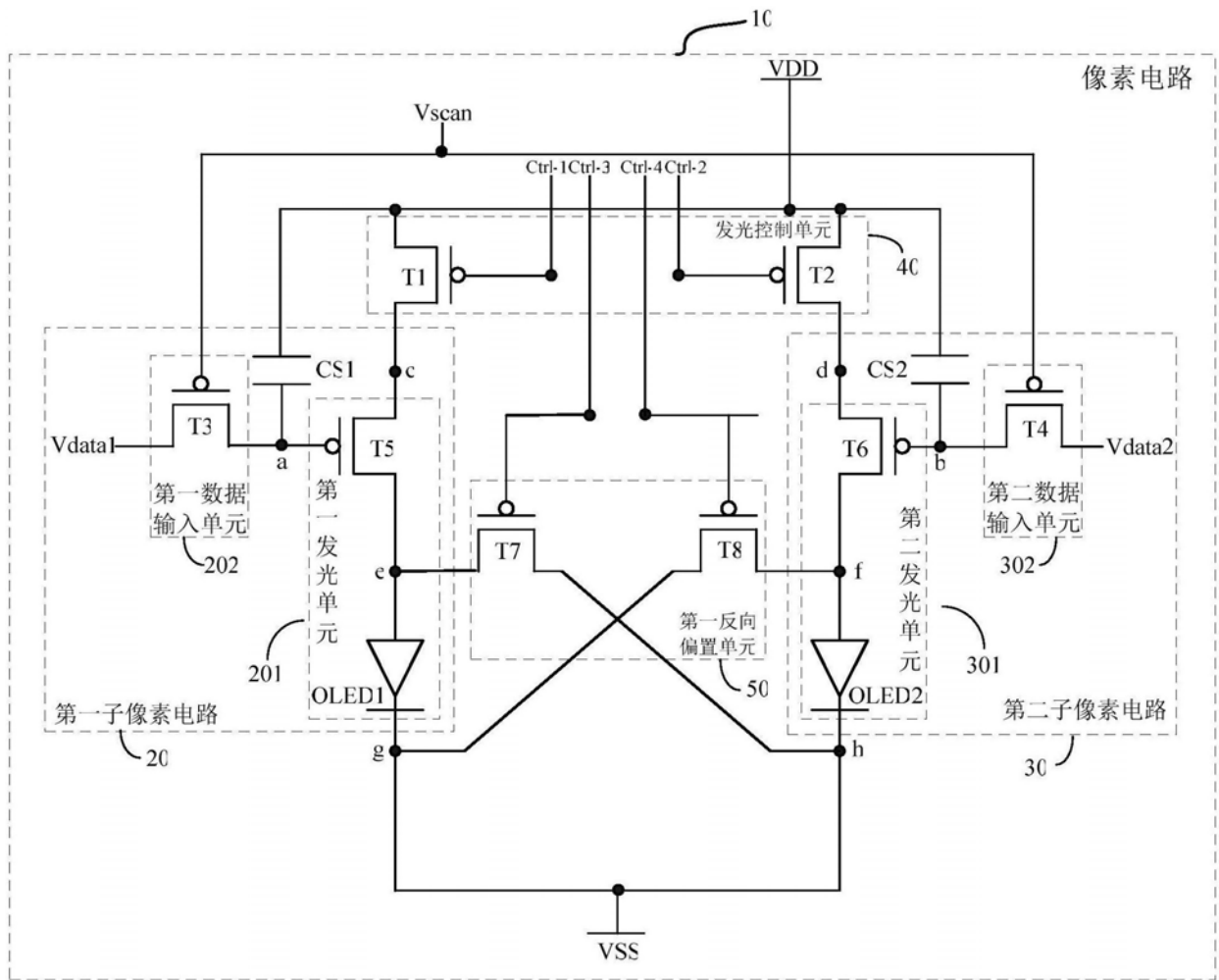


图5

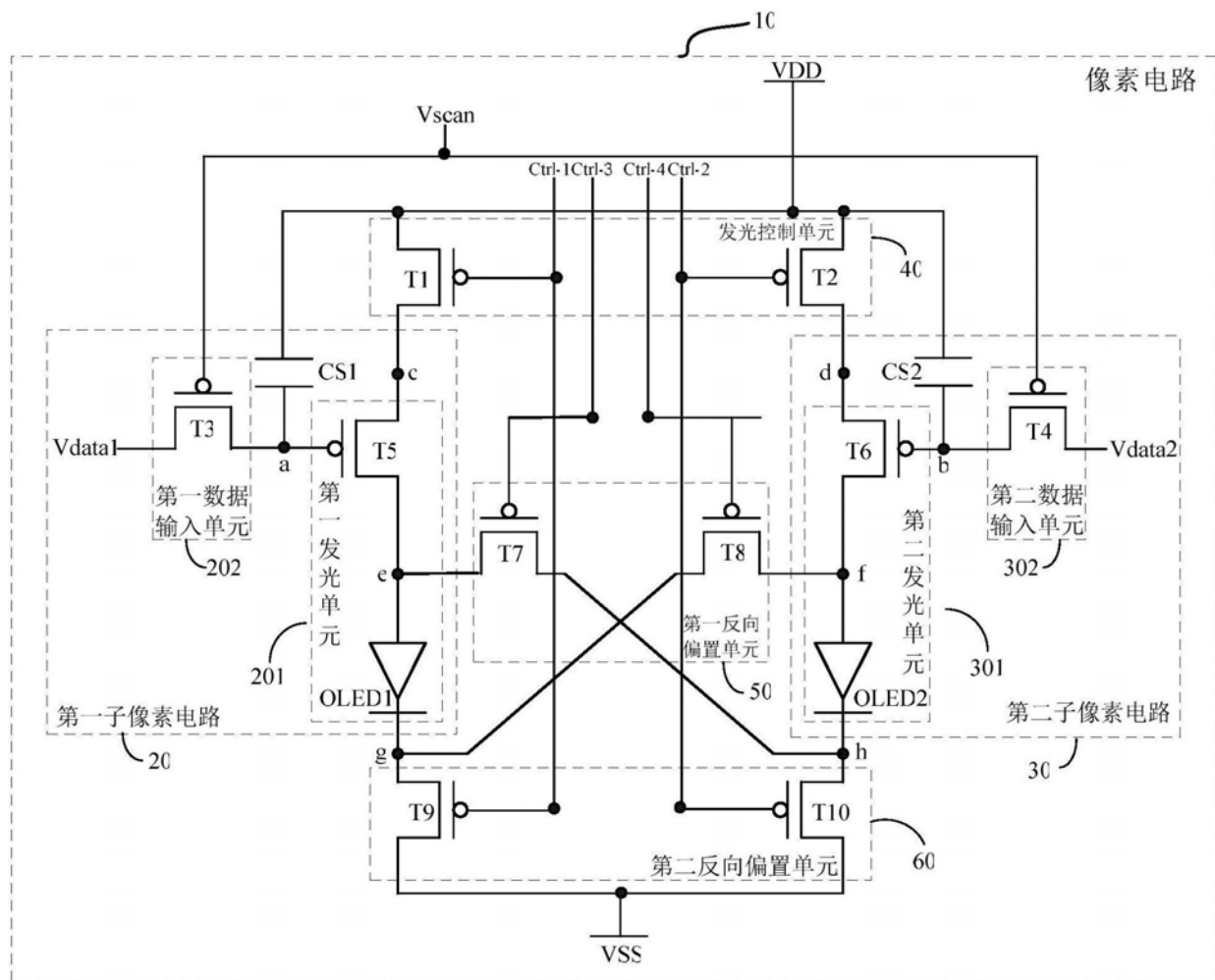


图6

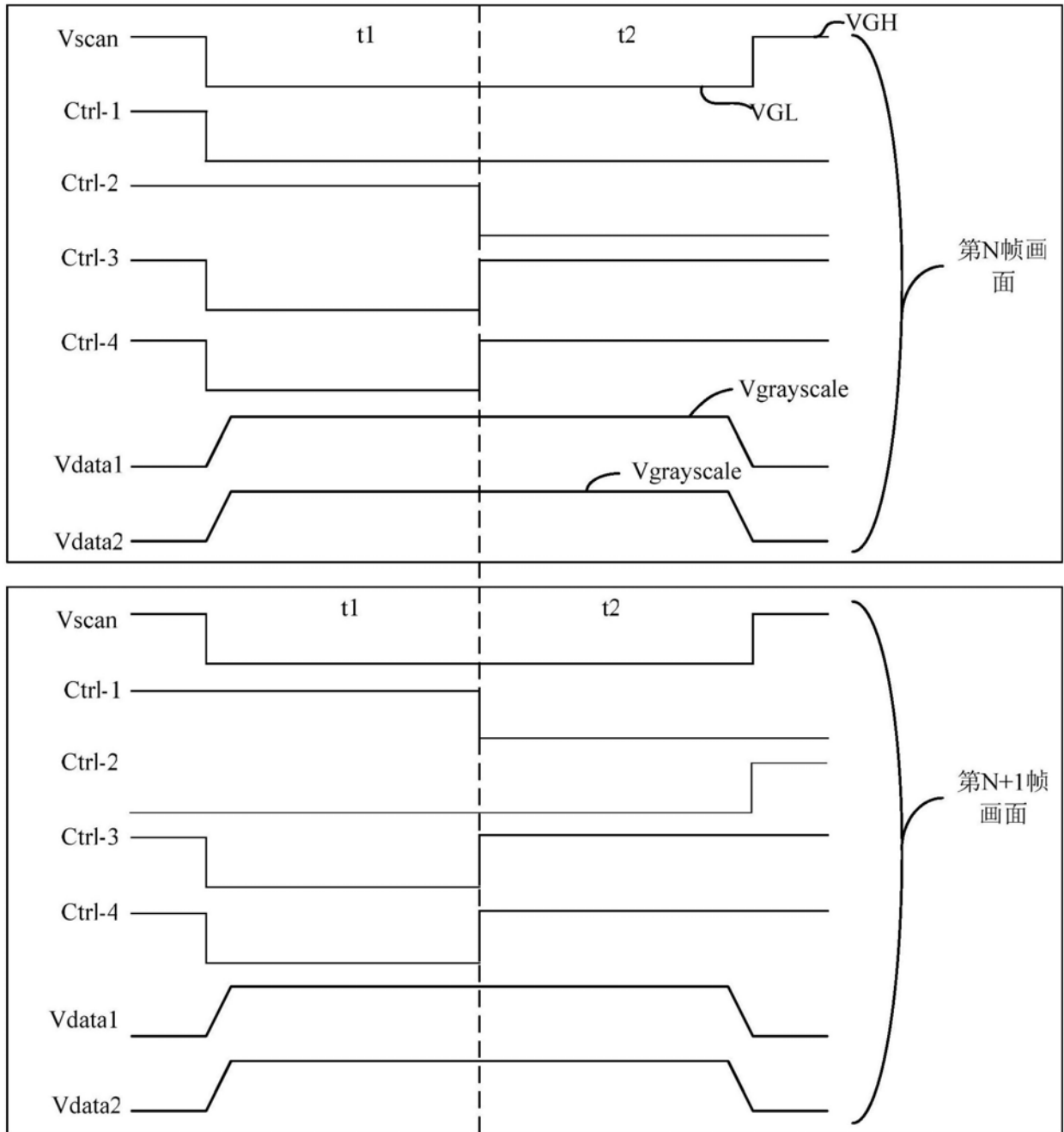


图7

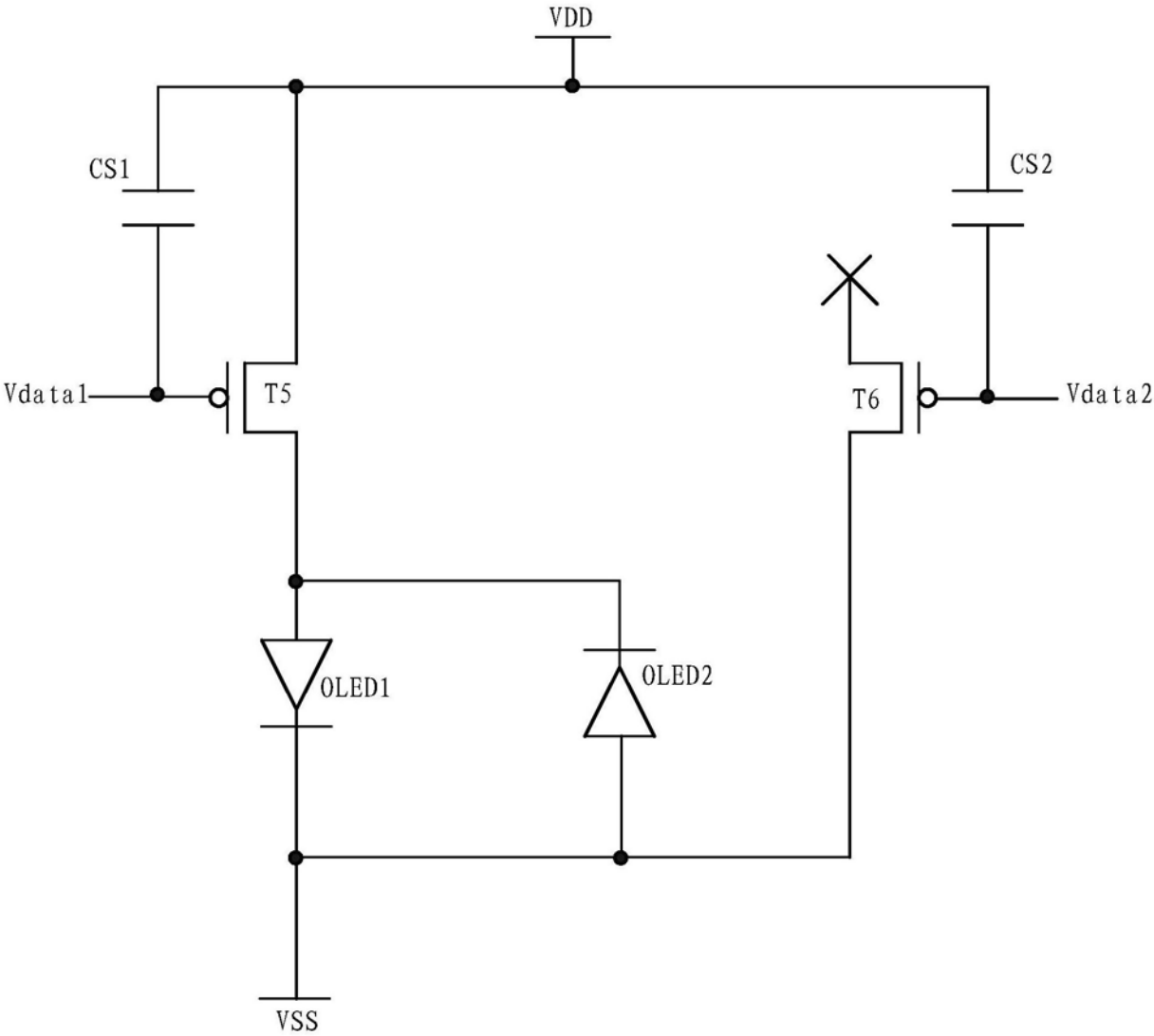


图8

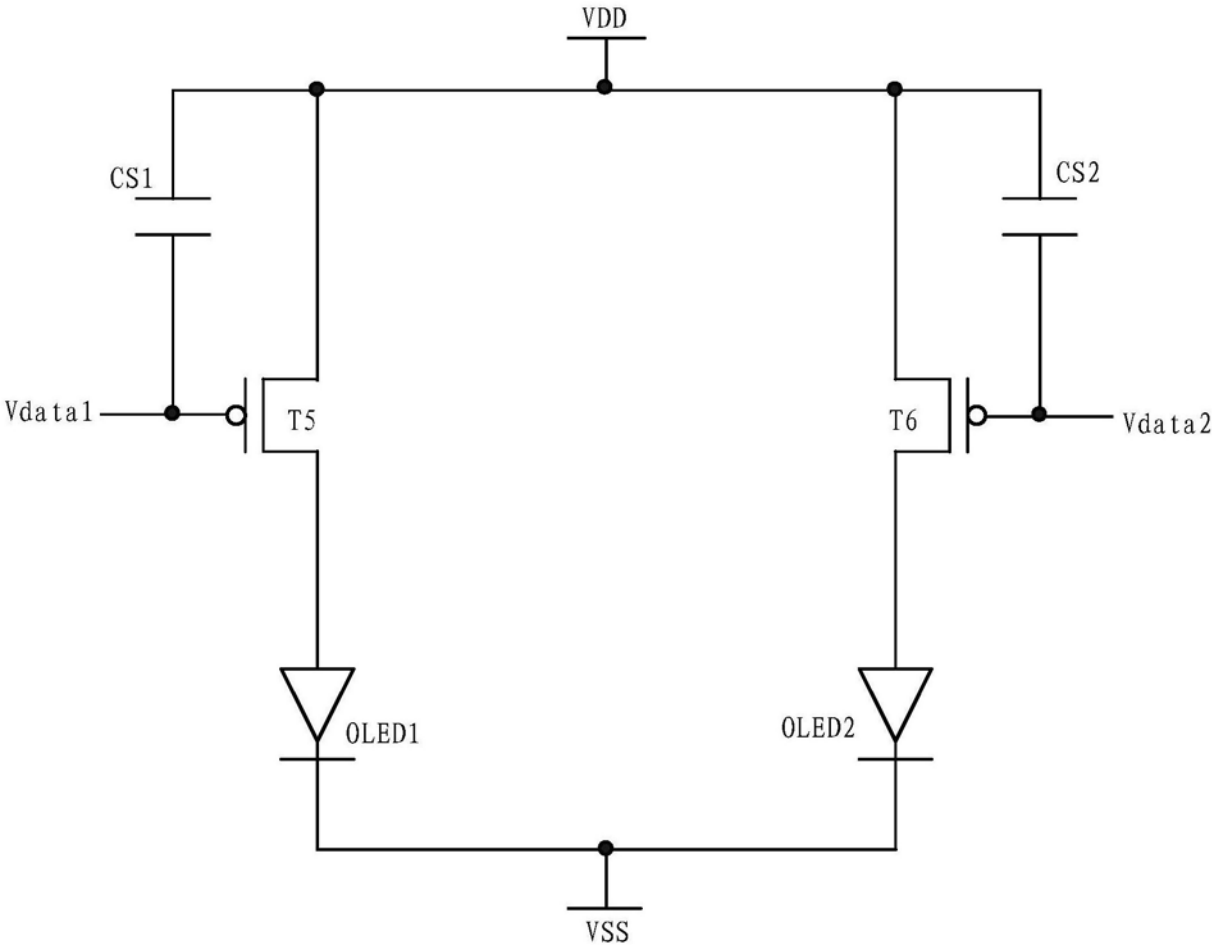


图9

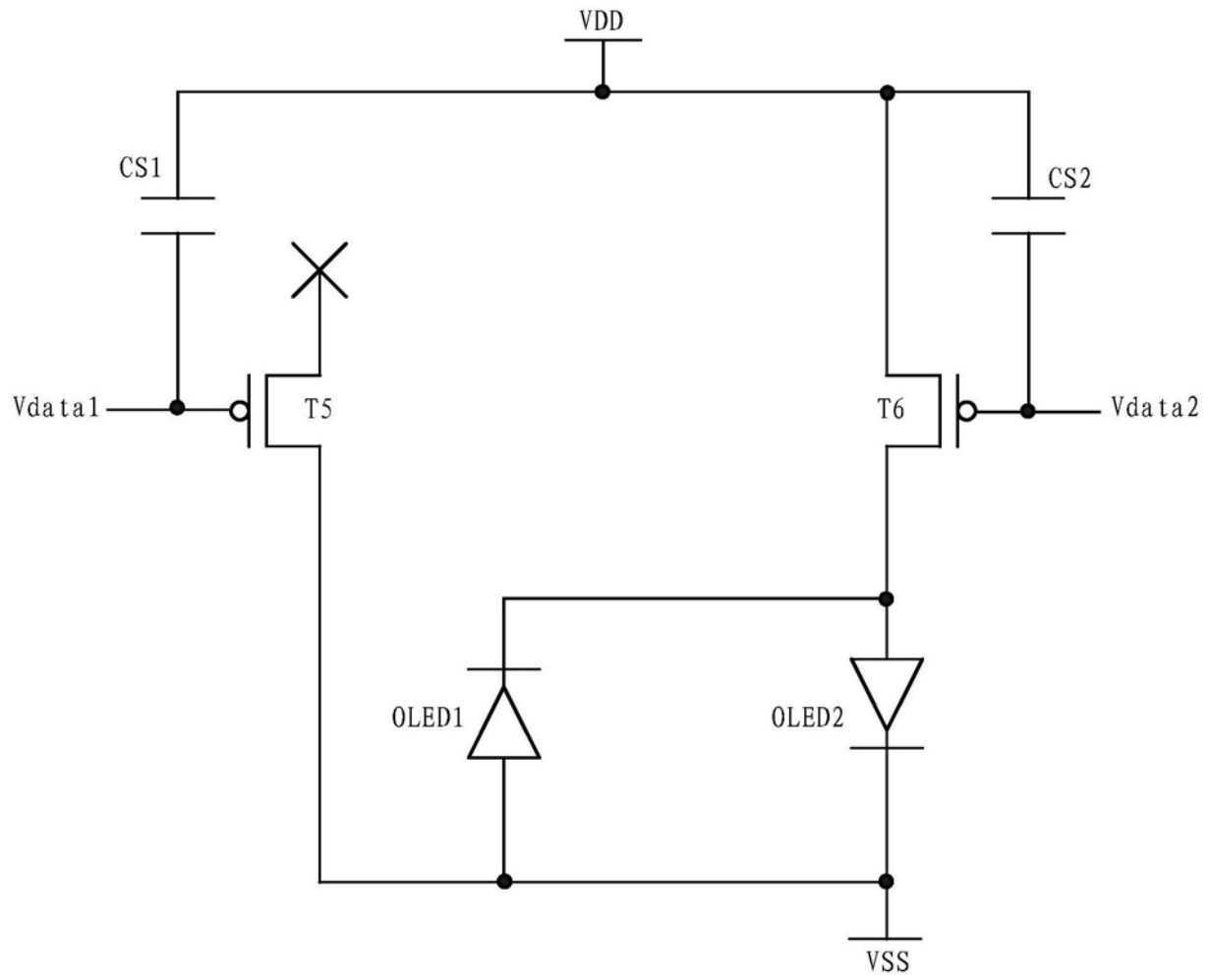


图10

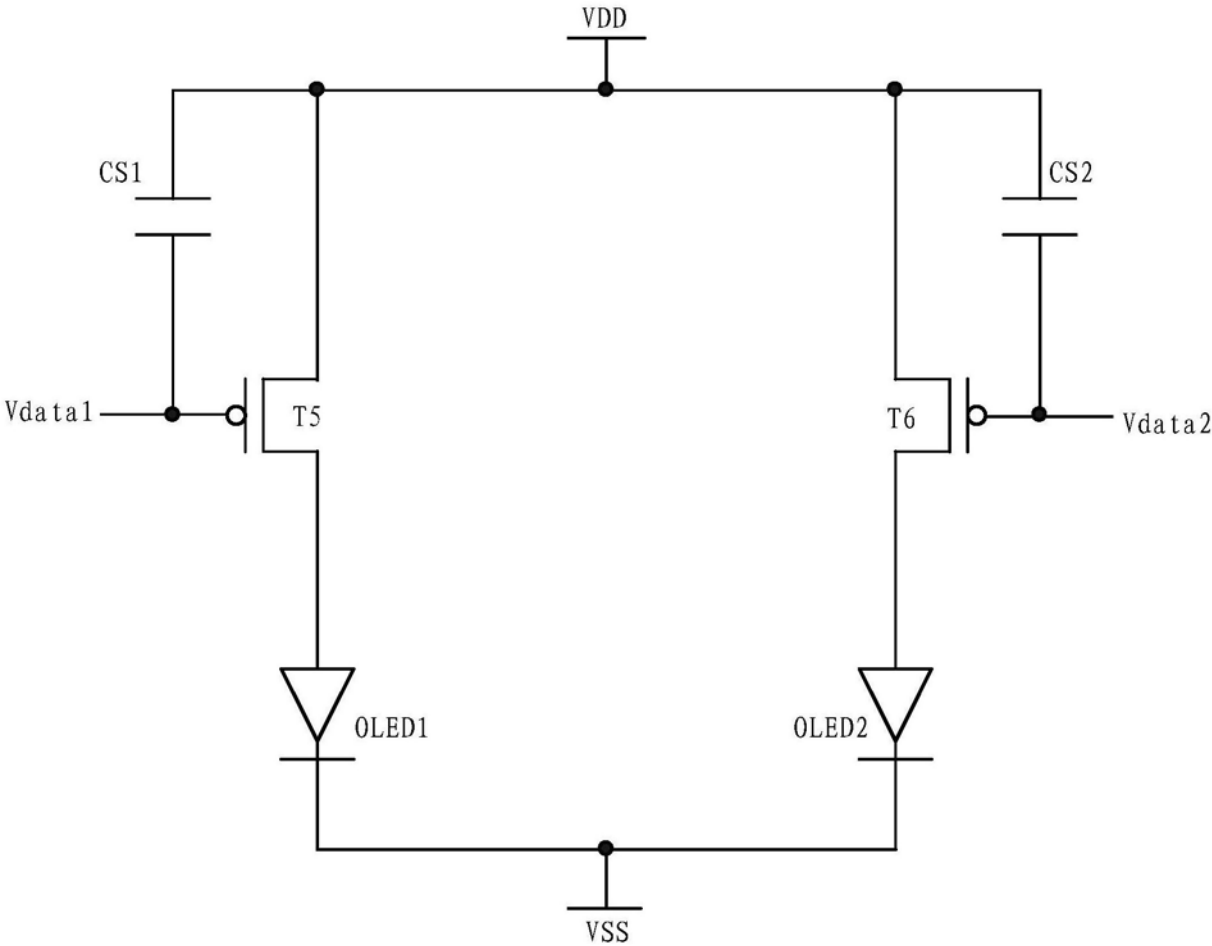


图11

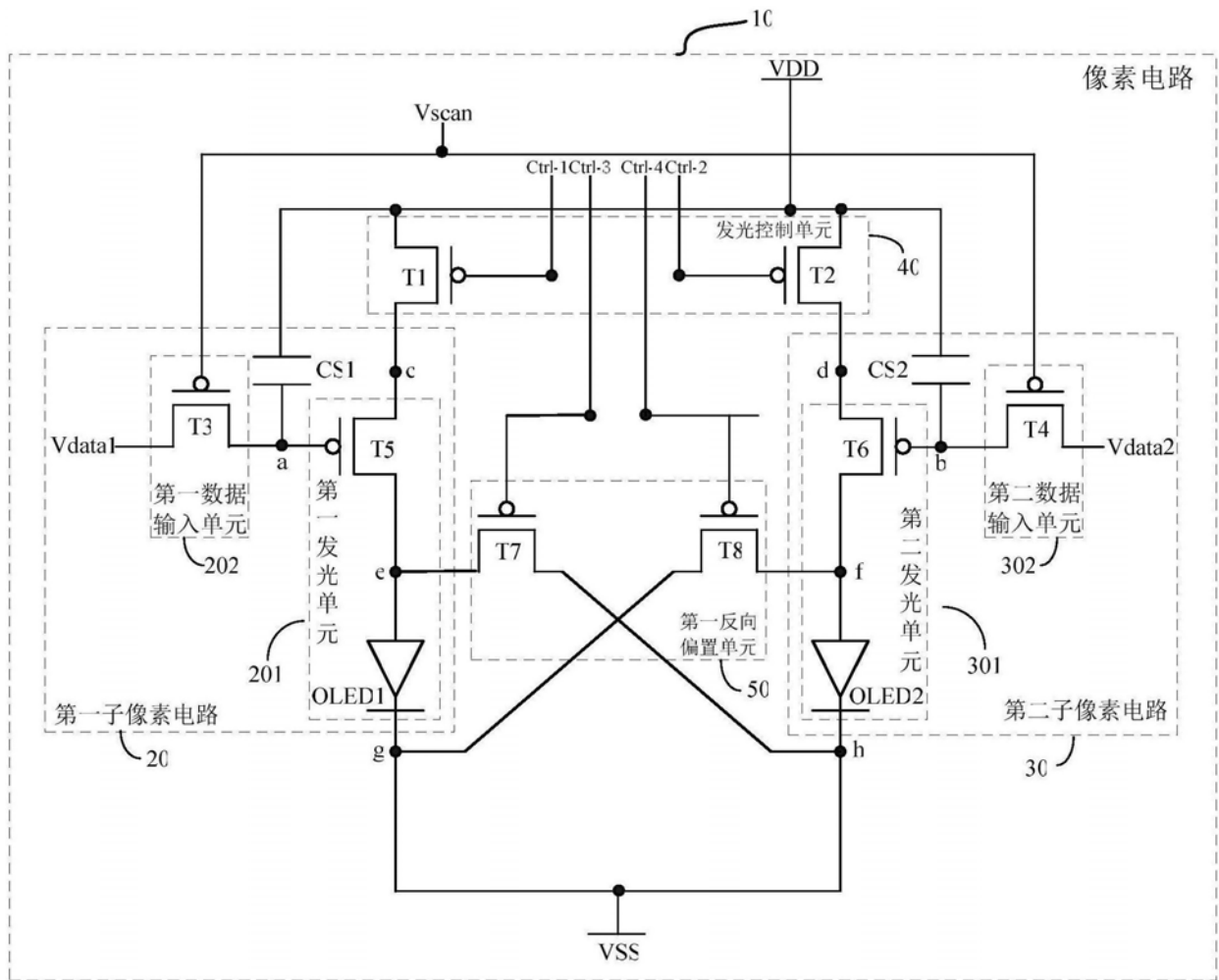


图12

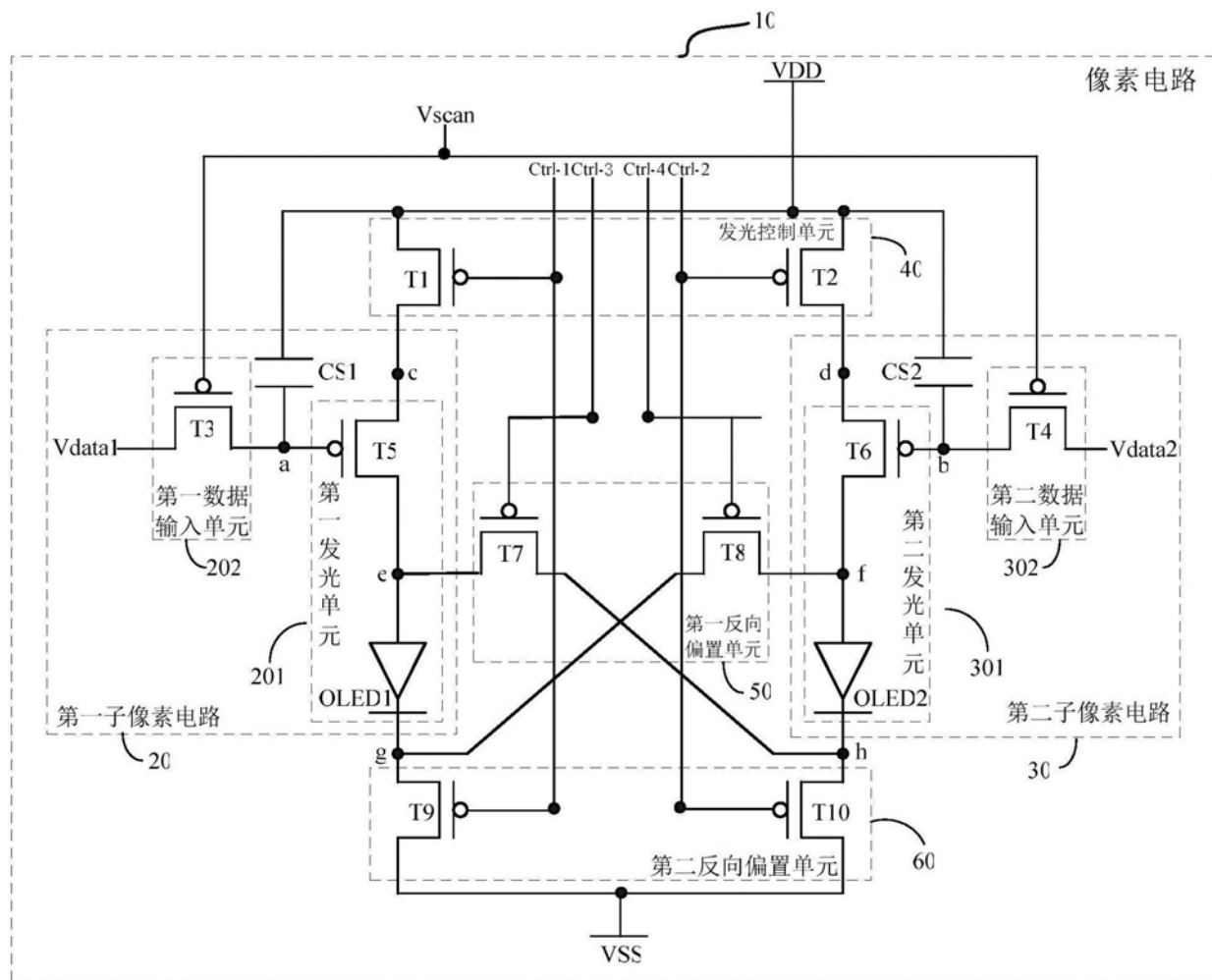


图13

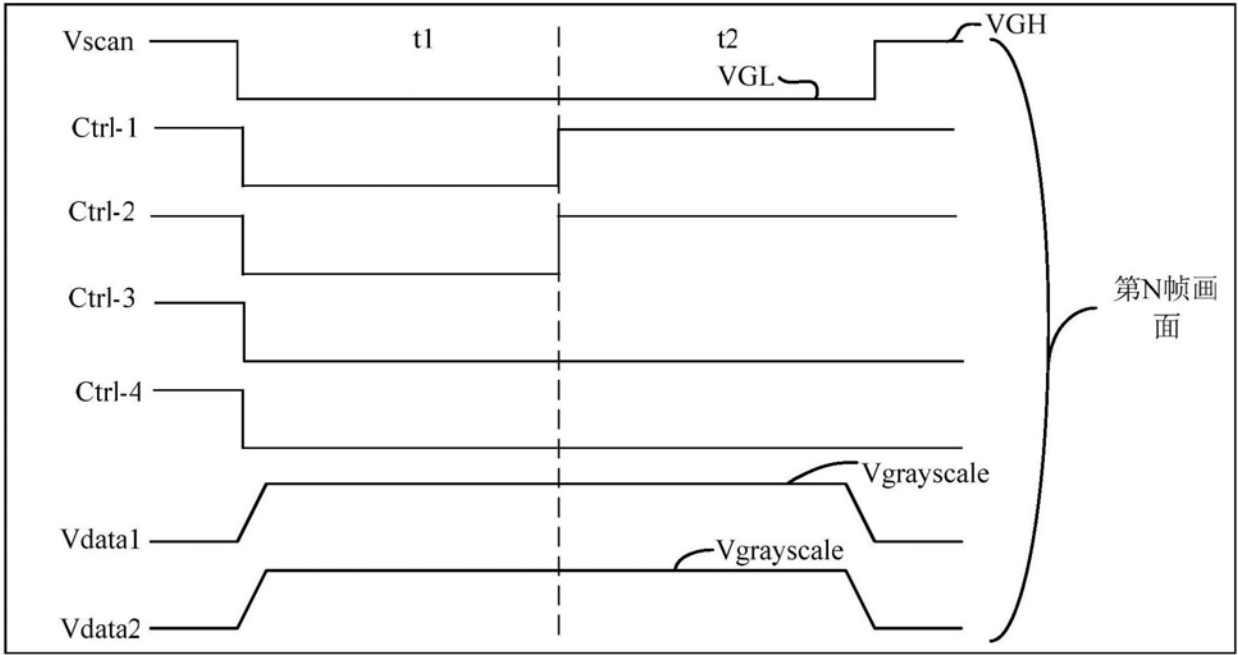


图14

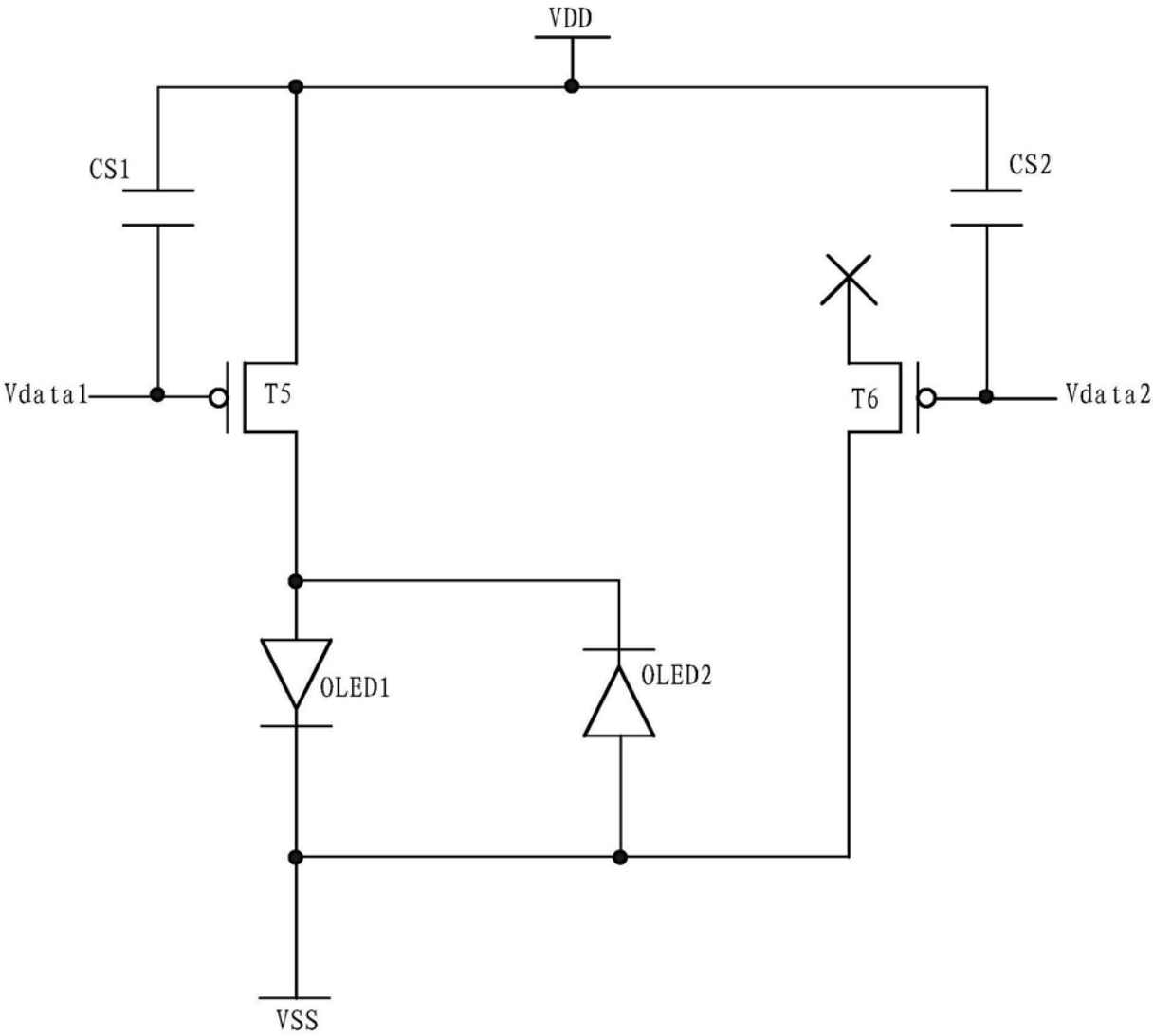


图15

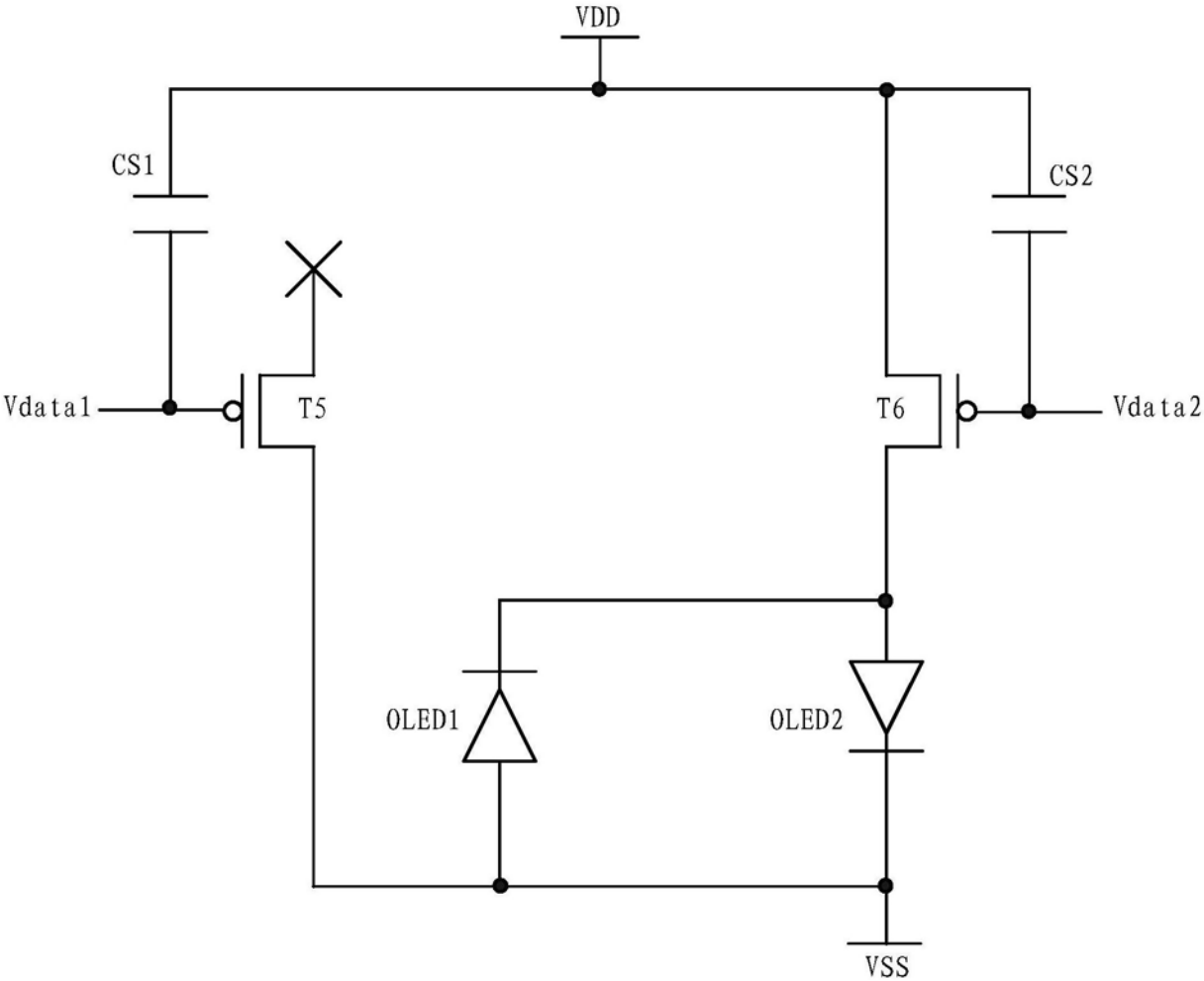


图16

专利名称(译)	一种像素电路及驱动方法和显示设备		
公开(公告)号	CN105895028B	公开(公告)日	2018-12-14
申请号	CN201610509888.0	申请日	2016-06-30
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	童振霄 韦东梅		
发明人	童振霄 韦东梅		
IPC分类号	G09G3/3291		
CPC分类号	G09G3/3225 G09G3/3233 G09G3/3291 G09G2300/0443 G09G2300/0804 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0256 G09G2320/0233 G09G2320/043 G09G2320/045 G09G2330/028		
代理人(译)	李桦		
其他公开文献	CN105895028A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素电路及驱动方法和显示设备，涉及显示技术领域，解决现有技术中OLED长期处于直流偏置易衰老的问题。一种像素电路，包括：第一反向偏置单元，以及相邻的第一子像素电路和第二子像素电路，第一子像素电路包括第一发光单元；第二子像素电路包括第二发光单元。本发明实施例用于OLED显示设备的制造。

