



(12) 发明专利申请

(10) 申请公布号 CN 104916255 A

(43) 申请公布日 2015.09.16

(21) 申请号 201510347643.8

(22) 申请日 2015.06.23

(30) 优先权数据

104112937 2015.04.22 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72)发明人 林永铭 叶佳元

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 汤在彦

(51) Int. Cl.

G09G 3/32(2006.01)

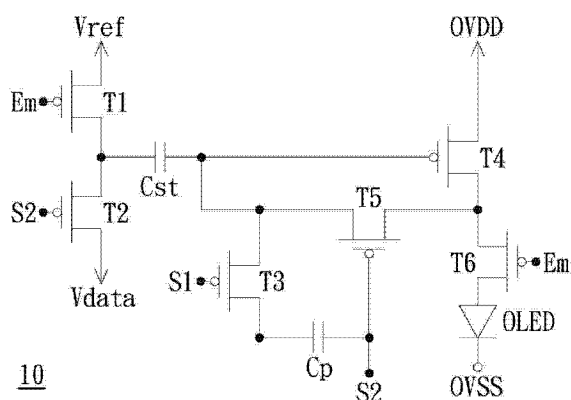
权利要求书2页 说明书5页 附图3页

(54) 发明名称

像素电路

(57) 摘要

本发明提供了一种像素电路,其包括第一晶体管、一第二晶体管、一第三晶体管、一第四晶体管、一第五晶体管、一第六晶体管、一第一电容以及一有机发光二极管,每一晶体管具有一第一端、一第二端以及一控制端。其中第四晶体管的控制端与第一电容以及第三晶体管的第二端电性耦接,当像素电路操作于一显示期间时,第三晶体管的第一端的电压准位高于第四晶体管的控制端的电压准位,有效减少像素电路的漏电路径。



1. 一种像素电路,其特征在于,包括:

一第一晶体管,其具有一第一端、一第二端以及一控制端,所述第一晶体管的所述第一端与一参考电压电性耦接,所述第一晶体管的所述控制端接收一第一控制信号;

一第二晶体管,其具有一第一端、一第二端以及一控制端,所述第二晶体管的所述第一端与一显示数据电性耦接,所述第二晶体管的所述控制端接收一第二控制信号,所述第二晶体管的所述第二端与所述第一晶体管的所述第二端电性耦接;

一第一电容,其具有一第一端以及一第二端,所述第一电容的所述第一端与所述第一晶体管的所述第二端以及所述第二晶体管的所述第二端电性耦接;

一第三晶体管,其具有一第一端、一第二端以及一控制端,所述第三晶体管的所述第一端与所述第二控制信号电性耦接,所述第三晶体管的所述控制端接收一第三控制信号,所述第三晶体管的所述第二端与所述第一电容的所述第二端电性耦接;

一第四晶体管,其具有一第一端、一第二端以及一控制端,所述第四晶体管的所述第一端与一外部高电压电性耦接,所述第四晶体管的所述控制端与所述第一电容的所述第二端电性耦接;

一第五晶体管,其具有一第一端、一第二端以及一控制端,所述第五晶体管的所述第一端与所述第四晶体管的所述第二端电性耦接,所述第五晶体管的所述控制端接收所述第二控制信号,所述第五晶体管的所述第二端与所述第一电容的所述第二端电性耦接;

一第六晶体管,其具有一第一端、一第二端以及一控制端,所述第六晶体管的所述第一端与所述第四晶体管的所述第二端电性耦接,所述第六晶体管的所述控制端接收所述第一控制信号;以及

一有机发光二极管,其具有一第一端以及一第二端,所述有机发光二极管的所述第一端与所述第六晶体管的所述第二端电性耦接,所述有机发光二极管的所述第二端与一外部低电压电性耦接。

2. 根据权利要求1所述的像素电路,其特征在于,更包括一第二电容,其具有一第一端以及一第二端并电性耦接于所述第二控制信号与所述第三晶体管的所述第一端之间,所述第二电容的所述第一端与所述第二控制信号电性耦接,所述第二电容的所述第二端与所述第三晶体管的所述第一端电性耦接。

3. 根据权利要求1所述的像素电路,其特征在于,所述第一控制信号具有至少一上升缘以及至少一下降缘,所述第二控制信号具有至少一上升缘以及至少一下降缘,所述第三控制信号具有至少一上升缘以及至少一下降缘,所述第三控制信号的所述下降缘早于所述第二控制信号的所述下降缘,所述第二控制信号的所述下降缘早于所述第一控制信号的所述下降缘,所述第一控制信号的所述上升缘早于所述第三控制信号的所述上升缘,所述第三控制信号的所述上升缘早于所述第二控制信号的所述上升缘,所述第一控制信号的所述上升缘早于所述第三控制信号的所述下降缘,所述第二控制信号的所述下降缘早于所述第三控制信号的所述上升缘。

4. 根据权利要求3所述的像素电路,其特征在于,所述第一控制信号具有多次的一高电压准位以及多次的一低电压准位,所述第二控制信号具有多次的一高电压准位以及多次的一低电压准位,所述第三控制信号具有多次的一高电压准位以及多次的低电压准位,所述第一控制信号的所述高电压准位、所述第二控制信号的所述高电压准位以及所述第三控

制信号的所述高电压准位高于所述外部高电压的电压准位,所述外部高电压的电压准位高于所述参考电压的电压准位,所述参考电压的电压准位高于所述外部低电压的电压准位,所述外部低电压的电压准位高于所述第一控制信号的所述低电压准位、所述第二控制信号的所述低电压准位以及所述第三控制信号的所述低电压准位。

5. 根据权利要求 4 所述的像素电路,其特征在于,所述像素电路操作于一第一初始期间时,所述第一控制信号为所述高电压准位,所述第二控制信号为所述高电压准位,所述第三控制信号为所述低电压准位,所述第一晶体管、所述第二晶体管、所述第五晶体管以及所述第六晶体管为关闭,所述像素电路操作于一第二初始期间时,所述第一控制信号为所述高电压准位,所述第二控制信号由所述高电压准位变换为所述低电压准位,所述第三控制信号为所述低电压准位,所述第一晶体管与所述第六晶体管为关闭,所述像素电路操作于一补偿期间时,所述第一控制信号为所述高电压准位,所述第二控制信号为所述低电压准位,所述第三控制信号为所述高电压准位,所述第一晶体管、所述第三晶体管、所述第六晶体管为关闭,所述像素电路操作于一显示期间时,所述第一控制信号为低电压准位,所述第二控制信号为高电压准位,所述第三控制信号为高电压准位,所述第二晶体管、所述第三晶体管以及所述第五晶体管为关闭。

像素电路

技术领域

[0001] 本发明是有关于一种像素电路,尤其是有关于一种可降低漏电流的像素电路。

背景技术

[0002] 有机发光二极管 (Organic Light Emitting Diode, OLED) 显示装置较液晶显示装置具有可自发光、广视角、高对比、反应速度快等优点,适合应用于对功率消耗敏感的可携式电子装置中。在有机发光二极管显示装置中,有机发光二极管是根据流经有机发光二极管的驱动电流来显示对应的显示数据,而驱动电流是由像素单元中的驱动晶体管依照所接收到的数据电压而产生。因此驱动晶体管的各端点的电压准位变化会直接影响到显示画面。然现有的有机发光二极管显示装置的像素单元由于具有较多的漏电路径,因此容易造成驱动晶体管所耦接的电压准位变动,导致像素单元无法正常显示显示数据,因而造成画面的闪烁。此外,在低更新率 (low frame rate) 的显示应用上,传统的像素电路会使得画面闪烁的现象更加明显。

发明内容

[0003] 为了解决上述现有像素单元具有较多的漏电路径的缺陷,本发明提出一种像素电路,根据本发明的一实施例,其包括一第一晶体管,第一晶体管具有一第一端、一第二端以及一控制端,第一晶体管的第一端与一参考电压电性耦接,第一晶体的控制端接收一第一控制信号;一第二晶体管,第二晶体管具有一第一端、一第二端以及一控制端,第二晶体管的第一端与一显示数据电性耦接,第二晶体的控制端接收一第二控制信号,第二晶体的第二端与第一晶体的第二端电性耦接;一第一电容,第一电容具有一第一端以及一第二端,第一电容的第一端与第一晶体的第二端以及第二晶体的第二端电性耦接;一第三晶体管,第三晶体管其具有一第一端、一第二端以及一控制端,第三晶体管的第一端与第二控制信号电性耦接,第三晶体的控制端接收一第三控制信号,第三晶体的第二端与第一电容的第二端电性耦接;一第四晶体管,第四晶体管其具有一第一端、一第二端以及一控制端,第四晶体管的第一端与一外部高电压电性耦接,第四晶体的控制端与第一电容的第二端电性耦接;第五晶体管,第五晶体管其具有一第一端、一第二端以及一控制端,第五晶体管的第一端与第四晶体的第二端电性耦接,第五晶体的控制端接收第二控制信号,第五晶体的第二端与第一电容的第二端电性耦接;一第六晶体管,第六晶体管其具有一第一端、一第二端以及一控制端,第六晶体管的第一端与第四晶体的第二端电性耦接,第六晶体的控制端接收第一控制信号;一有机发光二极管,有机发光二极管具有一第一端以及一第二端,有机发光二极管的第一端与第六晶体的第二端电性耦接,有机发光二极管的第二端与一外部低电压电性耦接。

[0004] 在本实施例中,像素电路操作于一第一初始期间时,第一控制信号为高电压准位,第二控制信号为高电压准位,第三控制信号为低电压准位,第一晶体管、第二晶体管、第五晶体管以及第六晶体管为关闭;像素电路操作于一第二初始期间时,第一控制信号为高电

压准位,第二控制信号由高电压准位变换为低电压准位,第三控制信号为低电压准位,第一晶体管与第六晶体管为关闭;像素电路操作于一补偿期间时,第一控制信号为高电压准位,第二控制信号为低电压准位,第三控制信号为高电压准位,第一晶体管、第三晶体管、第六晶体管为关闭;像素电路操作于一显示期间时,第一控制信号为低电压准位,第二控制信号为高电压准位,第三控制信号为高电压准位,第二晶体管、第三晶体管以及第五晶体管为关闭。

[0005] 在本发明的其他实施例中,像素电路实施例更可包括一第二电容,其具有一第一端以及一第二端并电性耦接于第二控制信号与第三晶体管的第一端之间,第二电容的第一端与第二控制信号电性耦接,第二电容的第二端与第三晶体管的第一端电性耦接。

[0006] 综上所述,由于本发明的像素电路实施例的第四晶体管控制端与第一电容以及第三晶体管电性耦接,在显示期间时,基于电容特性以及第三晶体管的第一端为高于第四晶体管控制端电压准位的高电压准位,因此第四晶体管控制端的漏电流只会往有机发光二极管流动,故本发明的像素电路实施例能有效降低漏电流的路径,使第四晶体管控制端的电压准位不因漏电流大幅变动,因此第四晶体管的驱动电流可正常驱动有机发光二极管以正常显示。此外,第四晶体管的驱动电流更与外部高电压以及第四晶体管的截止电压无关,驱动电流因此不会受到外部高电压在传输途中的电压衰退或第四晶体管的电性改变所影响,而导致显示错误的情况发生。

[0007] 为了让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例并配合所附图式做详细说明如下。

附图说明

[0008] 图1为本发明的像素电路的实施例一的示意图。

[0009] 图2为本发明的像素电路的实施例一的信号时序示意图。

[0010] 图3为本发明的像素电路的实施例二的示意图。

[0011] 附图标号说明

[0012] 10、30 像素电路

[0013] T1、T2、T3、T4、T5、T6 晶体管

[0014] S1、S2、 E_m 控制信号

[0015] C_{st} 、 C_p 电容

[0016] OLED 有机发光二极管

[0017] OVDD 外部高电压

[0018] OVSS 外部低电压

[0019] V_{th} 截止电压

[0020] V_H 高电压准位

[0021] V_L 低电压准位

[0022] I_{DS} 驱动电流

[0023] V_{data} 显示数据

[0024] V_{ref} 参考电压

[0025] V_S 晶体管 T4 第一端的电压准位

[0026] V_G 晶体管 T4 控制端的电压准位

[0027] Frame1、Frame2 显示画面

具体实施方式

[0028] 图 1 为根据本发明一第一实施例的像素电路示意图。请参阅图 1, 像素电路 10 包括一晶体管 T1、一晶体管 T2、一晶体管 T3、一晶体管 T4、一晶体管 T5 一晶体管 T6、电容 C_{st} 、电容 C_p 、以及一有机发光二极管 OLED, 上述的晶体管 T1 ~ T6 可为 P 型晶体管, 但不以此为限。晶体管 T1 具有一第一端、一第二端以及一控制端, 晶体管 T1 的第一端与一参考电压 V_{ref} 电性耦接, 晶体管 T1 的控制端接收一控制信号 E_m , 晶体管 T1 的第二端则与晶体管 T2 电性耦接。晶体管 T2 具有一第一端、一第二端以及一控制端, 晶体管 T2 的第一端与一显示数据 V_{data} 电性耦接, 晶体管 T2 的控制端接收一控制信号 S2, 晶体管 T2 的第二端则与晶体管 T1 的第二端电性耦接。电容 C_{st} 具有一第一端以及一第二端, 电容 C_{st} 的第一端与晶体管 T1 的第二端以及晶体管 T2 的第二端电性耦接。晶体管 T4 具有一第一端、一第二端以及一控制端, 晶体管 T4 的第一端与一外部高电压 OVDD 电性耦接, 晶体管 T4 的控制端与电容 C_{st} 的第二端电性耦接, 晶体管 T4 的第二端与晶体管 T5 以及晶体管 T6 电性耦接。晶体管 T5 具有一第一端、一第二端以及一控制端, 晶体管 T5 的第一端与晶体管 T4 的第二端电性耦接, 晶体管 T5 的控制端用以接收上述的控制信号 S2, 晶体管 T5 的第二端与电容 C_{st} 的第二端电性耦接。晶体管 T3 具有一第一端、一第二端以及一控制端, 晶体管 T3 的第一端与电容 C_p 电性耦接, 晶体管 T3 的控制端接收一控制信号 S1, 晶体管 T3 的第二端与电容 C_{st} 的第二端电性耦接。电容 C_p 具有一第一端以及一第二端, 电容 C_p 的第一端与控制信号 S2 以及晶体管 T5 的控制端电性耦接, 电容 C_p 的第二端与晶体管 T3 的第一端电性耦接。晶体管 T6 具有一第一端、一第二端以及一控制端, 晶体管 T6 的第一端与晶体管 T4 的第二端以及晶体管 T5 的第一端电性耦接, 晶体管 T6 的控制端接收控制信号 E_m , 晶体管 T6 的第二端与有机发光二极管 OLED 电性耦接。有机发光二极管 OLED 具有一第一端以及一第二端, 有机发光二极管 OLED 的第一端与晶体管 T6 的第二端电性耦接, 有机发光二极管 OLED 的第二端与一外部低电压 OVSS 电性耦接。

[0029] 图 2 为本发明第一实施例的像素电路的控制信号时序示意图。请参考图 2, 第一实施例的像素电路的控制信号包含控制信号 E_m 、控制信号 S1 以及控制信号 S2, 上述的控制信号是用以根据信号时序使像素电路 10 显示不同显示画面 frame 的显示数据, 图 2 中并以显示画面 Frame1 以及 Frame2 为例, 但不以此为限。其中控制信号 S1 以及控制信号 S2, 举例而言, 可分别为相邻两列的像素电路所使用的扫描信号, 且控制信号 S1 为第 N 列像素电路的扫描信号, 而控制信号 S2 为第 N+1 列像素电路的扫描信号, 此外控制信号 S1 以及控制信号 S2 的扫描频率, 举例而言, 可为 1Hz, 即前述的低更新率, 以下更以显示画面 Frame1 为例说明像素电路的控制信号。每一控制信号皆具有至少一上升缘以及至少一下降缘, 控制信号 S1 的下降缘早于控制信号 S2 的下降缘, 控制信号 S1 的上升缘早于控制信号 S2 的上升缘, 控制信号 E_m 的上升缘早于控制信号 S1 以及控制信号 S2 的下降缘, 控制信号 E_m 的下降缘晚于控制信号 S1 以及控制信号 S2 的上升缘。此外, 每一控制信号皆具有高电压准位 V_H 以及低电压准位 V_L , 高电压准位 V_H 并高于外部高电压 OVDD 的电压准位, 外部高电压 OVDD 的电压准位高于参考电压 V_{ref} 的电压准位, 参考电压的电压准位 V_{ref} 高于外部低电压 OVSS

的电压准位,外部低电压 0VSS 的电压准位高于低电压准位 V_L 。

[0030] 接着将配合图 1 以及图 2 来说明本发明的像素电路实施例一的运作方法。首先,当像素电路 10 操作于一第一初始期间(对应于图 2 时段 A)时,控制信号 S1 为低电压准位 V_L ,控制信号 S2 为高电压准位 V_H ,控制信号 E_m 为高电压准位,因此此时只有晶体管 T3 开启,使晶体管 T4 的控制端的电压准位分压至电容 C_p 与电容 C_{st} 。接着,当像素电路 10 操作于一第二初始期间(对应于图 2 时段 B)时,控制信号 S1 为低电压准位 V_L ,控制信号 S2 由高电压准位 V_H 转换为低电压准位 V_L ,控制信号 E_m 为高电压准位,此时由于晶体管 T3 仍开启,因此与晶体管 T4 的控制端电性耦接的晶体管 T3 的第二端,会因为控制信号 S2 由高电压准位 V_H 转换为低电压准位 V_L 而被下拉至更低的电压准位,因此晶体管 T4 会据以开启。当像素电路 10 操作于补偿期间(对应于图 2 时段 C)时,控制信号 S1 为高电压准位 V_H ,控制信号 S2 为低电压准位 V_L ,控制信号 E_m 为高电压准位,晶体管 T2 以及晶体管 T5 为开启,晶体管 T1、晶体管 T3 以及晶体管 T6 为关闭。此时晶体管 T2 将显示数据 V_{data} 传送至晶体管 T2 的第二端以及电容 C_{st} 的第一端,而晶体管 T4 因为其第一端的外部高电压 OVDD 而充至截止,因此晶体管 T4 的第二端的电压准位充至外部高电压 OVDD 减去晶体管 T4 的截止电压 V_{th4} 的电压准位,即 $OVDD-V_{th4}$ 的电压准位,又由于晶体管 T5 为开启,因此 $OVDD-V_{th4}$ 的电压准位会传送到晶体管 T5 的第二端,也就是晶体管 T4 的控制端。接着在时段 D 时,控制信号 S1 为高电压准位 V_H ,控制信号 S2 为高电压准位 V_H ,控制信号 E_m 为高电压准位 V_H ,晶体管 T1、晶体管 T2、晶体管 T3、晶体管 T5、晶体管 T6 为关闭,并准备进入显示期间。当像素电路 10 操作于显示期间(对应于图 2 时段 E)时,控制信号 S1 为高电压准位 V_H ,控制信号 S2 为高电压准位 V_H ,控制信号 E_m 为低电压准位 V_L ,晶体管 T2、晶体管 T3、晶体管 T5 为关闭,晶体管 T1 以及晶体管 T6 此时为开启。由于晶体管 T1 为开启,因此晶体管 T1 将其第二端充至参考电压 V_{ref} 的电压准位,而在前述的补偿期间时,由于晶体管 T2 已将晶体管 T1 的第二端的电压准位充至显示数据 V_{data} 的电压准位,因此在显示期间时,此节点上会出现 $V_{ref}-V_{data}$ 的电压差,并会根据电容的特性而使电容 C_{st} 的第二端也出现 $V_{ref}-V_{data}$ 的电压差,因此导致晶体管 T4 控制端的电压准位由补偿期间时的 $OVDD-V_{th4}$ 的电压准位下拉至 $OVDD-V_{th4}-(V_{ref}-V_{data})$ 的电压准位,晶体管 T4 的驱动电流 I_{DS} 可通过公式: $I_{DS} = 1/2 \times \beta \times (V_S - V_G) - |V_{th}|)^2$ 推得,其中 β 为常数, V_S 为晶体管 T4 第一端的电压准位, V_G 为晶体管 T4 控制端的电压准位。于显示期间的 $I_{DS} = 1/2 \times \beta \times (OVDD - (OVDD - V_{th4} - (V_{ref} - V_{data})) - |V_{th}|)^2 = 1/2 \times \beta \times (V_{ref} - V_{data})^2$, 也就是驱动电流 I_{DS} 与外部高电压 OVDD 以及晶体管 T4 的截止电压 V_{th} 无关。此时晶体管 T6 为开启,因此有机发光二极管 OLED 可根据驱动电流 I_{DS} 而依照显示数据 V_{data} 正确发光,且不受外部高电压 OVDD 的衰落以及晶体管 T4 的截止电压 V_{th} 变动所影响。此外,本实施例一的晶体管 T4 的控制端与电容 C_{st} 以及晶体管 T3 电性耦接,晶体管 T3 又与电容 C_p 电性耦接,而电容本身的特性并无电流流动,又电容 C_p 的第一端所耦接的控制信号 S2 的高电压准位高于晶体管 T4 控制端的电压准位,因此晶体管 T4 控制端的漏电流仅往有机发光二极管 OLED 方向流动,故本发明实施例大幅减少了像素电路的漏电流路径,电容 C_p 更持续补偿晶体管 T4 控制端的电压准位,使晶体管 T4 可正常输出驱动电流 I_{DS} 使有机发光二极管 OLED 正确发光。

[0031] 图 3 为本发明的像素电路实施例二,在本实施例中,像素电路 30 与实施例一相同的器件具有相同的技术特征,此外像素电路 30 与实施例一并具有类似的运作方法,故不再赘述。其中像素电路 30 与实施例一的差别在于,晶体管 T3 的第一端直接与控制信号 S2 电

性耦接,故当像素电路 30 运作于显示期间时,虽晶体管 T3 的第一端并无与电容 C_p 电性耦接,但控制信号 S2 在显示期间时为高于晶体管 T4 控制端电压准位的高电压准位 V_H ,因此不会形成漏电路径,仍可将像素电路 30 的漏电流控制为仅往有机发光二极管 OLED 方向流动,有效减少了像素电路 30 的漏电流路径,控制信号 S2 更持续补偿晶体管 T4 控制端的电压准位,使晶体管 T4 可正常输出驱动电流 I_{DS} 并使有机发光二极管 OLED 正确发光。

[0032] 根据上述的内容可以得知,由于本发明的像素电路实施例的晶体管 T4 的控制端与电容 C_{st} 以及晶体管 T3 电性耦接,在显示期间时,基于电容特性以及晶体管 T3 的第一端为高于晶体管 T4 的控制端电压准位的高电压准位,因此晶体管 T4 控制端的漏电流只会往有机发光二极管 OLED 的方向流动,故本发明的像素电路实施例能有效降低漏电流的路径,使晶体管 T4 控制端的电压准位不因漏电流大幅变动,因此晶体管 T4 的驱动电流可正常驱动有机发光二极管以正常显示。此外,晶体管 T4 的驱动电流更与外部高电压 OVDD 以及晶体管 T4 的截止电压 V_{th} 无关,驱动电流因此不会受到外部高电压 OVDD 在传输途中的电压衰退或者晶体管 T4 的电性改变所影响,而导致显示错误的情况发生。

[0033] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何熟习此技术者,在不脱离本发明的精神和范围内,当可做些许的更动与润饰,因此本发明的保护范围当视后附的专利申请范围所界定者为准。

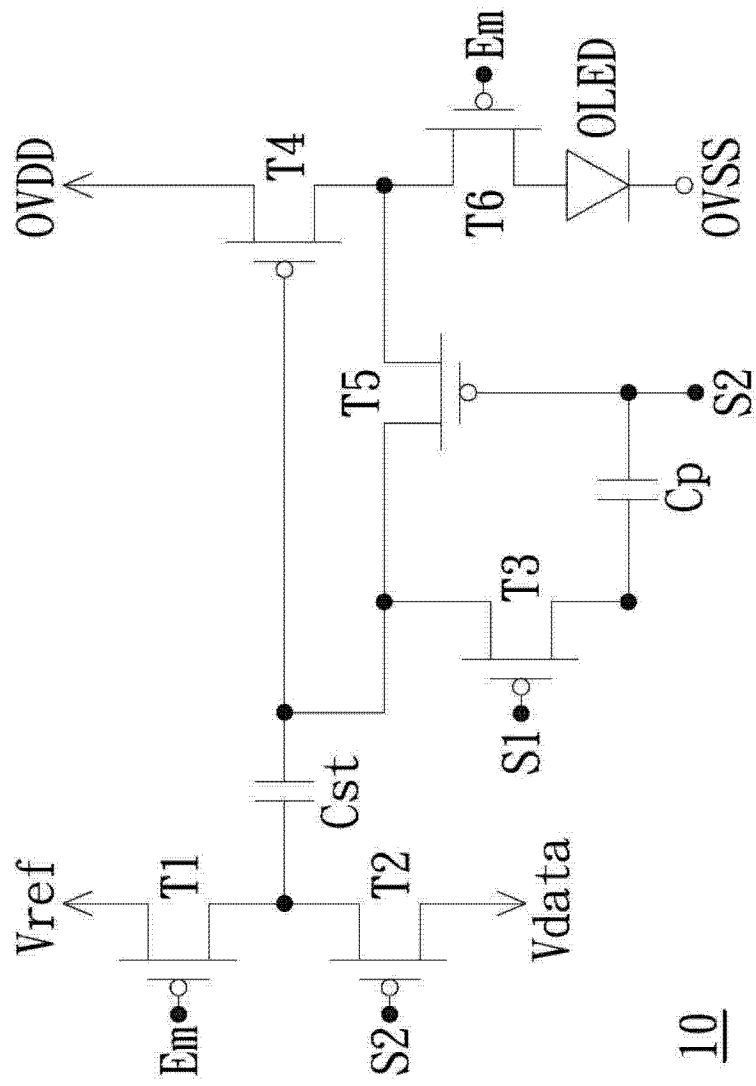


图 1

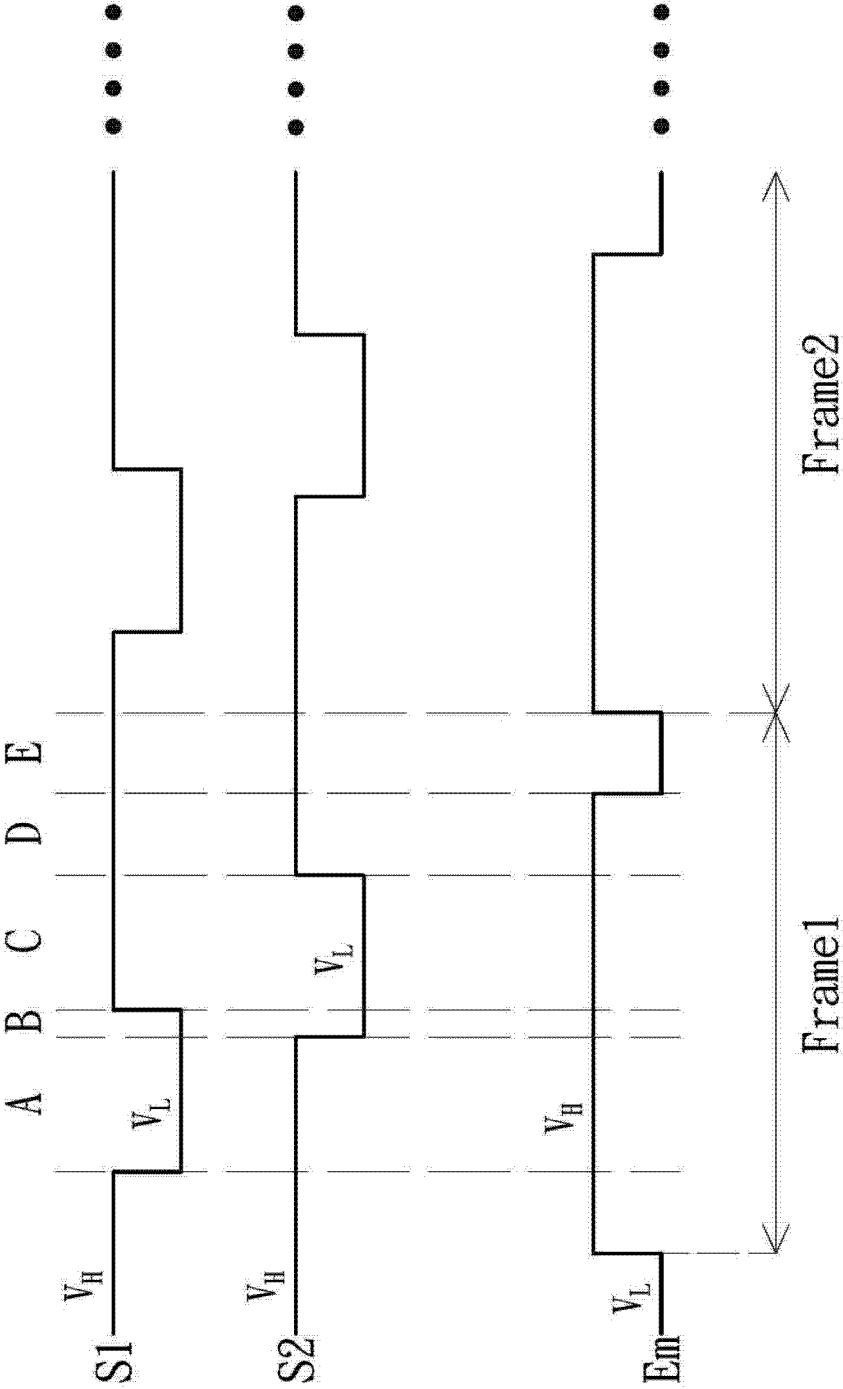
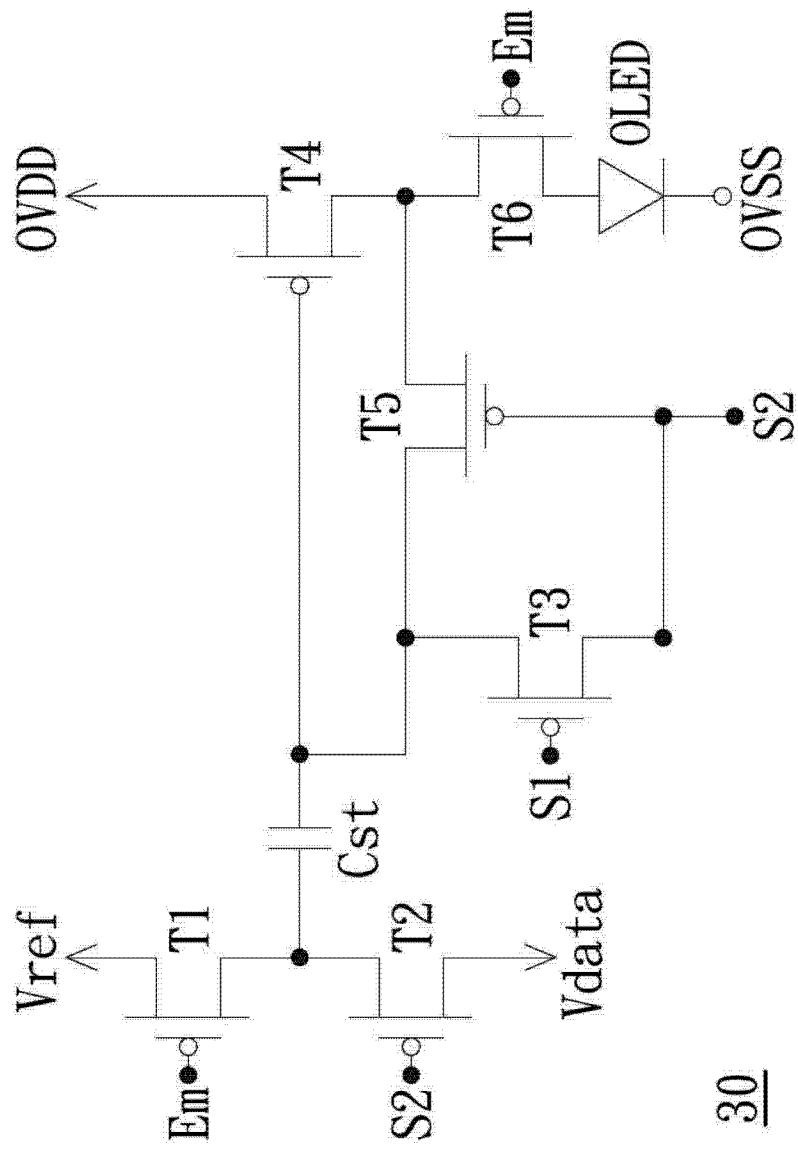


图 2



30

图 3

专利名称(译)	像素电路		
公开(公告)号	CN104916255A	公开(公告)日	2015-09-16
申请号	CN201510347643.8	申请日	2015-06-23
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	林永铭 叶佳元		
发明人	林永铭 叶佳元		
IPC分类号	G09G3/32		
优先权	104112937 2015-04-22 TW		
其他公开文献	CN104916255B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种像素电路，其包括一第一晶体管、一第二晶体管、一第三晶体管、一第四晶体管、一第五晶体管、一第六晶体管、一第一电容以及一有机发光二极管，每一晶体管具有一第一端、一第二端以及一控制端。其中第四晶体管的控制端与第一电容以及第三晶体管的第二端电性耦接，当像素电路操作于一显示期间时，第三晶体管的第一端的电压准位高于第四晶体管的控制端的电压准位，有效减少像素电路的漏电路径。

